

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-102779  
(P2004-102779A)

(43) 公開日 平成16年4月2日(2004.4.2)

(51) Int.Cl.<sup>7</sup>  
G06F 12/00

F I  
G06F 12/00 571A  
G06F 12/00 597C

テーマコード(参考)  
5B060

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号	特願2002-265326 (P2002-265326)	(71) 出願人	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成14年9月11日(2002.9.11)	(74) 代理人	100088328 弁理士 金田 暢之
		(74) 代理人	100106297 弁理士 伊藤 克博
		(74) 代理人	100106138 弁理士 石橋 政幸
		(72) 発明者	采女 昌克 東京都港区芝五丁目7番1号 日本電気株式会社内
		Fターム(参考)	5B060 CD12 KA02 KA04

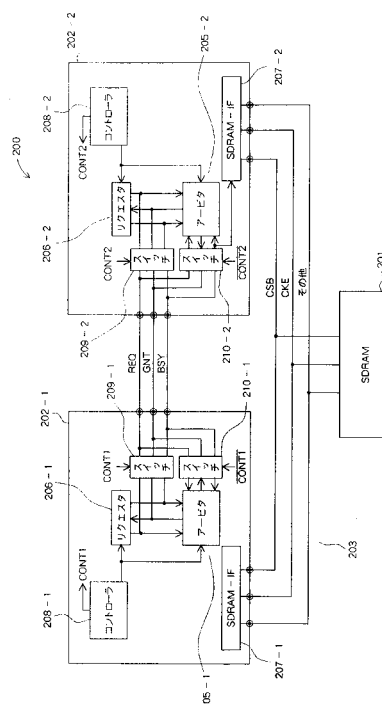
(54) 【発明の名称】 データ処理装置

(57) 【要約】

【課題】DDR-SDRAM等の半導体記憶回路を複数のデータ処理回路で共有する構造で、半導体記憶回路の誤動作を防止できるデータ処理装置を提供する。

【解決手段】半導体記憶回路201の占有を終了するデータ処理回路202がクロックイネーブル信号およびチップセレクト信号の出力を停止させる以前に、半導体記憶回路201の占有を開始するデータ処理回路202がクロックイネーブル信号およびチップセレクト信号の出力を同一状態で各々開始する。このため、半導体記憶回路202に外部入力されるクロックイネーブル信号およびチップセレクト信号が不定状態となることがなく、半導体記憶回路202に誤動作が発生しない。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数のデータ処理回路による 1 個の半導体記憶回路の共有を 1 個の共有調停回路で調停するデータ処理装置であって、

前記半導体記憶回路は、外部入力されるコマンド信号およびアドレス信号に対応した動作を外部入力されるクロック信号に同期して実行し、

前記データ処理回路は、前記半導体記憶回路のクロック信号を第 1 状態で有効として第 2 状態で無効とするクロックイネーブル信号を占有している前記半導体記憶回路に前記第 1 状態で出力し、占有している前記半導体記憶回路に前記コマンド信号および前記アドレス信号を出力し、前記コマンド信号および前記アドレス信号を第 1 状態で有効として第 2 状態

10

で無効とするチップセレクト信号を占有している前記半導体記憶回路に出力し、前記半導体記憶回路の占有を終了する前記データ処理回路が前記クロックイネーブル信号および前記チップセレクト信号の出力を停止させる以前に前記半導体記憶回路の占有を開始する前記データ処理回路が前記クロックイネーブル信号および前記チップセレクト信号の出力を同一状態で各々開始する、データ処理装置。

## 【請求項 2】

前記データ処理回路は、前記半導体記憶回路の占有を要求するリクエスト信号を前記共有調停回路に出力し、前記リクエスト信号の出力に対応して前記共有調停回路から前記占有の許可を示すgrant信号が入力されると前記半導体記憶回路を占有し、前記半導体記憶回路を占有しているときにビジー信号を前記共有調停回路に出力し、

20

前記半導体記憶回路の占有を終了する前記データ処理回路は、前記ビジー信号の出力を終了してから所定時間が経過すると前記クロックイネーブル信号および前記チップセレクト信号の出力を停止させ、

前記共有調停回路は、前記半導体記憶回路を占有していた前記データ処理回路の前記ビジー信号が終了してから前記所定時間が経過する以前に前記リクエスト信号を出力している前記データ処理回路に前記grant信号を返信する、請求項 1 に記載のデータ処理装置。

## 【請求項 3】

前記半導体記憶回路は、外部入力される前記クロックイネーブル信号が前記第 2 状態のときに内部動作を休止させる休止状態となる、請求項 1 または 2 に記載のデータ処理装置。

## 【請求項 4】

複数の前記データ処理回路は、1 個がマスタで他がスレーブであり、前記マスタのデータ処理回路は、前記スレーブのデータ処理回路の全部が前記クロックイネーブル信号および前記チップセレクト信号を出力しないときはクロックイネーブル信号および前記チップセレクト信号を出力する、請求項 1 ないし 3 の何れか一項に記載のデータ処理装置。

30

## 【請求項 5】

複数の前記データ処理回路と 1 個の前記共有調停回路とが別体に形成されて接続されている請求項 1 ないし 4 の何れか一項に記載のデータ処理装置。

## 【請求項 6】

複数の前記データ処理回路は、1 個がマスタで他がスレーブであり、前記マスタのデータ処理回路に前記共有調停回路が内蔵されている請求項 1 ないし 4 の何れか一項に記載のデータ処理装置。

40

## 【請求項 7】

複数の前記データ処理回路の全部に前記共有調停回路が内蔵されており、複数の前記データ処理回路は、1 個がマスタで他がスレーブとして初期設定され、複数の前記共有調停回路は、前記マスタのデータ処理回路に内蔵されている 1 個が有効となる、請求項 1 ないし 4 の何れか一項に記載のデータ処理装置。

## 【請求項 8】

前記マスタのデータ処理回路に内蔵されている前記共有調停回路は、起動を確認する前記スレーブのデータ処理回路に前記半導体記憶回路の占有の許可を示すgrant信号を出力

50

し、

前記スレーブのデータ処理回路は、前記半導体記憶回路の占有を要求するリクエスト信号を出力していないときに前記grant信号が入力されると前記リクエスト信号を所定時間だけ出力し、

前記マスタのデータ処理回路に内蔵されている前記共有調停回路は、前記リクエスト信号の入力で前記スレーブのデータ処理回路の起動を確認すると前記grant信号の出力を終了する、請求項6または7に記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体回路とデータ処理回路とを有するデータ処理装置に関し、特に、半導体記憶回路を複数のデータ処理回路で共有するデータ処理装置に関する。

【0002】

【従来技術】

従来、複数のデータ処理回路による半導体記憶回路の共有を共有調停回路で調停するデータ処理装置がある（例えば、特許文献1-3参照）。

【0003】

【特許文献1】

特開平6-83780号公報

【特許文献2】

特開平11-272632号公報

【特許文献3】

特開2000-298652号

ここで、上述のようなデータ処理装置の一従来例を図4を参照して以下に説明する。このデータ処理装置100は、例えば、半導体記憶回路であるSDRAM（Synchronous Dynamic Random Access Memory）101、ワンチップマイコンからなる2個のデータ処理回路102、共有調停回路であるアービタ回路103、バス制御回路104、を有しており、このバス制御回路104を中心に1個のSDRAM101と2個のデータ処理回路102とがシステムバス105で接続されている。2個のデータ処理回路102は専用の信号ライン106でアービタ回路103に接続されており、このアービタ回路103が専用の信号ライン107でバス制御回路104に接続されている。

【0004】

データ処理回路102には、アービタ回路103と信号通信するリクエスト回路108と、システムバス105でSDRAM101とデータ通信するI/F（Interface）回路109と、が内蔵されている。なお、このデータ処理装置100では、上述の構成とは別個にクロック発振回路（図示せず）が設けられており、このクロック発振回路が各部にクロック信号を共通に供給する。

【0005】

上述のような構造のデータ処理装置100では、SDRAM101は、データ処理回路102からシステムバス105で外部入力されるコマンド信号およびアドレス信号に対応してデータリードおよびデータライトを実行し、この動作をクロック発振回路から外部入力されるクロック信号に同期して実行する。

【0006】

ただし、上述のデータ処理装置100では、1個のSDRAM101に2個のデータ処理回路102が接続されているので、その一方をSDRAM101に選択的に接続する動作を制御する必要がある。そこで、上述のデータ処理装置100では、アービタ回路103が2個のデータ処理回路102の動作状態を管理し、バス制御回路104を動作制御して2個のデータ処理回路102の一方をSDRAM101に選択的に接続する。

【0007】

10

20

30

40

50

**【発明が解決しようとする課題】**

上述のデータ処理装置100では、アービタ回路103に制御されるバス制御回路104が2個のデータ処理回路102の一方をSDRAM101に選択的に接続するので、2個のデータ処理回路102が問題なくSDRAM101を共有することができる。

**【0008】**

しかし、換言すると複数のデータ処理回路102に1個のSDRAM101に共有させるためにシステムバス105の接続関係を切り換えるバス制御回路107が必要であるために回路規模が増大しており、バス制御回路107の切換動作のために装置全体の動作速度も低下している。

**【0009】**

この課題を解決するためには、バス制御回路107を排除してシステムバス105で複数のデータ処理回路102と1個のSDRAM101とを直結し、アービタ回路103の制御で複数のデータ処理回路102の動作を調停することが想定できるが、これは実際には困難である。

**【0010】**

例えば、半導体記憶回路としてDDR(Double Data Rate)-SDRAMを利用する場合、DDR-SDRAMはクロック信号の立ち上がりと立ち下がりとに同期して高速に動作するので、データ処理回路からDDR-SDRAMに供給する制御信号は、“1/2VDD”電位を中心にハイ電位(例えば、VDD)とロー電位(例えば、GND)とに変化させる必要がある。

**【0011】**

このため、DDR-SDRAMを占有するデータ処理回路を切り換えるために制御信号の供給が中断されると、その不定状態がDDR-SDRAMではハイ/ローの一方として誤認されて誤動作が発生することがある。従って、DDR-SDRAMを複数のデータ処理回路102に共有させるデータ処理装置ではバス制御回路107を排除することができないので、バス制御回路107のために回路規模が増大するとともに応答速度が低下している。

**【0012】**

本発明は上述のような課題に鑑みてなされたものであり、バス制御回路なしに半導体記憶回路に誤動作を発生させることなく複数のデータ処理回路による半導体記憶回路の共有ができるデータ処理装置を提供することを目的とする。

**【0013】****【課題を解決するための手段】**

本発明のデータ処理装置は、複数のデータ処理回路による1個の半導体記憶回路の共有を1個の共有調停回路で調停するデータ処理装置であって、半導体記憶回路は、外部入力されるコマンド信号およびアドレス信号に対応した動作を外部入力されるクロック信号に同期して実行し、データ処理回路は、半導体記憶回路のクロック信号を第1状態で有効として第2状態で無効とするクロックイネーブル信号を占有している半導体記憶回路に第1状態で出力し、占有している半導体記憶回路にコマンド信号およびアドレス信号を出力し、コマンド信号およびアドレス信号を第1状態で有効として第2状態で無効とするチップセレクト信号を占有している半導体記憶回路に出力し、半導体記憶回路の占有を終了するデータ処理回路がクロックイネーブル信号およびチップセレクト信号の出力を停止させる以前に半導体記憶回路の占有を開始するデータ処理回路がクロックイネーブル信号およびチップセレクト信号の出力を同一状態で各々開始する。このため、本発明のデータ処理装置では、半導体記憶回路に外部入力されるクロックイネーブル信号およびチップセレクト信号が不定状態となることがない。

**【0014】**

なお、本発明で云う各種の構成要素は、かならずしも個々に独立した存在である必要はなく、複数の構成要素が1個の部材として形成されていること、ある構成要素が他の構成要素の一部であること、ある構成要素の一部と他の構成要素の一部とが重複していること、

10

20

30

40

50

等も可能である。

【0015】

【発明の実施の形態】

[実施の形態の構成]

本発明の実施の一形態を図1ないし図3を参照して以下に説明する。なお、本実施の形態に関し、前述した一従来例と同一の部分は同一の名称を使用して詳細な説明は省略する。

【0016】

本形態のデータ処理装置200は、図1に示すように、半導体記憶回路であるDDR-SDRAM201とデータ処理回路202-1, 2とを備え、これらデータ処理回路202-1, 2は、システムバス203を介してDDR-SRAM201に接続されている。

10

【0017】

システムバス203は、チップセレクト信号CSB、クロックイネーブル信号CKE、およびその他信号(コマンド信号、アドレス信号を含む)を伝達する。なお、データ処理装置200は、クロック発振器(図示しない)がSDRAM201、データ処理回路202-1, 202-2にクロック信号を供給しているものとする。

【0018】

データ処理回路202-1, 2は、同一構造であるため、データ処理回路202-1の構造について説明する。データ処理回路202-1は、アービタ205-1、リクエスト206-1、IF回路207-1、コントローラ208-1、切替スイッチ209-1、210-1を備えている。

20

【0019】

次に、データ処理回路200の初期設定について説明する。

【0020】

データ処理回路200の初期設定は、コントローラ208-1内に設けられたレジスタにマスタおよびスレーブを設定するデータを設定することによって行なわれ、マスタが設定された場合には、アービタ205-1を活性化すると共に、コントロール信号CONT1を出力することによってスイッチ209-1を非活性化し、かつ、スイッチ210-1を活性化する。スレーブが設定された場合には、アービタ205-1を非活性化すると共に、コントロール信号CONT1を出力することによってスイッチ209-1を活性化し、かつ、スイッチ210-1を非活性化する。

30

【0021】

マスタに設定されたデータ処理回路202-1は、スレーブに設定されたデータ処理回路202-2(ここでは、スレーブに設定されたものとして説明する。)が起動されているかどうか確認するために、マスタ側のアービタ205-1からスイッチ210-1を介してグラント信号GNTを出力する。スレーブ側のデータ処理回路202-2は、スイッチ209-2を介してリクエスト206-2がグラント信号GNTを受け取る。

【0022】

グラント信号GNTを受け取ったスレーブ側のリクエスト206-2は、リクエスト信号を出力していない時にグラント信号が入力されるとリクエスト信号REQを所定クロック(例えば、1クロック)の期間出力されるように設定されているため、マスタ側からのグラント信号GNTに対してスレーブ側からのリクエスト信号REQの有無によりスレーブ側のデータ処理回路202-2の起動を確認することができる。

40

【0023】

なお、スレーブ側のデータ処理回路202-2の起動の確認は、起動の前にノイズ等により発生したリクエスト信号がマスタ側のアービタ205-1に入力され誤動作するのを防止するためであり、マスタ側のアービタ205-1は、スレーブのデータ処理回路202-2の起動を確認した後にスレーブ側からの信号を受付けるように制御される。

【0024】

[実施の形態の動作]

次に、本発明のデータ処理装置の動作について図2を参照しながら説明をする。なお、デ

50

ータ処理回路 202 - 1 がマスタ、データ処理回路 202 - 2 がスレーブに設定されているものとして説明をする。

【0025】

スレーブ側のデータ処理回路 202 - 2 が S D R A M を占有してデータ処理を行なっている a の期間について説明する。スレーブ側のリクエスト 206 - 2 は、スレーブ側のデータ処理回路 202 - 2 が処理を行なっていることを示すビジー信号 B S Y \_ S (以下、各信号の後ろに \_ S がつく場合はスレーブ側から出力された信号を示し、\_ M がつく場合にはマスタ側から出力された信号を示す) をマスタ側のアービタ 205 - 1 にスイッチ 209 - 2 およびスイッチ 210 - 1 を介して出力し、クロック信号が有効であることを示すクロックイネーブル信号 C K E \_ S、コマンド信号およびアドレス信号の有効/無効を示すチップセレクト信号 C S B \_ S が出力されている。

10

【0026】

スレーブ 202 - 2 での処理が終了し、スレーブからマスタに処理が移行する b の期間について説明する。スレーブ 202 - 2 での処理が終了すると、コントローラ 208 - 2 は、リクエスト 206 - 2 および I F 回路 207 - 2 に終了信号 E N D を出力する。終了信号 E N D を受け取ったリクエスト 206 - 2 は、ビジー信号 B S Y \_ S をインアクティブ(ローレベル)とし、I F 回路 207 - 2 は、クロックイネーブル信号 C K E \_ S をインアクティブ(ローレベル)する。

【0027】

マスタ側のアービタ 205 - 1 は、ビジー信号 B S Y \_ S がインアクティブになったことに応答して、マスタからのリクエスト信号 R E Q \_ M とスレーブからのリクエスト信号 R E Q \_ S のうち優先度の高いマスタ側のリクエスト信号 R E Q \_ M に基づいてグラント信号 G N T \_ M を出力する。

20

【0028】

このとき、マスタ側の I F 回路 207 - 1 は、スレーブ側のビジー信号 B S Y \_ S がインアクティブになってから 1 クロック後にマスタ側のチップセレクト信号 C S B \_ M をハイレベルにし、クロックイネーブル信号 C K E \_ M をローレベルにする。

【0029】

続いて、スレーブ側の I F 回路 207 - 2 は、スレーブ側のビジー信号 B S Y \_ S がインアクティブになってから 2 クロック後にスレーブ側のチップセレクト信号 C S B \_ S およびクロックイネーブル信号 C K E \_ S を H i - z にする。マスタ側のリクエスト 206 - 1 は、グラント信号 G N T \_ M を受け取った 2 クロック後にマスタ側のビジー信号 B S Y \_ M をアクティブにする。

30

【0030】

このように、スレーブからマスタに処理が移行する場合には、スレーブ側のビジー信号 B S Y \_ S 応答してマスタ側のチップセレクト信号およびクロック信号がアクティブにされた後、スレーブ側のチップセレクト信号およびクロックイネーブル信号が H i - z に制御されるため、S D R A M につながるシステムバスのクロックイネーブル信号およびチップセレクト信号が不定となることはない。

【0031】

マスタによるリクエストを受付け処理を行なっている c の期間について説明する。マスタ側のビジー信号 B S Y \_ M がアクティブになったことに応答して 1 クロック後にマスタ側のグラント信号 G N T \_ M をインアクティブとする。このとき、後続のリクエストがある場合にはリクエスト信号 R E Q \_ M をアクティブのままとし、後続のリクエストがない場合にはリクエスト信号 R E Q \_ M もインアクティブとする。

40

【0032】

なお、クロックイネーブル信号 C K E がローレベルになっているとき、すなわち、クロックイネーブル信号 C K E \_ S および C K E \_ M が共にローレベルになっているときには、S D R A M は、スタンバイモードに制御され低消費電力になる。

【0033】

50

マスタ側のデータ処理回路202-1による処理が終了しマスタからスレーブに処理が移行するdの期間について説明する。マスタ側の処理の終了に回答してコントローラ208-1が終了信号ENDを出力する。終了信号ENDを受け取った、リクエスト206-1は、ビジー信号BSY\_Mをインアクティブ(ローレベル)とし、IF回路207-1は、クロックイネーブル信号CKE\_Mをローレベルとする。

【0034】

マスタ側のアービタ205-1は、ビジー信号BSY\_Mがインアクティブになったことに回答して、スレーブからのリクエスト信号REQ\_Sに基づいてgrant信号GNT\_Sを出力する。このとき、スレーブ側のIF回路207-2は、grant信号GNT\_Sがアクティブになったことに回答してチップセレクト信号CSB\_Sをハイレベルにし、

10

【0035】

続いて、マスタ側のIF回路207-1は、スレーブ側のgrant信号GNT\_Sがアクティブになってから1クロック後にマスタ側のチップセレクト信号CSB\_Mおよびクロックイネーブル信号CKE\_MをHi-zにする。スレーブ側のリクエスト206-2は、grant信号GNT\_Sを受け取った2クロック後にスレーブ側のデータ処理回路202-2が処理を行なっていることを示すビジー信号BSY\_Sをマスタ側のアービタ205-1にスイッチ209-2およびスイッチ210-1を介して出力する。

【0036】

このように、マスタからスレーブに処理が移行する場合において、マスタ側のビジー信号BSY\_Mがインアクティブになってから1クロック後にgrant信号GNT\_Sに回答して、スレーブ側のチップセレクト信号CSB\_Sおよびクロックイネーブル信号CKE\_Sはそれぞれローレベルおよびハイレベルとされ、ビジー信号BSY\_Mがインアクティブとなってから2クロック後にマスタ側のチップセレクト信号CSB\_Mおよびクロックイネーブル信号CKE\_MはそれぞれHi-zとされるため、システムバス203上のチップセレクト信号CSBおよびクロックイネーブル信号CKEが不定となる期間が無くなる。

20

【0037】

スレーブ側のデータ処理回路202-2がデータ処理を行なっているeの期間について説明する。スレーブ側のビジー信号BSY\_Sがアクティブになったことに回答して1クロック後にスレーブ側のgrant信号GNT\_Sをインアクティブにする。このとき、後続のリクエストがある場合にはリクエスト信号REQ\_Mをアクティブのままとし、後続のリクエストがない場合にはリクエスト信号REQ\_Mもインアクティブとする。

30

【0038】

スレーブ側のデータ処理回路202-2による処理が終了し、終了時点でマスタおよびスレーブからリクエスト信号が出力されていないfの期間について説明する。スレーブ側のデータ処理回路202-2での処理が終了すると、コントローラ208-2は、リクエスト206-2およびIF回路207-2に終了信号ENDを出力する。

【0039】

終了信号ENDを受け取ったリクエスト206-2は、ビジー信号BSY\_Sをインアクティブ(ローレベル)とし、IF回路207-2は、クロックイネーブル信号CKE\_Sをインアクティブ(ローレベル)にする。マスタ側のIF回路207-1は、マスタおよびスレーブからのリクエスト信号がアクティブになっていないため、スレーブ側のビジー信号BSY\_Sがインアクティブになった1クロック後に、マスタ側のチップセレクト信号CSB\_Mをハイレベルにし、マスタ側のクロックイネーブル信号CKE\_Mをローレベルにする。スレーブ側のIF回路207-2は、スレーブ側のビジー信号BSY\_Sがインアクティブになった2クロック後にチップセレクト信号CSB\_SをHi-zとし、クロックイネーブル信号CKE\_SをHi-zとする。

40

【0040】

スレーブ側の処理が終了した後にスレーブおよびマスタのいずれからもリクエストが出力

50

されていない場合に、マスタ側のIF回路207-1によって、チップセレクト信号CSB\_Mをハイレベルおよびクロックイネーブル信号をローレベルとすることによって、システムバス上のチップセレクト信号およびクロックイネーブル信号が不定となる期間を無くすることができる。

#### 【0041】

また、マスタ側の処理が終了した後、スレーブおよびマスタのいずれからもリクエストが出力されていない場合には、期間dの始まりの状態、すなわち、マスタ側のチップセレクト信号CSB\_Mがハイレベル、マスタ側のクロックイネーブル信号CKE\_Mがローレベルの状態をリクエストが入力されるまで維持することによって、システムバス上のチップセレクト信号およびクロックイネーブル信号が不定となる期間を無くすることができる。

10

#### 【0042】

##### [実施の形態の効果]

したがって、データ処理装置200による処理が終了した後、リクエスト信号にตอบสนองして次の処理を行なうデータ処理装置200によってSDRAM201がアクセスされる場合およびリクエスト信号が無くアクセスが行なわれない場合のいずれにおいても、SDRAM201に接続されたシステムバス203上のクロックイネーブル信号およびチップセレクト信号が不定となる期間が無くなる。

#### 【0043】

このため、システムバス203上にバス制御回路を設ける必要性は無くなり、回路規模が小さくなると共にデータ処理回路202とSDRAM201間のアクセス速度が向上する。また、従来から処理に使われていた、チップセレクト信号、クロックイネーブル信号、リクエスト信号、グラント信号およびビジー信号および端子を用いて制御することができるため、データ処理回路202に余分な制御端子を設ける必要も無い。

20

#### 【0044】

しかも、本形態のデータ処理装置200では、初期設定の実行時にリクエスト信号REQ\_Sを出力していないスレーブのデータ処理回路202-2はグラント信号GNT\_Sが入力されるとビジー信号BSY\_Sを所定時間だけ出力するので、マスタのデータ処理回路202-1はスレーブのデータ処理回路202-2の起動をグラント信号GNT\_Sとリクエスト信号REQ\_Sとビジー信号BSY\_Sとの通信で確認することができる。

#### 【0045】

##### [実施の形態の変形例]

本発明は本実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、本実施の形態では1個のDDR-SDRAM201に2個のデータ処理回路202-1, 2が接続されていることを例示したが、例えば、3個以上のデータ処理回路202が接続されていることも可能である。

30

#### 【0046】

また、2個のデータ処理回路202-1, 2が同一構造に形成されており、アービタ回路205-1が有効なマスタのデータ処理回路202-1が初期設定されることを例示したが、例えば、アービタ回路205が有効なマスタのデータ処理回路202を固定しておくことも可能であり、複数のデータ処理回路202の1個のみマスタとしてアービタ回路205を設けることも可能である。

40

#### 【0047】

さらに、アービタ回路205がデータ処理回路202に内蔵されていることを例示したが、例えば、複数のデータ処理回路202と1個のアービタ回路205とを別体に形成して接続する構造(図示せず)も可能である。ただし、前述のようにスレーブの起動をマスタが信号通信で確認するためには、そのアービタ回路205がマスタのデータ処理回路202-1に内蔵されている必要がある。

#### 【0048】

また、前述のように両方のデータ処理回路202が休止するときグラント信号とリクエスト信号とビジー信号との通信のみでマスタがDDR-SDRAM201を占有するため

50

にも、アービタ回路 205 がマスタのデータ処理回路 202 - 1 に内蔵されている構造が好適である。

【0049】

例えば、複数のデータ処理回路 202 と 1 個のアービタ回路 205 とを別体に形成して接続した構造で、両方のデータ処理回路 202 が休止するときにマスタが DDR - SDRAM 201 を占有するためには、所定の信号配線などでスレーブのビジー信号をマスタに通知する構造が好適である。

【0050】

本形態では、処理を終了したデータ処理回路 202 のビジー信号がインアクティブとなった 1 クロック後に、これから処理を行なうデータ処理回路 202 のチップセレクト信号およびクロックイネーブル信号をハイレベルおよびローレベルにし、処理を終了したデータ処理回路 202 のビジー信号がインアクティブとなった 2 クロック後に、処理を終了したデータ処理回路 202 のチップセレクト信号およびクロックイネーブル信号を Hi - z にしているが、各信号の前後関係が入れ替わらなければどのようなタイミングで処理を行なってもよい。

10

【0051】

また、処理を終了したデータ処理回路 202 から処理を開始するデータ処理回路 202 に SDRAM 201 の占有が移行する場合、SDRAM 201 を一時的に低消費電力モード（スタンバイモード）にするため移行時のクロックイネーブル信号がローレベルとなるよう制御しているが、応答速度を向上させるため SDRAM 201 を低消費電力にしない場合には、移行時のクロックイネーブル信号をハイレベルとしても良い。

20

【0052】

すなわち、処理を終了したデータ処理回路 202 は、処理を開始するデータ処理回路 202 がクロックイネーブル信号をハイレベルにするまでクロックイネーブル信号をハイレベルに維持するようにしても良い。なお、処理を終了したデータ処理回路 202 のクロックイネーブル信号と処理を開始するデータ処理回路 202 のクロックイネーブル信号の移行時のレベルはローレベルまたはハイレベルのいずれかに固定し、別々のレベルにならないよう制御する必要性がある。

【0053】

【発明の効果】

本発明のデータ処理装置では、半導体記憶回路の占有を終了するデータ処理回路がクロックイネーブル信号およびチップセレクト信号の出力を停止させる以前に半導体記憶回路の占有を開始するデータ処理回路がクロックイネーブル信号およびチップセレクト信号の出力を同一状態で各々開始することにより、半導体記憶回路に外部入力されるクロックイネーブル信号およびチップセレクト信号が不定状態となることがないので、半導体記憶回路の誤動作を防止することができ、この防止のためにバス制御回路が必要ないので、回路規模を削減するとともに応答速度を向上させることができる。

30

【図面の簡単な説明】

【図 1】本発明の実施の形態のデータ処理装置を示すブロック図である。

【図 2】データ処理装置の動作状態での各種信号を示すタイムチャートである。

40

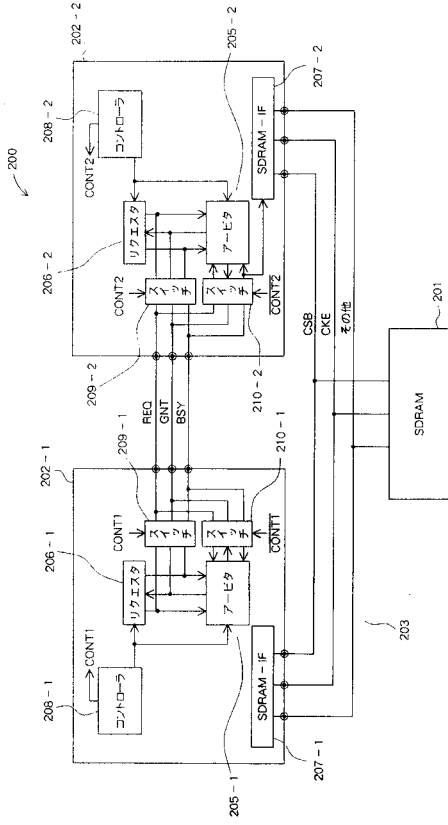
【図 3】データ処理装置が初期設定を実行するときの各種信号を示すタイムチャートである。

【図 4】一従来例のデータ処理装置を示すブロック図である。

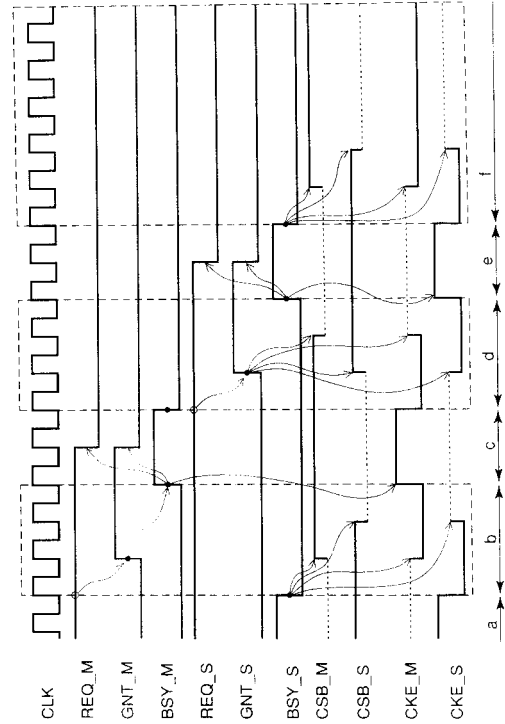
【符号の説明】

- 200 データ処理装置
- 201 半導体記憶回路である DDR - SDRAM
- 202 データ処理回路
- 205 共有調停回路であるアービタ回路

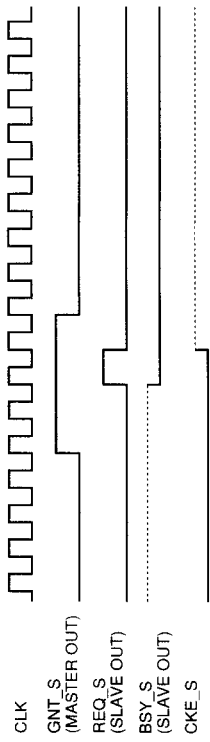
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

