

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月20日(20.08.2020)



(10) 国際公開番号

WO 2020/166234 A1

- (51) 国際特許分類:
G01R 19/165 (2006.01) *H01L 21/822* (2006.01)
H01L 21/82 (2006.01) *H01L 27/04* (2006.01)
- (21) 国際出願番号: PCT/JP2020/000211
- (22) 国際出願日: 2020年1月8日(08.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-022296 2019年2月12日(12.02.2019) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

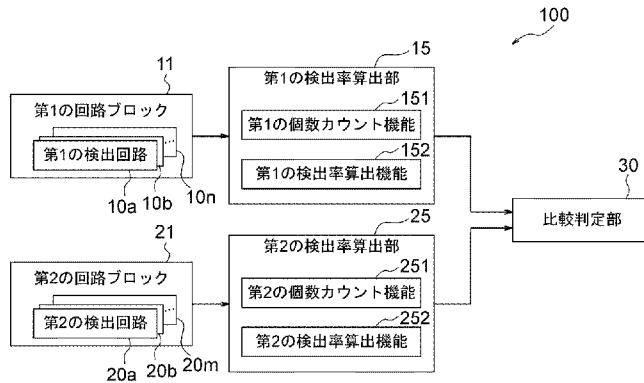
(72) 発明者: 中原 宏徳 (NAKAHARA Hironori);
〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 渡 邊 薫 (WATANABE Kaoru);
〒1080014 東京都港区芝四丁目10番5号 ヒューリック田町ビル6階 薫風国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: DETECTOR

(54) 発明の名称: 検出器



10a, 10b, ..., 10n First detection circuit
11 First circuit block
15 First detection rate calculation unit
20a, 20b, ..., 20m Second detection circuit
21 Second circuit block
25 Second detection rate calculation unit
30 Comparison-and-determination unit
151 First number count function
152 First detection rate calculation function
251 Second number count function
252 Second detection rate calculation function

(57) Abstract: Provided is a detector that can detect that a voltage is out of a guaranteed operation voltage even when a delay time of a logic element caused by a reduction in a power supply voltage varies due to an external factor. The detector comprises: a plurality of first detection circuits; a first detection rate calculation unit; a plurality of second detection circuits; a second detection rate calculation unit; and a comparison-and-determination unit. The present invention provides a detector, wherein: each of the plurality of first detection circuits detects whether or not an input voltage is a value outside a guaranteed operation range for normal operation; the first detection rate calculation unit calculates first detection rates of which the number is the number of the detected first detection circuits; each of the plurality of second detection circuits detects whether or not a predetermined reference voltage is lower than a threshold voltage; the second detection rate calculation unit calculates second detection rates of which the number is the number of the detected second detection circuits; and the comparison-and-determination unit determines that a value of the input voltage is equal to or less than a value of the threshold voltage when the first detection rate and the second detection rate are substantially equal to each

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

other.

(57) 要約: 電源電圧の低下により生じるロジック素子の遅延時間が外的要因でバラついても、動作保証電圧外となったことを検知することができる検出器を提供する。複数の第1の検出回路と、第1の検出率算出部と、複数の第2の検出回路と、第2の検出率算出部と、比較判定部と、を備える。前記複数の第1の検出回路のそれぞれが、入力電圧が正常に動作する動作保証範囲外の値であるか否かを検出し、前記第1の検出率算出部が、前記検出された第1の検出回路の個数の第1の検出率を算出し、前記複数の第2の検出回路のそれぞれが、所定の基準電圧が閾値電圧より低いかな否かを検出し、前記第2の検出率算出部が、前記検出された第2の検出回路の個数の第2の検出率を算出し、前記比較判定部が、前記第1の検出率と前記第2の検出率とが略同等以上のとき、前記入力電圧の値が前記閾値電圧の値以下であると判定する、検出器を提供する。

明 細 書

発明の名称： 検出器

技術分野

[0001] 本技術は、検出器に関し、特に、デジタル検出回路を用いたロジック検出器に関する。

背景技術

[0002] CPU (Central Processing Unit) やDSP (Digital Signal Processor) 等を搭載する半導体デバイス（集積回路）において、ロジック回路の動作保証電圧は、ロジック回路を動作させたときの電源ドウループを考慮して決められる。

[0003] 近年、半導体デバイス（集積回路）における消費電力を削減するために、半導体デバイス（集積回路）に設定される動作保証電圧を限界まで低くしたいという要求がある。このため、ロジック回路に供給された電圧が動作保証範囲外になった場合は、その供給された電圧が動作保証外になったことを検知する回路が求められる。

[0004] ここで、半導体デバイス（集積回路）の入力電圧が一時的に変動する、電源ドウループという現象が知られている。電源ドウループを検出する手段として、アナログ回路を用いて検出する手段が知られている。

[0005] しかしながら、アナログ回路で電源ドウループを検出する場合、アンプの応答性が悪く、速い電源ドウループを検出することができない場合がある。これに対し、アンプの応答速度を改善すると、消費電力（消費電流）が増大することが考えられる。

[0006] そこで、近年、ロジック回路（デジタル回路）を用いて電源ドウループを検出する手段が検討されている（例えば、非特許文献1）。

先行技術文献

特許文献

[0007] 非特許文献1：K a m i l G o m i n a , J e a n - B a p t i s t e R

igaud, Philippe Gendrier, Philippe Candelier and Assia Tria, "Power supply glitch attacks: design and evaluation of detection circuit", "2014 IEEE International Symposium on Hardware-Oriented Security and Trust (HOST)", 2014, 139-140, Fig. 6-8

発明の概要

発明が解決しようとする課題

[0008] 非特許文献1には、グリッチ電圧を検出する検出回路について開示されている。本明細書におけるグリッチ電圧とは、内部回路の動作や外的要因により発生する、予期しない、又は、望ましくない電源電圧の変動のことをいう。検出回路は、電源電圧の低下により生じるロジック素子の遅延時間を用いて、意図的にフリップフロップのセットアップ違反やホールド違反を発生させてグリッチ電圧を検出する。

[0009] しかしながら、ロジック素子の遅延時間は、プロセス依存、温度依存、及び半導体デバイス（集積回路）の個体内部にバラツキが存在するため、電源電圧の低下により生じるロジック素子の遅延時間を管理することは難しく、結果、検出回路の検出電圧には、バラツキが存在する。

[0010] 本技術は、このような状況に鑑みてなされたものであり、電源電圧の低下により生じるロジック素子の遅延時間が外的要因でバラついても、動作保証電圧外となったことを精度よく検知することができる検出器を提供することを主目的とする。

課題を解決するための手段

[0011] 本発明者は、上述の目的を解決するために鋭意研究を行った結果、電源電圧の低下により生じるロジック素子の遅延時間が外的要因でバラついても、動作保証電圧外となったことを精度よく検知することができることに成功し、本技術を完成するに至った。

[0012] すなわち、本技術では、複数の第 1 の検出回路と、

第 1 の検出率算出部と、

複数の第 2 の検出回路と、

第 2 の検出率算出部と、

比較判定部と、を備え、

前記複数の第 1 の検出回路のそれぞれが、処理回路に供給される入力電圧が前記処理回路において正常に動作する動作保証範囲外の値であるか否かを検出し、

前記第 1 の検出率算出部が、前記入力電圧が前記動作保証範囲外の値であることを検出した前記第 1 の検出回路の個数をカウントし、前記複数の第 1 の検出回路の全個数における前記検出された第 1 の検出回路の個数の第 1 の検出率を算出し、

前記複数の第 2 の検出回路のそれぞれが、供給される所定の基準電圧が動作保証範囲を決定するための閾値電圧より低いか否かを検出し、

前記第 2 の検出率算出部が、前記所定の基準電圧が前記閾値電圧より低いことを検出した前記第 2 の検出回路の個数をカウントし、前記複数の第 2 の検出回路の全個数における前記検出された第 2 の検出回路の個数の第 2 の検出率を算出し、

前記比較判定部が、前記第 1 の検出率と前記第 2 の検出率とを比較して、前記第 1 の検出率と前記第 2 の検出率とが略同等以上のとき、前記入力電圧の値が前記閾値電圧の値以下であると判定する、検出器を提供する。

[0013] 本技術に係る検出器において、前記比較判定部が、前記第 1 の検出率と前記第 2 の検出率とが略同等のとき、前記入力電圧の値と前記閾値電圧の値とが略同等であると判定するようにしてもよい。

[0014] 本技術に係る検出器において、前記複数の第 1 の検出回路のそれぞれが、第 1 の論理回路群で構成され、
前記複数の第 2 の検出回路のそれぞれが、第 2 の論理回路群で構成され、
前記第 1 の論理回路群と前記第 2 の論理回路群とが略同一の構成であっても

よい。

[0015] さらに、本技術に係る検出器において、前記第 1 の論理回路群と前記第 2 の論理回路群のそれぞれが、第 1 のフリップフロップと、第 2 のフリップフロップと、遅延素子とを有し、

前記第 1 のフリップフロップの出力と前記第 2 のフリップフロップの入力との間に、前記遅延素子が設けられていてもよい。

[0016] 本技術に係る検出器において、基準電圧生成回路を備え、

前記入力電圧が、電源電圧であり、

前記基準電圧生成回路が、供給される電源電圧から前記所定の基準電圧を生成し、

前記複数の第 1 の検出回路のそれぞれは、前記処理回路を動作させるためのシステムクロックと略同等の周波数のクロックで動作し、

前記複数の第 2 の検出回路のそれぞれは、前記システムクロックよりも周波数の低いクロックで動作し、

前記比較判定部が、前記システムクロックと略同等の周波数のクロックで動作し、前記第 1 の検出率と前記第 2 の検出率とを比較するようにしてもよい。

[0017] 本技術に係る検出器において、基準電圧生成回路を備え、

前記入力電圧が、電源電圧であって、前記基準電圧生成回路にも供給され、

前記基準電圧生成回路が、前記入力電圧から前記所定の基準電圧を生成し、

前記複数の第 1 の検出回路のそれぞれは、前記処理回路を動作させるためのシステムクロックと略同等の周波数のクロックで動作し、

前記複数の第 2 の検出回路のそれぞれは、前記システムクロックと略同等の周波数のクロックで動作し、

前記電源電圧が変動したとき、前記第 1 の検出率算出部が、前記電源電圧が変動した後の電源電圧に基づいて前記第 1 の検出率を算出し、前記第 2 の

検出率算出部が、前記電源電圧が変動する前の電源電圧に基づいて前記第2の検出率を算出し、

前記比較判定部が、前記システムクロックと略同等の周波数のクロックで動作し、前記電源電圧が変動した後の電源電圧に基づいて算出された前記第1の検出率と、前記電源電圧が変動する前の電源電圧に基づいて算出された前記第2の検出率とを比較するようにしてもよい。

[0018] 本技術によれば、検出器は、電源電圧の低下により生じるロジック素子の遅延時間が外的要因でバラついても、動作保証電圧外となったことを検知することができる。なお、本技術の効果は、必ずしも上記の効果に限定されるものではなく、本技術に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0019] [図1]本技術に係る第1の実施形態の検出器の一例であるロジック検出器の構成の例を示すブロック図である。

[図2]本技術に係る第1の実施形態のロジック検出器における第1の検出回路の構成例を示すブロック図である。

[図3]本技術に係る第1の実施形態のロジック検出器における第2の回路ブロックの検出率の分布を示した特性図である。

[図4]本技術に係る第2の実施形態の検出器の一例であるロジック検出器の構成の例を示すブロック図である。

[図5]本技術に係る第3の実施形態の検出器の一例であるロジック検出器の構成の例を示すブロック図である。

発明を実施するための形態

[0020] 以下、本技術を実施するための好適な形態について図面を参照しながら説明する。なお、以下に説明する実施形態は、本技術の代表的な実施形態の一例を示したものであり、これにより本技術の範囲が狭く解釈されることはない。

[0021] なお、説明は以下の順序で行う。

1. 本技術の概要

2. 第1の実施形態（検出器の例1）

3. 第2の実施形態（検出器の例2）

4. 第3の実施形態（検出器の例3）

[0022] <1. 本技術の概要>

従来、グリッチ電圧をアナログ回路で検出する手段では、電源ドゥループを検出する際、アンプの応答性が悪く、速い電源ドゥループを検出することができない場合がある。なお、速い電源ドゥループとは、瞬間的に電圧が下がる電源ドゥループのことをいう。また、アンプの応答速度を改善すると、消費電力（消費電流）が増大するということが考えられる。これに対し、ロジック回路を用いて電源ドゥループを検出する手段では、ロジック素子の遅延時間を用いて、意図的にフリップフロップのセットアップ違反やホールド違反を発生させてグリッチ電圧を検出している。

[0023] しかしながら、ロジック素子の遅延時間は、プロセス依存、温度依存、及び半導体デバイス（集積回路）の個体内部にバラツキが存在するため、電源電圧の低下により生じるロジック素子の遅延時間を管理することは難しく、結果、検出回路の検出電圧には、バラツキが存在する。

[0024] さらに、温度依存には個体自体（例えば、半導体デバイス自体）のバラツキも存在すると考えられ、量産工程においてある特定の電圧の温度で検査して検出電圧をトリミングしたとしても、検出電圧の温度特性は、個体ごとに異なることが想定される。このため、半導体デバイス（集積回路）では、全ての温度で動作保証することは難しいと考えられる。

[0025] 本技術は、このような状況に鑑みてなされたものであり、電源電圧の低下により生じるロジック素子の遅延時間が外的要因でバラついていても、動作保証電圧外となったことを精度よく検知することができる検出器を提供することを主目的とする。

[0026] <2. 第1の実施形態（電源回路の例1）>

本技術に係る第1の実施形態の検出器は、複数の第1の検出回路と、第1の検出率算出部と、複数の第2の検出回路と、第2の検出率算出部と、比較

判定部と、を備え、複数の第１の検出回路のそれぞれが、処理回路に供給される入力電圧が処理回路において正常に動作する動作保証範囲外の値であるか否かを検出し、第１の検出率算出部が、入力電圧が動作保証範囲外の値であることを検出した第１の検出回路の個数をカウントし、複数の第１の検出回路の全個数における検出された第１の検出回路の個数の第１の検出率を算出し、複数の第２の検出回路のそれぞれが、供給される所定の基準電圧が動作保証範囲を決定するための閾値電圧より低いか否かを検出し、第２の検出率算出部が、所定の基準電圧が閾値電圧より低いことを検出した第２の検出回路の個数をカウントし、複数の第２の検出回路の全個数における検出された第２の検出回路の個数の第２の検出率を算出し、比較判定部が、第１の検出率と第２の検出率とを比較して、第１の検出率が第２の検出率が略同等以上のとき、入力電圧の値が閾値電圧の値以下であると判定する、検出器である。

[0027] 本技術に係る第１の実施形態の検出器によれば、電源電圧の低下により生じるロジック素子の遅延時間が外的要因でバラついていても、動作保証電圧外となったことを精度よく検知することができる。

[0028] [ロジック検出器の構成]

図１に、本技術に係る第１の実施形態の検出器の一例であるロジック検出器１００を示す。図１は、本技術を適用したロジック検出器１００の構成例を示すブロック図である。

[0029] 図１に示すように、本技術に係る第１の実施形態のロジック検出器１００は、第１の回路ブロック１１と、第１の検出率算出部１５と、第２の回路ブロック２１と、第２の検出率算出部２５と、比較判定部３０とを備えて構成されている。

[0030] 第１の回路ブロック１１は、第１の検出回路１０ａ、第１の検出回路１０ｂ、・・・第１の検出回路１０ｎを有している。複数の第１の検出回路（第１の検出回路１０ａ、第１の検出回路１０ｂ、・・・第１の検出回路１０ｎ）のそれぞれは、処理回路（図示せず）に供給される入力電圧が、処理回路

(図示せず)において正常に動作する動作保証範囲外の値であるか否かを検出する。なお、処理回路(図示せず)における動作保証範囲は、例えば、1.5[V]～0.6[V]と設定することができる。

[0031] なお、複数の第1の検出回路(第1の検出回路10a、第1の検出回路10b、・・・第1の検出回路10n)のうち、いずれか1つを特定する必要がない場合は、単に、第1の検出回路10と記載することにする。また、第1の回路ブロック11が有する第1の検出回路10の個数は、特に限定されるものではなく、例えば、数十個以上とする。

[0032] 複数の第1の検出回路10のそれぞれは、第1の論理回路群で構成される。図2に、第1の検出回路10を示す。図2は、本技術に係る第1の実施形態のロジック検出器100における第1の検出回路10の構成例を示すブロック図である。なお、第1の検出回路10の構成例は一例であり、他の構成であっても適用することができる。

[0033] 図2に示すように、本技術に係る第1の実施形態の第1の検出回路10は、第1のフリップフロップFF1と、インバータIV1と、第2のフリップフロップFF2と、遅延素子DL1と、否定排他的論理和XNRとを有している。

[0034] 第1のフリップフロップFF1の入力には、インバータIV1を介して、第1のフリップフロップFF1の出力が接続されている。これにより、第1のフリップフロップFF1は、クロックパルスが印加されるたびに、出力が“H”と“L”を繰り返す。

[0035] 遅延素子DL1は、第1のフリップフロップFF1の出力と第2のフリップフロップFF2の入力との間に設けられる。遅延素子DL1は、第1のフリップフロップFF1の出力を所定の時間分だけ遅延させる。

[0036] 否定排他的論理和XNRは、第1のフリップフロップFF1の出力と第2のフリップフロップFF2の出力とが入力される。否定排他的論理和XNRは、第1のフリップフロップFF1、第2のフリップフロップFF2、及び遅延素子DL1の温度特性が反映され、第1のフリップフロップFF1の出

力と第2のフリップフロップFF2の出力とが同値となることを出力する。

[0037] 例えば、第1のフリップフロップFF1の出力と第2のフリップフロップFF2の出力とが、“H”又は“L”で同値であれば、否定排他的論理和XNRの出力は“真”となる。一方、第1のフリップフロップFF1の出力と第2のフリップフロップFF2の出力とが、同値でない場合、すなわち、“H”と“L”とで異なる場合には、否定排他的論理和XNRの出力は“偽”となる。

[0038] このため、第2のフリップフロップFF2のセットアップ時間及びホールド時間と、遅延素子DL1の遅延時間とを調整することにより、複数の第1の検出回路10のそれぞれは、検出電圧を変更することができる。

[0039] 複数の第1の検出回路10のそれぞれは、一例として上述の構成により、処理回路（図示せず）に供給される入力電圧が、処理回路（図示せず）において正常に動作する動作保証範囲外の値であるか否かを検出する。

[0040] なお、処理回路とは、CPU（Central Processing Unit）、DSP（Digital Signal Processing Unit）、ASIC（Application Specific Integrated Circuit）、FPGA（Field Programmable Gate Array）など、プログラムやデータ等を読み込んで演算処理を実行する目的のハードウェアである。

[0041] 第1の検出率算出部15は、第1の個数カウント機能151と、第1の検出率算出機能152とを有している。第1の個数カウント機能151は、入力電圧が動作保証範囲外の値であることを検出した第1の検出回路10の個数をカウントする。第1の検出率算出機能152は、複数の第1の検出回路10の全個数における、入力電圧が動作保証範囲外の値であることが検出された第1の検出回路10の個数の第1の検出率を算出する。

[0042] 第2の回路ブロック21は、第2の検出回路20a、第2の検出回路20b、・・・第2の検出回路20mを有している。複数の第2の検出回路（第2の検出回路20a、第2の検出回路20b、・・・第2の検出回路20m

）のそれぞれは、供給される所定の基準電圧が動作保証範囲を決定するための閾値電圧より低いか否かを検出する。なお、閾値電圧は、例えば、0.6 [V] と設定することができる。

[0043] なお、複数の第2の検出回路（第2の検出回路20a、第2の検出回路20b、・・・第2の検出回路20m）のうち、いずれか1つを特定する必要がない場合は、単に、第2の検出回路20と記載することにする。また、第2の回路ブロック21が有する第2の検出回路20の個数は、特に限定されるものではなく、例えば、数十個以上とする。また、第2の検出回路20の個数は、第1の検出回路10の個数と同一であってもよく、また、異なってもよい。

[0044] 複数の第2の検出回路20のそれぞれは、第2の論理回路群で構成される。同一集積回路内のロジック素子（例えば、フリップフロップや遅延素子等）の遅延時間の相対誤差を最小とするため、第2の論理回路群は、第1の論理回路群と略同一の構成となっている。なお、略同一の構成とは、第2の論理回路群は、第1の論理回路群と同一の回路構成だけでなく、例えば、第1の論理回路群と回路構成が異なっても第1の論理回路群と所定の遅延時間の相対誤差が、90%～110%の範囲内にある回路構成のことをいう。

[0045] 第2の検出回路20は、図2に示す第1の検出回路10と同様な構成を有しており、第1のフリップフロップFF1、インバータIV1、第2のフリップフロップFF2、遅延素子DL1、及び否定排他的論理和XNRを有している。

[0046] 第1のフリップフロップFF1の入力には、インバータIV1を介して、第1のフリップフロップFF1の出力が接続されている。これにより、第1のフリップフロップFF1は、クロックパルスが印加されるたびに、出力が“H”と“L”を繰り返す。

[0047] 遅延素子DL1は、第1のフリップフロップFF1の出力と第2のフリップフロップFF2の入力との間に設けられる。遅延素子DL1は、第1のフリップフロップFF1の出力を、所定の時間分だけ遅延させる。

- [0048] 否定排他的論理和XNRは、第1のフリップフロップFF1の出力と第2のフリップフロップFF2の出力とが入力される。否定排他的論理和XNRは、第1のフリップフロップFF1、第2のフリップフロップFF2、及び遅延素子DL1の温度特性が反映され、第1のフリップフロップFF1の出力と第2のフリップフロップFF2の出力とが同値となることを出力する。
- [0049] 例えば、第1のフリップフロップFF1の出力と第2のフリップフロップFF2の出力とが、“H”又は“L”で同値であれば、否定排他的論理和XNRの出力は“真”となる。一方、第1のフリップフロップFF1の出力と第2のフリップフロップFF2の出力とが、同値でない場合、すなわち、“H”と“L”とで異なる場合には、否定排他的論理和XNRの出力は“偽”となる。
- [0050] このため、第2のフリップフロップFF2のセットアップ時間及びホールド時間と、遅延素子DL1の遅延時間とを調整することにより、複数の第2の検出回路20のそれぞれは、検出電圧を変更することができる。
- [0051] 複数の第2の検出回路20のそれぞれは、一例として上記の構成により、供給される所定の基準電圧が動作保証範囲を決定するための閾値電圧より低いか否かを検出する。
- [0052] 第2の検出率算出部25は、第2の個数カウント機能251と、第2の検出率算出機能252とを有している。第2の個数カウント機能251は、所定の基準電圧が閾値電圧より低いことを検出した第2の検出回路20の個数をカウントする。第2の検出率算出機能252は、複数の第2の回路ブロック20の全個数における、所定の基準電圧が閾値電圧より低いことが検出された第2の検出回路の個数の第2の検出率を算出する。
- [0053] 比較判定部30は、第1の検出率と第2の検出率とを比較して、第1の検出率と第2の検出率とが略同等以上のとき、入力電圧の値が閾値電圧の値以下であると判定する。
- [0054] また、比較判定部30は、第1の検出率と第2の検出率とが略同等のとき、入力電圧の値と閾値電圧の値とが略同等であると判定することもできる。

[0055] 次に、第1の回路ブロック11および第2の回路ブロック21の特性について、説明する。

[0056] 図3に、ロジック検出器100が有する第2の回路ブロック21の検出率の分布を示す。図3は、本技術に係る第1の実施形態のロジック検出器100における第2の回路ブロック21の検出率の分布を示した特性図である。

[0057] 通常、閾値電圧の検出率は、第2の回路ブロック21が搭載されたロジック検出器100（半導体デバイス又は集積回路）の温度や、第2の回路ブロック21が搭載されたロジック検出器100（半導体デバイス又は集積回路）のプロセスにより変動する。なお、プロセスとは、製造工程の作り込みにおけるCMOS（Complementary Metal Oxide Semiconductor）の特性のことを意味する。

[0058] CMOSの特性とは、例えば、CMOSの閾値電圧 V_{th} のバラツキを意味する。すなわち、CMOSの閾値電圧 V_{th} が変化すると、ロジック素子の応答時間や閾値電圧が変化して、結果として、フリップフロップのセットアップ時間やホールド時間が変動する。一般的に、半導体チップ内部やチップ間にバラツキが存在し得るが、半導体チップ内部における隣接するロジック素子間では、このバラツキが小さく、一方、チップ間のバラツキは、隣接するロジック素子間のバラツキに比べて大きくなる。また、チップ間のバラツキには、同一のウェハ内におけるチップ間のバラツキと、異なるウェハ間のバラツキとがあり、通常、異なるウェハ間のバラツキが、同一のウェハ内におけるチップ間のバラツキよりも大きくなる。

[0059] したがって、半導体チップ内部やチップ間のバラツキの大きさのレベルは、半導体チップ内部における隣接するロジック素子間のバラツキが最も小さく、これに対し、異なるウェハ間のバラツキが、同一のウェハ内におけるチップ間のバラツキよりも大きくなる。

[0060] そこで、ロジック検出器100は、第1の回路ブロック11と第2の回路ブロック21を同一の半導体デバイス（同一集積回路）に形成する。すなわち、第1の回路ブロック11は、第2の回路ブロック21が搭載される半導

体デバイス（集積回路）に搭載される。これにより、第１の回路ブロック１１が有するプロセスは、第２の回路ブロック２１が有するプロセスと同一となる。

[0061] したがって、第１の回路ブロック１１と第２の回路ブロック２１とが搭載された半導体デバイス（集積回路）において、第１の回路ブロック１１と第２の回路ブロック２１は、同一チップ（同一集積回路）内にあるため、同一のプロセスとなり、例えば、電源電圧の低下により生じるロジック素子（遅延素子DL１）の遅延時間のバラツキ、フリップフロップ（第１のフリップフロップFF１と第２のフリップフロップFF２）のセットアップ時間及びホールド時間のバラツキの少なくともいずれか１つにより生じる検出電圧のバラツキ分布が、等しいと考えることができる。

[0062] また、第１の回路ブロック１１の温度と第２の回路ブロック２１の温度も、同一であると考えることができる。このため、第１の回路ブロック１１の温度特性と第２の回路ブロック２１の温度特性も、同一であると考えることができる。

[0063] よって、第１の回路ブロック１１の検出率の分布は、第２の回路ブロック２１の検出率の分布と略同等となる。以下の説明では、図３を用いて、第２の回路ブロック２１の検出率の分布特性を説明する。なお、検出率の分布が略同等とは、例えば、同一を含み、例えば、検出率の分布が、９０％以上一致するものをいう。

[0064] 図３では、例えば、閾値電圧を、０．６〔V〕とした場合に、第１の基準検出率SH１は、半導体デバイス（ロジック検出器１００）の温度が２０度の場合の温度特性を示している。第２の基準検出率SH２は、半導体デバイス（ロジック検出器１００）の温度が３０度の場合の温度特性を示している。また、第３の基準検出率SH３は、半導体デバイス（ロジック検出器１００）の温度が４０度の場合の温度特性を示している。

[0065] ここで、温度が２０度の場合の温度特性を有する第２の基準検出率SH２を用いて説明する。例えば、半導体デバイス（ロジック検出器１００）の第

2の回路ブロック21に基準電圧が供給されて、数十個の第2の検出回路20のうち、いくつかの第2の検出回路20が、閾値電圧の0.6[V]よりも低いことを検出する。

[0066] 第2の検出率算出部25は、第2の個数カウント機能251により、供給された基準電圧が閾値電圧である0.6[V]よりも低いことを検出した第2の検出回路の個数をカウントする。第2の検出率算出部25は、第2の検出率算出機能252により、複数の第2の検出回路20の全個数における、閾値電圧の0.6[V]よりも低いと検出された第2の検出回路20の個数の第2の検出率を算出する。

[0067] 図3において、例えば、入力電圧が、1.1[V]から0.8[V]までは、複数の第2の検出回路20のそれぞれが0.6[V]よりも低いことを検出しないため、0%となっている。そして、供給される入力電圧が0.8[V]よりも低くなり、例えば、入力電圧が、0.7[V]のとき、所定の個数の第2の検出回路20が閾値電圧の0.6[V]よりも低いことを検出するため、第2の検出率が10%になっている。また、入力電圧が、0.65[V]のとき、所定の個数の第2の検出回路20が閾値電圧の0.6[V]よりも低いことを検出するため、第2の検出率が20%になり、同様に、入力電圧が、0.6[V]のとき、第2の検出率が30%になり、さらに、入力電圧が、0.55[V]のとき、第2の検出率が60%になっている。

[0068] このように、第2の回路ブロック21には、基準電圧が供給され、第2の検出率算出部25は、その供給された基準電圧に対し、複数の第2の検出回路20の全個数における、閾値電圧の0.6[V]よりも低いと検出された第2の検出回路20の個数の第2の検出率を算出する。

[0069] これにより、第2の検出率算出部25は、半導体デバイス（ロジック検出器100）の所定の温度（例えば、30度）における基準電圧ごとの検出率を算出することができる。

[0070] [ロジック検出器の動作]

次に、ロジック検出器100の動作について説明する。第1の回路ブロッ

ク 1 1 は、例えば、CPU や DSP などの処理回路（図示せず）に設けられる。第 1 の回路ブロック 1 1 は、処理回路（図示せず）に供給される入力電圧を監視する。

[0071] まず、第 1 の回路ブロック 1 1 が有する複数の第 1 の検出回路 1 0 のそれぞれは、処理回路（図示せず）に供給される入力電圧が、処理回路（図示せず）において正常に動作する動作保証範囲外の値であるか否かを検出する。

[0072] 第 1 の検出率算出部 1 5 は、第 1 の個数カウント機能 1 5 1 により入力電圧が動作保証範囲外の値であることを検出した第 1 の検出回路 1 0 の個数をカウントする。そして、第 1 の検出率算出部 1 5 は、第 1 の検出率算出機能 1 5 2 により複数の第 1 の検出回路 1 0 の全個数における検出された第 1 の検出回路 1 0 の個数の第 1 の検出率を算出する。

[0073] ここで、第 1 の検出回路 1 0 の全個数は、例えば、1 0 0 個とする。また、処理回路（図示せず）の動作保証範囲（定格値）を、例えば、1. 5 [V] ~ 0. 6 [V] とする。なお、動作保証範囲（定格値）は、処理回路が安定して使用できる電圧を意味し、多少の余裕を持って定められる。そのため、一時的であれば、動作保証範囲（定格値）を超えても、処理回路は使用できるものとする。

[0074] 複数の第 1 の検出回路 1 0 のそれぞれは、処理回路（図示せず）のシステムクロックに同期しており、処理回路（図示せず）に供給される入力電圧が処理回路（図示せず）において正常に動作する動作保証範囲外の値であるか否かを検出する。なお、処理回路（図示せず）の温度を 3 0 度として、図 3 に示した第 2 の基準検出率 S H 2 の分布特性を適用する。

[0075] 例えば、入力電圧が、0. 8 [V] の場合、1 0 0 個の第 1 の検出回路 1 0 は、いずれも動作保証範囲外であることを検出しないため、第 1 の検出率算出部 1 5 は、第 1 の検出率を、0 % と算出する。

[0076] そして、1 0 0 個の第 1 の検出回路 1 0 のそれぞれは、例えば、入力電圧が 0. 8 [V] から一時的に降下したとき、処理回路（図示せず）に供給された入力電圧が処理回路（図示せず）において正常に動作する動作保証範囲

外の値（ 0.6 [V] ）であるか否かを検出する。

[0077] 第1の検出率算出部15は、100個の第1の検出回路10のうち、例えば、20個の第1の検出回路10が動作保証範囲外の値（ 0.6 [V] ）であることを検出したとき、第1の検出率が20%であることを算出する。また、第1の検出率算出部15は、100個の第1の検出回路10のうち、例えば、30個の第1の検出回路10が動作保証範囲外の値（ 0.6 [V] ）であることを検出したとき、第1の検出率が30%であることを算出する。

[0078] 比較判定部30は、処理回路（図示せず）に供給されるシステムクロックに同期にして、第1の検出率算出部15の第1の検出率と第2の検出率算出部25の第2の検出率とを比較する。そして、比較判定部30は、第1の検出率と第2の検出率とが略同等以上のとき、入力電圧の値が閾値電圧の値（ 0.6 [V] ）以下であると判定する。

[0079] なお、第2の回路ブロック21にも処理回路（図示せず）に入力されるシステムクロックが入力されており、複数の第2の検出回路20のそれぞれは、処理回路（図示せず）のシステムクロックに同期しているものとする。

[0080] ここで、例えば、第2の検出率算出部25は、閾値電圧が 0.6 [V] の場合、複数の第2の検出回路20の全個数における検出された第2の検出回路20の個数の第2の検出率は30%である。

[0081] これに対し、第1の検出率算出部15は、処理回路（図示しない）に供給される入力電圧に応じて、第1の検出率が変動する。比較判定部30は、第1の検出率算出部15の第1の検出率が、0%から30%以上になったとき、処理回路（図示せず）への入力電圧の値が、閾値電圧の値（ 0.6 [V] ）以下であると判定する。

[0082] 以上説明したように、本技術に係る第1の実施形態のロジック検出器100は、第1の検出率算出部15と、第2の検出率算出部25と、比較判定部30とを備えている。

[0083] 第1の検出率算出部15は、複数の第1の検出回路10の全個数において検出された第1の検出回路10の個数の第1の検出率を算出する。また、第

2の検出率算出部25は、複数の第2の検出回路20の全個数において検出された第2の検出回路20の個数の第2の検出率を算出する。そして、比較判定部30は、第1の検出率と第2の検出率とを比較して、第1の検出率と第2の検出率とが略同等以上のとき、入力電圧の値が閾値電圧の値以下であると判定する。

[0084] これにより、ロジック検出器100は、第1の検出率が、第2の検出率と略同等以上のとき、処理回路に供給される入力電圧が、閾値電圧の値（例えば、0.6[V]）以下であると判定することができる。

[0085] したがって、ロジック検出器100は、CPUやDSP等の処理回路（図示せず）に供給される入力電圧が閾値電圧の値（例えば、0.6[V]）以下であると判定したとき、CPUやDSP等の処理を停止させたり、又は、そのタイミングでの演算結果を無効とすることができる。

[0086] 特に、比較判定部30は、第1の検出率と第2の検出率とが略同等のとき、入力電圧の値と閾値電圧の値とが略同等であると判定することができる。

[0087] すなわち、ロジック検出器100の比較判定部30は、例えば、第1の検出率が、第2の検出率の30%と略同等のとき、CPUやDSP等の処理回路（図示せず）に供給される入力電圧が、閾値電圧の値（0.6[V]）と略同等であると判定することができる。

[0088] なお、処理回路（図示せず）に供給される入力電圧は、一例として、外部から供給される電源電圧で説明したが、これに限定されるものではない。例えば、処理回路に供給される入力電圧は、半導体デバイス（集積回路）の内部で生成される電圧であってもよく、また、他の処理回路と電源を共有する共有電源であってもよい。

[0089] <3. 第2の実施形態（検出器の例2）>

次に、本技術に係る第2の実施形態の検出器は、第1の実施形態において、基準電圧生成回路を備え、入力電圧が、電源電圧であり、基準電圧生成回路が、供給される電源電圧から所定の基準電圧を生成し、複数の第1の検出回路のそれぞれは、処理回路を動作させるためのシステムクロックと略同等

の周波数のクロックで動作し、複数の第2の検出回路のそれぞれは、システムクロックよりも周波数の低いクロックで動作し、比較判定部が、システムクロックと略同等の周波数のクロックで動作し、第1の検出率と第2の検出率とを比較する、検出器である。

[0090] 本技術に係る第2の実施形態の検出器によれば、所定の基準電圧に基づいて、第2の検出率を算出することができるので、電源電圧の低下により生じるロジック素子の遅延時間が外的要因でバラついていても、動作保証電圧外となったことを検知することができる。

[0091] 図4を用いて、本技術に係る第2の実施形態の検出器の一例であるロジック検出器100aについて説明する。なお、第1の実施形態と同一の構成要素については同一の符号を付し、説明を適宜、省略する。

[0092] 本技術に係る第2の実施形態のロジック検出器100aは、第1の実施形態のロジック検出器100に、基準電圧生成回路40を備えている。処理回路（図示せず）には電源電圧VDD1が供給されており、第1の回路ブロック11には、電源電圧VDD1が供給されている。基準電圧生成回路40は、外部から供給される電源電圧VDD2から所定の基準電圧を生成する。

[0093] 図4に示すように、第1の回路ブロック11と第2の回路ブロック21aのそれぞれには、別電源から電源電圧が供給されている。第1の回路ブロック11には、電源電圧VDD1が供給されており、第1の回路ブロック11が有する複数の第1の検出回路10のそれぞれには、電源電圧VDD1が供給されている。

[0094] 一方、基準電圧生成回路40には、電源電圧VDD2が供給されている。基準電圧生成回路40は、電源電圧VDD2から所定の基準電圧を生成し、その生成した所定の基準電圧を第2の回路ブロック21aに供給する。これにより、第2の回路ブロック21aが有する複数の第2の検出回路20のそれぞれには、所定の基準電圧が供給されている。

[0095] また、第2の実施形態に係るロジック検出器100aは、第1の実施形態に係るロジック検出器100と同様に、第1の回路ブロック11と第2の回

路ブロック21aとが、同一の半導体デバイス（同一集積回路）に形成される。

[0096] これにより、第1の回路ブロック11と第2の回路ブロック21aとが搭載された半導体デバイス（図示しない集積回路）において、第1の回路ブロック11と第2の回路ブロック21aは、プロセスによる電源電圧の低下により生じるロジック素子（遅延素子DL1）の遅延時間のバラツキ、フリップフロップ（第1のフリップフロップFF1と第2のフリップフロップFF2）のセットアップ時間及びホールド時間のバラツキの少なくともいずれか1つにより生じる検出電圧のバラツキ分布が、等しいと考えることができる。また、第1の回路ブロック11の温度特性と第2の回路ブロック21aの温度特性も同一であると考えることができる。

[0097] ここで、本技術に係る第2の実施形態のロジック検出器100aでは、第1の回路ブロック11が有する複数の第1の検出回路10のそれぞれは、処理回路（図示せず）を動作させるためのシステムクロックと略同等の周波数のクロックで動作する。これに対し、第2の回路ブロック21aが有する複数の第2の検出回路20のそれぞれは、システムクロックよりも周波数の低いクロックで動作する。

[0098] また、比較判定部30は、システムクロックと略同等の周波数のクロックで動作し、第1の検出率と第2の検出率とを比較する。

[0099] 第2の回路ブロック21aには、所定の基準電圧が供給されており、第2の回路ブロック21aは、図3に示す分布特性を有するため、第1の回路ブロック11の第1の検出率よりも算出回数を減らし、間欠的に第2の検出率を算出することができる。具体的には、第2の回路ブロック21aが有する複数の第2の検出回路20のそれぞれは、第1の回路ブロック11が有する複数の第1の検出回路10のそれぞれよりも、クロックの周波数が2分の1又は3分の1のクロックが入力される。これにより、ロジック検出器100aは、第2の検出率を算出する回数を、2分の1又は3分の1に抑制することができる。

[0100] これにより、ロジック検出器 100a は、第 2 の回路ブロック 21a において、第 1 の回路ブロック 11 に比べてクロックに同期した検出動作を抑制することができるため、消費電力を低減することができる。

[0101] また、ロジック検出器 100a は、図 3 に示す分布特性を、既知のデータとして取り扱うこともできる。例えば、ロジック検出器 100a の第 2 の回路ブロック 21 が 1 度、所定の基準電圧で閾値電圧より低いか否かを検出し、第 2 の検出率算出部 25 が第 2 の検出率を算出する。そして、ロジック検出器 100a は、第 2 の検出率算出部 25 によって算出された第 2 の検出率を、比較データとしてデータ格納部（図示せず）に格納する。

[0102] これにより、本技術に係る第 2 の実施形態のロジック検出器 100a は、比較判定部 30 が、システムクロックと略同等の周波数のクロックで算出された第 1 の検出率と、システムクロックよりも周波数の低いクロックで算出された第 2 の検出率とを、システムクロックと略同等の周波数のクロックに基づいて比較することができる。

[0103] 本技術に係る第 2 の実施形態のロジック検出器 100a によれば、比較判定部 30 において、第 1 の検出率と第 2 の検出率とが略同等以上のとき、入力電圧の値が閾値電圧の値以下であると判定することができる。

[0104] < 4. 第 3 の実施形態（検出器の例 3） >

本技術に係る第 3 の実施形態の電源回路は、第 1 の実施形態において、基準電圧生成回路を備え、入力電圧が、電源電圧であって、基準電圧生成回路にも供給され、基準電圧生成回路が、入力電圧から所定の基準電圧を生成し、複数の第 1 の検出回路のそれぞれは、処理回路を動作させるためのシステムクロックと略同等の周波数のクロックで動作し、複数の第 2 の検出回路のそれぞれは、システムクロックと略同等の周波数のクロックで動作し、電源電圧が変動したとき、第 1 の検出率算出部が、電源電圧が変動した後の電源電圧に基づいて第 1 の検出率を算出し、第 2 の検出率算出部が、電源電圧が変動する前の電源電圧に基づいて第 2 の検出率を算出し、比較判定部が、システムクロックと略同等の周波数のクロックで動作し、電源電圧が変動した

後の電源電圧に基づいて算出された第1の検出率と、電源電圧が変動する前の電源電圧に基づいて算出された第2の検出率とを比較する、検出器である。

[0105] 本技術に係る第3の実施形態の検出器によれば、供給された入力電圧の値が一時的に変動し、電源ドゥループとなって、電源電圧の低下により生じるロジック素子の遅延時間が外的要因でバラついても、動作保証電圧外となったことを検知することができる。

[0106] 図5を用いて、本技術に係る第3の実施形態の検出器の一例であるロジック検出器100bについて説明する。なお、第1の実施形態と同一の構成要素については、同一の符号を付し、説明を適宜、省略する。

[0107] 本技術に係る第3の実施形態のロジック検出器100bは、基準電圧生成回路40aを備えている。処理回路（図示せず）に供給される入力電圧は、電源電圧VDDであり、その電源電圧VDDが、第1の回路ブロック11及び基準電圧回路40aに供給されている。第1の回路ブロック11が有する複数の第1の検出回路10のそれぞれには、電源電圧VDDが供給されている。基準電圧生成回路40aは、電源電圧VDDから所定の基準電圧を生成し、その生成した所定の基準電圧を第2の回路ブロック21aに供給する。これにより、第2の回路ブロック21が有する複数の第2の検出回路20のそれぞれには、所定の基準電圧が供給されている。

[0108] 第1の回路ブロック11が有する複数の第1の検出回路10のそれぞれは、処理回路（図示せず）を動作させるためのシステムクロックと略同等の周波数のクロックで動作する。第2の回路ブロック21が有する複数の第2の検出回路20のそれぞれは、システムクロックと略同等の周波数のクロックで動作する。

[0109] 入力電圧である電源電圧VDDが変動したとき、第1の検出率算出部15aは、電源電圧VDDが変動した後の電源電圧に基づいて第1の検出率を算出する。第2の検出率算出部25aは、電源電圧VDDが変動する前の電源電圧に基づいて第2の検出率を算出する。そして、比較判定部30aは、シ

ステムクロックと略同等の周波数のクロックで動作し、電源電圧 VDD が変動した後の電源電圧に基づいて算出された第 1 の検出率と、電源電圧 VDD が変動する前の電源電圧に基づいて算出された第 2 の検出率とを比較する。

[0110] 図 5 に示すように、第 1 の回路ブロック 11 には、電源電圧 VDD が供給されており、第 1 の回路ブロック 11 が有する複数の第 1 の検出回路 10 のそれぞれには、電源電圧 VDD が供給されている。

[0111] 一方、基準電圧生成回路 40a にも電源電圧 VDD が供給され、基準電圧生成回路 40a は、電源電圧 VDD から所定の基準電圧を生成し、その生成された所定の基準電圧を第 2 の回路ブロック 21 に供給している。このため、第 2 の回路ブロック 21 が有する複数の第 2 の回路ブロック 21 のそれぞれには、所定の基準電圧が供給されている。

[0112] また、第 3 の実施形態に係るロジック検出器 100b は、第 1 の実施形態に係るロジック検出器 100 と同様に、第 1 の回路ブロック 11 と第 2 の回路ブロック 21 が、同一の半導体デバイス（同一集積回路）に形成される。

[0113] これにより、第 1 の回路ブロック 11 と第 2 の回路ブロック 21 とが搭載された半導体デバイス（図示しない集積回路）において、第 1 の回路ブロック 11 と第 2 の回路ブロック 21 は、プロセスによる電源電圧の低下により生じるロジック素子（遅延素子 DL1）の遅延時間のバラツキ、フリップフロップ（第 1 のフリップフロップ FF1 と第 2 のフリップフロップ FF2）のセットアップ時間及びホールド時間のバラツキの少なくともいずれか 1 つにより生じる検出電圧のバラツキ分布が、等しいと考えることができる。また、第 1 の回路ブロック 11 の温度特性と第 2 の回路ブロック 21 の温度特性も同一であると考えることができる。

[0114] ここで、本技術に係る第 3 の実施形態のロジック検出器 100b では、複数の第 1 の検出回路 10 のそれぞれは、処理回路（図示せず）を動作させるためのシステムクロックと略同等の周波数のクロックで動作する。また、複数の第 2 の検出回路 20 のそれぞれは、システムクロックと略同等の周波数のクロックで動作する。

- [0115] この場合、例えば、電源電圧VDDに電源ドゥループが生じて電源電圧VDDが変動すると、基準電圧生成回路40aが生成する所定の基準電圧にも変動の影響が生じることが想定される。具体的には、供給される電源電圧VDDが一時的に下がると、基準電圧生成回路40aによって生成される所定の基準電圧も一時的に下がることが想定される。
- [0116] そこで、電源電圧VDDが変動したとき、第1の検出率算出部15aは、電源電圧VDDが変動した後の電源電圧に基づいて第1の検出率を算出する。一方、第2の検出率算出部25aは、電源電圧VDDが変動する前の電源電圧に基づいて第2の検出率を算出する。そして、比較判定部30aは、システムクロックと略同等の周波数のクロックで動作し、電源電圧VDDが変動した後の電源電圧に基づいて算出された第1の検出率と、電源電圧VDDが変動する前の電源電圧に基づいて算出された第2の検出率とを比較するようになっている。
- [0117] これにより、第3の実施形態のロジック検出器100bは、電源電圧VDDの低下により生じるロジック素子の遅延時間が外的要因でバラついていても、電源ドゥループの影響を除外し、動作保証電圧外となったことを検知することができる。
- [0118] 第1の回路ブロック11及び第2の回路ブロック21において、例えば、電源ドゥループが生じたタイミングをシステムクロックにおけるn回目のクロックパルスとする。すると、電源ドゥループが生じる前のタイミングは、(n-1)回目のクロックパルスや(n-2)回目のクロックパルスとして表すことができる。このため、比較判定部30aは、この電源ドゥループが生じる前のタイミングを、電源電圧VDDが変動する前の電源電圧に基づいて算出された第2の検出率として使用することができる。
- [0119] また、比較判定部30aは、電源ドゥループが生じたとき、電源電圧VDDが変動する前に算出された第2の検出率として、第2の実施形態で説明した既知のデータ（過去のデータ）として格納する第2の検出率を適用することもできる。

- [0120] 比較判定部30aは、電源電圧VDDが変動した後の電源電圧に基づいて算出された第1の検出率と、電源電圧VDDが変動する前の電源電圧に基づいて算出された第2の検出率とを比較することにより、入力電圧がどれだけ下がったか知ることができる。
- [0121] 例えば、図3に示す第2の基準検出率SH2を使用し、第1の検出率が60%になった場合には、比較判定部30aは、第1の回路ブロック11（処理回路）に供給された入力電圧が、0.55[V]まで下がったと判定することができる（図3参照）。また、第1の検出率が20%になった場合には、比較判定部30aは、第1の回路ブロック11（処理回路）に供給された入力電圧が、0.65[V]まで下がったと判定することができる（図3参照）。
- [0122] なお、比較判定部30aが比較する第2の検出率は、電源電圧VDDが変動する前に算出された第2の検出率として、例えば、移動平均による検出率や特定の電圧の範囲での中央値の検出率を使用することもできる。なお、移動平均は、第2の検出率を時系列データとして平滑化したデータのことである。
- [0123] このように、本技術に係る第3の実施形態のロジック検出器100bは、電源電圧VDDの低下により生じるロジック素子の遅延時間が外的要因でバラついていても、動作保証電圧外となったことを検知することができる。
- [0124] なお、本技術に係る実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。
- [0125] また、本技術に係る第1乃至第3の実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。
- [0126] また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。
- [0127] また、本技術は、以下のような構成を取ることができる。
- [1] 複数の第1の検出回路と、

第 1 の検出率算出部と、
複数の第 2 の検出回路と、
第 2 の検出率算出部と、
比較判定部と、を備え、

前記複数の第 1 の検出回路のそれぞれが、処理回路に供給される入力電圧が前記処理回路において正常に動作する動作保証範囲外の値であるか否かを検出し、

前記第 1 の検出率算出部が、前記入力電圧が前記動作保証範囲外の値であることを検出した前記第 1 の検出回路の個数をカウントし、前記複数の第 1 の検出回路の全個数における前記検出された第 1 の検出回路の個数の第 1 の検出率を算出し、

前記複数の第 2 の検出回路のそれぞれが、供給される所定の基準電圧が動作保証範囲を決定するための閾値電圧より低いか否かを検出し、

前記第 2 の検出率算出部が、前記所定の基準電圧が前記閾値電圧より低いことを検出した前記第 2 の検出回路の個数をカウントし、前記複数の第 2 の検出回路の全個数における前記検出された第 2 の検出回路の個数の第 2 の検出率を算出し、

前記比較判定部が、前記第 1 の検出率と前記第 2 の検出率とを比較して、前記第 1 の検出率と前記第 2 の検出率とが略同等以上のとき、前記入力電圧の値が前記閾値電圧の値以下であると判定する、検出器。

〔 2 〕 前記比較判定部が、前記第 1 の検出率と前記第 2 の検出率とが略同等のとき、前記入力電圧の値と前記閾値電圧の値とが略同等であると判定する、前記〔 1 〕に記載の検出器。

〔 3 〕 前記複数の第 1 の検出回路のそれぞれが、第 1 の論理回路群で構成され、

前記複数の第 2 の検出回路のそれぞれが、第 2 の論理回路群で構成され、
前記第 1 の論理回路群と前記第 2 の論理回路群とが略同一の構成である、
前記〔 1 〕又は〔 2 〕に記載の検出器。

〔４〕前記第１の論理回路群と前記第２の論理回路群のそれぞれが、第１のフリップフロップと、第２のフリップフロップと、遅延素子とを有し、前記第１のフリップフロップの出力と前記第２のフリップフロップの入力との間に、前記遅延素子が設けられる、前記〔３〕に記載の検出器。

〔５〕基準電圧生成回路を備え、

前記入力電圧が、電源電圧であり、

前記基準電圧生成回路が、供給される電源電圧から前記所定の基準電圧を生成し、

前記複数の第１の検出回路のそれぞれは、前記処理回路を動作させるためのシステムクロックと略同等の周波数のクロックで動作し、

前記複数の第２の検出回路のそれぞれは、前記システムクロックよりも周波数の低いクロックで動作し、

前記比較判定部が、前記システムクロックと略同等の周波数のクロックで動作し、前記第１の検出率と前記第２の検出率とを比較する、前記〔１〕乃至〔４〕のいずれか１つに記載の検出器。

〔６〕基準電圧生成回路を備え、

前記入力電圧が、電源電圧であって、前記基準電圧生成回路にも供給され、

前記基準電圧生成回路が、前記入力電圧から前記所定の基準電圧を生成し、

前記複数の第１の検出回路のそれぞれは、前記処理回路を動作させるためのシステムクロックと略同等の周波数のクロックで動作し、

前記複数の第２の検出回路のそれぞれは、前記システムクロックと略同等の周波数のクロックで動作し、

前記電源電圧が変動したとき、前記第１の検出率算出部が、前記電源電圧が変動した後の電源電圧に基づいて前記第１の検出率を算出し、前記第２の検出率算出部が、前記電源電圧が変動する前の電源電圧に基づいて前記第２の検出率を算出し、

前記比較判定部が、前記システムクロックと略同等の周波数のクロックで動作し、前記電源電圧が変動した後の電源電圧に基づいて算出された前記第1の検出率と、前記電源電圧が変動する前の電源電圧に基づいて算出された前記第2の検出率とを比較する、前記〔1〕乃至〔4〕のいずれか1つに記載の検出器。

符号の説明

- [0128] 1 0 第1の検出回路
1 1 第1の回路ブロック
1 5 第1の検出率算出部
2 0 第2の検出回路
2 1 第2の回路ブロック
2 5 第2の検出率算出部
3 0 比較判定部
4 0 基準電圧生成回路

請求の範囲

- [請求項1] 複数の第1の検出回路と、
第1の検出率算出部と、
複数の第2の検出回路と、
第2の検出率算出部と、
比較判定部と、を備え、
前記複数の第1の検出回路のそれぞれが、処理回路に供給される入力電圧が前記処理回路において正常に動作する動作保証範囲外の値であるか否かを検出し、
前記第1の検出率算出部が、前記入力電圧が前記動作保証範囲外の値であることを検出した前記第1の検出回路の個数をカウントし、前記複数の第1の検出回路の全個数における前記検出された第1の検出回路の個数の第1の検出率を算出し、
前記複数の第2の検出回路のそれぞれが、供給される所定の基準電圧が動作保証範囲を決定するための閾値電圧より低いか否かを検出し、
前記第2の検出率算出部が、前記所定の基準電圧が前記閾値電圧より低いことを検出した前記第2の検出回路の個数をカウントし、前記複数の第2の検出回路の全個数における前記検出された第2の検出回路の個数の第2の検出率を算出し、
前記比較判定部が、前記第1の検出率と前記第2の検出率とを比較して、前記第1の検出率と前記第2の検出率とが略同等以上のとき、前記入力電圧の値が前記閾値電圧の値以下であると判定する、検出器。
- [請求項2] 前記比較判定部が、前記第1の検出率と前記第2の検出率とが略同等のとき、前記入力電圧の値と前記閾値電圧の値とが略同等であると判定する、請求項1に記載の検出器。
- [請求項3] 前記複数の第1の検出回路のそれぞれが、第1の論理回路群で構成

され、

前記複数の第2の検出回路のそれぞれが、第2の論理回路群で構成され、

前記第1の論理回路群と前記第2の論理回路群とが略同一の構成である、請求項1に記載の検出器。

[請求項4]

前記第1の論理回路群と前記第2の論理回路群のそれぞれが、第1のフリップフロップと、第2のフリップフロップと、遅延素子とを有し、

前記第1のフリップフロップの出力と前記第2のフリップフロップの入力との間に、前記遅延素子が設けられる、請求項3に記載の検出器。

[請求項5]

基準電圧生成回路を備え、

前記入力電圧が、電源電圧であり、

前記基準電圧生成回路が、供給される電源電圧から前記所定の基準電圧を生成し、

前記複数の第1の検出回路のそれぞれは、前記処理回路を動作させるためのシステムクロックと略同等の周波数のクロックで動作し、

前記複数の第2の検出回路のそれぞれは、前記システムクロックよりも周波数の低いクロックで動作し、

前記比較判定部が、前記システムクロックと略同等の周波数のクロックで動作し、前記第1の検出率と前記第2の検出率とを比較する、請求項1に記載の検出器。

[請求項6]

基準電圧生成回路を備え、

前記入力電圧が、電源電圧であって、前記基準電圧生成回路にも供給され、

前記基準電圧生成回路が、前記入力電圧から前記所定の基準電圧を生成し、

前記複数の第1の検出回路のそれぞれは、前記処理回路を動作させ

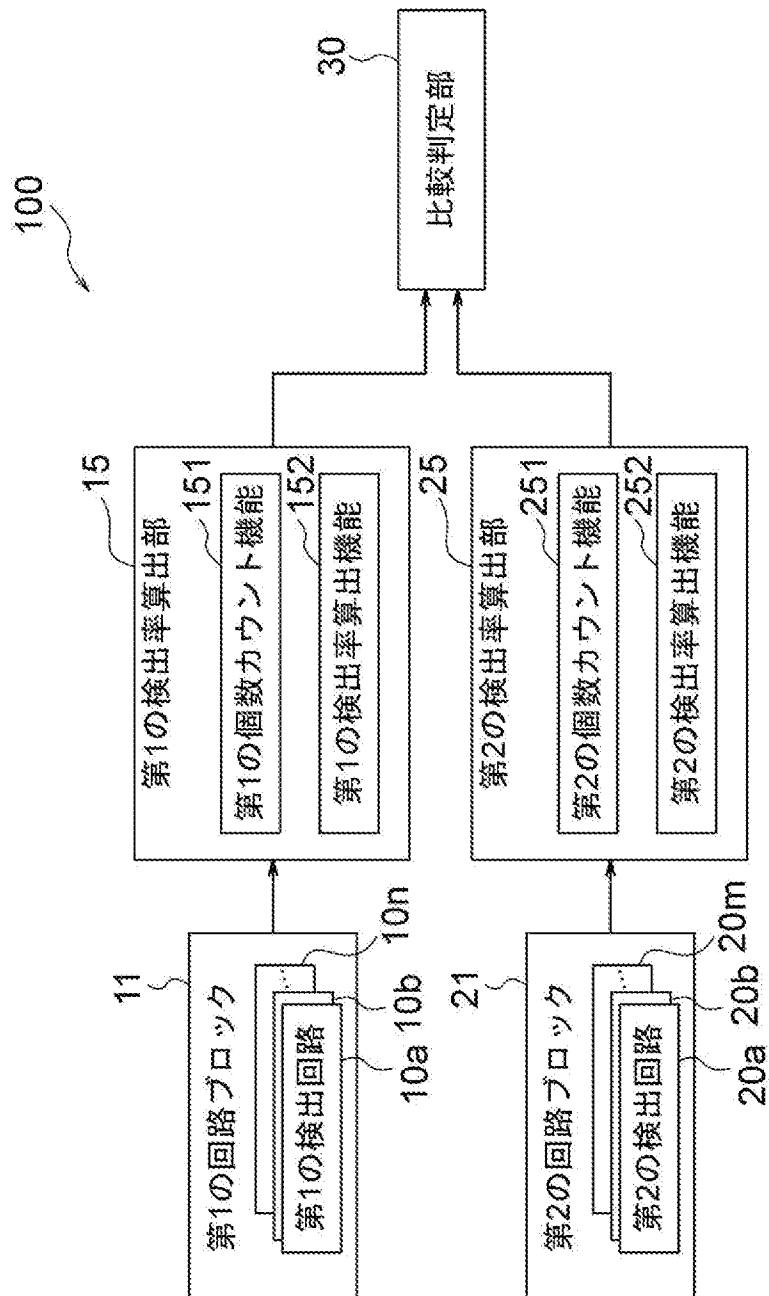
るためのシステムクロックと略同等の周波数のクロックで動作し、

前記複数の第2の検出回路のそれぞれは、前記システムクロックと略同等の周波数のクロックで動作し、

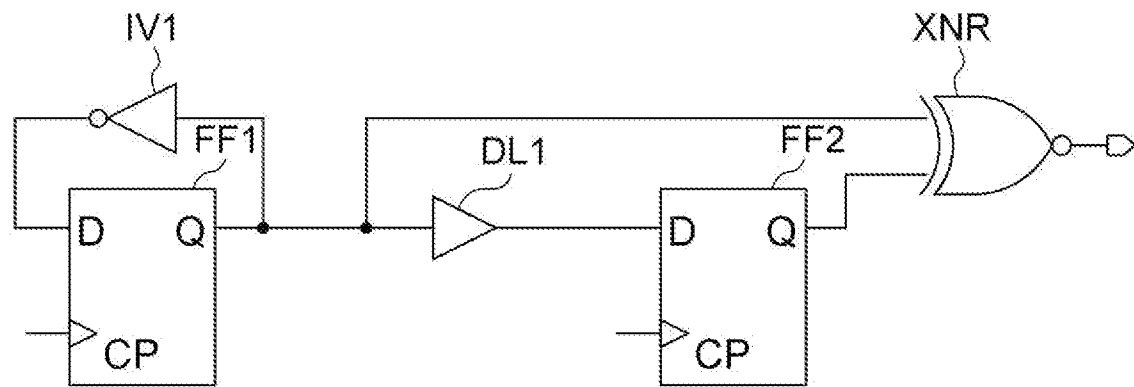
前記電源電圧が変動したとき、前記第1の検出率算出部が、前記電源電圧が変動した後の電源電圧に基づいて前記第1の検出率を算出し、前記第2の検出率算出部が、前記電源電圧が変動する前の電源電圧に基づいて前記第2の検出率を算出し、

前記比較判定部が、前記システムクロックと略同等の周波数のクロックで動作し、前記電源電圧が変動した後の電源電圧に基づいて算出された前記第1の検出率と、前記電源電圧が変動する前の電源電圧に基づいて算出された前記第2の検出率とを比較する、請求項1に記載の検出器。

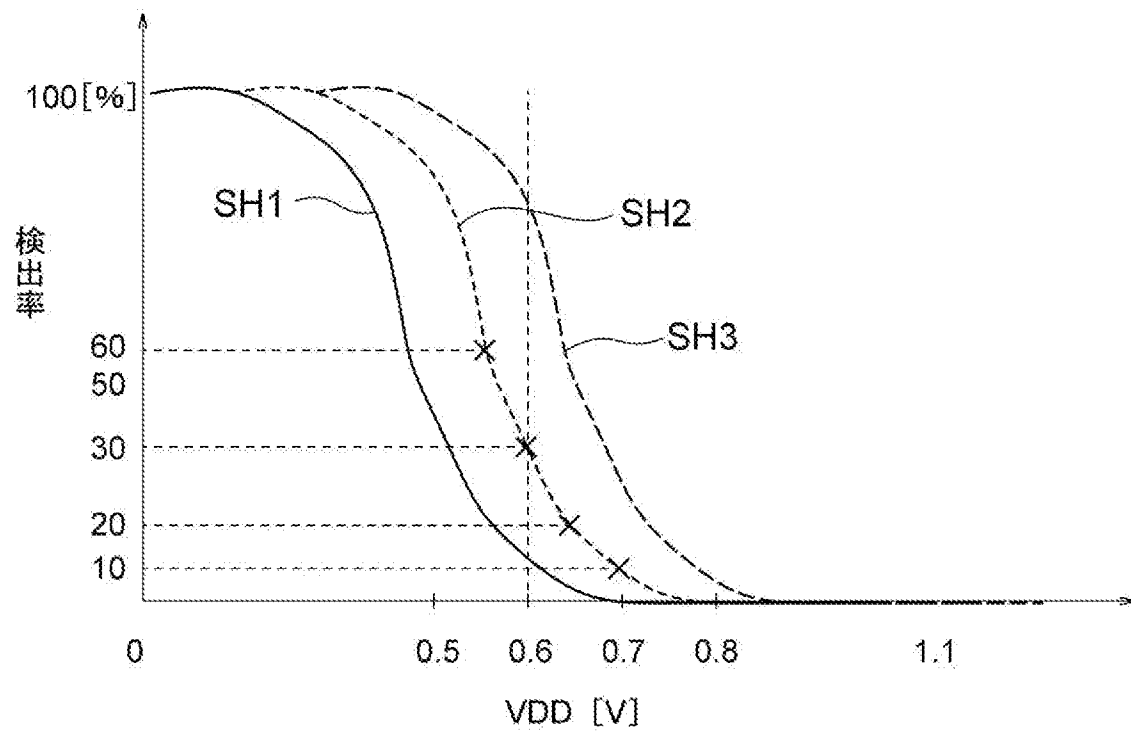
[図1]



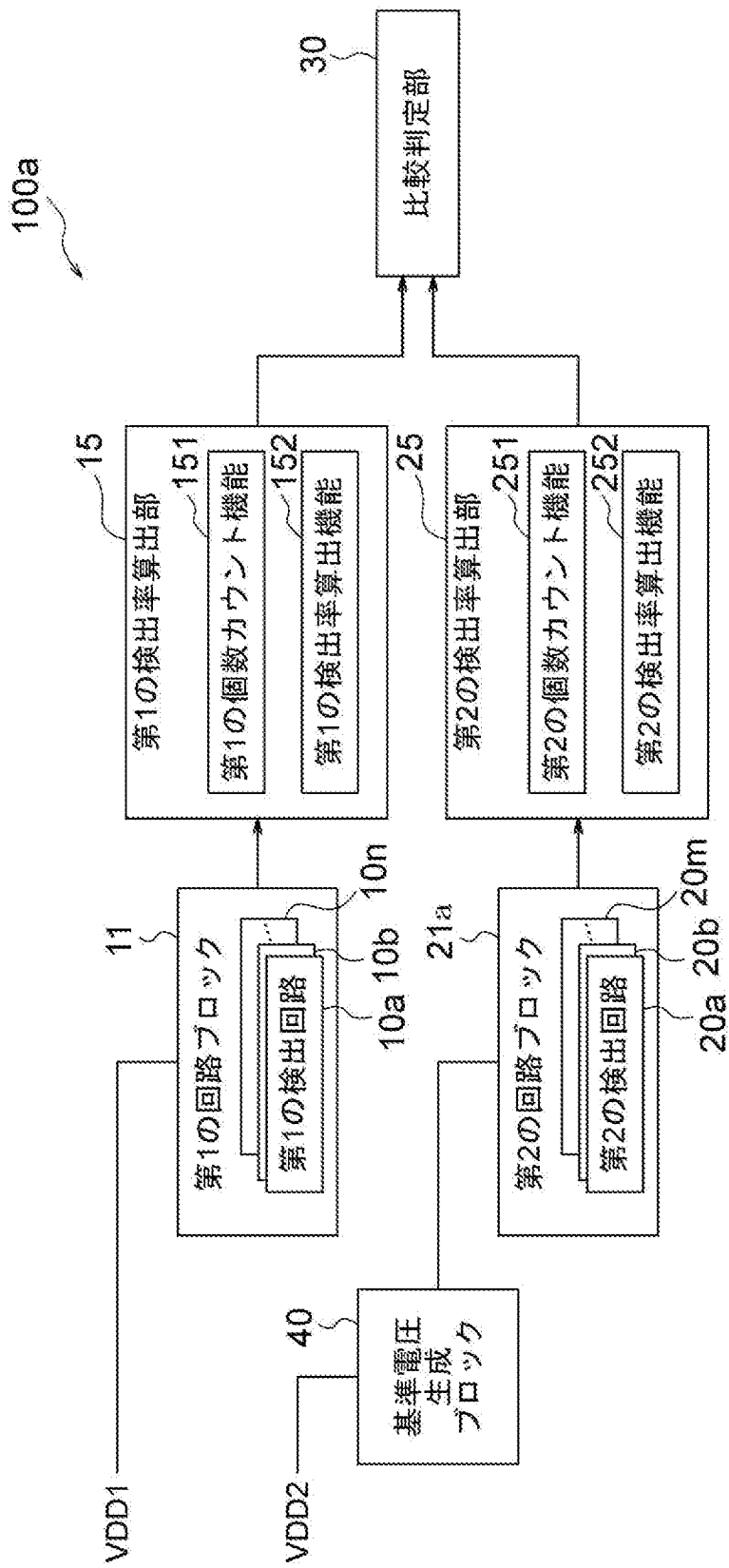
[図2]



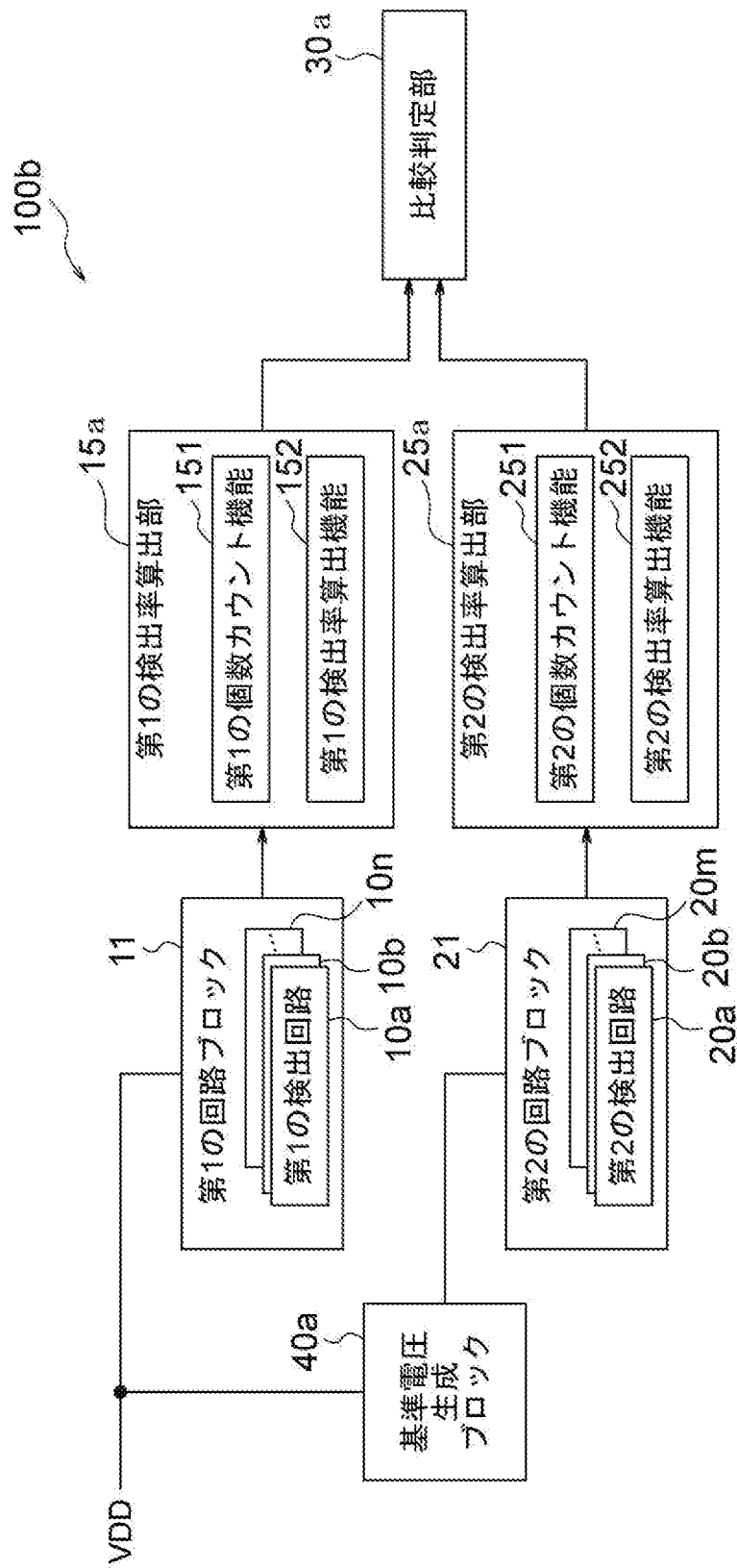
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/000211

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G01R19/165 (2006.01) i, H01L21/82 (2006.01) i, H01L21/822 (2006.01) i, H01L27/04 (2006.01) i

FI: G01R19/165 K, H01L27/04 U, H01L27/04 B, H01L27/04 T, H01L21/82 T

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G01R19/00-19/32, H01L21/82, H01L21/822, H01L27/04, H02J1/00-1/16, H02H1/00-3/07, 99/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015/0102833 A1 (BHATIA, Ajay K.) 16 April 2015, entire text, all drawings	1-6
A	US 2015/0015283 A1 (PARK, Brian S. et al.) 15 January 2015, entire text, all drawings	1-6
A	JP 2018-78357 A (SONY CORP.) 17 May 2018, entire text, all drawings	1-6
A	JP 1-216271 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 30 August 1989, entire text, all drawings	1-6
A	JP 6-130093 A (SONY CORP.) 13 May 1994, entire text, all drawings	1-6

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19.03.2020

Date of mailing of the international search report
07.04.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2020/000211

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-282159 A (YAZAKI CORP.) 23 October 1998, entire text, all drawings	1-6
A	JP 11-311654 A (YAZAKI CORP.) 09 November 1999, entire text, all drawings	1-6
A	US 2004/0183613 A1 (KURD, Nasser A. et al.) 23 September 2004, entire text, all drawings	1-6
A	US 2011/0074398 A1 (BARTON, Aaron M.) 31 March 2011, entire text, all drawings	1-6
A	GOMINA, Kamil et al., Power supply glitch attacks: design and evaluation of detection circuits, Proceedings of the 2014 IEEE International Symposium on Hardware-Oriented Security and Trust (HOST), 2014, 136-141, entire text, all drawings	1-6

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/000211

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
US 2015/0102833 A1	16.04.2015	(Family: none)	
US 2015/0015283 A1	15.01.2015	TW 201512684 A entire text, all drawings	
JP 2018-78357 A	17.05.2018	CN 109690952 A entire text, all drawings	
JP 1-216271 A	30.08.1989	(Family: none)	
JP 6-130093 A	13.05.1994	(Family: none)	
JP 10-282159 A	23.10.1998	US 5994790 A entire text, all drawings	
JP 11-311654 A	09.11.1999	(Family: none)	
US 2004/0183613 A1	23.09.2004	KR 10-2005-0112109 A entire text, all drawings	
US 2011/0074398 A1	31.03.2011	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01R 19/165(2006.01)i; H01L 21/82(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i FI: G01R19/165 K; H01L27/04 U; H01L27/04 B; H01L27/04 T; H01L21/82 T														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G01R19/00-19/32; H01L21/82; H01L21/822; H01L27/04; H02J1/00-1/16; H02H1/00-3/07, 99/00														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	US 2015/0102833 A1 (BHATIA, Ajay K.) 16.04.2015 (2015-04-16) 全文、全図	1-6												
A	US 2015/0015283 A1 (PARK, Brian S. et al.) 15.01.2015 (2015-01-15) 全文、全図	1-6												
A	JP 2018-78357 A (ソニー株式会社) 17.05.2018 (2018-05-17) 全文、全図	1-6												
A	JP 1-216271 A (松下電器産業株式会社) 30.08.1989 (1989-08-30) 全文、全図	1-6												
A	JP 6-130093 A (ソニー株式会社) 13.05.1994 (1994-05-13) 全文、全図	1-6												
A	JP 10-282159 A (矢崎総業株式会社) 23.10.1998 (1998-10-23) 全文、全図	1-6												
A	JP 11-311654 A (矢崎総業株式会社) 09.11.1999 (1999-11-09) 全文、全図	1-6												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 19.03.2020	国際調査報告の発送日 07.04.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 田口 孝明 2S 6002 電話番号 03-3581-1101 内線 3216													

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2004/0183613 A1 (KURD, Nasser A. et al.) 23.09.2004 (2004 - 09 - 23) 全文、全図	1-6
A	US 2011/0074398 A1 (BARTON, Aaron M.) 31.03.2011 (2011 - 03 - 31) 全文、全図	1-6
A	GOMINA, Kamil et al., Power supply glitch attacks: design and evaluation of detection circuits, Proceedings of the 2014 IEEE International Symposium on Hardware-Oriented Security and Trust (HOST), 2014, 136-141 全文、全図	1-6

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/000211

引用文献			公表日	パテントファミリー文献	公表日
US	2015/0102833	A1	16.04.2015	(ファミリーなし)	
US	2015/0015283	A1	15.01.2015	TW 201512684	A
				全文、全図	
JP	2018-78357	A	17.05.2018	CN 109690952	A
				全文、全図	
JP	1-216271	A	30.08.1989	(ファミリーなし)	
JP	6-130093	A	13.05.1994	(ファミリーなし)	
JP	10-282159	A	23.10.1998	US 5994790	A
				全文、全図	
JP	11-311654	A	09.11.1999	(ファミリーなし)	
US	2004/0183613	A1	23.09.2004	KR 10-2005-0112109	A
				全文、全図	
US	2011/0074398	A1	31.03.2011	(ファミリーなし)	