



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

51 Int. Cl.³: B 66 B 1/22

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978



12 PATENTSCHRIFT A5

11

630 318

21 Gesuchsnummer: 635/78

22 Anmeldungsdatum: 20.01.1978

30 Priorität(en): 21.01.1977 US 761503

24 Patent erteilt: 15.06.1982

45 Patentschrift
veröffentlicht: 15.06.1982

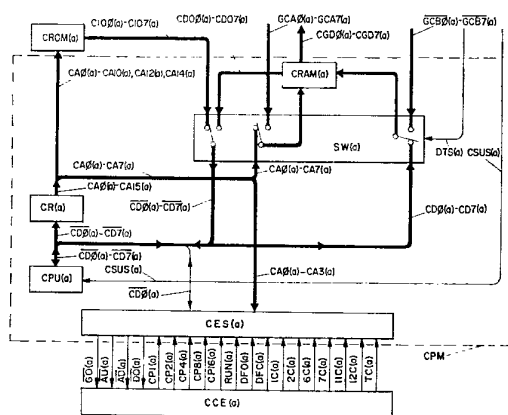
73 Inhaber:
Otis Elevator Company, New York/NY (US)

72 Erfinder:
John Charles Doane, Glastonbury/CT (US)
Joseph Bittar, Simsbury/CT (US)

74 Vertreter:
E. Blum & Co., Zürich

54 Steuereinrichtung für eine Aufzugsanlage mit einer Mehrzahl von Fahrkörben.

57 Die Aufzugsanlage hat einen Fahrkorbprozessor (CPU), dessen zugeordneter Fahrkorbprozessorspeicher und Fahrkorbschaltung (SW) jeweils einem Fahrkorb zugeordnet sind, um einen ersten Satz von Fahrkorbsteuersignalen dem dem Fahrkorb zugeordneten Fahrkorbsteuergesetz (CCE) zuzuleiten, so dass der Fahrkorb in einer bestimmten Weise fährt. Die Aufzugsanlage hat ferner einen Gruppenprozessor, dessen zugeordneter Gruppenspeicher und Gruppenschaltung für jeden Fahrkorb Rufsignale und erste Fahrkorbsteuersignale empfängt und in Abhängigkeit dieser Gruppenspeichersignale an die Fahrkorbschaltung anlegt, die in Abhängigkeit davon zweite Fahrkorbsteuersignale an ein zugeordnetes Fahrkorbsteuergesetz (CCE) anlegt, um den zugeordneten Fahrkorb als Glied einer Gruppe von Fahrkörben zu betätigen. Wenn immer der Gruppenprozessor ein Gruppenspeichersignal aus einer Fahrkorbschaltung (SW) empfängt oder ein Gruppenspeichersignal zu dieser überträgt, setzt die Gruppenschaltung die Operationsfolge im Gruppenprozessor und dem Fahrkorbprozessor (CPU) aus, um die Signalübertragung zwischen diesen zu bewirken.



PATENTANSPRUCH

Steuereinrichtung für eine Aufzugsanlage mit einer Mehrzahl von Fahrkörben zur Bedienung einer Mehrzahl von Etagen, welche Aufzugsanlage ein für die Mehrzahl von Fahrkörben gemeinsames Gruppensteuergerät aufweist, das ein Etagenrufregistriergerät und ein Fahrkorbsteuergerät für jeden Fahrkorb zur Steuerung desselben enthält, wobei das Fahrkorbsteuergerät ein Bedienungsgerät, ein Rufregistriergerät und ein Fahrkorbstellungsanzeigergerät enthält, von dem die letzten zwei ein Fahrkorbruf- bzw. ein Fahrkorbstellungssignal erzeugen, wobei Mittel vorhanden sind, um die Steuereinrichtung mit dem Fahrkorbsteuergerät und dem Gruppensteuergerät zum Empfang der Fahrkorbruf- und Fahrkorbstellungssignale sowie der Etagenrufsignale zu verbinden, gekennzeichnet durch Speicher (CROM, GROM) zum Speichern eines Fahrkorbbefehlsprogramms zur Steuerung des Fahrkorbes und eines Gruppenbefehlsprogramms zur Steuerung einer Fahrkorgruppe, durch eine Fahrkorbsteuervorrichtung (CPM), die an den Speicher (GROM) angeschlossen ist, wobei die Fahrkorbsteuervorrichtung (CPM) eine erste Operationsfolge durch stufenweises Abfragen des Gruppenbefehlsprogramms durchführt, um erste Fahrkorbsteuersignale in Abhängigkeit von zugeordneten Fahrkorbruf- und Fahrkorbstellungssignalen zu erzeugen und um die ersten Fahrkorbsteuersignale an zugeordnete Fahrkorbbedienungsgeräte anzulegen, so dass der zugeordnete Fahrkorb in einer bestimmten Weise bewegbar ist, und durch eine Gruppensteuervorrichtung (GPM), die an den Speicher (GROM) und die Fahrkorbsteuervorrichtung (CPM) angeschlossen ist, wobei die Gruppensteuervorrichtung (GPM) eine zweite Operationsfolge durch stufenweises Abfragen des Gruppenbefehlsprogramms durchführt, um Gruppensteuersignale in Abhängigkeit der von der Fahrkorbsteuervorrichtung erzeugten ersten Fahrkorbsteuersignalen und der Etagenrufsignalen zu erzeugen, wobei die Fahrkorbsteuervorrichtung (CPM) dazu bestimmt ist, zweite Fahrkorbsteuersignale in Abhängigkeit von den Gruppensteuersignalen zu erzeugen und die zweiten Fahrkorbsteuersignale an die Fahrkorbbetätigungsverrichtung anzulegen, so dass die zugeordneten Fahrkörbe in Abhängigkeit von den Etagenrufsignalen als Gruppe betätigt werden.

Die Erfindung bezieht sich auf eine Steuereinrichtung für eine Aufzugsanlage gemäss dem Oberbegriff des Patentanspruches.

Überwachende Steuereinrichtungen für Gruppen von Fahrstühlen ermöglichen eine vorteilhafte Bedienung der Etagen eines Gebäudes ungeachtet, ob eine der durch die Steuereinrichtung überwachte Gruppe ausfällt. Dies wird dadurch erreicht, dass für jeden Fahrkorb ein Fahrkorbsteuergerät und eine gemeinsame überwachende Steueranlage, die von den einzelnen Fahrkorbsteuergeräten zur Steuerung der Fahrkörbe unabhängig ist, vorgesehen sind.

Das Aufkommen der Computer, welcher die Möglichkeit schafft, die Funktionen jedes Fahrkorbes zu steuern und zusätzlich die Gruppe zu überwachen, hatte seinen Einfluss auf die Fahrstühle herstellende Industrie. Kostengründe verhindern die Anwendung eines separaten Computers, der jedem Fahrkorb der Aufzugsanlage zu dessen Steuerung zugeordnet ist und eines zusätzlichen Computers zur Steuerung der Fahrkörbe in einer überwachten Gruppe. Ausserdem ist bei der Anwendung eines separaten Computers das Problem der Signalübertragung zwischen dem separaten Computer und dem den Fahrkorb steuernden Computer zu lösen.

Neuere Entwicklungen in der Halbleitertechnologie haben zu einer Kostenreduktion derartiger Einrichtungen ge-

führt. So entstanden Mikroprozessoren und Halbleiterspeicher, die für spezielle Steuerungen verwendbar sind. Daraus ergibt sich, dass ein separater Mikroprozessor und Speicher, der jedem Fahrkorb der Gruppe zugeordnet und programmiert ist, um den jeweiligen Fahrkorb zu steuern, und eine zusätzliche Mikroprozessor- und Speicherkombination, die programmiert ist, um die einzelnen Fahrkörbe in einer Gruppe zu steuern, nun wirtschaftlich ausführbar sind. Ob eine derartige Fahrstuhlsteuereinrichtung betrieben werden kann, hängt bei der Prozessor- und Speicherkombination, die die überwachende Steuerfunktion ausführen soll, von der Übertragung des überwachenden Signals zur und dem Empfang der Fahrkorbsteuersignale aus den Prozessoren und Speichern der einzelnen Fahrkörbe der Aufzugsanlage ab.

Ziel der Erfindung ist es, eine Steuereinrichtung für eine Aufzugsanlage zu schaffen, die mit einer modernen elektrischen Ausrüstung versehen ist und eine Vorrichtung aufweist, die in der Lage ist, in einer Aufzugsanlage Signale an einen Speicher, der den Fahrkörben einer Aufzugsanlage zugeordnet ist, zu übertragen und Signale aus diesem zu empfangen, um die Fahrkörbe in Gruppen zu steuern.

Dieses Ziel wird erfindungsgemäss mit den im kennzeichnenden Teil des Patentanspruches genannten Merkmalen erreicht.

Im folgenden ist ein Ausführungsbeispiel des Erfindungsgegenstandes anhand der beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1A ein vereinfachtes Blockschema eines Teils der Steuereinrichtung, die allen Fahrkörben einer Aufzugsanlage zur Steuerung derselben in einer Gruppe zugeordnet sind,

Fig. 1B ein vereinfachtes Blockdiagramm eines Teils der Steuereinrichtung, die einem einzelnen Fahrkorb einer Aufzugsanlage zur Steuerung des diesem zugeordneten Fahrkorbes zugeordnet ist,

Fig. 2 ein vereinfachtes Schaltschema von einigen der im Vestibül vorgesehenen Rufschaltkreise des Gruppensteuergeräts einer Aufzugsanlage, mit einem die Rufanschlussschaltkreise darstellenden Blockdiagramm,

Fig. 3A und 3B sind vereinfachte Schemata eines Teils der Rufauswahlschaltung der Steuereinrichtung, die den Rufschaltkreisen zugeordnet ist,

Fig. 4, 5 und 6 zusammen ein vereinfachtes Schaltschema eines Teils der Schaltung der Steuereinrichtung zur Erzeugung von Signalen zur Steuerung einer Mehrzahl von Fahrkörben in einer Gruppe,

Fig. 7, 8, 9A und 9B zusammen ein vereinfachtes Schaltschema der Signalübertragungsschaltung, um den in den Fig. 4, 5 und 6 dargestellten Teil der Steuereinrichtung mit denen den Fahrkörben zugeordneten Schaltungen zu verbinden,

Fig. 10 ein vereinfachtes Schema der Signalübertragungsschaltung, die einem einzelnen Fahrkorb zugeordnet ist, um die in den Fig. 7, 8, 9A und 9B gezeigte Schaltung mit ihrer zugeordneten Fahrkorbsteuerschaltung zu verbinden,

Fig. 11, 12 und 13 zusammen ein vereinfachtes Schaltschema der Steuerschaltung, die einem einzelnen Fahrkorb zugeordnet ist, um Signale zur Steuerung des dieser zugeordneten Fahrkorbes,

Fig. 14 ein vereinfachtes Schaltschema eines Teils der Fahrkorbrufauswahlschaltung der Steuereinrichtung, die einem einzelnen Fahrkorb zugeordnet ist,

Fig. 15 ein vereinfachtes Schaltschema von einigen Fahrkorbrufschaltkreisen, die einem einzelnen Fahrkorb zugeordnet sind und als Blockdiagramme dargestellte Anschlussschaltkreise für die Fahrkorbrufschaltungen enthält,

Fig. 16 ein vereinfachtes Schaltschema einer Fahrkorbsteuersignalauswahlschaltung der Steuereinrichtung, die einem einzelnen Fahrkorb zugeordnet ist und als Blockdia-

gramm dargestellte Anschlussschaltkreise für die Fahrkorb-betätigungsverrichtung enthält,

Fig. 17 ein vereinfachtes Schaltschema der Fahrkorb-betätigungsverrichtung, die einem einzelnen Fahrkorb zugeordnet ist,

Fig. 18A, 18B und 18C Schaltschemata der Anschlussschaltung, die in jedem der in den Fig. 2, 15 und 16 gezeigten Blöcke verwendet werden, und

Fig. 19 ein Zeitdiagramm, das den Verlauf von einigen durch die Steuereinrichtung erzeugte Signale aufzeigt.

Die in den Figuren 1A und 1B dargestellten Blockdiagramme zeigen eine Steuereinrichtung für eine Aufzugsanlage mit einer Mehrzahl von Fahrköben a, b . . . h (c bis g sind nicht dargestellt), die eine Mehrzahl von Etagen eines nicht dargestellten Gebäudes bedienen. Die Aufzugsanlage enthält ein gemeinsames Gruppensteuergerät (Fig. 1A), das als rechteckiger Block GCE dargestellt ist, für die Fahrköbe a, b . . . h und ein Fahrkorbsteuergerät, das als rechteckiger Block CCE(a) (Fig. 1B) dargestellt ist, für den Fahrkorb «a». Die Steuereinrichtung weist eine Gruppensteuervorrichtung GPM (Fig. 1A), eine Fahrkorbsteuervorrichtung CPM (Fig. 1B), die beide durch gestrichelte, rechteckige Blöcke dargestellt sind, und einen Gruppenspeicher GROM und Fahrkorbspeicher CROM(a) auf, die als separate durch ausgezogene Blöcke (Fig. 1A und 1B) dargestellt sind.

Wie dargestellt, enthalten die Gruppensteuervorrichtung GPM und die Fahrkorbsteuervorrichtung CPM eine Mehrzahl von Schaltkreisen, die als verschiedene ausgezogene rechteckige Blöcke dargestellt sind und die durch Linien mit zwei Strichstärken miteinander verbunden sind. Die dünneren der zwei Linien stellen eine einzelne Leitung zwischen den Schaltkreisen und die dickeren Linien stellen eine Mehrzahl von Leitungen zwischen den Schaltkreisen dar. Beide in den Fig. 1A und 1B dargestellten Leitungen wurden mit geeigneten Pfeilen versehen, um die Signalfflussrichtung zwischen den verschiedenen die Schaltkreise darstellende Blöcke anzuzeigen. Bei Betrachtung der Blockdiagramme ist ersichtlich, dass die Blöcke mit einem zusätzlichen in runden Klammern geschriebenen kleinen Buchstaben als Bezugszeichen versehen ist, der angibt, welchem Fahrkorb der entsprechende Schaltkreis zugeordnet ist. Ausserdem ist bei Betrachtung der Fig. 1B ersichtlich, dass das Blockdiagramm den dem Fahrkorb «a» zugeordneten Schaltkreis darstellt und dass ein ähnlicher Schaltkreis für jeden Fahrkorb der Aufzugsanlage vorgesehen ist.

Weil der den Fahrköben zugeordnete Schaltkreis gleich sind wurde zur Vereinfachung nur der Schaltkreis für den Fahrkorb «a» dargestellt. Es wird darauf hingewiesen, dass die Steuereinrichtung in einer Aufzugsanlage bis zu acht Fahrköben a-h verwendet werden kann.

Die Gruppensteuervorrichtung GPM (Fig. 1A) enthält einen Gruppenprozessor GPU und zugeordnete Gruppenschaltungen, die als eine Mehrzahl von rechteckigen Blöcken in Fig. 1A dargestellt sind, und ist an den Gruppenspeicher GROM, das Gruppensteuergerät GCE und die Fahrkorbsteuervorrichtung CPM (Fig. 1B) angeschlossen.

Wie in Fig. 1A dargestellt, verbinden in beiden Richtungen übertragende Signalleitungen GDØ-7 den Gruppenprozessor GPU und seine zugeordnete Gruppenschaltung mit einer Fahrkorbschaltung G/C, einem Gruppendatenspeicher GRAM und ein Gruppenregister GR. Die Ausgangsleitung GAØ-15 des Gruppenregisters GR verbindet die Gruppe mit der Fahrkorbschaltung G/C, dem Gruppendatenspeicher GRAM dem Gruppenspeicher GROM und einer Auswahl-schaltung GESC für das Gruppensteuergerät.

Die Leitungen GIOØ-7 und GDOØ-7 verbinden den Gruppenspeicher GROM und Gruppendatenspeicher GRAM mit einer Gruppenschaltvorrichtung GS und die Leitungen

GDØ-7 verbinden die Gruppenschaltvorrichtung GS mit dem Gruppenprozessor GPU.

Individuelle Signalleitungen 1HU, 2HD . . . THD verbinden das Gruppensteuergerät GCE mit der Auswahl-schaltung GESC für das Gruppensteuergerät, GCE um Signale, die einen registrierten Abruf aus dem Vestibül darstellen und nachfolgend als zentrales Rufsignal bezeichnet werden, zu empfangen, und die über die Leitung GDØ an den Gruppenprozessor GPU anzulegen. Zusätzlich legt der Gruppenprozessor GPU über die Leitung GDØ Signale an die Auswahl-schaltung GESC für das Gruppensteuergerät an, so dass über die Leitungen 1HU, 2HD . . . THD für das zentrale Rufsignal ein Löschesignal an das Gruppensteuergerät GCE übertragen wird.

Wie in Fig. 1A aufgezeigt, verbinden die Leitungen DTØ(a), DTØ(b) . . . DTØ(h) die individuelle Fahrkorbschaltung G/C mit Gruppenlogikschaltkreisen C/G(a), C/G(b) . . . C/G(h), die ein Teil der Gruppensteuervorrichtung GPM bilden. Zusätzlich ist die Fahrkorbschaltung G/C über sieben Leitungen DT1-DT7 mit den einzelnen Gruppenlogikschaltungen C/G(a), usw. verbunden.

In Fig. 1A sind drei zusätzliche Leitungen XCRDY(a), XCRDY(b) und XCRDY(h) dargestellt, die Leitungen für die Fahrköbe c bis g wurden der Einfachheit halber weggelassen. Diese Leitungen verbinden die Fahrkorbschaltung G/C mit den Gruppenlogikschaltkreisen C/G(a), usw. Die Fahrkorbschaltung G/C ist durch die Leitung GSUS an den Gruppenprozessor GPU angeschlossen (Fig. 1A).

Das Blockdiagramm der Fahrkorbsteuervorrichtung CPM (Fig. 1B) ist mit Bezugszeichen versehen, die mit einem in runden Klammern angegebenen Index «a» versehen sind. Dieser Index gibt an, dass die Fahrkorbsteuervorrichtung Fahrkorb «a» zugeordnet ist. Da die Schaltungen für jeden Fahrkorb gleich sind beschränkt sich die nachfolgende Beschreibung auf die dem Fahrkorb «a» zugeordnete Schaltung. Es wird jedoch darauf hingewiesen, dass die restlichen Fahrköbe mit der gleichen Schaltung versehen sind.

Wie in Fig. 1B aufgezeigt, verbinden die in zwei Richtungen übertragende Signalleitungen CDØ(a) - CD7(a) einen Fahrkorbprozessor CPU(a) mit einem Fahrkorbschalter SW(a) und einem Fahrkorbbregister CR(a). Die Ausgangsleitungen CAØ(a) - CA15(a) aus dem Fahrkorbbregister CR(a) verbinden diesen mit dem Fahrkorbschalter SW(a), dem Fahrkorbspeicher CROM(a) und einer Auswahl-schaltung CES(a). Der Fahrkorbschalter SW(a) ist über die Leitungen GCAØ(a) - GCA7(a), GCDØ(a) - GCD7(a) und DTS(a) auch an die Gruppenlogikschaltung CIG(a) (Fig. 1A) angeschlossen. Ausserdem ist der Fahrkorbschalter über die Leitungen CIO(a) - CIO7(a) mit dem Fahrkorbspeicher CROM(a) und über die Leitungen CDOØ(a) - CDO7(a) mit dem Fahrkorbbdatenspeicher CRAM(a) verbunden. Der Fahrkorbprozessor CPU(a) ist über die Leitung CSUS(a) an die Gruppenlogikschaltung C/G(a) (Fig. 1A) angeschlossen.

Die in vereinfachter Form in den Figuren 2 bis 18 dargestellten Schaltschemata enthalten eine Mehrzahl von im Handel erhältlichen Bauteilen, die in dieser Beschreibung mit Bezugszahlen bezeichnet sind, die der Fabrikatsnummer des Herstellers entsprechen. In dieser Beschreibung sind dort, wo im Handel erhältliche Bauteile verwendet werden, nur bestimmte Eingangs-, Ausgangs- und Steuersignalverbindungen beschrieben. Es wird darauf hingewiesen, dass die nicht beschriebenen Eingangs-, Ausgangs- oder Steuersignalverbindungen den Anweisungen des Herstellers entsprechend ausgeführt sind. Dort wo eine bestimmte Fabrikatsnummer verwendet wird, ist dies der im offenbarten Ausführungsbeispiel angewendete Teil. Es können äquivalente Teile anderer Hersteller verwendet werden.

Zur Darstellung der UND, NOR, ODER, NAND und Umkehr-Funktion wurden Normsymbole verwendet. Um jedoch die Schaltungen zu kennzeichnen, die ein bestimmter handelsüblicher Teil gemeinsam enthalten wobei eine Mehrzahl dieser Schaltungen vorhanden sind wird jede Schaltung mit dem gleichen handelsüblichen Teilen durch die gleiche mit einem in runde Klammer eingeschlossenen Buchstaben versehene Bezugszahl gekennzeichnet.

In der folgenden Beschreibung ist eine ein binäres 1-Signal darstellende Spannung an eine Leitung L10 und eine ein binäres 0-Signal darstellende an eine Leitung HL1 angelegt.

Viele der Leitungen sind in mehr als einer Figur dargestellt. In diesen Fällen verweist eine in Klammern geschriebene Zahl auf die andere Figur, in welcher die Leitung ebenfalls dargestellt ist.

Die Rufschaltkreise enthalten die bekannten Berührungsschalter 1HU, 2HD ... THD mit Kaltkathodenröhren Typ 1C21 von RCA oder äquivalente wie in Fig. 2 für das Vestibül und die Etagen 2-6, 7-11 und 12-T dargestellt sind. Siehe auch US-Patentschrift Nr. 3 614 995. Die Funktion des hierin beschriebenen Ausführungsbeispiels nimmt die Einrichtung dieses Patentes als Muster. Es sind nur bestimmte Rufschaltkreise dargestellt, obwohl für alle Etagen solche Rufschaltkreise vorgesehen sind. Jede Kathode jeder Röhre ist an die Klemme I1 eines unterschiedlichen optischen Kupplers und Spannungswandlers 18A angeschlossen, dessen Schaltung in Fig. 18A dargestellt und dessen Funktion mit Bezug auf diese beschrieben wird. Jeder Kuppler und Spannungswandler 18A ist auch an die Leitungen B0 und AC1 einer Spannungsquelle PS1 angeschlossen. Die Spannungsquelle PS1 erzeugt ein Potential von ca. 95V auf der Leitung AC1 bezüglich der Leitung B0 und ein Potential von ca. 150V auf der Leitung B0 bezüglich Erde.

Das Potential zwischen den Leitungen AC1 und B0 bzw. den Leitungen B0 und Erde sind 180° phasenverschoben.

Die Röhre leitet einen Strom von der Leitung B+ zur Leitung B0 wenn der Berührungsschalter betätigt wird. Dies registriert einen Ruf für die entsprechende Etage und zwar durch Anlegen einer erhöhten Spannung an die Eingangsklemme I1 des zugeordneten optischen Kupplers und Spannungswandlers 18A, der ein binäres 0-Signal an die Ausgangsklemme S abgibt. Um einen registrierten Ruf zu löschen, wird ein 0-Signal an die Rückstellleitung 1HUR, 2HUR ... THDR angelegt. In Abhängigkeit des an seine Rückstellklemme angelegten 0-Signals wird das Plattenpotential über die Röhre auf einen Wert, der tiefer als sein Dauerwert ist, verringert, so dass die Röhre verlöscht.

Aufwärtsrufsignale werden an die Leitungen 1HUS, 2HUS, 6HUS, 7HUS, 11HUS und 12HUS zu den Eingangsstiften 12, 13, 2, 3, 14 und 15 eines Paares von Rufauswahlschaltkreisen 30 und 32 (Fig. 3A) Typ 74251 von Signetics angelegt. Ähnlich werden Abwärtsrufsignale an die Leitungen 2HDS, 6HDS, 7HDS, 11HDS, 12HDS und THDS zu den Eingangsstiften 13, 2, 3, 14, 15 und 4 eines anderen Paares von Rufauswahlschaltkreisen 34 und 36 (Fig. 3B) des Typs 74251 von Signetics angelegt. Ausserdem werden Rufsignale an andere Eingangsklemmen angelegt. Der Ausgangsstift 5 der vier Rufauswahlschaltkreise 30, 32, 34 und 36 ist jeweils an eine gemeinsame Leitung $\overline{GD\emptyset}$ angeschlossen, um entsprechend dem ausgewählten Rufsignal ein binäres Signal zum Gruppenprozessor GPU (Fig. 4) zu übertragen. Der Ruf, welcher die Übertragung des entsprechenden Binärsignals auf der Leitung $\overline{GD\emptyset}$ bewirkt, wird durch Anlegen eines 3-Bit-Binärsignals an die Leitungen GA \emptyset , GA1 und GA2 zu den Eingangsstiften 3, 10 und 11 eines bestimmten der Rufauswahlschaltkreise und eines 0-Signals an die Leitung EU1, EU2, ED1 oder ED2 zum Steuerstift 7 des bestimm-

ten Rufauswahlschaltkreises ausgewählt und zwar in der nachfolgend beschriebenen Weise.

Die Leitung $\overline{GD\emptyset}$ ist auch an die Eingangsstifte 13 von vier 8-Bit-adressierbaren Verriegelungen Typ 9334 von Fairchild, die als Rufrückstellauswahlschaltkreise 38, 40, 42 und 44 verwendet werden (Fig. 3A und 3B). Ein Rufrückstellsignal wird selektiv von einem der Ausgangsstifte 4, 5, 6, 9, 10, 11 und 12 von einem der vier Einheiten an die Leitungen 1HUR, 2HUR ... THDR zu den Rückstellklemmen eines ausgewählten optischen Kupplers und Wandlers 18A in Abhängigkeit eines an den Stift 13 der entsprechenden Einheit an der Leitung $\overline{GD\emptyset}$ angelegtem Rückstellsignal, eines an die Leitungen GA \emptyset , GA1 und GA2 zu den Datenauswahlstiften 1, 2 und 3 der entsprechenden Rückstelleneinheit 38, 40, 42 und 44 angelegten 3-Bit-Binärsignals und eines an die Leitungen $\overline{EU3}$, $\overline{EU4}$, $\overline{ED3}$ und $\overline{ED4}$ zum Steuerstift 14 der ausgewählten Einheit angelegten 0-Signals, angelegt.

Die Übertragung des Rufsignals und des Rückstellsignals wird durch ein Paar Dual 2-Leitungen zu 4-Leitungen Dekoder/Demultiplexereinheiten 46 und 48 Typ 74155 von Signetics gesteuert. Die erste dieser Einheiten 46 (Fig. 3) ist mit ihren Eingangsstiften 2 und 14 über die Leitung $\overline{GEX\emptyset}$ mit einer externen Anschlussschaltung 72 (Fig. 5) verbunden. In Abhängigkeit von den an seinen Eingangsstiften angelegten Signalen gibt die Einheit 46 ein 0-Signal an seinen Ausgangsstiften 11 oder 12 über die Leitungen $\overline{EU3}$ und $\overline{EU4}$ an die Stifte 14 der Rufrückstelleneinheiten 38 bzw. 40 oder an seinen Ausgangsstiften 6 und 7 über die Leitungen $\overline{EU2}$ oder $\overline{EU1}$ an die Stifte 7 der Rufregistriereinheiten 30 bzw. 32 ab.

Der zweite Dekoder/Demultiplexereinheit 48 wird in Abhängigkeit eines 0-Signals, das aus der Einheit 72 (Fig. 5) über die Leitung $\overline{GEX1}$ an seine Eingangsstifte 2 und 14 angelegt wird, gesteuert. Die Eingangsstifte 15, 3, 13 und 1 der Einheit 48 (Fig. 3B) sind über die Leitung HL1, GWX, GA3 bzw. GRX mit dem Endpotential verbunden. Diese Einheit arbeitet in der gleichen Weise wie die Einheit 46 um 0-Signale an die Stifte 7, 6 oder 11, 12 anzulegen. Die Einheit 48 legt ein 0-Signal vom Stift 7 oder 6 über die Leitung $\overline{ED1}$ oder $\overline{ED2}$ an die Eingangsstifte 7 der Rufsignalregistriereinheit 36 bzw. 38 oder vom Stift 11 oder 12 über die Leitung $\overline{ED3}$ oder $\overline{ED4}$ an die Stifte 14 der Rufsignalrückstelleneinheiten 42 bzw. 44 an.

Die Figuren 4, 5 und 6 zusammen zeigen ein vereinfachtes Schema der Verbindungen zwischen dem Gruppenprozessor und der zugeordneten Schaltung, welche ein Teil der als Blockdiagramm in Fig. 1A dargestellten Gruppensteuervorrichtung bildet. Der Gruppenprozessor GPU des Ausführungsbeispiels ist eine «Single Chip 8-Bit-Parallel Central Processor Unit» Typ 8008 von Intel und enthält sechs 8-Bit-Datenregister, einen 8-Bit-Akkumulator, zwei 8-Bit-Zwischenregister, einen Speicherblock zum Speichern des Programms und Unterprogrammadressen und eine 8-Bit-Parallelrecheneinheit, welche Additions-, Subtraktions- und logische Operationen durchführt. Jede Operation wird in einer vorbestimmten Zahl von Zeiträumen oder Maschinenzyklen T1, T2, T3, T4, T5, T11, «warten» und «gestoppt» durchgeführt, welche zwei Zeiträume eines Taktimpulssignals, das durch einen Oszillator 50 mit einer Frequenz von 800 KHZ an die Stifte 16 und 15 des Gruppenprozessors GPU angelegt wird, erfordern.

Der freischwingende Oszillator 50 (Fig. 4) kann irgendeine bekannte Ausführung sein, der ein Paar komplementär getaktete Signale von ca. 800 KHZ mit einer Pulsweite von anderthalb Perioden erzeugt. Diese Impulse werden über Leitungen G \emptyset 1 und G \emptyset 2 an die Eingangsstifte 16 bzw. 15 des Gruppenprozessors GPU (Fig. 4) angelegt. Die Impulse ha-

ben den im Zeitdiagramm der Fig. 19 dargestellten Verlauf und sind mit den Bezugszeichen $G\bar{0}1$ und $G\bar{0}2$ bezeichnet. In Abhängigkeit des an den Gruppenprozessor GPU angelegten Taktsignals mit 800 KHZ gibt dieser ein Taktsignal von ca. 400 KHZ mit einer Pulsweite von anderthalb Perioden an seinem Ausgangsstift 14 ab, das über die Leitung GSYNC an die externe Gruppenschaltung abgegeben wird. Das an die Leitung GSYNC angelegte Signal hat den in Fig. 19 gezeigten Verlauf und ist mit GSYNC bezeichnet. Die Leitungen $G\bar{S}0$, $G\bar{S}1$ und $G\bar{S}2$ (Figuren 4 und 5) verbinden die Gruppenprozessorklemmen 13, 12 und 11 mit den Stiften 3, 2 und 1 einer 3/8 Leitungsdekodereinheit 70 Typ 74S138 von Signetics (Fig. 5).

Ein Druckknopfschalter GST mit Schliesskontakt (Fig. 4), der mit einer Klemme an die Leitung HL1 und mit seiner anderen Klemme an den Stift 18 von Gruppenprozessor GPU angeschlossen ist, wird von Hand betätigt, um den internen Zähler des Gruppenprozessors auf Null zu stellen. Die Leitung GSUS ist an den Stift 17 des Gruppenprozessors GPU und an die Gruppenschaltung von Fig. 9A, die nachfolgend beschrieben wird, angeschlossen.

Wie in Fig. 4 dargestellt verbinden die Leitungen $G\bar{D}0$, $G\bar{D}1 \dots G\bar{D}7$ die Anschlüsse 9, 8 ... 2 des Datenübertragungsweges des Gruppenprozessors mit 2 4-Bit-Parallelen Zweirichtungs-Treiberschaltung 54 und 56, Typ 8226 von Intel. Die Anschlüsse 3, 6, 10 und 13 der Treiberschaltungen 54 und 56 sind an die Leitungen $G\bar{D}0$, $G\bar{D}1 \dots G\bar{D}7$ angeschlossen, um ein 8-Bit-Adressensignal und ein 8-Bit-Codesignal an die D-Eingänge 2, 3, 6 und 7 von vierfach bistabilen Verriegelungen 58, 60, 62 und 64 des Typs 7475 von Signetics zu übertragen. Die vier Verriegelungen 58, 60, 62 und 64 entsprechen dem Gruppenregister GR von Fig. 1A und wurden so in Fig. 4 gekennzeichnet. Die Leitungen $G\bar{D}0$, $G\bar{D}1 \dots G\bar{D}7$ sind auch an die Ausgänge 4, 7, 9 und 12 von einem Paar von Datenselektoren/Multiplexer 66 und 68 des Typs 74258 von Signetics angeschlossen. Diese sind als Gruppensteuerschalter GS in den Fig. 1A und 4 gekennzeichnet. Sie übertragen über die Leitungen $G\bar{D}0 \dots G\bar{D}7$ Gruppendatensignale aus dem Gruppendatenspeicher GRAM (Fig. 6) und Gruppenbefehlssignale aus dem Programmspeicher GROM (Fig. 6) zu den Anschlüssen 3, 6, 10 und 13 der Einheiten 54 und 56. Wie durch die neben den Leitungsabschnitten $G\bar{D}0$, $G\bar{D}1 \dots G\bar{D}7$ am oberen Teil der Figur geschriebenen Klammer dargestellt ist, sind diese Leitungen mit einer zu beschreibenden Schaltung und den Eingängen einer Mehrzahl von in Fig. 6 dargestellten Invertern, deren Ausgänge an den Datenspeicher GRAM dieser Figur angeschlossen sind, verbunden.

Die Verriegelungen 58 und 62 vom Gruppenregister GR empfangen das 8-Bit-Adressensignal, das an ihre D-Eingänge 2, 3, 6 und 7 angelegt ist. Das Gruppenregister GR gibt die Komplemente dieser Signale über die Leitungen $G\bar{A}0$, $G\bar{A}1 \dots G\bar{A}7$ an die in Fig. 6 gezeigte Schaltung in Abhängigkeit eines binären 1-Signals ab, das über die Leitung $G\bar{T}1$ an ihren Takteingängen 4 und 13 anliegt. Die Verriegelungen 60 und 64 vom Gruppenregister GR empfangen das 8-Bit-Codesignal, das an ihren D-Eingängen 2, 3, 6 und 7 anliegt und gibt über die Leitungen $G\bar{A}8$, $G\bar{A}9 \dots G\bar{A}15$, $G\bar{A}8$, $G\bar{A}9 \dots G\bar{A}15$ an die Gruppenschaltung der Figuren 5, 6, 7, 8, 9A und 9B in Abhängigkeit eines binären 1-Signals ab. Dieses Signal liegt über der Leitung $G\bar{T}2$ an ihren Takteingängen an.

Die an die Steuereingänge 1 und 15 des Datenselektors 60 und 68 und der Treiberschaltungen 54 und 56 angeschlossenen Leitungen GSS, GSR, GCS und $G\bar{D}1\bar{E}N$ verbinden diese Anschlüsse mit einem Gerät in Fig. 1 das nachfolgend zu beschreiben ist.

Der Gruppenprozessor GPU gibt an seinen Ausgängen 13, 12, 11 ein 3-Bit-binärkodierte Takterkennungssignal ab, das über die Leitungen $G\bar{S}0$, $G\bar{S}1$ und $G\bar{S}2$ an die Wahleingänge 1, 2 und 3 einer Dekoder/Demultiplexereinheit 70 (Fig. 5) des Typs 74S138 von Signetics angelegt wird. Der als ein 3 auf 8 Leitungsdekoder verwendete Dekoder 70 gibt an seinen Ausgängen 14, 13, 12 und 11 Signale ab, die über die Leitungen $G\bar{T}2$, $G\bar{T}1$, $G\bar{T}1\bar{I}$ und $G\bar{T}3$ an die in den Figuren 4, 5 und 9A dargestellte Gruppenschaltung ab.

Die Leitungen $G\bar{A}14$ und $G\bar{A}15$ verbinden die Empfangseingänge 2 und 3 eines 2 auf 4 Leitungsdekoders 74 (Fig. 5) mit den Q-Ausgängen 11 und 8 einer bistabilen Verriegelung 54 (Fig. 4). Der Dekoder 74 ist ein Bauteil Typ 74S139 von Signetics. Der Dekoder 74 hat zwei zusätzliche Wahleingänge 13 und 14, die durch die Leitungen $G\bar{A}10$ und $G\bar{A}11$ mit den Querausgängen 11 bzw. 8 der bistabilen Verriegelung 60 (Fig. 4) verbunden sind. Die Steuereingänge 1 und 15 des Dekoders sind über die Leitung HL1 an Erde und über die Leitung $G\bar{A}13$ an den Ausgang 14 der bistabilen Verriegelung 64 (Fig. 4) angeschlossen.

Der Dekoder 74 gibt an seinem Ausgang 10 ein Gruppenspeicherauswahlsignal ab, das über die Leitung GSS zum Wahleingang 1 der Datenselektoren 66 und 68 (Fig. 4) zugeführt wird. Die zwei zusätzlichen Ausgänge 11 und 12 sind an die Eingänge 13 und 12 eines UND-Gatters 80D angeschlossen. Der Ausgang des UND-Gatters 80D ist über die Leitung GRSE an zwei Abtasteingänge eines 4 auf 8 Leitungsdekoder/Demultiplexer 90 (Fig. 6) des Typs 74154 von Signetics angeschlossen.

Der Ausgang 11 des UND-Gatters 80D ist auch an den Eingang 2 eines NAND-Gatters 84A angeschlossen, dessen zweiter Eingang 1 an den Ausgang 10 des Dekoders 74 angeschlossen ist. Der Ausgang 3 des NAND-Gatters 84A ist an einen Eingang 5 eines NAND-Gatters 84B angeschlossen, dessen zweiter Eingang 4 über die Leitung GRX mit dem Ausgang 3 des UND-Gatters 80A verbunden ist. Das NAND-Gatter 84B gibt ein Gruppenspeicherauslesesignal über die Leitung GSR an den Steuerausgang 15 der Selektoren 66 und 68 (Fig. 4) ab.

Der Setzeingang 7 eines Dual J-K-Flip-Flop 78B (Typ 7476, Signetics) ist an den Ausgang 8 eines NAND-Gatters 84C angeschlossen, dessen Eingänge 9 und 10 an die Ausgänge 2 und 8 von zwei Invertern 86A und 86D angeschlossen sind. Die Leitungen $G\bar{P}C\bar{W}$ und $G\bar{T}3$ verbinden die Eingänge 1 und 9 der zwei Inverter 86A und 86D mit den entsprechenden Ausgängen 7 des 2 auf 4 Leitungsdekoders 74 und dem Ausgang 11 des 3 auf 8 Leitungsdekoders 70. Der freie Eingang 8 des J-K-Flip-Flop 78B ist an den Ausgang 4 von Invertern 82B angeschlossen, dessen Eingang 3 über die Leitung $G\bar{0}1$ an den Ausgang von Oszillator 50 (Fig. 4) angeschlossen ist. Am J Eingang 9 und am Takteingang 6 des J-K-Flip-Flop 78B liegt ein binäres 0-Signal an, während am K Eingang 12 ein binäres 1-Signal anliegt. Der J-K-Flip-Flop 78B gibt an seinem Q-Ausgang 11 ein Einschreibesignal ab, das über die Leitung GWX an den Eingang der Auswahlaltungen 46 und 48 (Fig. 3A und 3B) und an den Inverter 82A (Fig. 6) der an die Eingänge 20 von zwei Festspeichern 96 und 98 (Fig. 6) angeschlossen ist, ab.

Zwei D-Flip-Flops 76A und 76B (Typ 7474, Signetics) sind im oberen Teil der Fig. 5 dargestellt. Wie dargestellt, verbinden die Leitungen $G\bar{T}1\bar{I}$ und $G\bar{T}2$ den Setzeingang 10 und den Takteingang 11 von Flip-Flop 76B mit den Ausgängen 12 und 14 von 3 auf 8 Leitungsdekoder 70. Über die Leitung L10 liegt am Eingang 13 ein binäres 1-Signal an und über die Leitung HL1 liegt an den Dateneingang 12 ein binäres 0-Signal an. Wie dargestellt, verbindet die Leitung GCS den Q-Ausgang 9 und Flip-Flop 76B mit dem Wahleingang 1 der Steuerschaltungen 54 und 56 (Fig. 4).

Der Eingang 1 und der Takteingang 3 des Flip-Flop 76A sind über die Leitungen GT3 und GT2 mit den Ausgängen 11 bzw. 14 des Dekoders 70 verbunden. Am D-Eingang 2 und am Setzeingang 4 liegt ein binäres 1-Signal über die Leitung L10 an. Der Q-Ausgang 5 von Flip-Flop 76A ist an den Eingang 9 des UND-Gatters 80C angeschlossen. Über die Leitung GSYNC empfängt das UND-Gatter 80C an seinem Eingang 10 auch ein getaktetes Signal.

Der Ausgang 8 vom UND-Gatter 80C ist mit dem Eingang 4 vom UND-Gatter 80B dem Eingang 2 vom UND-Gatter 80A und dem Eingang 11 des Inverters 86E verbunden. Das UND-Gatter 80B empfängt vom Ausgang 7 des Dekoders 74 am Eingang 5 über die Leitung GPCW ein Signal und gibt an seinem Ausgang 6 über die Leitung GDIEN ein Signal an den Steuereingang 15 der Treiberschaltungen 54 und 56 (Fig. 4) ab. Das UND-Gatter 80A empfängt an seinem Eingang 1 über die Leitung GA14 vom Ausgang 10 der bistabilen Verriegelung 64 (Fig. 4) ein zweites Signal und gibt über die Leitung GRX an den Eingang 4 des UND-Gatters 84B ein Signal ab.

Der in Fig. 5 dargestellte Dekoder 72 (Typ 74S138, Signetics) ist mit seinen zwei Steuereingängen 4 und 5 an den Ausgang 9 des Dekoders 74 angeschlossen. Am dritten Steuereingang liegt ein binäres 1-Signal an. Die Leitungen GA4, GA5 und GA6 verbinden die Ausgänge 8, 11 und 14 der bistabilen Verriegelung 62 (Fig. 4) mit den Eingängen 1, 2 und 3 des Dekoders 70. Der Dekoder gibt ein binäres 0-Signal an die an seinen Ausgängen 15, 14, 13, 12, 11, 10, 9 und 7 angeschlossenen Leitungen GEX0, GEX1 ... GEX7 ab.

Der Teil des Programmspeichers der dem Gruppenprozessor GPU (Fig. 4) und in Fig. 1 als der Gruppenprogrammspeicher GROM gekennzeichnet ist, ist in Fig. 6 in Form von zwei Festspeichern 92 und 94 dargestellt. Es wird darauf hingewiesen, dass sich die Anzahl der Speicher mit der Kompliziertheit des gespeicherten Programms ändert. Beim erfindungsgemässen Ausführungsbeispiel werden zwölf 2048 Bit-Festspeicher (Typ 1702A, Intel) verwendet. Die Adresseneingänge 3, 2, 1, 20, 21, 19, 18 und 17 der zwölf Festspeicher sind parallel zu den Ausgängen 1, 14, 11 und 8 der bistabilen Verriegelung 58 (Fig. 4) und den Ausgängen 1, 14, 11 und 8 der bistabilen Verriegelung 62 (Fig. 4) geschaltet und zwar mittels der Leitungen GA0, GA1 ... GA7.

Die Datenausgänge 4, 5, 6, 7, 8, 9, 10 und 11 der Festspeicher sind über die Leitungen GIO0, ... GIO7 parallel zu den Eingängen 3, 6, 10 und 13 der Datenselektoren 66 und 68 (Fig. 4) angeschlossen. Die Auswahlklemme 14 jedes Festspeichers ist einzeln an einen Ausgang 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11 und 13 eines 4 auf 6 Leitungen Dekoder/Demultiplexers 90 (Typ 74154, Signetics) angeschlossen.

Der Dekoder 90 dekodiert die vier binärkodierte Signale, die über die Leitungen GA8, GA9, GA10 und GA12 vom Ausgang 1, 14 und 11 der bistabilen Verriegelung 60 (Fig. 4) und vom Ausgang 1 der bistabilen Verriegelung 64 (Fig. 4) an seine Eingänge 23, 22, 21 und 20 angelegt werden und gibt ein binäres 0-Signal an einen seiner zwölf sich gegenseitig ausschliessenden Ausgänge 1-11 und 13 ab, wenn das UND-Gatter 80B (Fig. 5) an seinen Ausgang 11 über die Leitung GRSE ein binäres 0-Signal an die Abtasteingänge 18 und 19 des Dekoders abgibt.

Im oberen Teil von Fig. 6 ist der Teil der Gruppenschaltung gezeigt der anschliessend den Gruppendatenspeicher GRAM bildet. Der Gruppendatenspeicher GRAM weist zwei 1024-Bit Random Speicher mit separater E/A (Typ 8101, Intel) auf. Die Adresseneingänge 4, 3, 2, 1, 21, 5, 6 und 7 der Festspeicher 96 und 98 in Fig. 4 sind über die Leitungen GA0 - GA7 parallel mit dem Gruppenadressenteil des Gruppenregisters GR (Fig. 4) verbunden. Die

Dateneingänge 9, 11, 13 und 15 des Festspeichers 96 sind an die Ausgänge 2, 4, 6 und 8 der Inverter 98A, 98B, 98C und 98D angeschlossen. Die Leitungen GD0, GD1, GD2 und GD3 verbinden die Eingänge 1, 3, 5 und 9 der Inverter 98A, 98B, 98C und 98D mit den Ausgängen 3, 6, 10 und 13 der in Fig. 4 dargestellten Driverschaltung 54. Die Dateneingänge 9, 11, 13 und 15 des Festspeichers 98 sind mit den Ausgängen 2, 4, 6 und 8 der Inverter 100A, 100B, 100C und 100D auf die gleiche Art verbunden. Die Leitungen GD4, GD5, GD6 und GD7 verbinden die Eingänge 1, 3, 5 und 9 der Inverter 100A, 100B, 100C und 100D mit den Ausgängen 3, 6, 10 und 13 der in Fig. 4 dargestellten Driverschaltung 56.

Der Lese-Schreib Steuereingang 20 der Festspeicher 96 und 98 ist mit dem Ausgang 2 und dem Inverter 82A verbunden. Die Leitung GWX verbindet den Eingang 1 von Inverter 82A mit dem Ausgang 11 des in Fig. 5 dargestellten J-K Flip-Flop 78B. Der Sperrausgang 18 und Steuerausgang 19 jedes Festspeichers 96 und 98 ist an den Ausgang 10 des Dekoders 70 angeschlossen und zwar über die Leitung GSS. An den Chip Steuereingang 17 der Festspeicher 96 und 98 liegt ein binäres 1-Signal an.

In der linken Ecke von Fig. 7 sind zwei Datenselektoren/Multiplexereinheiten mit zwei Eingängen 100 und 102 (Typ 74157, Signetics) dargestellt. Das erste Paar von Vierfacheingängen 2, 5, 11 und 14 der Datenselektoren 100 und 102 sind über die Leitungen GA0, GA1 ... GA7 an die Ausgänge 1, 14, 11 und 8 der in Fig. 4 dargestellten bistabilen Verriegelungen 58 und 62 verbunden. Das zweite Paar der Vierfacheingänge 3, 6, 10 und 13 der Datenselektoren 100 und 102 sind über die Leitungen GD0, GD1 ... GD7 an die Ausgänge 3, 6, 10 und 13 der in Fig. 4 dargestellten Treiberschaltungen 54 und 56 verbunden. Die Leitung GCDT verbindet die Auswahlwege 1 der Datenselektoren 100 und 102 mit dem Ausgang 11 von J-K Flip-Flop 180B (Fig. 9A).

Der Ausgang 4 vom Datenselektor 100 ist jeweils mit den Eingängen 2, 5, 11 und 14 eines zweiten Paares von Vierfach-Datenselektor/Multiplexereinheit 116 und 118 (Fig. 7) verbunden. Der Ausgang 4 des Datenselektors 100 ist auch an den Eingang 3 des Datenselektors 116 angeschlossen. Die Ausgänge 7, 9 und 12 des Datenselektors 100 sind mit den entsprechenden Eingängen 6, 10 und 13 des Datenselektors 116 verbunden. Die Ausgänge 4, 7, 9 und 12 des Datenselektors 102 sind an die entsprechenden Eingänge 3, 6, 10 und 13 des Datenselektors 118 angeschlossen. Die Leitung G8B verbindet die Auswahlwege 1 der Datenselektoren 116 und 118 mit dem Ausgang 6 von Inverter 170 (Fig. 9B). Die Leitung GA13 verbindet den Abtasteingang 15 der vier Datenselektoren 100, 102, 116 und 118 (Fig. 7) mit dem Ausgang 15 der bistabilen Verriegelung 64 (Fig. 4).

Die Ausgänge 4 und 7 vom Datenselektor 116 (Fig. 7) sind an die Eingänge 6 bzw. 11 einer Dual-Treiberschaltung 122 (Typ 75113, Texas Instrument) angeschlossen. Die Ausgänge 12 und 9 vom Datenselektor 118 sind an die Eingänge 6 bzw. 11 einer zweiten Dual-Treiberschaltung 125 des gleichen Typs angeschlossen. Obwohl es in Fig. 7 nicht dargestellt wurde ist es jedoch ersichtlich, dass zwei zusätzliche Treiberschaltungen des gleichen Typs in der gleichen Art und Weise an die Ausgänge 9 und 12 vom Datenselektor 116 und die Ausgänge 7 und 4 vom Datenselektor 118 angeschlossen sind.

Die Treiberschaltung 122 gibt an seinen Ausgängen 2 und 3 Signale über die Leitungen DT0(a) und DT0(b), die an die Eingänge 11 und 9 einer Dual-Treiberschaltung 236(a) (Fig. 10) angeschlossen sind. Es wird darauf hingewiesen, dass die in Fig. 10 dargestellte Schaltung nur mit dem Fahr-

korb «a» verwendet wird und dass die Schaltung ähnlich der von Fig. 10 für jeden Fahrkorb in der Aufzugsanlage vorgesehen ist. Die Ausgänge 14 und 13 der Dual-Treiberschaltung 122 sind somit an die Leitungen $DT\bar{O}(b)$ und $\overline{DT\bar{O}}(b)$ angeschlossen und sind dadurch mit der Schaltung, die dem Fahrkorb «b» zugeordnet ist, verbunden. Es wird darauf hingewiesen, dass die gleichen Verbindungen von den Ausgängen der zusätzlichen Dual-Treiberschaltungen die nicht dargestellt sind auszuführen sind. Die Ausgänge 2, 3, 14 und 13 der Dual-Treiberschaltung 125 sind über Signalübertragungsleitungen $DT\bar{O}(g)$, $\overline{DT\bar{O}}(g)$, $DT\bar{O}(h)$ und $\overline{DT\bar{O}}(h)$ für die Fahrkörbe «g» und «h» mit den diesen Fahrkörben zugeordneten Schaltungen verbunden.

In Fig. 7 sind vier zusätzliche Dual-Treiberschaltungen vom Typ 75113 als rechteckige Blöcke 126, 128, 130 und 132 dargestellt. Wie gezeigt, ist der Eingang der Treiberschaltung 126 an den Ausgang 7 des Datenselektors 100 angeschlossen. Die restlichen zwei Ausgänge 9 und 12 des Datenselektors sind entsprechend an die Eingänge 11 und 6 der Treiberschaltung 128 angeschlossen. Die Ausgänge 4 und 7 vom Datenselektor 102 sind mit den Eingängen 11 und 6 der Treiberschaltung 130 verbunden. Die Ausgänge 9 und 12 vom Datenselektor 102 sind an die Eingänge 11 und 6 der Treiberschaltung 132 angeschlossen. Die Dual-Treiberschaltungen 126, 128, 130 und 132 geben Signale über die Leitungen $DT1$, $\overline{DT1}$. . . $DT7$ und $\overline{DT7}$ an die Eingänge von Dual-Leitungsempfängern 236(a), 238(a), 240(a) und 242(a) ab die in Fig. 10 dargestellt und einen Teil der dem Fahrkorb «a» zugeordneten Gruppenschaltung bilden. Es ist ersichtlich, dass diese Leitungen $DT1$, $\overline{DT1}$. . . $DT7$, $\overline{DT7}$ gleich wie die in Fig. 10 dargestellten angeschlossen sind.

Die Signalübertragungsleitungen $DT\bar{O}$, $\overline{DT\bar{O}}$ für jeden Fahrkorb und die allen Fahrkörben gemeinsamen Leitungen $DT1$, $\overline{DT1}$, $DT2$. . . $DT7$, $\overline{DT7}$ sind ebenfalls an die Eingänge einer Mehrzahl von Dual-Leitungsempfängern 160, 161, 162 und 163, 150, 152, 154 und 156 der Vorrangmikrovorrichtung Typ AM2615 dargestellt in Fig. 8 angeschlossen. Die Leitungen $DT1$ und $\overline{DT1}$ sind an die Eingänge 9 und 11 von Dual-Leitungsempfänger 150 angeschlossen. Der Leitungsempfänger 150 gibt an seinem Ausgang 15 ein Signal an den Eingang 6 eines Datenselektors/Multiplexers 156 (Typ 74257, Signetics) ab. Auf ähnliche Weise werden die Signale auf den Leitungen $DT2$, $\overline{DT2}$, $DT3$ und $\overline{DT3}$ an den Dualempfänger 152 angelegt, der Signale an die Eingänge 10 und 13 des Datenselektors 152 abgibt. Die restlichen acht Signalleitungen $DT4$, $\overline{DT4}$, $DT5$, $\overline{DT5}$, $DT6$, $\overline{DT6}$, $DT7$ und $\overline{DT7}$ sind an die Eingänge der Dual-Leitungsempfänger 154 und 156 angeschlossen, deren Ausgänge an die Eingänge 2, 6, 10 und 13 eines zweiten Datenselektors/Multiplexers 158 angeschlossen sind wie das in Fig. 8 dargestellt ist.

Vier zusätzliche Dual-Leitungsempfänger 160-163 vom Typ AM2615 sind auch in der oberen linken Ecke von Fig. 8 dargestellt. Die Eingänge 11, 9, 5 und 7 jedes Dual-Leitungsempfängers 160-163 sind an die Signalübertragungsleitungen $DT\bar{O}$ und $\overline{DT\bar{O}}$ von zwei Fahrkörben angeschlossen.

Die Leitungsempfänger 160-163 geben die Komplemente der an ihren Eingängen anliegenden Signalen ein Paar von Datenselektoren 156 und 158 ab (Fig. 8). Wie dargestellt sind die Ausgänge 15 und 1 vom Dual-Leitungsempfänger 160 mit den Eingängen 2 und 5 vom Datenselektor 152 verbunden. Die Ausgänge 15 und 1 vom Dual-Leitungsempfänger 161 sind an die Eingänge 11 bzw. 14 vom Datenselektor 156 angeschlossen. Die Ausgänge 15 und 1 vom Dual-Leitungsempfänger 162 sind an die Eingänge 2 und 5 des zweiten Datenselektors 158 angeschlossen. Die Ausgänge 15 und 1 vom Dual-Leitungsempfänger 163 sind an

die Eingänge 11 und 14 vom Datenselektor 158 angeschlossen.

Die Ausgangssignale aus den Dual-Leitungsempfängern 160 - 163 werden auch an die Eingänge eines Datenselektors/Multiplexers 164 (Typ 74151, Signetics) angelegt (Fig. 8). Wie dargestellt, sind die gemeinsamen Ausgänge 15 und 1 jenes Leitungsempfängers mit unterschiedlichen Eingängen vom Selektor 164 verbunden. Ausgang 5 des Selektors 164 ist an den Eingang 3 vom Datenselektor 156 angeschlossen. Die Leitungen GA10, GA9 und GA8 führen ein 3-Bit binäre kodiertes Auswahlsignal aus den Ausgängen 11, 14 bzw. 1 der bistabilen Verriegelung 60 zu den Auswahl-eingängen 9, 10 und 11 vom Dekoder 164. Der Abtasteingang 7 vom Dekoder 164 ist über die Leitung $\overline{GA13}$ an den Ausgang 15 der bistabilen Verriegelung 64 (Fig. 4) angeschlossen.

Die ersten und zweiten durch den Gruppenprozessor GPU zu empfangenden Fahrkorbsteuersignale sind über die Leitungen $\overline{GD\bar{O}}$, $\overline{GD1}$. . . $\overline{GD7}$ und den zwei Datenselektoren 156 und 158 zu den Treiberschaltungen 54 und 56 geführt. Die Leitungen GRCE bzw. G8B verbinden den Steuer- ausgang 15 und den Datenauswahleingang 1 der Datenselektoren 156 und 158 mit dem Ausgang 8 vom NAND-Gatter 174C und dem Ausgang 9 vom Datenselektor 200.

In Fig. 9A ist ein vereinfachtes Schaltschema des Teiles der Gruppenschaltung dargestellt, der den Gruppenaussetzsignalgenerator bildet. Die Leitung $\overline{GD5}$ verbindet den Ausgang 6 der Treiberschaltung 56 mit dem Eingang 1 vom Inverter 170A und den K-Eingang 16 vom J-K-Flip-Flop. Am Setzeingang vom J-K-Flip-Flop 172A liegt ein binäres 1-Signal an. Der Takteingang 1 vom J-K-Flip-Flop 172A ist an den Ausgang 4 vom Inverter 170B angeschlossen, dessen dritter Eingang 3 an den Ausgang 6 eines NAND-Gatters 174B angeschlossen ist.

Das NAND-Gatter 174B ist mit seinem Eingang 3 über die Leitung GØ1 an den Oszillator 50 angeschlossen, der eine Frequenz von 800 Hz abgibt. Ein zweiter Eingang 4 vom NAND-Gatter 174B ist mit dem Ausgang 12 eines Inverters 174F verbunden, dessen Eingang 13 an den Ausgang 14 vom Gruppenprozessor GPU angeschlossen ist und zwar über die Leitung GSYNC. Der dritte Eingang 5 vom NAND-Gatter 174B ist mit dem Ausgang 3 von zwei NAND-Gattern 178A und 178C angeschlossen.

Der Ausgang 3 vom Gatter 178A ist auch an den Eingang 9 vom NAND-Gatter 178C angeschlossen, dessen zweiter Eingang 10 über die Leitung $\overline{GT2}$ mit dem Ausgang 14 des Dekoders 70 verbunden ist. Der Ausgang 8 vom NAND-Gatter 178C ist mit dem Eingang 2 vom NAND-Gatter 178A verbunden, dessen zweiter Eingang über die Leitung $\overline{GT1}$ an den Ausgang 13 des Dekoders 70 angeschlossen ist.

Der Eingang 3 des J-K-Flip-Flop 172A und der Eingang vom 2 vom J-K-Flip-Flop 180A sind an den Ausgang 12 des NAND-Gatters 174A angeschlossen. Die Leitung GSYNC verbindet den Eingang 1 vom NAND-Gatter 174A und den Takteingang 1 vom J-K-Flip-Flop 180A mit dem Ausgang 14 vom Gruppenprozessor GPU. Die restlichen zwei Eingänge 2 und 9 vom NAND-Gatter 174A sind an die Q-Ausgänge 15 bzw. 11 an die zwei Abschnitte 180A und 180B des Dual-Flip-Flops angeschlossen. Der Q-Ausgang 15 vom J-K-Flip-Flop 180 ist auch mit dem Takteingang 6 vom Flip-Flop 180B verbunden. Ausserdem ist der Q-Ausgang vom J-K-Flip-Flop 180B mit dem Eingang 11 vom NAND-Gatter 174C verbunden und mittels der Leitung GCDT mit dem Auswahl-eingang 1 der Datenselektoren 100 und 102 und dem Auswahl-eingang 1 des Datenselektors 200.

Die Eingänge 3 und 8 der Flip-Flops 180A und 180B sind mit dem Ausgang 11 vom NAND-Gatter 178D verbunden. Das NAND-Gatter 178D ist mit seinem Eingang 12 an den Q-Ausgang 14 vom J-K-Flip-Flop 172A und mit seinem

zweiten Eingang 13 über die Leitung $\overline{GA13}$ an den Ausgang 15 der bistabilen Verriegelung 64 angeschlossen. Die Leitung GSUS verbindet den \overline{Q} -Ausgang 14 mit dem Eingang 17 vom Gruppenprozessor GPU. An den Eingängen 4 und 16 vom J-K-Flip-Flop 180A, den Setzeingängen 9, 12 und 7 vom Flip-Flop 180A und am Setzeingang 2 vom J-K-Flip-Flop 172A liegt ein binäres 1-Signal aus der Leitung L10 an.

Das NAND-Gatter 174C ist mit seinem Eingang 11 an den Q-Ausgang 11 des J-K-Flip-Flop 180B angeschlossen. Die Leitung GA13 verbindet dessen Eingang 10 mit dem Ausgang 14 der bistabilen Verriegelung 64 (Fig. 4). Die Leitung GRX verbindet dessen Eingang 9 mit dem Ausgang 3 des UND-Gatters 80A (Fig. 5).

Die obere Hälfte von Fig. 9B zeigt ein vereinfachtes Schema, das den Teil der Gruppenlogikschaltung darstellt, das den Fahrkorbaussetzsignalgenerator bildet. Die Leitung GA8, GA9 und GA10 verbinden die Ausgänge 1, 14 bzw. 11 der Verriegelung 60 mit den Eingängen 1, 2 bzw. 3 eines Binärdekoders 190 (Typ 3205, Intel). Der Dekoder 190 hat drei Steuereingänge, von denen zwei 4 und 5 über die Leitung $\overline{GA13}$ an die Ausgänge 15 der bistabilen Verriegelung 64 angeschlossen sind. Am dritten Steuereingang 6 liegt ein binäres 1-Signal aus der Leitung L10 an.

Die Ausgänge 15, 14, 13 und 12 vom Dekoder 190 sind an die Eingänge 3, 6, 10 und 13 eines Datenselektor/Multiplexers 192 (Typ 74158, Signetics) angeschlossen. Die restlichen vier Ausgänge 11, 10, 9 und 7 vom Dekoder 190 sind mit den Eingängen 3, 6, 10 und 13 eines zweiten Selektors 194 verbunden. Beide Selektoren 192 und 194 sind mit ihrem zweiten Satz von Eingängen 2, 5, 11 und 14 mit dem Erdpotential verbunden. Beide Selektoren 192 und 194 sind mit ihren Abtasteingängen 15 über die Leitung $\overline{GA13}$ an den Ausgang 15 der bistabilen Verriegelung 64 und mit ihren Datenauswahleingängen 1 über die Leitung $\overline{GA11}$ an den Ausgang 8 der bistabilen Verriegelung 60 angeschlossen. Die Ausgänge 4 und 7 vom Datenselektor 192 sind gemeinsam an die Eingänge 9, 10 bzw. 7 und 6 einer Dual-Treiberschaltung 196A und 196B (Typ 9614, Fairchild) angeschlossen. Ähnlich sind die Ausgänge 9 und 12 vom Datenselektor 194 gemeinsam an die Eingänge 9, 10 bzw. 7, 6 einer zweiten Dual-Treiberschaltung 198A und 198B angeschlossen.

Die Ausgänge 9 und 12 vom Datenselektor 192 und die Klemmen 7 und 9 vom Datenselektor 170 sind auf ähnliche Weise an eine andere Treiberschaltung (nicht dargestellt) angeschlossen. Die Ausgänge 13 und 14 der Treiberschaltung 196A sind einzeln über die Leitungen XCRDY(a) und $\overline{XCRDY}(a)$ mit dem Dual-Empfänger 210(a), der dem Fahrkorb «a» der Aufzugsanlage zugeordnet ist, verbunden.

In der unteren Hälfte von Fig. 9B ist der restliche Teil der Gruppenlogikschaltung dargestellt, der in Fig. 1A durch den rechteckigen Block C/G dargestellt ist. Die Leitung GSYNC verbindet den Ausgang vom Gruppenprozessor GPU mit dem Eingang 2 vom Datenselektor 200 (Typ 74157, Signetics). Ein binäres 1-Signal liegt an den zwei zusätzlichen Eingängen 11 und 14 vom Datenselektor 200 an. Die Eingänge 5 und 10 vom Datenselektor 200 sind an den Ausgang 6 von NAND-Gatter 202B angeschlossen. Das NAND-Gatter 202B ist mit seinem ersten Eingang 4 mit dem Ausgang 7 vom Dekoder 190 und mit seinem zweiten Eingang 5 über die Leitung $\overline{GA11}$ mit dem Ausgang 9 der bistabilen Verriegelung 60 verbunden. Die bistabile Verriegelung 62 ist über die Leitungen GA14 und $\overline{GA14}$ an die Eingänge 13 bzw. 6 vom Datenselektor 200 angeschlossen. Die Leitung GWX verbindet den letzten Eingang 3 vom Datenselektor 200 mit dem Q-Ausgang vom Flip-Flop 78B.

Die Ausgänge 4 und 7 vom Datenselektor 200 sind entsprechend an die Eingänge 9 und 7 von zwei Treiberschaltungen

204A und 204B (Typ 9614, Fairchild) angeschlossen. Die Leitungen GTP, \overline{GTP} und GDC, \overline{GDC} verbinden die Ausgänge der zwei Treiberschaltungen mit den Eingängen des Dual-Empfängers 216.

Der Ausgang 9 vom Datenselektor 200 ist an den Eingang vom Inverter 170C angeschlossen, dessen Ausgang 6 mit dem Auswahleingang 1 der Datenselektoren 116 und 118 verbunden ist. Ausserdem verbindet die Leitung G8B den Ausgang 9 vom Datenselektor 200 mit dem Auswahleingang 1 der Datenselektoren 156 und 158. Der Ausgang 12 des Datenselektors 200 ist über die Leitung GCTE auch mit den Eingängen 7 und 10 der Treiberschaltung 122 bis 130 verbunden (Fig. 7).

Fig. 10 ist ein vereinfachtes Schema der Schaltung der Gruppensteuervorrichtung, die dem Fahrkorb «a» zugeordnet ist und in Fig. 1A durch den Block C/G(a) dargestellt ist. Es wird darauf hingewiesen, dass obwohl diese Schaltung als Teil der Gruppenlogikschaltung betrachtet wird, dieser dem Fahrkorb «a» individuell zugeordnet ist.

Wie vorher erwähnt, verbinden die Leitungen XCRDY(a) und $\overline{XCRDY}(a)$ die Ausgänge 13 und 14 der Treiberschaltung 196A mit den Eingängen 9 bzw. 11 des Empfängers 210(a). Der Empfänger 210(a) ist über die Leitung CSUS(a) an den Eingang 17 des Fahrkorbprozessors und den Eingang 9 vom Inverter 212D(a) angeschlossen. Der Inverter 212D(a) ist mit seinem Ausgang 8 an den Eingängen 3 und 8 von zwei J-K-Flip-Flops 214A(a) und 214B(a) (Typ 7476, Signetics) angeschlossen. An den Setzeingängen 2 und 7, den Eingängen 4 und 9 und den K-Eingängen 16 und 12 beider Flip-Flops 214A(a) und 214B(a) gibt ein binäres 1-Signal an. Der Takteingang 1 vom J-K-Flip-Flop 214A(a) ist an den Ausgang 2 des Empfängers 216(a) angeschlossen.

Der Q-Ausgang 15 vom J-K-Flip-Flop 214A(a) ist an den Takteingang 6 vom J-K-Flip-Flop 214B(a) und den Eingang 1 eines NAND-Gatters 218A(a) angeschlossen. Das NAND-Gatter 218A(a) ist mit seinem zweiten Eingang 2 an den Ausgang des Empfängers 216(a) und mit seinem dritten Eingang 13 an den \overline{Q} -Ausgang 10 vom J-K-Flip-Flop 214B(a) angeschlossen.

Der Ausgang 12 vom NAND-Gatter 218A(a) ist an den Eingang 3 und Inverter 212A(a) angeschlossen, dessen Ausgang 4 an den Takteingang 13 einer vierfach bistabilen Verriegelung 222(a) und den Takteingängen 4 und 13 von zwei vierfach bistabilen Verriegelungen 224(a) und 226(a) angeschlossen ist.

Wie in der unteren rechten Ecke von Fig. 10 dargestellt ist ist der Ausgang 11 von J-K-Flip-Flop 214B(a) mit dem Eingang 10 und UND-Gatter 220C(a) verbunden, dessen zweiter Eingang 9 an den Ausgang 2 des Dualempfängers 216(a) angeschlossen ist. Das UND-Gatter 220C(a) ist über die Leitung GWD an die Eingänge 5 und 11 vom in Fig. 13 dargestellten Datenselektor 416(a) angeschlossen. Der Ausgang 11 vom Flip-Flop 214B(a) ist ebenfalls mit dem Eingang 5 von UND-Gatter 220(a) verbunden, dessen zweiter Eingang 4 an den Ausgang 14 des Dualempfängers 216(a) angeschlossen ist. Der Ausgang 6 vom UND-Gatter 220B(a) ist mit dem Steuereingang 10 der Dualtreiberschaltung 228(a) verbunden.

Der Ausgang 14 vom Empfänger 216(a) ist auch mit dem Eingang 2 der bistabilen Verriegelung 222(a) verbunden die einen Ausgang 16 aufweist, der mit dem Eingang 1 vom UND-Gatter 220A(a) verbunden ist. Das UND-Gatter 220A(a) ist mit einem zweiten Eingang 2 an den Ausgang 6 vom UND-Gatter 220B(a) und mit seinem Ausgang 3 an die Steuereingänge 10 und 7 einer Mehrzahl von Treiberschaltungen angeschlossen. Die Treiberschaltungen sind als rechteckige Blöcke 230(a), 232(a) und 234(a) in der oberen linken Ecke von Fig. 10 dargestellt.

Die Leitungen CGD0(a), CGD1(a) . . . CGD7(a) verbinden die Eingänge 11 und 5 der Dual-Treiberschaltungen 228(a), 230(a), 232(a) und 234(a) mit den Ausgängen von zwei UND-Gattern 412(a) und 414(a) (Fig. 13). Die Ausgänge 13, 14, 3 und 2 der Dualempfänger sind an die Leitungen der DT0(a), DT0(a), DT1, DT1 . . . DT7 und DT7 angeschlossen, um Datensignale aus der dem Fahrkorb «a» zugeordneten Schaltung dem Gruppenprozessor zuzuführen wie das nachfolgend beschrieben wird.

Die Leitungen DT0(a), DT0(a), DT1 und DT1 sind an die Eingänge 11, 9, 5 bzw. 7 eines Dualempfängers 236(a) (Typ 9615, Fairchild) angeschlossen. Die restlichen Leitungen DT2, DT2 . . . DT7 sind in der gleichen Weise an die Eingänge von drei zusätzlichen Dualempfängern, die als rechteckförmige Blöcke 238(a), 240(a) und 242(a) in Fig. 10 dargestellt sind, angeschlossen. Die Leitungen GCB0(a), GCB1(a) . . . GCB7(a) verbinden die Ausgänge 14 und 2 der Dualempfänger 236(a), 238(a), 240(a), 242(a) mit den D-Eingängen 7, 6, 3 und 2 von zwei bistabilen Verriegelungen 224(a) und 226(a) (Typ 7475, Signetics).

Die Leitungen GCA0(a), GCA1(a), GCA2(a), GCA3(a) verbinden die Q-Ausgänge 9, 10, 15 und 16 der bistabilen Verriegelung 224(a) mit den Eingängen 2, 5, 11 und 14 eines Datenselektors 408 (Typ 74157, Signetics). Ähnlich verbinden die Leitungen GCA4(a), GCA5(a), GCA6(a) und GCA7(a) die Ausgänge 9, 10, 15 und 16 der bistabilen Verriegelung 226(a) mit den Eingängen 2, 5, 11 und 14 eines zweiten Datenselektors 410(a) (Fig. 13).

Die Leitungen GCB0(a), GCB1(a) . . . GCB7(a) verbinden die Ausgänge der Dualempfänger 236(a), 238(a), 240(a) und 242(a) mit den Eingängen 2, 5, 11 und 14 von zwei Datenselektoren 400(a) 242(a) (Typ 74158, Signetics) (Fig. 13).

Die Leitung DTS verbindet den Q-Ausgang 10 vom J-K-Flip-Flop 214B(a) in Fig. 10 mit Geräten die später im Zusammenhang mit Fig. 13 zu beschreiben sind.

Die Fig. 11, 12 und 13 zusammen zeigen ein vereinfachtes Schema des Teils der Schaltung der Fahrkorbsteuervorrichtung und des Fahrkorbspeichers die dem Fahrkorb «a» zugeordnet sind und durch die rechteckigen Blöcke CPU(a), CR(a), CRAM(a) und CROM(a) Fig. 1B dargestellt sind. Die zusätzliche Schaltung der Fahrkorbsteuervorrichtung und des Fahrkorbsteuergerätes, die dem Fahrkorb «a» zugeordnet sind, und als rechteckige Blöcke CESC(a) und CCE(a) in Fig. 1B dargestellt sind, werden nachfolgend mit Bezug auf die vereinfachten Schemata von Fig. 14, 15, 16 und 17 beschrieben. Die im Blockdiagramm in Fig. 1B für den Fahrkorb «a» dargestellte Ausrüstung ist für jeden Fahrkorb der Aufzugsanlage erforderlich. Daraus wird ersichtlich, dass die folgende Schaltkreisbeschreibung sich insbesondere auf die dem Fahrkorb «a» zugeordnete Schaltung bezieht, wobei die Bezugszeichen der Schaltung von Fig. 11 - 14 mit einem Anhängsel (a) versehen sind.

Ein visueller Vergleich der vorstehend beschriebenen vereinfachten Schematik von Fig. 4 und 5 und der in den Fig. 11 und 12 dargestellten Schaltung zeigt, dass die schematische Darstellung der Schaltkreiselemente mit ihren Verbindungen identisch sind. Ein weiterer Vergleich zeigt, dass die unterschiedlichen Merkmale zwischen den zwei Figuren nur darauf beruhen, dass das Prefix «G» dem Referenzzeichen in Fig. 4 und 5 hinzugefügt ist während das Prefix 10 den gleichen Bezugszeichen in den Fig. 11 und 12 hinzugefügt ist. Ausserdem sind die Verbindungen zwischen den verschiedenen Ausrüstungsteilen die in den Fig. 11 und 12 dargestellt sind identisch mit den Verbindungen zwischen den entsprechenden Ausrüstungsteilen der Fig. 4 und 5.

Der Teil des Programmspeichers der den Fahrkorbprozessor CPU(a) (Fig. 11) zugeordnet und in Fig. 1B als der

Fahrkorbspeicher CROM(a) gekennzeichnet ist, ist in Fig. 13 als aus zwei Festspeichern 392(a) und 394(a) bestehend dargestellt. Sie sind mit dem Gerät in Fig. 11 auf die gleiche Weise wie der entsprechende Programmspeicher von Fig. 6 mit dem entsprechenden Apparat von Fig. 5 verbunden. Es wird darauf hingewiesen, dass die Zahl der Festspeicher mit der Komplexität des gespeicherten Programms variiert. Es werden zwölf 2048-Bit Festspeicher (Typ 1702A, Intel) verwendet.

In dem oberen Teil von Fig. 13 ist jener Teil der Fahrkorbschaltung dargestellt, der den Fahrkorbdatspeicher und die Fahrkorbdatschaltvorrichtung bildet. Die Leitungen GD0(a), CD1(a), CD2(a) und CD3(a) verbinden den ersten Satz von Eingängen 3, 6, 10 und 13 des Datenselektors 400(a) mit dem Ausgang 3, 6, 10 und 13 einer Treiberschaltung 354(a) (Fig. 11) und die Leitungen CD4(a), CD5(a), CD6(a) und CD7(a) verbinden den ersten Satz von Eingängen 3, 6, 10 und 13 eines zweiten Datenselektors 402(a) (Fig. 13) mit den Ausgängen 3, 6, 10 und 13 einer Treiberschaltung 356(a) (Fig. 11). Ausserdem verbinden die Leitungen GCB0(a), GCB1(a) . . . GCB7(a) den zweiten Satz von Eingängen 2, 5, 11 und 14 der zwei Datenselektoren 400(a) und 200(a) mit den Ausgängen 1 und 15 der vier Dualempfänger 236(a), 238(a), 240(a) und 242(a) die in Fig. 10 dargestellt sind. Die Ausgänge 4, 7, 9 und 12 der Datenselektoren 400(a) und 402(a) sind an die Dateneingänge 9, 11, 13 und 15 von zwei 1024-Bit (256×4) Festspeicher 404(a) und 406(a) (Typ 8101, Intel) angeschlossen.

Die Leitungen CA0(a), CA1(a) . . . CA7(a) sind mit dem ersten Satz von Eingängen 3, 6, 10 und 13 einem zweiten Satzes von Datenselektoren 408(a) und 410(a) (Typ 74157, Signetics) verbunden. Die Verbindung über die Leitungen GCA0(a), GCA1(a) . . . GCA7(a) zu den Datenselektoren 408(a) und 410(a) wurden vorher mit Bezug auf Fig. 10 beschrieben. Die Datenselektoren sind mit ihren Ausgängen 4, 7, 9 und 12 an die Adresseneingänge 4, 3, 2, 1, 21, 5, 6 und 7 der Festspeicher 404(a) und 406(a) angeschlossen.

Die Ausgänge 10, 12, 14 und 16 der Festspeicher 404(a) und 406(a) sind über die Leitungen CDO0(a), CDO1(a) . . . CDO7(a) mit den Eingängen 2, 5, 11 und 14 von zwei Datenselektoren 366(a) und 368(a) (Fig. 11) verbunden um erste und zweite Fahrkorbsteuersignale oder Gruppensteuersignale aus dem Fahrkorbdatspeicher zum Fahrkorbprozessor CPU(a) (Fig. 11) zu übertragen. Ausserdem sind die Ausgänge 10, 12, 14 und 16 der Festspeicher 404(a) und 406(a) mit den Eingängen 1, 4, 9 und 12 von zwei UND-Gattern 412(a) und 414(a) (Typ 7408, Signetics) verbunden. Die Ausgänge 3, 6, 8 und 11 der UND-Gatter 412(a) und 414(a) sind über Leitungen CGD0(a), CGD1(a) . . . CGD7(a) an den im Zusammenhang mit Fig. 10 beschriebenen Apparat angeschlossen.

Die Abtasteingänge 15 der zwei Datenselektoren 408(a) und 410(a) (Fig. 13) die die Fahrkorbadressschaltvorrichtung bilden, und der Eingang 19 von zwei 1024-Bit (256×4) Festspeicher 404(a) und 406(a) mit separatem E/A (Typ 8101, Intel) sind an den Ausgang 4 an einen Datenselektor/Multiplexer 416(a) (Typ 74157, Signetics) angeschlossen. Der Lese-Schreibeingang 20 der Festspeicher 404(a) und 406(a) und der Abtasteingang 15 der Datenselektoren 400(a) und 402(a), die nachfolgend als Fahrkorbdatschaltvorrichtung bestimmt sind, sind an den Ausgang 4 von den Inverter 418B(a) angeschlossen, dessen Eingang 3 an den Ausgang 7 vom Datenselektor 416(a) angeschlossen ist. Der Ausgang 18 beider Festspeicher 404(a) und 406(a) sind mit dem dritten Ausgang 9 vom Datenselektor 416(a) verbunden. Steuereingang 17 der Datenspeicher 404(a) und 406(a) liegt an einem binären 1-Signal an.

Die Leitung DTS(a) verbindet den \bar{Q} -Ausgang 10 von J-K-Flip-Flop 214B(a) (Fig. 10) mit dem Auswahl-eingang 1 der zwei Datenselektoren 400(a) und 402(a), den zwei Adressenselektoren 408(a) und 410(a) und einem Steuersignalselektor 416(a). Die Leitung DTS(a) ist auch an den Eingang 1 vom Inverter 418A(a) angeschlossen, dessen Ausgang 2 mit den vier Eingängen 2, 5, 10 und 13 der UND-Gatter 412(a) und 414(a) verbunden ist.

Am Abtasteingang 15 und am Eingang 2 des Steuer-signal-selektors 416(a) liegt ein binäres 0-Signal an. Die Leitung GWD(a) verbindet die Eingänge 5 und 11 vom Steuer-signal-selektor 416(a) mit dem Ausgang 8 vom UND-Gatter 220C(a) (Fig. 10). Die Eingänge 3 und 10 vom Steuersignalselektor 416(a) sind über die Leitung CSS(a) an den Ausgang 10 vom Datenselektor 374(a) angeschlossen. Die Leitung GWX(a) verbindet den Q-Ausgang 11 vom J-K-Flip-Flop 378B(a) (Fig. 12) mit dem Eingang 6 des Steuer-signal-selektors 416(a).

Die Fig. 14 und 16 zeigen ein Schema der Signalauswahl-schaltung des Fahrkorbsteuergeräts für den Fahrkorb a, das in Fig. 1B mit dem Block CES(a) dargestellt ist. Die Auswahl-schaltung verbindet das Fahrkorbsteuergerät CCE(a) mit dem Fahrkorbprozessor CPU(a) und wird in Abhängigkeit von dem ihm zugeordneten Fahrkorbprozessor betätigt, um selektiv auf das Fahrkorbsteuergerät hinweisende Binär-signale an den Fahrkorbprozessor zu übermitteln. Ausserdem wird die Auswahl-schaltung in Abhängigkeit seines zugeordneten Prozessors, um an sein zugeordnetes Fahrkorbsteuer-gerät erste Fahrkorbsteuersignale, um den Fahrkorb a in einer unabhängigen Weise zu steuern, und zweite Fahrkorb-steuersignale abzugeben, um den Fahrkorb a als ein Teil einer Gruppe zu steuern.

Die Leitung CDØ(a) verbindet die Ausgänge 5 von drei Datenselektoren 430(a), 432(a) (Fig. 14) und 434(a) (Fig. 16) mit dem Eingang 3 der Treiberschaltung 354 (Fig. 11). Die Fahrkorbrufselektoren 430(a) und 432(a) und der Fahrkorbzustandselektor 434(a) arbeiten in Abhängigkeit vom Anliegen eines binären 0-Signals an ihren entsprechenden Abtasteingängen 7 und eines von den Ausgängen 1, 14 und 11 der bistabilen Verriegelung 358(a) über die Leitungen CAØ(a), CA1(a) und CA2(a) zugeführten Drei-Bit-Binär-signalen, um die ausgewählte Einheit zu veranlassen, eines von acht an seinen Eingängen angelegten Signalen über die Leitung CDØ(a) abzugeben. Das Auswahlgerät, das das binäre 0-Signal an den Abtasteingang 7 der ausgewählten Einheit anlegt, wird im folgenden beschrieben.

Ausserdem sind die Dateneingänge 13 der von 3 auf 8-Bit adressierbaren Verriegelungen 438(a), 440(a) (Fig. 14) und 444(a) (Fig. 16) (Typ-9334, Fairchild) auch an die Leitungen CDØ(a) angeschlossen, während die Adresseneingänge 1, 2 und 3 an die Leitungen CAØ(a), CA1(a) und CA2(a) angeschlossen sind. In Abhängigkeit des 3-Bit-Binär-codes und eines binären 0-Signals, die an die Adresseneingänge bzw. an den Abtasteingang 14 einer ausgewählten Verriegelung 438(a), 440(a) und 444(a) angelegt sind, gibt diese ausgewählte Einheit ein binäres 0-Signal an einem seiner Ausgänge 4, 5, 6, 7, 9, 10, 11 und 12 ab, welches dem Signal auf der Leitung CDØ(a) entspricht. Das Gerät, welches das binäre 0-Signal an den Abtasteingang 14 einer ausgewählten Einheit anlegt, wird nachfolgend beschrieben.

Die Abtastausgänge 7 von zwei Rufauswahleinheiten 430(a) und 432(a) sind an die Ausgänge 6 und 7 des Dual 2 auf vier Leitungsdekodern oder Chip-Auswahlvorrichtung 446(a) (Typ 74155, Signetics) angeschlossen. Zwei weitere Ausgänge 11 und 12 der Auswahl-einrichtung 446(a) sind an die Abtasteingänge 14 der Rufrückstellauswahleinheiten 440(a) und 438(a) angeschlossen. Die Leitung CEXØ(a) verbindet die Abtasteingänge 2 und 14 der Auswahl-einrichtung

446(a) mit dem Ausgang 15 des Dekoders 372(a), der in Fig. 12 dargestellt ist. Aus dem Ausgang 3 vom UND-Gatter 380A(a) (Fig. 12) oder dem Q-Ausgang vom J-K-Flip-Flop 378B(a) (Fig. 12) wird ein Lese- oder Schreibsignal über die 5 Leitungen CRX(a) oder CWX(a) den Eingängen 1 oder 3 der Auswahlvorrichtung 446(a) zugeleitet. Zwei weitere Signalleitungen CA3(a) und HL1 verbinden die Eingänge 13 und 15 der Auswahlvorrichtung 446(a) mit dem Ausgang 8 der bistabilen Verriegelung 358(a) und einer das binäre 0-Signal führenden Leitung.

Der Abtasteingang 7 des Fahrkorbzustandssignal-selektors 434(a) (Fig. 16) ist an den Ausgang 8 eines NAND-Gatters 442C(a) angeschlossen. Die Leitungen CA3(a) bzw. CRX(a) verbinden die Eingänge 9 und 11 vom NAND-Gatter 442C(a) mit dem Ausgang 9 der bistabilen Verriegelung 358(a) (Fig. 11) und dem Eingang 3 des UND-Gatters 380A(a) (Fig. 12). Die Leitung CEX3(a) verbindet den Ausgang 12 des Dekoders 372(a) (Fig. 12) mit dem Eingang vom Inverter 448A(a), dessen Ausgang 2 mit dem dritten 20 Eingang vom NAND-Gatter 442C(a) verbunden ist.

Der Abtasteingang 14 der Fahrkorbausgangssignalauswahl-einrichtung 444(a) (Fig. 16) ist an den Ausgang 6 des NAND-Gatters 442B(a) angeschlossen. Die Leitung CA3(a) bzw. CWX(a) verbindet die Eingänge 3 und 5 vom NAND-Gatter 442B(a) mit dem Ausgang 9 der bistabilen Verriegelung 358 (Fig. 11) und dem Q-Ausgang 11 vom J-K-Flip-Flop 378B(a) (Fig. 12). Die Leitung CEX4(a) verbindet den Ausgang 11 des Dekoders 372(a) (Fig. 12) mit dem Eingang 3 vom Inverter 448B(a), dessen Ausgang 4 mit dem dritten 30 Eingang 4 vom NAND-Gatter 442B(a) verbunden ist.

Die Rufregistrierschaltkreise verwenden einen Berührungsschalter (Typ 1C21, RCA) mit Kaltkathodenröhre und ist in Fig. 15 für das Erdgeschoss und die Etagen 2, 6, 7, 11, 12 und T des Gebäudes dargestellt. Es wird darauf 35 hingewiesen, dass weitere Rufregistrierschaltkreise für die restlichen Etagen vorgesehen sind.

An der Anode jeder Röhre 1C(a), 2C(a) . . . TC(a) liegt ein Potential von 135 Volt bezüglich der Leitung B0, das über die Leitung B+ zugeführt wird. Die Kathoden sind an Kathodenwiderstände RCL1, RCL2 . . . RCLT angeschlossen, die mit der anderen Seite an die Leitung B0 angeschlossen sind. Die Leitungen C1(a), C2(a) . . . CT(a) verbinden die Kathoden mit den einzelnen optischen Kupplern und 45 Wandlern, die nachfolgend beschrieben werden. Die elektrischen Kuppler und Wandler sind über die Leitungen B0 und AC1 mit der Spannungsquelle PS1 (Fig. 2) verbunden.

Die Fahrkorbrufregistriersignale für die in Fig. 15 gezeigten Schaltkreise werden über Leitungen 1CS(a), 2CS(a), 50 6CS(a), 7CS(a), 11CS(a), 12CS(a) und TCS(a) an die Eingänge 12, 13, 2 und 3 des Rufselektors 430(a) (Fig. 14) und die Eingänge 14, 15 und 4 des Rufselektors 432(a) (Fig. 14) angelegt.

Die Rufrückstellsignale für jeden dargestellten Rufregistrierschaltkreis werden von den Ausgängen 12, 11, 6 und 5 55 der Rufrückstellauswahleinheit 438(a) (Fig. 14) und den Ausgängen 10, 9 und 4 der Rufrückstellauswahleinheit 440(a) (Fig. 14) über die Leitungen 1CR(a), 2CR(a), 6CR(a), 7CR(a), 11CR(a), 12CR(a) und TCR(a) an die Rückstell-eingänge R der optischen Kuppler und Wandler 18A (Fig. 15) angelegt.

In Fig. 17 ist ein vereinfachtes Schema des Steuergerätes, welches dem Fahrkorb a zugeordnet ist, dargestellt. Wie gezeigt, sind der Fahrkorb 10(a) und das Gegengewicht 11(a) 65 über ein Förderseil 12(a) verbunden und hängen auf einer Antriebsscheibe 13(a). Der Fahrkorb 10(a) bedient 16 Etagen L1 - Lt, wie alle Fahrkörbe (nicht dargestellt) in dieser Gruppe.

Die Seilantriebsscheibe 13(a) ist auf einer Ankerwelle MA(a) eines Gleichstrommotors angeordnet, der eine bekannte Aufzugsbremse BR(a) aufweist. Die Motorwelle MA(a) ist quer zum Generatorläufer GA(a) und dessen Reiheninduktanz GSEF(a) angeschlossen. Die Motorwicklung MF(a) und die Generatorwicklung GF(a) werden beide von einem selbsterregten Generator gespeist, dessen Läufer mit dem Generator fest verbunden ist (nicht dargestellt).

In die Leitung V2(a) zur Spule eines Türöffnungsschalters DO(a) sind zwei Türkontakte D1Z(a) und D2Z(a) eingeschaltet. Die Leitung \overline{DO} (a) verbindet die zweite Leitung der Spule des Türöffnungsschalters DO(a) mit der Klemme O2 eines Relaischaltkreises, der als rechteckiger Block 18C(a) (Fig. 16) dargestellt ist und mit seinem Eingang I3 an den Ausgang 4 der Relaisauswahleinrichtung 444(a) (Fig. 16) angeschlossen ist.

Die Spule vom Einschalter ST(a) ist auch an die Leitung V2(a) und die \overline{GO} (a) angeschlossen, wobei die Leitung \overline{GO} (a) auch an die Klemme O2 eines zweiten Relaischaltkreises 18C(a) angeschlossen ist, dessen Eingangsklemme I3 mit dem Ausgang 7 der Relaisauswahleinrichtung 444(a) verbunden ist. Die Relaisauswahleinrichtung 444(a) (Fig. 16) hat zwei weitere Klemmen 5 bzw. 6, die an die Eingangsklemmen I3 und zwei weiteren Relaischaltungen 18C(a) (Fig. 16) angeschlossen sind. Die Relaischaltungen sind über die Leitungen AÜ und AD an einer Seite der Setzspule und einer Seite der Rücksetzspule eines Halteschalters DG(a) (Fig. 17) angeschlossen.

Die seriegelagerten Türkontakte GS(a) und DS(a) werden geschlossen, wenn die Fahrkorb- oder Fahrstuhl Türen geschlossen sind. Sie legen eine Spannung an die Leitung V2(a) an und zwar über die Leitung DFC zum Eingang der optischen Kuppler und Wandler 18B(a) (Fig. 16). Der Wandler ist mit seiner Ausgangsklemme O1 mit dem Eingang 14 der Signalauswahleinrichtung 434(a) (Fig. 16) verbunden. Die Leitung V2(a) wird über einen anderen Türschalter OL(a), der geschlossen wird, wenn die Fahrstuhltür vollständig geöffnet ist, an die Leitung DFO(a) angeschlossen. Diese letztgenannte Leitung ist an den Eingang I2 des optischen Kupplers und Wandlers 18B(a) angeschlossen, dessen Ausgangsklemme O1 mit dem Eingang 13 der Signalauswahleinrichtung 434(a) (Fig. 16) verbunden ist. Das dem Fahrkorb zugeordnete Fahrkorbsteuergerät weist zwei Schleifkontakte FPU(a) und FPD(a) und einen Schleifkontakt FPB(a) auf, die auf einer synchronen Tafel eines Etage selektors angeordnet sind, um die Etageschalter FPC1(a), FPC2(a) . . . FPCT(a), die mit einem Matrixaufbau MT(a) verbunden sind, zu betätigen, um ein binäres Signal zu erzeugen, das die vorgesehene und die tatsächlichen Fahrkorbstellungen darstellt. Der die Etage angegebende Schleifkontakt wird über einen Öffnungskontakt H2(a) mit der Leitung V2(a) verbunden, wenn der Fahrkorb a an der Etage eintrifft, so dass der Matrixaufbau ein binärkodiertes Signal, das die tatsächliche Fahrkorbstellung darstellt, an die Leitungen CP1(a), CP2(a), CP4(a), CP(a) und CP16(a) abgibt. Diese Leitungen sind an die Eingangsklemmen I2 und fünf optischen Kupplern und Wandlern 18B(a) (Fig. 16) angeschlossen, deren Ausgangsklemmen O1 an die Eingänge 15, 1, 2, 3 und 4 der Signalauswahleinrichtung 434(a) (Fig. 16) angeschlossen sind.

Ein Schliesskontakt H1(a) verbindet die Leitung V2(a) mit der Leitung V3(a), die ihrerseits an die Leitung RUN(a) angeschlossen ist. Die Leitung RUN(a) verbindet diesen mit der Eingangsklemme I2 des optischen Kupplers und Wandlers 18B(a), dessen Ausgangsklemme mit dem Eingang 12 der Fahrkorbzustandsauswahleinrichtung 434(a) (Fig. 16) verbunden ist.

Die Etageschleifkontakte U1S(a), U2S(a), D1S(a) und D2S(a) des vorstehend erwähnten Selektors sind so eingestellt, dass sie von den zugeordneten Etagenkontakten 1SC(a) und 2SC(a) betätigt werden, wenn sich der Fahrkorb in einer bestimmten Distanz von dieser Etage befindet.

Die Zentraleruf- und Fahrkorbrufregistrierschaltkreise sind mit den Treiberschaltungen des optischen Kupplers und Wandlers verbunden. Jeder dieser Schaltkreise wird in Abhängigkeit der Registrierung seines entsprechenden Rufes betätigt, um ein binäres 0-Signal an seinem Ausgang S abzugeben. Um den Ruf zurückzustellen, wird ein binäres 0-Signal an den R-Eingang angelegt, so dass das Signal auf der Leitung AC1 an die Klemme I1 angelegt wird.

Die als rechteckige Blöcke 18B(a) in Fig. 16 dargestellten Eingangssignalschaltkreise sind jeweils in Fig. 18B in Form eines Schemas dargestellt. In Abhängigkeit eines an seinem Eingang I2 anliegenden Eingangssignals gibt jeder dieser optischen Kuppler und Wandler ein binäres 0-Signal an seine Klemme O1 ab.

Die in Fig. 16 als Blöcke 18C(a) dargestellten Relaischaltkreise sind in Fig. 18C in Form eines Schemas dargestellt. In Abhängigkeit eines an seinem Eingang I3 angelegten 0-Signals gibt jeder von diesen Relaischaltkreisen ein ausreichend hohes Erdpotential an seine Klemme O2 ab, um das entsprechende Relais zu entregen.

Um zu verstehen, wie die beschriebene Steuereinrichtung arbeitet, um jeden Fahrkorb einer Aufzugsanlage als Teil einer Gruppe zu betätigen, wird eine Beschreibung gegeben, wie der Gruppenprozessor GPM erste Fahrkorbsteuersignale aus der Fahrkorbsteuervorrichtung CPM empfängt und die Gruppensteuersignale an die Fahrkorbsteuervorrichtung anlegt, welche in Abhängigkeit davon ein zweites Fahrkorbsteuersignal erzeugt und dieses Signal an die Fahrkorbsteuervorrichtung, die jedem der Fahrkörbe der Aufzugsanlage zugeordnet ist, abzugeben, um diese als Teil einer Gruppe zu betätigen. Es wird vorausgesetzt, dass jede Fahrkorbsteuervorrichtung CPM der Aufzugsanlage einen separaten Fahrkorbprozessor CPU und eine zugeordnete Fahrkorbschaltung SW enthält, die beide einzeln jedem Fahrkorb der Aufzugsanlage zugeordnet sind, und dass jeder Fahrkorbprozessor CPU nacheinander eine erste Operationsfolge durchführt, indem diese in einer bekannten Weise einem Fahrkorbbefehlsprogramm folgt, um erste Fahrkorbsteuersignale in Abhängigkeit der Rufsignale und Fahrkorbstellungssignale erzeugt.

Es wird auch vorausgesetzt, dass die Gruppensteuervorrichtung einen Gruppenprozessor GPU und seine zugeordnete Gruppenlogikschaltung enthält und dass der Gruppenprozessor nacheinander eine zweite Operationsfolge durchführt, indem er in bekannter Weise einem Gruppenbefehlsprogramm folgt, um zentrale Rufsignale vom Gruppensteuergerät GCE (Fig. 2) und erste Fahrkorbsteuersignale zu empfangen und die Gruppensteuersignale den ausgewählten Fahrkorbprozessoren und ihren zugeordneten Fahrkorbschaltungen zuzuführen.

In der US-Patentschrift Nr. 3 614 995 ist eine Vorrichtung offenbart, mit der eine Mehrzahl von Fahrkörben in einer überwachten Gruppe gesteuert werden können. Es ist auch eine Vorrichtung offenbart, durch welche jeder einzelne Fahrkorb in Abhängigkeit der Registrierung der Rufsignale und der die Stellung des Fahrkorbes kennzeichnenden Signale betätigt werden kann, um den entsprechenden Fahrkorb in einer bestimmten Weise zu bewegen. Ist der Fahrkorb z.B. um den Bremsweg von der Etage für die das Rufsignal registriert wurde entfernt, so wird der Bremsvorgang am Fahrkorb eingeleitet. Ein Fachmann versteht, wie die beschriebene Vorrichtung zu programmieren ist, um ein gleiches Resultat zu erzielen.

Die stufenweise abfragbare Befehlsfolge umfasst das Fahrkorbprogramm, welches ein Unterprogramm aufweist, welches die Übertragung die Registrierung eines Rufsignals für eine bestimmte Etage kennzeichnende Information an den zugeordneten Fahrkorbprozessor bewirkt, d.h. für den Fahrkorb «a» CPU(a) (Fig. 11). Ähnlich wird die Information, wenn der Fahrkorb den die Bremsung auslösenden Abstand von der Etage, für welche das Rufsignal registriert wurde erreicht hat dem Fahrkorbprozessor CPU(a) zugeleitet.

Wird ein Rufsignal im Fahrkorb «a», z.B. für die siebente Etage, ausgelöst, wird durch den optischen Kuppler und Wandler 18A, der dem Fahrkorb «a» zugeordnet ist, ein Signal erzeugt und es bewirkt, dass beim Halt an der siebenten Etage ein binäres 0-Signal erzeugt wird. Dieses Signal wird der Fahrkorbauswahleinrichtung 430(a) (Fig. 14) zugeführt.

Das Unterprogramm, für welches der Fahrkorbprozessor PCU(a) das Rufsignal aus der Rufsignalauswahleinrichtung 430(a) empfängt, wird durch den im Fahrkorbprozessor CPU(a) enthaltenen Programmzähler ausgelöst. Wie bekannt, wird im Programmzähler nach Abschluss jedes T1-Taktes des Fahrkorbprozessors eine Zahl addiert, so dass sie stufenweise fortschreitet und den nächsten Befehl von seinem Fahrkorbspeicher CROM(a) (Fig. 13) empfängt.

Unter der angenommenen Bedingung, dass der Befehl aus dem Fahrkorbprogrammspeicher CROM(a) empfangen, befiehlt dieser dem Fahrkorbprozessor CPU, das auf der Leitung 7CS(a) an die Rufsignalauswahleinrichtung 430(a) anliegende Signal aufzunehmen. Um die Information von der Leitung 7CS(a) zum Prozessor zu bringen, muss bekanntlich der Fahrkorbprozessor CPU(a) zusätzlich zu einem 8-Bit-Operationskode oder -befehl, den er von seinem Fahrkorbspeicher CROM(a) empfängt, einen 16-Bit-Adressenkode enthalten. Dieser letztere Kode kennzeichnet den Ausgang 3 der Rufsignalauswahleinrichtung 430(a), an welchen die Leitung 7CS(a) angeschlossen ist, und steuert das zu übertragende Signal über die Leitung 7CS(a) zum Fahrkorbprozessor CPU(a).

Der im Fahrkorbprozessor CPU(a) enthaltene Adressenkode veranlasst die Register 358(a), 362(a), 360(a) und 364(a) beim nächsten bekannten Zeittakt T1 und T2 des Prozessors 16 entsprechende Signale über die Leitungen CA0(a) bis CA15(a) abzugeben. Die Signale auf den Leitungen CA0(a), CA1(a) und CA2(a) werden den Klemmen 11, 10 und 9 der Rufsignalauswahleinrichtung 430(a) zugeführt, um das über die Leitung 7CS(a) daran anliegende Signal auszuwählen und ein entsprechendes Signal an seinem Ausgang 5 abzugeben. Die Signale auf den Leitungen CA10(a), CA13(a), CA14(a) und CA15(a) veranlassen den Dekoder 374(a) (Fig. 12) ein binäres 0-Signal an seinem Ausgang 9 abzugeben. Dies wird dem Dekoder 372(a) zugeführt, der in Abhängigkeit der Operation des im Signal über die Leitungen CA4(a), CA5(a) und CA6(a) enthaltenden Adresse ein binäres 0-Signal an die Leitung $\overline{\text{CEX}}\overline{\text{O}}$ (a) abgibt. Das Adressensignal auf der Leitung CA(a) und das binäre 0-Signal auf der Leitung $\overline{\text{CEX}}\overline{\text{O}}$ (a)-Signal werden dem Multiplexer 446(a) zugeführt. Nach Empfang eines binären 1-Signals über die Leitung CRX(a) und eines binären 0-Signals über die Leitung CWX(a) gibt dieser Multiplexer ein binäres 0-Signal an den Eingang 7 der Rufsignalauswahleinrichtung 430(a) ab. Ein binäres 1-Signal wird an die Leitung CRX(a) während des Taktes T3 abgegeben, weil während seines vorangehenden Taktes T2 ein binäres 0-Signal über die Leitung $\overline{\text{CT}}\overline{\text{2}}$ (a) an den Flip-Flop 376(a) angelegt war, um an seinem Ausgang 5 ein binäres 1-Signal an das UND-Gatter 380(c) abzugeben. Während der ersten Hälfte des Zeittaktes T3 wird durch den Fahrkorbprozessor CPU(a) ein binäres 1-Signal an die Leitung CSYNC abgegeben. Dieses erzeugt auf der Leitung

$\overline{\text{CT}}\overline{\text{3A}}$ (a) ein binäres 1-Signal, das zusammen mit dem binären 1-Signal, das über die Leitung $\overline{\text{CA}}\overline{\text{14}}$ (a) als das Komplement des Kodesignals über die Leitung CA14(a) das UND-Gatter 380A(a) leitend macht, um ein binäres 1-Signal an die Leitung CRX(a) abzugeben. Auf der Leitung CWX(a) liegt ein binäres 0-Signal an, weil der Prozessor eine Leseoperation ausführt und zu Beginn des Zeittaktes T3 setzt das auf der Leitung C01(a) anliegende binäre 1-Signal den Flip-Flop 378B(a) zurück, so dass dieser das binäre 0-Signal an die Leitung CWX(a) abgibt.

Nach Empfang des binären 0-Signals am Eingang 7 gibt die Rufsignalauswahleinrichtung 430(a) ein binäres 0-Signal über die Leitung CD0(a) an den Eingang 3 der Treiberschaltung 354(a) (Fig. 11) ab. Da sich der Prozessor im Zeittakt T3 befindet und eine Leseoperation stattfindet, werden binäre 0- und 1-Signale über die Leitungen CCS(a) bzw. CDIEN(a) abgegeben, wenn der Gruppenprozessor GPU(a) Daten aus dem Fahrkorbdatspeicher CRAM(a) des Fahrkorbes «a» empfängt. Diese Signale auf den Leitungen CCS(a) und CDIEN(a) bewirken das Komplement des Signals auf der Leitung CD0(a), welches die Registrierung des an den Fahrkorbprozessor CPU(a) zur Zwischenspeicherung angelegten Rufsignals für die siebente Etage kennzeichnet.

Aus dem Vorhergehenden ist ersichtlich, wie andere Signale, die andere Informationen bezüglich des Fahrkorbes kennzeichnen, vom Fahrkorbsteuergerät zum Fahrkorbprozessor CPU(a) übertragen werden. Die Information, die angibt, dass der Fahrkorb «a» den Halteabstand zur siebenten Etage erreicht hat, wird über die Schleifkontakte FPU(a) oder FPD(a) (Fig. 17) und den Kontakt FP7(a) zur Matrix MT(a) weitergeleitet. Diese Informationen kennzeichnenden Binärsignale werden über die Ausgangsleitungen CP1(a) bis CP16(a) von der Matrix MT(a) abgegeben. Diese Binärsignale werden den ihnen zugeordneten Auswahleinrichtungen 18B(a) (Fig. 16) zugeführt. Die Ausgangssignale der Auswahleinrichtung 18B(a) werden über die Leitung CD0(a) im Fahrkorbprozessor CPU(a) zugeführt und zwar in einer Weise, in welcher das Signal, das die Registrierung des Rufsignals für die siebente Etage kennzeichnet, zu diesem übertragen worden war.

Der Fahrkorbprozessor CPU(a) verwendet die Signale, die anzeigen, dass der Fahrkorb die Anhaltestelle zur siebenten Etage erreicht hat, und dass ein Rufsignal für die siebente Etage registriert ist, um den Fahrkorb an der siebenten Etage anzuhalten. Er tut dies wegen ihres simultanen Auftretens und erzeugt ein Signal, dass ein Halt einzuleiten ist. Dadurch gibt er ein Signal über die Leitung CD0(a) an den Eingang 13 des Dekoders 444 zur Abgabe an den Ausgang 7 ab, um zu bewirken, dass die zugeordnete Relaischaltung 18C(a) ein binäres 1-Signal an die Leitung GO(a) abgibt. Dieses Signal gibt den zugeordneten Haltschalter frei, um den Fahrkorb in der gewünschten Weise und abhängig von der erfolgten Freigabe der Schalter FE(a), E2A(a), E1A(a), H(a) und U(a) oder D(a) zu stoppen.

Es ist erwünscht, das Signal auf der Leitung CD0(a), welches die Erzeugung des binären 1-Signals auf der Leitung $\overline{\text{GO}}$ (a) bewirkt, im Fahrkorbdatspeicher CRAM(a) zu speichern, um ihn für eine spätere Verwendung bereitzuhalten. Dies wird erreicht, weil der Prozessor in seiner stufenweisen Operation ein 8-Bitbefehl empfängt, um das Signal in dieser Weise zu speichern. Dieser Befehl wird im Fahrkorbprozessor CPU(a) zurückgehalten und zeigt an, dass ein Signal entsprechend jenen auf der Leitung $\overline{\text{GO}}$ (a) den Fahrkorbdatspeicher CRAM(a) verschieben sollte. Ausserdem ist ein 16-Bit-Adressenkode im Fahrkorbprozessor CPU(a) enthalten.

Die ersten acht dieser 16 Signale werden über die Leitung CA0(a) - CA7(a) den Datenselektoren 408(a) und 410(a) zur Vorbereitung der Adressierung des Fahrkorbdatspeichers CRAM(a) zugeleitet. Der Fahrkorbdatspeicher speichert aufgrund dieser anliegenden Signale ein Signal, das dem auf der Leitung GÖ(a) entspricht, in die der Adresse entsprechende Speicherstelle. Die Adresse ist durch die an den Leitungen CA0(a) - CA7(a) anliegenden Signalen gekennzeichnet.

Die letzten acht der 16 Signale werden über die Leitungen CA8(a) - CA15(a) übertragen. Durch diese Signale erzeugt das Gerät von Fig. 12 ein binäres 0-Signal auf der Leitung CRSE(a) und ein binäres 1-Signal auf der Leitung CWX(a). Die vorherigen dieser Signale ergeben sich aus dem Teil des Codes, der über die Leitungen CA10(a), CA11(a), CA13(a), CA14(a) und CA15(a) angelegt ist, welcher jedoch nun gegenüber dem vorherbeschriebenen dadurch geändert ist, dass das Signal über die Leitung CA14(a) ein binäres 1-Signal ist. Während des dritten Taktes T3 des Fahrkorbprozessors ist das letzte Signal auf der Leitung CWX(a) ein binäres 1-Signal, weil während dieser Periode das Signal auf der Leitung CT3(a) ein binäres 0-Signal ist und während eines Speichervorgangs ist das Signal auf der Leitung CPCW(a) ebenfalls ein binäres 0-Signal, weil die Codesignale CA14(a) und CA15(a) beide binäre 1-Signale sind. Durch die über die Leitungen CT3(a) und CPCW(a) an den Flip-Flop 378B(a) angelegten binären 0-Signale erzeugt dieser ein binäres 1-Signal auf der Leitung CWX(a).

Die Signale auf den Leitungen CSS(a) und CWX(a) werden einem Auswahlwähler 416(a) (Fig. 13) zugeleitet und mit dem binären 1-Signal, das dann auf der Leitung existiert, bewirkt den Schalter zu betätigen, um Ausgangssignale zur Vorbereitung des Fahrkorbprozessors CPU(a) zu erzeugen, um Signale einzuspeichern. Ein binäres 1-Signal liegt an der Leitung DTS(a) als Ergebnis des binären 0-Signals auf der Leitung GA13 der Operationskode des Gruppenprozessors GPU, der immer ein binäres 0-Signal ist, ausser wenn der Fahrkorbprozessor mit dem Fahrkorbsteuergerät in Verbindung steht. Die Treiberschaltung 196A (Fig. 9B) gibt ein binäres 0-Signal an die Leitung XCRDY(a) zum Empfänger 210(a) (Fig. 10) ab. Erzeugt ein binäres 0-Signal an den Klemmen 3 und 8 der Flip-Flop 214A und 214B stellt diesen zurück und erzeugt ein 1-Signal auf der Leitung DTS(a).

Das binäre 1-Signal auf der Leitung DTS(a) zusammen mit dem Ausgangssignal vom Schalter 416(a) veranlassen diese Selektoren 408(a) und 410(a) den Fahrkorbdatspeicher CRAM(a) die Adressensignale, die auf den Leitungen CA0(a) - CA7(a) anliegen Vorbereitung für eine spätere Übertragung des Signals entsprechend dem auf der Leitung GÖ(a) an den Fahrkorbdatspeicher über die Datenselektoren 400(a) und 402(a) zu übertragen. Das dem auf der Leitung GÖ(a) entsprechende Signal wird über die Leitung CD0(a) in der nächsten Operationsfolge durch den Selektor 400(a) übertragen. Dies ereignet sich, weil der Fahrkorbprozessor CPU(a) durch das 8-Bit-Signal tätig ist, und dieses Signal über die Leitung CD0(a) sofort nachdem das Adressensignal abgegeben wurde zu übertragen. Daraus folgt, dass das auf der Leitung GÖ(a) entsprechende Signal über die Leitung CD0(a) vom Datenselektor 400(a) und durch diese Einheit in die Stelle in den Fahrkorb Datengespeichert CRAM(a), die durch das acht Adressen-Bit, welches durch den Fahrkorprozessor vorher übertragen wurde, gekennzeichnet ist, fliesst.

Die Löschung der gespeicherten Informationen im Fahrkorbdatspeicher CRAM(a) durch den Fahrkorbprozessor CPU(a) ist gleich der Operation durch welche der Fahrkorbprozessor die Informationen in den Fahrkorbdatspeicher einspeichert. Der Unterschied zwischen diesen Operationen

ist der, dass während der letzten Operation das 16-Bit-Adressensignal so sein muss, dass es das Gerät von Fig. 12 veranlasst den Status des Signales auf der Leitung CWX(a) von einem binären 1-Signal in ein binäres 0-Signal zu ändern.

5 Dieses binäre 0-Signal wird über die Leitung CWX(a) in der gleichen Weise wie vorhergehend erwähnt übertragen, und zwar während der entsprechenden Übertragungsoperation des Signals zum Fahrkorbprozessor CPU(a) über die Leitung GÖ(a). Der Wechsel im Zustand findet statt, nachdem der Takt T3 beendet ist, wenn das Signal auf der Leitung CT3(a) und das Signal auf der Leitung C01(a) zu binären 0-Signalen werden, worauf ein binäres 0-Signal dem Eingang 8 vom Flip-Flop 378B(a) zugeleitet wird. Das Signal auf der Leitung CWX(a) wird nicht in einen binären 1-Zustand geändert während der Zeittakt T3 eine Leseoperation angibt wie es während einer Speicheroperation der Fall ist, weil während der Leseoperation das Signal auf der Leitung CPCW(a) kein binäres 0-Signal wie während der Speicheroperation ist. Dadurch bleibt der Flip-Flop 378B(a) in seinem rückgestellten Zustand während der Leseoperation und gibt weiterhin ein binäres 0-Signal an die Leitung CWX(a). Dies steuert das Lesen der Information aus dem Fahrkorbdatspeicher CRAM(a) (Fig. 13), d.h. der Fahrkorbdatspeicher gibt Ausgangssignale an die Leitung CDO0(a) - CDO7(a) während der Löschung ab und zwar im Gegensatz zu seinen aus dem Fahrkorbprozessor CPU(a) empfangen Signale, die dadurch auf die Leitungen CD0(a) - CD7(a) abgegeben werden.

Die Signale sind derart, dass die Änderung des Status des Signals auf der Leitung CSS(a) so erfolgt, wie bei einem 0-Signal, welches auf der Leitung GSS anliegt, wenn der Gruppenprozessor GPU(a) Daten empfängt. Dieses 0-Signal auf der Leitung CSS(a) steuert die Signale auf den Leitungen CDO0(a) bis CDO7(a), die durch die Datenselektoren 366(a) und 368(a) übertragen werden.

Es wird darauf hingewiesen, dass der Fahrkorbprozessor CPU(a) durch den Fahrkorbspeicher CROM(a) gespeicherte und daraus empfangene Befehle mittels der Leitungen CIO0(a) - CIO7(a) gesteuert werden kann, so dass nach Einheiten der Halteoperation der Prozessor CPU(a) in Abhängigkeit des Rufsignals für die siebte Etage ein Signal abgeben kann, um das Rufsignal zu löschen. Dieser Vorgang stellt ein Schreibvorgang dar und wird in einer Weise ähnlich der bei der der Prozessor das Rufsignal für die siebte Etage ist, um ein Signal daraus zu übertragen, durchgeführt. Der Unterschied zwischen Schreib-Leseoperation ist der, dass der Adressencode die Erzeugung eines 1-Signals auf der Leitung CWX(a) während des Zeittaktes T3 anstatt die Erzeugung eines 1-Signals auf der Leitung CRX(a) zu bewirken. Während der Schreiboperation wird auch ein 0-Signal über die Leitung CD0(a) zum Eingang 13 des Rufsignalselektors 438(a) übertragen, während im Gegensatz zur Leseoperation, während welche ein 0-Signal vom Eingang 5 des Rufsignalselektors 430(a) über die Leitung CD0(a) übertragen wird.

In Abhängigkeit des 0-Signals, das am Eingang 13 an Selektor 438(a) anliegt, und dem Kode, der dem Halt der siebten Etage entspricht, auf den Leitungen CA0(a), CA1(a) und CA2(a) und dem 1-Signal der Leitung CWX(a) gibt der Selektor 438(a) ein Signal auf an die Leitung 7CR(a) ab, das über den zugeordneten Wandler 18A (Fig. 15) das Löschen der Rühröhre 70(a) der siebten Etage bewirkt und demzufolge das Rufsignal löscht.

Es wird nun angenommen, dass ein Rufsignal für die siebte Etage im Fahrkorb «a» nicht registriert ist, aber dass der Fahrkorbprozessor CPU(a) Operationen gemäss einem Fahrkorb unter Programm durchgeführt hat, wobei die Stellung in der der Fahrkorb im Halteabstand unter der siebten Etage der durch die Berührung des Kontaktes FPC7(a) mit dem Schleifkontakt FPU(a) gekennzeichnet ist, lokalisiert

wird, in eine bestimmte Speicherstelle im Fahrkorbdaten-speicher CRAM(a) gespeichert wird. Auch das der Fahr-korbprozessor CPU(a) die Aufwärtsfahrt für den Fahr-korb «a» eingeschaltet hat. Daraus folgt, dass ein 0-Signal über die Leitung $\overline{AU}(a)$ an die Setzspule SDG(a) anliegt, wo-durch das Richtungsrelais erregt ist, um die Aufwärtsfahrt als eingestellte Richtung zu erhalten. Es wird auch angenom-men, dass der Gruppenprozessor GPU die Operation gemäss dem Rufsignalprogramm durchführt und ein Signal emp-fangen hat, dass die Registrierung eines Rufsignals für die siebte Etage kennzeichnet. Man hat angenommen, dass beim stufenweisen Fortschreiten, der Gruppenprozessor die Fahr-korbstellungsinformation empfangen, in seinem entspre-chenenden Fahrkorbdaten-speicher CRAM(a) gespeichert und ein Signal erzeugt hat, dass zum Fahrkorbdaten-speicher vom Fahrkorb «a» übertragen wird, um es für das registrierte Aufwärtsrufsignal der siebten Etage zu stoppen.

Um zu verstehen, wie der Gruppenprozessor GPU (Fig. 4) arbeitet, um Signale direkt aus dem Fahrkorbdaten-speicher CRAM(a) zu empfangen bzw. Signale direkt in diesen einzu-speichern, wurde beschrieben, wie die Fahrkorbstellungs-information vom Fahrkorb «a» durch den Gruppenprozessor empfangen wird und wie ein Signal, das den Halt vom Fahr-korb «a» an der siebten Etage einleitet, vom Gruppenpro-zessor GPU zum Fahrkorbdaten-speicher übertragen wird.

Das Unterprogramm durch welches der Gruppenprozes-sor die Fahrkorbstellungsinformationen aus dem Fahrkorb-daten-speicher empfängt wird durch den Programmzähler im Gruppenprozessor eingeleitet. Wie bekannt, wird dem Pro-grammzähler beim Beenden des Zeittaktes T1 des Gruppen-prozessors eine Zahl dazu addiert, um den Gruppenprozes-sor stufenweise zu betätigen, so dass dieser den nächsten Be-fehl von seinem Programmspeicher GROM empfangen kann. Nach Empfang dieses 8-Bit-Befehls wendet der Gruppen-prozessor diesen und die 16-Bit-Adressenkodesignale, die solche enthalten, die die Speicherstelle im Fahrkorbdaten-speicher kennzeichnet in welcher die interessierenden Daten gespeichert sind, um diese Daten zu erhalten.

Diese Adressenkodesignale im Gruppenprozessor GPU werden durch die Treiberschaltungen 54 und 56 über die Leitungen $\overline{GD0}$ bis $\overline{GD7}$ zur Speicherung in die Register 58, 62, 60 und 64 übertragen, wo sie in zwei Taktzyklen T1 und T2 entsprechend den von den Herstellern gemachten Angaben für den Prozessor gespeichert werden.

Während des letzten Viertels des Zeittaktes T1 macht das 0-Signal auf der Leitung $\overline{GT1}$ (Fig. 9A) das NAND-Gatter 178A leitend, welches dann ein 1-Signal an seinem Ausgang abgibt. Während der zweiten Hälfte des Zeittaktes T2 wird ein 1-Signal an die Leitung $\overline{G01}$ und ein 0-Signal an die Leitung \overline{GSYN} angelegt. Darauf folgt, dass das NAND-Gatter 170B ein 1-Signal an den Eingang 1 von Flip-Flop 172A abgibt. Zur gleichen Zeit liegt ein 0-Signal über die Leitung $\overline{GD5}$ an die Klemme 16 und das Komplement liegt an der Klemme 4. Zu Beginn des letzten Viertels des Zeittaktes T2 wird ein 0-Signal an die Leitung $\overline{GT2}$ angelegt, um den Ausgang vom Gatter 178A in ein 0-Signal zu überführen. Daraus folgt, dass auch ein 0-Signal am Ein-gang 1 von Flip-Flop 172A anliegt und dass dieser ein 0-Signal an die Leitung \overline{GSUS} abgibt.

Das Signal auf der Leitung \overline{GSUS} wird an den Eingang 17 vom Gruppenprozessor GPU angelegt, um seine Standard-operationsfolge am Ende des Zeittaktes T2 auszusetzen. Dieses Aussetzen dauert für vier Wartezustände an, bevor der Prozessor seinen Zeittakt T3 beginnt. Auf diese Weise wartet der Gruppenprozessor, unabhängig wie weit der Grup-pen- und Fahrkorbprozessor aus dem Synchronismus sein mögen, eine ausreichende Zeit ab, um sicherzustellen, dass er bevor er in den Zeittakt T3 eintritt die Operation des

Fahrkorbprozessors am Ende des Zeittaktes T2 ausgesetzt wurde.

In Abhängigkeit der Anlegung der Adressenkodesignale an die Leitungen $\overline{GD0}$ bis $\overline{GD7}$ sind inzwischen Ausgangs-signale auf den Leitungen $\overline{GA0}$ bis $\overline{GA15}$ und $\overline{GA8}$ bis $\overline{GA15}$ erzeugt, wobei die Signale auf den letzten Leitungen Komplemente der Signale auf den Leitungen $\overline{GA8}$ bis $\overline{GA15}$ sind. Diese Signale werden durch die Register 58, 60, 62 und 64 erzeugt. Das binäre 1-Signal auf der Leitung $\overline{GA13}$ veranlasst den Dekoder 74 und das UND-Gatter 80D ein binäres 1-Signal auf der Leitung \overline{GRSE} und der Leitung \overline{GSS} abzugeben. Diese Signale werden an die Eingänge 18 und 19 vom Gruppendaten-speicher GRAM angelegt und sperren das Ansprechen des Gruppenspeichers auf die Adres-sensignale auf den Leitungen $\overline{GA0}$ bis $\overline{GA7}$.

Da der Gruppenprozessor GPU Signale aus dem Fahr-korbdaten-speicher CRAM(a) empfängt, werden die drei Si-gnale auf den Leitungen $\overline{GA8}$, $\overline{GA9}$ und $\overline{GA10}$ kodiert, um den Fahrkorb «a» aus den ausgewählten Fahrkorb zu kenn-zeichnen und Signale zu produzieren. Diese drei Signale zu-sammen mit dem binären 1-Signal auf den Leitungen $\overline{GA11}$ und $\overline{GA13}$ und das binäre 0-Signal auf der Leitung $\overline{GA13}$, setzen den Dekoder 190 (Fig. 9B), die Datenselektoren 192 und 194 und die Treiberschaltung 196A in Betrieb, um ein binäres 1-Signal auf der Leitung $\overline{XCRDY}(a)$ zu erzeugen. Dieses Signal wird dem Empfänger 210 (Fig. 10) zugeführt und bewirkt, dass diese ein binäres 0-Signal an die Leitung $\overline{CSUS}(a)$ abgibt, welches an den Eingang vom Fahrkorb-prozessor CPU(a) angelegt wird, um dessen Operation am Ende des nächsten Zeittaktes T2 auszusetzen.

Vor der Abgabe des binären 0-Signals an die Leitung \overline{GSUS} (Fig. 9A), welches die Aussetzung vom Gruppenpro-zessor GPU (Fig. 4) bewirkt, hatte das Signal auf der Lei-tung \overline{GSUS} den entgegengesetzten Zustand. Zu dieser Zeit bewirken dieses Signal und ein ähnliches Signal auf der Lei-tung $\overline{GA13}$ (Fig. 9A) (das Signal auf der Leitung $\overline{GA13}$ ist immer ein binäres 1-Signal ausser wenn der Gruppenprozes-sor mit dem Fahrkorb in Verbindung steht) das Anlegen von binären 0-Signalen an die Eingänge 3 und 8 vom J-K-Flip-Flop 180A und 180B. Dies bewirkt ein binäres 0-Signal auf der Leitung \overline{GCDT} . Während dieses Signal bleibt und nach-dem das Signal auf der Leitung $\overline{GA13}$ ein binäres 0-Signal wird werden die Adressensignale auf den Leitungen $\overline{GA1}$ - $\overline{GA7}$ (Fig. 4) durch die Datenselektoren 100 und 102 auf die Leitungen $\overline{GCD1}$ - $\overline{BCD7}$ zu den vier Treiberschaltungen 126, 128, 130 und 132 übertragen.

Zu dieser Zeit wird ein binäres 0-Signal an die Leitung $\overline{G8B}$ (Fig. 7 und 9B) angelegt, weil die binären 0-Signale auf den Leitungen $\overline{GA13}$ und \overline{GCDT} (Fig. 9B) bewirken, dass das binäre 1-Signal, welches an der Leitung L10 zum Ein-gang 11 vom Datenselektor 200 anliegt, an die Leitung $\overline{G8B}$ und dessen Komplement an die Leitung $\overline{G8B}$ angelegt wird. Ähnlich wird das über die Leitung L10 am Eingang 14 an-liegende Signal an die Leitung \overline{GCTE} angelegt.

Daraus dass die binären 0-Signale an den Leitungen $\overline{GA13}$ und $\overline{G8B}$ anliegen, folgt dass das Signal vom Aus-gang 4 vom Selektor 100, welches am Eingang 3 vom Selektor 116 und an den Eingängen 2, 5, 11 und 14 von beiden Selektoren 116 und 118 anliegt über die Leitungen $\overline{GCD0}(a)$ und $\overline{GCD0}(h)$ übertragen wird. Diese Signale werden an die Eingänge der Treiberschaltungen 122, 123, 124 und 125 an-gelegt. In Abhängigkeit von diesem Signal und dem binären 1-Signal, dass an der Leitung \overline{GCTE} anliegt, geben diese Treiberschaltungen entsprechende und komplementäre Si-gnale auf den Leitungen $\overline{DT0}(a)$ und $\overline{DT0}(a)$ an die Leitun-gen $\overline{DT0}(h)$ und $\overline{DT0}(h)$ ab.

In Abhängigkeit der Signale, die an den Leitungen $\overline{GCD1}$ - $\overline{GCD7}$ angelegt sind, und dem binären 1-Signal, dass

an die Leitung GCTE angelegt ist, wenn die Treiberschaltungen 126, 128, 130 und 132 Signale über die Leitungen $\overline{DT1}$ und $DT1$ - $\overline{DT7}$ und $DT7$ an den zweiten Satz von Empfängern 236, 238, 240 und 242 ab. Es ist ersichtlich, dass die Leitungen $DT1$, $\overline{DT1}$, $DT2$... $\overline{DT7}$ für die dem Fahrkorb «a» zugeordneten Empfänger sowie jene Empfänger, die zusätzlichen Fahrkörbe zugeordnet sind, gemeinsam und für jeden zusätzlichen Fahrkorb vorgesehen. Selbstverständlich sind die Leitungen $DT0(a)$ und $\overline{DT0}(a)$ - $DT0(h)$ und $\overline{DT0}(h)$ von jedem dieser Fahrkörbe nur an die entsprechenden Empfänger angeschlossen. Die Empfänger 236(a), 238(a), 240(a) und 242(a) übertragen ein 8-Bit-Binärsignal, das dem Adressensignal auf den Leitungen $GCB0(a)$ - $GCB7(a)$ entspricht, an die Eingänge von zwei bistabilen Verriegelungen 224(a) und 226(a).

Während des Zeitraumes in welchem die 8-Bit-Adressensignale und den bistabilen Verriegelungen 58 und 62 (Fig. 4) zu den bistabilen Verriegelungen 224(a) und 226(a) übertragen werden, wird der Gruppenprozessor GPU weiterhin Signale über die Leitung GSYNC an den Eingang vom Selektor 200 abgeben. In Abhängigkeit von jedem dieser Impulse wird die Treiberschaltung 2004A einen ähnlichen Impuls an die Leitung GTP abgeben. Der zweite dieser Impulse bewirkt, dass der Empfänger 216(a) und die Flip-Flop 214A(a) und 214B(a) binäre 1-Signale an ihre zugeordneten Eingänge des NAND-Gatters 218A(a) abgeben. Der Inverter 212A(a) gibt ein binäres 1-Signal an die Verriegelungen 224(a) und 226(a) ab, so dass das an ihren Eingängen anliegende 8-Bit-Adressensignal gespeichert wird. Dies veranlasst diese Verriegelungen die 8-Bit-Adressensignale, die die Adresse der Speicherstelle im Fahrkorbdatspeicher CRAM(a) darstellen, über die Leitung $GCA0(a)$ - $GCA7(a)$ an zwei Datenselektoren 408(a) und 410(a) anzulegen.

In der Zwischenzeit hat das binäre 0-Signal auf der Leitung $\overline{GAT1}$ das NAND-Gatter 202B, den Selektor 200 und die Treiberschaltung 204B veranlasst, ein binäres 1-Signal an die Leitung GDC abzugeben. Dies wird durch den Empfänger 216(a) dem Eingang 2 der Verriegelung 222(a) zugeleitet, in welchem es gespeichert wird infolge des durch den Inverter 212A(a) erzeugten binären 1-Signals. Am Ende des Impulses auf der Leitung GTP durch welche der Inverter 212A(a) das binäre 1-Signal abgibt, gibt der Flip-Flop 214B(a) ein binäres 0-Signal an die Leitung DTS(a) ab. Gleichzeitig wird ein binäres 1-Signal am Ausgang 11 vom Flip-Flop 214B(a) abgegeben. Liegt dieses zusammen mit dem binären 1-Signal der Leitung GDC am UND-Gatter 220B(a) an, so gibt dieses ein binäres 1-Signal ab. (Das Ende des Impulses auf der Leitung GSYNC, welches bewirkt, dass der Impuls auf der Leitung GTP verschwindet bewirkt auch, dass der Flip-Flop 180B das Signal auf der Leitung GCDT in ein binäres 1-Signal umwandelt. Dies bewirkt, dass das binäre 1-Signal, das auf der Leitung GCD erzeugt wird, durch das binäre 1-Signal auf der Leitung $\overline{GAT1}$ verschwindet. Es wird jedoch durch ein binäres 1-Signal ersetzt, dass aufgrund des binären 1-Signals auf der Leitung $\overline{GAT4}$ erzeugt wird.)

Das binäre 1-Signal aus dem Gatter 220B(a) wird an den Eingang 10 der Treiberschaltung 228(a) und an einen Eingang vom UND-Gatter 220A(a) angelegt. Der andere Eingang empfängt ebenfalls ein binäres 1-Signal, worauf die Eingänge 7 und 10 der Treiberschaltung 230(a), 232(a) und 234(a) und der Eingang 7 der Antriebsschaltung 228(a) ebenfalls binäre 1-Signale empfangen. Dadurch werden die Treiberschaltungen 228(a), 232(a) und 234(a) vorbereitet, um die über die Leitungen $CGD0(a)$ - $CGD7(a)$ anliegenden Signale an die Leitungen $DT0(a)$ und $\overline{DT0}(a)$ - $DT7(a)$ und $\overline{DT7}(a)$ zu übertragen.

Das Signal auf der Leitung $DT0(a)$ wird an den Eingang des Empfängers 160 angelegt, welcher dieses Signal an den

Dekoder 164 weiterleitet. Das binärkodierte Signal, welches an den Leitungen $GA8$, $GA9$ und $GA10$ anliegt, bewirkt dass der Dekoder 164, das Binärsignal, das über die Leitung $\overline{CGB}/(a)$ an seinem Eingang 4 anliegt, auswählt und ein entsprechendes Signal an seinem Ausgang 5 über die Leitung $\overline{CGB0}$ zum Eingang 3 des Datenselektors 156 abgibt. (Falls ein anderer Fahrkorb der ausgewählt war, würden die Signale auf den Leitungen $GA8$, $GA9$ und $GA10$ dass für den Fahrkorb an die Leitung $\overline{CGB0}$ angelegte Signal auswirkt.) Ausserdem werden die Signale auf den Leitungen $DT1$ bis $DT7$ über die Leitungen $\overline{CGB1}$ bis $\overline{CGB7}$ an die Eingänge der Datenselektoren 156 und 158 angelegt. Signale, die den an den Leitungen $\overline{CGB0}$ bis $\overline{CGB7}$ zu den Eingängen 3, 6, 10 und 13 angeregten Signalen entsprechen, werden an die Ausgänge 4, 7, 9 bzw. 12 der zwei Datenselektoren 156 und 158 angelegt. Die Ausgänge der zwei Datenselektoren 156 und 158 sind über die Leitungen $\overline{GD0}$ bis $\overline{GD7}$ an die Klemmen der Treiberschaltungen 54 und 56 angeschlossen, um die binären Signale, die die im Datenspeicher CRAM(a) gespeicherten Daten darstellen, an die Datenschiennenanschlüsse von Gruppenprozessor GPU anzulegen. Zu diesem Zeitpunkt gibt der Flip-Flop 78B (Fig. 5) ein binäres 0-Signal an die Leitung GBX ab. Dies ergibt sich daraus, dass der Flip-Flop am Ende des letzten Zeittaktes T3 von Gruppenprozessor GPU durch das binäre 1-Signal auf der Leitung $\overline{GT3}$ und $G01$ zurückgestellt wurde. Das binäre 0-Signal auf der Leitung GWX zusammen mit den vorstehend erwähnten binären 1-Signalen auf der Leitung GCDT erzeugen ein binäres 0-Signal auf der Leitung GTP. Dadurch wird der binäre 0-Zustand des Ausgangssignals der UND-Gatter 220C(a) aufrechterhalten.

Die binären 0-Signale auf den Leitungen DTS(a), GWD(a) und HL1 bewirken, dass der Datenselektor 416a (Fig. 13) binäre 0-Signale an seinen Ausgängen 4, 7 und 9 abgibt. Dadurch geben die Datenselektoren 408(a) und 410(a) die Adressensignale über die Leitungen $GCA0(a)$ bis $GCA7(a)$ an den Fahrkorbdatspeicher CRAM(a) ab. Aufgrund der Ausgangssignale aus dem Datenselektor 416(a) erzeugt der Fahrkorbdatspeicher CRAM(a) die Signale, die in den durch die Adressen auf den Leitungen $CDO0(a)$ - $CDO7(a)$ adressierten Speicher gespeichert werden. Diese Signale sind, während sie am Fahrkorbsteuergerät von Fig. 11 anliegen, unwirksam, weil der Fahrkorbprozessor im Wartezustand ist und keine Signale annimmt, obwohl diese anliegen, und weil die Verriegelungen 358(a), 362(a), 360(a) und 364(a) durch die über die Leitungen $CT1(a)$ und $CT2(a)$ angelegten binären 0-Signale abgeschaltet sind.

Die Signale aus den Leitungen $CDO0(a)$ bis $CDO7(a)$ werden auch an die UND-Gatter 412(a) und 414(a) angelegt. Aufgrund des an die Leitung DTS(a) angelegten binären 0-Signals leiten diese Gatter diese Signale an die Leitungen $CGD0(a)$ und $CGD7(a)$ weiter. Diese Signale werden zu den Treiberschaltungen 228(a), 230(a), 232(a) und 234(a) übertragen und an die Leitungen $DT0(a)$ bis $DT7(a)$ angelegt. Der Gruppenprozessor GPU (Fig. 4) gibt weiterhin Impulse an die Leitung GSYNC ab. Am Ende des ersten von diesen, die nach dem Anliegen des binären 0-Signals an die Leitung DTS(a) erzeugt werden, geben die Flip-Flop 180A und 180B binäre 1-Signale an die Eingänge 2 und 13 vom NAND-Gatter 174A ab. Wegen des Auftretens des nächsten Impulses auf der Leitung GSYNC gibt das NAND-Gatter 174A ein binäres 0-Signal an den Eingang des Flip-Flop 172A ab. Dies bewirkt, dass ein binäres 1-Signal auf der Leitung GSUS erscheint, welches an den Gruppenprozessor GPU angelegt wird, um ihn aus dem Wartezustand zum Zeittakt T3 vorzuschieben.

Bevor der Gruppenprozessor GPU in den Wartezustand eintritt und am Ende eines vorangehenden Zeittaktes T2 war,

ein binäres 0-Signal über die Leitung $\overline{GT2}$ an den Eingang 3 vom Flip-Flop 76 angelegt, damit dieses ein binäres 1-Signal an seinem Ausgang 5 abgibt. Dieses Signal wird im Gatter 80C mit dem Impuls, der an der Leitung \overline{GSYN} anliegt, kombiniert, wenn der Gruppenprozessor in seinen Zeittakt T3 eintritt, um ein binäres 1-Signal an die Leitung $\overline{GT3A}$ abzugeben. Dieses Signal zusammen mit dem binären 1-Signal des Operationskodes auf der Leitung $\overline{GA14}$, das Komplement des Signals des Operationskodes auf der Leitung $\overline{GA14}$, machen das Gatter 80A leitend, so dass ein binäres 1-Signal an die Leitung \overline{GRX} abgegeben wird. Dieses Signal wird an den Eingang 9 vom NAND-Gatter 174C angelegt. Ausserdem empfängt das NAND-Gatter 174C binäre 1-Signale, die an dieses über die Leitungen $\overline{GA13}$ und \overline{GCDT} vom Ausgang vom Flip-Flop 180B angelegt sind, und gibt ein binäres 0-Signal ab. Dieses ist über die Leitung \overline{GRCE} an den Steuereingang 15 der zwei Datenselektoren 156 und 158 angelegt, um die Datenselektoren in Betrieb zu setzen.

Das binäre 1-Signal auf der Leitung \overline{GCDT} bewirkt auch, dass das binäre 1-Signal, das am Eingang 6 vom Selektor 200 anliegt, an die Leitung $\overline{G8B}$ angelegt wird. Dieses Eingangssignal und demzufolge das Signal auf der Leitung $\overline{G8B}$ sind binäre 1-Signale aufgrund des binären 1-Signals des Operationskodes auf der Leitung $\overline{GA14}$. Das binäre 1-Signal, das an der Leitung $\overline{G8B}$ anliegt, betätigt die zwei Datenselektoren 156 und 158, so dass die an den Eingängen 3, 6, 10 und 13 angelegten Signale zu den Ausgängen 4, 7, 9 und 12 übertragen werden. Demzufolge werden in Abhängigkeit von den binären 0-Signalen, die über die Leitung \overline{GRCE} anliegen, die Datenselektoren 156 und 158 binäre Signale, die die durch den Gruppenprozessor über die Leitungen $\overline{GD0}$ bis $\overline{GD7}$ empfangenen Daten darstellen, zu den Datenschiensanschlüssen der Treiberschaltungen 54 und 56 übertragen. Die Treiberschaltungen übertragen die Komplemente der Signale, die über die Leitungen $\overline{GD0}$ bis $\overline{GD7}$ anliegen, an die Eingänge des Gruppenprozessors und zwar nach Empfang eines binären 1-Signals, das über die Leitung \overline{GDIEN} anliegt, in Verbindung mit dem binären 0-Signal, das an der Leitung \overline{GCS} anliegt.

Das Signal auf der Leitung \overline{GCS} ist zu dieser Zeit ein binäres 0-Signal, weil am Ende des letzten Zeittaktes T2 ein binärer 0-Impuls über die Leitung $\overline{GT2}$ an den Eingang 11 des Flip-Flops 76B angelegt war, und bewirkt, dass ein binäres 0-Signal an die Leitung \overline{GCS} angelegt wird. Das binäre 1-Signal auf der Leitung \overline{GDIEN} , das in Abhängigkeit des binären 1-Signals aus dem UND-Gatter 80C erzeugt wird, wird mit dem binären 1-Signal aus dem Ausgang 7 des Dekoders 74, das über die Leitung \overline{GPCW} angelegt ist, kombiniert, um ein binäres 1-Signal an die Leitung \overline{GDIEN} anzulegen. Das Signal auf der Leitung \overline{GPCW} ist ein binäres 1-Signal, weil ein Lesevorgang durchgeführt wird und wie die Spezifikation des Herstellers angibt, haben während dieser Zeit die Signale auf den Leitungen $\overline{GA14}$ und $\overline{GA15}$ einen binären 0-Zustand bzw. einen binären 1-Zustand. Mit den binären 0-Zustand auf der Leitung $\overline{HL1}$ ist es bekannt, dass diese Signale einen binären 1-Zustand auf der Leitung \overline{GPCW} aus dem Dekoder 74 erzeugen.

Wegen der Anlegung des binären 1-Signals an die Leitung \overline{GDIEN} und des binären 0-Signals an die Leitung \overline{GCS} wurden die Datensignale, die die Stellung vom Fahrkorb «a» kennzeichnen, nicht an den Gruppenprozessor GPU übertragen. Der Fahrkorbprozessor CPU(a) kann nun wieder in Betrieb gesetzt werden. Dies wird erreicht, weil während der nächsten Zeittakte T1 und T2 des Gruppenprozessors GPU ein binäres 0-Signal über die Leitung $\overline{GA13}$ angelegt ist. Dadurch die Treiberschaltung 196A ein binäres 0-Signal über die Leitung \overline{XCRDY} (a) an den Empfänger 210(a) ab. Es wird ein binäres 1-Signal über die Leitung \overline{CSUS} (a) an den

Eingang vom Fahrkorbprozessor CPU(a) angelegt und dieser dadurch aus einem Wartezustand entlassen. Gleichzeitig legt der Inverter 212D ein binäres 0-Signal an die Rückstelleingänge 3 und 8 der Flip-Flop 214A(a) und 214B(a) an, um ein binäres 1-Signal an die Leitung \overline{DTS} (a) abzugeben und den Fahrkorbprozessor CPU(a) so zu steuern, dass er mit seinem Fahrkorbdatspeicher CRAM(a) wieder in Verbindung steht. Zur gleichen Zeit wird ein binäres 0-Signal an die Leitung \overline{GCDT} abgegeben und zwar in Abhängigkeit von binären 1-Signalen auf den Leitungen \overline{GSUS} und $\overline{GA13}$.

Aus dem vorhergehenden ist ersichtlich, dass der Gruppenprozessor GPU, die die Stellung vom Fahrkorb «a» enthaltende Information verwenden kann, um zu entscheiden, ob der Fahrkorb in Abhängigkeit des registrierten Rufsignals angehalten werden soll. Er kann dies durch Erlangen der Information, die die Registrierung von solchen Rufsignalen aus dem Gerät von Fig. 3A und 3B enthält, in einer Weise tun, die ähnlich zu der beschriebenen ist, bei der der Fahrkorb «a» die Information, die die Registrierung des Rufsignals für die siebente Etage aus dem Gerät von Fig. 14 enthält, erlangt. Nach der Bestimmung, dass die Stellung vom Fahrkorb «a» und seine Fahrtrichtung richtig waren, um diesen in Abhängigkeit eines registrierten Rufsignals zu stoppen, kann diese Information auf Befehl seines Prozessors CPU(a) dem Fahrkorbdatspeicher vom Fahrkorb «a» zugeleitet werden, um diesen zur Einleitung des Stoppvorganges zu verwenden. Dazu muss durch den Gruppenprozessor GPU ein Signal an eine bestimmte Speicherstelle im Fahrkorbdatspeicher übertragen werden. Dieses wird in der gleichen Weise wie beschrieben durchgeführt, weil der Gruppenprozessor die Information aus dem Fahrkorbdatspeicher CRAM(a) enthält.

Das Speichern oder Einschreiben von Daten in den Fahrkorbdatspeicher CRAM(a) geht in der gleichen Weise vor sich, wie das vorstehend beschriebene Löschen und Auslesen der Daten bis die Übertragung der interessierenden Adresse des Datenspeichers über die Leitungen $\overline{GCA0}$ (a) bis $\overline{GCA7}$ (a) zu den Selektoren 308(a) und 310(a) beendet ist. Weil diese Operation die Speicherung der Daten umfasst, ist das Signal auf der Leitung $\overline{GA14}$ des Adressenkodes ein binäres 1-Signal im Gegensatz zum binären 0-Signal während der beschriebenen Leseoperation. Demzufolge ist das Komplement auf der Leitung $\overline{GA14}$ ein binäres 0-Signal. Somit wird anschliessend an das Anlegen eines binären 1-Signals an die Leitung \overline{GCDT} zum Selektor 200 anstelle eines binären 1-Signals ein binäres 0-Signal an die Leitung \overline{GDC} angelegt. Die Gatter 220B(a) und 200A(a) geben deshalb 1-Signal ab, um die Treiberschaltungen 228, 230, 232 und 234 so zu steuern, dass sie wie beschrieben in der Löschoption wirken. Es werden 0-Signale an die Eingänge 7 und 10 angelegt, um die Einschaltung dieser Treiberschaltung zu verhindern, was die Treiberschaltung an der Störung der Löschoption hindert.

Ebenso erzeugt das binäre 1-Signal auf der Leitung $\overline{GA14}$ während der Gruppenprozessor im Wartezustand ist ein binäres 1-Signal auf der Leitung \overline{GCTE} , um die Treiberschaltungen 122 bis 130 während der Speicheroperation zu betreiben. Im Gegensatz zum binären 0-Signal, welches auf der Leitung \overline{GCDTE} während der Löschoption erzeugt worden ist, um diese Treiberschaltungen am Betrieb mit dieser Operation zu hindern.

Ebenso erzeugt das binäre 0-Signal auf der Leitung $\overline{GA14}$ während der Gruppenprozessor im Wartezustand ist ein binäres 0-Signal auf der Leitung \overline{GRX} während der Speicheroperation im Gegensatz zum binären 1-Signal das während der Löschoption erzeugt wird. Als Folge dieses Wechsels, wird ein binäres 1-Signal an die Leitung \overline{GRCE} angelegt. Dies sperrt die Selektoren 156 und 158, so dass

keine Signale an die Leitungen $\overline{GD0}$ - $\overline{GD7}$ abgegeben werden.

Wenn der Gruppenprozessor GPU in seine Taktzeit T3 eintritt, wie vorstehend für die Löschoption beschrieben, plazierte er folglich die auf den Leitungen $\overline{GD0}$ - $\overline{GD7}$ zum Fahrkorbdatspeicher CRAM(a) zu übertragenen Daten auf bekannte Weise, da er eine Speicheroperation ausführt. Diese Signale werden durch die Selektoren 100, 102, 116 und 118 auf die Leitungen GCD0(a) - GCD0(h) und GCD1 - GCD7 zu den Treiberschaltungen 122-130 übertragen. Diese Treiberschaltungen übertragen entsprechende Signale über die Leitungen DT0(a) und DT0(a) - DT7 und DT7 zu den Empfängern 236(a) - 242(a). Durch diese Empfänger werden entsprechende Signale über die Leitungen GCB0(a) - GCB7(a) an die Datenselektoren 400(a) und 402(a) angelegt.

Da das binäre 1-Signal auf der Leitung GA14 ein binäres 0-Signal auf der Leitung GPCW bewirkt, wenn der Zeittakt T3 in das letzte Viertel eintritt, setzt das binäre 0-Signal auf die Leitung GT3 den Flip-Flop 78B in Betrieb, um ein 1-Signal an die Leitung GWX abzugeben. Dieses Signal veranlasst den Selektor 200 ein binäres 1-Signal an die Leitung GTP abzugeben und dieses an den Empfänger 216(a) weiterzuleiten. In der Zwischenzeit hat der Flip-Flop 214B(a) ein binäres 1-Signal an seinem Ausgang 11 abgegeben. Dieses zusammen mit dem binären 1-Signal, das am Ausgang 2 des Empfängers 216(a) aufgrund des an der Leitung GTP angelegten Signals abgegeben wird, machen das Gatter 220C(a) leitend, um ein binäres 1-Signal an die Leitung GWD(a) abzugeben.

Das binäre 0-Signal auf der Leitung DTS(a) zusammen mit binären 1-Signal auf der Leitung GWD(a) bewirken, dass der Selektor 416(a) ein binäres 1-Signal zum Inverter 418B(a) abgibt. Dies bewirkt, dass ein binäres 0-Signal an ein Eingang 20 des Fahrkorbdatspeichers CRAM(a) und den Eingängen 15 der Selektoren 400(a) und 402(a) angelegt werden. In der Zwischenzeit bewirkt das binäre 0-Signal auf der Leitung DTS(a) zusammen mit dem binären 0-Signal auf der Leitung DTS(a) und dem binären 0-Signal auf der Leitung HL1 das die Selektoren 408(a) und 410(a) das Adressensignal an den Fahrkorbdatspeicher CRAM(a) anlegen. Folglich werden die Datensignale auf den Leitungen GCB0(a) und GCB7(a) zur Speicherung in den Fahrkorbdatspeicher CRAM(a) übertragen.

Der Fahrkorbprozessor CPU(a) wird aus einem Aussetz-zustand auf die gleiche Weise wie vom vorherbeschriebenen Zustand nach der Löschoption freigegeben. Dem Vorhergehenden ist ersichtlich, wie die Information, dass der Fahrkorb ein Halt in Abhängigkeit eines Rufsignals einleitet, durch den Fahrkompressor verwendet werden kann, dass das Fahrkorbsteuergarät einen solchen Betrieb einleiten kann.

Der Gruppenprozessor GPU, welcher, wie dargestellt, gemäss seinem Gruppenbefehlsprogramm arbeitet, kann so betrieben werden, dass er seine eigene Operationsfolge sowie diejenige eines einzelnen, ausgewählten Fahrkorbprozessors CPU(a) aussetzt, um Fahrkorbdatsignale von seinem zugehörigen Fahrkorbdatspeicher CRAM(a) zu erhalten oder Gruppensignale an diesen zu übertragen. Es wird jedoch darauf hingewiesen, dass im Ausführungsbeispiel der Gruppenprozessor nicht gleichzeitig 8-bits nutzbarer Information an einen einzelnen Fahrkorbdatspeicher überträgt. Vielmehr ist nur diejenige Information, für einen gegebenen Fahrkorb nutzbar, welche in einem Bestimmten der 8-Bits enthalten ist. Wenn gewünscht wird, die Information an Fahrkorb «a» zu übertragen, wird diese Information auf die Leitung $\overline{GD0}$ gegeben, was in der Folge zu einem dieser Information entsprechenden Signal führt, das auf die Leitung DT0(a) angewandt wird. In ähnlicher Weise wird die Information für Fahrkorb «b» auf die Leitung $\overline{GD1}$ übertragen,

woraus ein Signal auf Leitung DT0(b) resultiert, und so weiter.

Im konstruierten Ausführungsbeispiel arbeitet der Gruppenprozessor auch in ähnlicher Art und Weise, wie dies bezüglich des Fahrkorbs «a» beschrieben wurde, verursacht jedoch das gleichzeitige Aussetzen der Operationsfolge aller Fahrkorbprozessoren, um Fahrkorbdatsignale zu empfangen oder Gruppensignale an einen zugehörigen Fahrkorbdatspeicher CRAM(a) (Fig. 13) und CRAM(b) bis CRAM(h) (nicht dargestellt) zu übertragen. Da die Operation, bei welcher der Gruppenprozessor Fahrkorbdatsignale vom Fahrkorbdatspeicher CRAM(a) erhält oder Gruppensignale an diesen überträgt, ähnlich ist, wie die Operation, bei welcher er gleichzeitig Fahrkorbdatsignale von jedem Fahrkorbdatspeicher erhält oder Gruppensignale an jeden Fahrkorbdatspeicher überträgt, werden nachfolgend nur die Unterschiede zwischen diesen beiden Operationen beschrieben.

Es wird angenommen, dass der Gruppenprozessor einen Befehl erhält, Fahrkorbdatsignale vom Fahrkorbdatspeicher zu empfangen, welcher jedem Fahrkorb zugeordnet ist. Der Gruppenprozessor, welcher gemäss diesem Befehl arbeitet, legt ein Adressenkodesignal an die Verriegelungen 58, 62, 60 und 64 an, wie oben beschrieben, was den Gruppenprozessor veranlasst, seine Operationsfolge auszusetzen. Gemäss diesem vorausgesetzten Befehl legt die Verriegelung 60 ein binäres 0-Signal an die Leitung GA11 und ein binäres 1-Signal an die Leitung $\overline{GA11}$, im Gegensatz zu den binären 1- und 0-Signalen, welche daran angelegt bedeuten, dass die Datenübertragung zwischen dem Gruppenprozessor und dem Fahrkorbspeicher, welcher einen einzelnen Fahrkorb zugeordnet ist, stattfindet, wie oben beschrieben.

Das binäre 0-Signal auf Leitung GA11 veranlasst die Datenselektoren 192 und 194 (Fig. 9B) die Komplemente der Signale, welche an ihre Eingangskontakte 2, 5, 11 und 14 angelegt wurden, an die Treiberschaltungen 196A, 196B, 198A und 198B sowie an die zusätzlichen Treiberschaltungen, welche den Fahrkörben c bis g (nicht dargestellt) zugeordnet sind, anzulegen. Als Folge legt die Treiberschaltung 196A ein binäres 1-Signal an die Leitung XCRDY(a) zum Empfänger 210(a) (Fig. 10) an, um diesen zu veranlassen, ein Aussetzsignal an den Fahrkorbprozessor CPU(a) (Fig. 11) anzulegen, wie oben beschrieben. In ähnlicher Weise werden binäre 1-Signale gleichzeitig getrennt über die Leitungen XCRDY(b) bis XCRDY(h) an den Schaltkreis angelegt, der ähnlich zu dem in Fig. 10 dargestellten, jedem Fahrkorb zugeordnet ist, um diesen Schaltkreis zu veranlassen, ein Aussetzsignal an den Fahrkorbprozessor zu liefern, dem er zugeordnet ist.

Nach der Anwendung des Aussetzsignals auf jeden Fahrkorbprozessor müssen die Adressensignale über die Signalübertragungsleitungen DT0(a), DT0(a), bis DT0(h), DT0(h) und DT1, DT1 bis DT7 und DT7 an die Ausrüstung übertragen werden, die jedem Fahrkorb zugeordnet sind in derselben Art und Weise, wie die Adressensignale über die Leitungen DT0(a), DT0(a) und DT1, DT1 bis DT7 und DT7 an den Schaltkreis übertragen werden, dem Fahrkorb (a) zugeordnet ist. Bevor diese Adressensignale jedoch übertragen werden können, müssen die jedem Fahrkorbprozessor zugeordneten Treiberschaltungen, die den Treiberschaltungen 228(a), 230(a), 232(a) und 234(a) ähnlich sind, welche dem Fahrkorb (a) zugeordnet sind (Fig. 10), daran gehindert werden, diese Adressensignale zu stören. Folglich werden die Signale auf den Leitungen GA8, GA9 und GA10 so gewählt, dass sie den Dekorder 190 (Fig. 9B) veranlassen ein binäres 1-Signal an das NAND-Gatter 202B(a) anzulegen. In Abhängigkeit von diesem Signal und dem binären 1-Signal auf

Leitung $\overline{GAT1}$ erzeugt das NAND-Gatter 202B(a) ein binäres 1-Signal, das von Anschluss 7 des Selektors 200 an die Treiberschaltung 204B(a) angelegt wird. In der Folge gibt die Treiberschaltung 204B(a) ein binäres 0-Signal auf die gemeinsame Leitung GDC, anstatt, wie oben beschrieben, ein binäres 1-Signal. Dieses binäre 0-Signal wird an den Empfänger 216A(a) (Fig. 10) angelegt, der es an Register 222(a) gibt zur Speicherung darin, wenn das NAND-Gatter 218A(a) ein binäres 1-Signal erzeugt, das daran angelegt wird, wie oben beschrieben. Zusätzlich wird das binäre 0-Signal auch in Registern gespeichert, die ähnlich dem Register 222(a) jedem Fahrkorb zugeordnet sind. In der Folge legt das Register 222(a), das in Fig. 10 für Fahrkorb «a» dargestellt ist und die ähnlichen Register ein binäres 0-Signal an das UND-Gatter 220A(a) und die entsprechenden Gatter an, welche den anderen Fahrkörben zugeordnet sind, um zu verhindern, dass die Treiberschaltungen 228(a), 230(a), 232(a) und 234(a), die dem Fahrkorb «a» zugeordnet sind, sowie entsprechende Treiberschaltungen die Signale auf den Leitungen DT1, $\overline{DT1}$ bis DT7 und $\overline{DT7}$ stören. Zudem erzeugt das binäre 0-Signal auf Leitung GDC ein binäres 0-Signal, das an das UND-Gatter 220B(a) und entsprechende Gatter (nicht dargestellt) angelegt wird, um zu verhindern, dass die Treiberschaltung 228(a) und entsprechende Treiberschaltungen, die den restlichen Fahrkörben zugeordnet sind, die Adressensignale stören, welche an den jedem Fahrkorb zugeordneten Schaltkreis übertragen werden müssen.

Wie oben bei der «Leseoperation» beschrieben, werden die Adressensignale über Datenselektoren 100 und 102 (Fig. 7) an die Datenselektoren 116 und 118 und über die Leitungen GCD1 bis GCD7 an die Treiberschaltungen 126, 128, 130 und 132 angelegt. Dann wird der am wenigstens signifikante Bit (LSB) des ersten 8 Bits des Adressensignals durch die Selektoren 116 und 118 über die Leitungen GSD0(a) bis GSD0(h) an die Treiberschaltungen 122, 123, 124 und 125 angelegt. Die Treiberschaltungen 122 bis 125 legen das LSB der ersten 8 Bits des Adressensignals über die Leitungen DT0(a) und $\overline{DT0(a)}$ unabhängig an den Empfänger 236(a) an, der in Fig. 10 dargestellt ist, und über die Leitungen DT0(b), $\overline{DT0(b)}$ bis DT0(h) und $\overline{DT0(h)}$ unabhängig an entsprechende, jedem Fahrkorb zugeordnete Empfänger an. Die Treiberschaltungen 126, 128, 130 und 132 legen die sieben signifikantesten Bits des Adressensignals über die Leitungen DT1, $\overline{DT1}$ bis DT7 und $\overline{DT7}$ an die Empfänger 236(a), 238(a), 240(a) und 242(a) sowie an jedem Fahrkorb zugeordnete ähnliche Empfänger an. Im Hinblick auf frühere Teile der Beschreibung, worin die Adressensignale an den Fahrkorbdatspeicher CRAM(a) angelegt werden, ergibt sich, dass entsprechende Schaltkreise, welche jedem der Fahrkörbe zugeordnet sind, in derselben Weise arbeiten und die ersten 8 Bits des Adressensignals an die Fahrkorbdatspeicher CRAM(b) bis CRAM(h) (nicht dargestellt) anlegen.

Nun sei angenommen, dass die Daten, welche an den Plätzen jedes Fahrkorbdatspeichers gespeichert sind, welche durch das daran angelegte Adressensignal identifiziert sind, vom Gruppenprozessor empfangen werden sollen. Wie oben beschrieben ist dies auch als «Lese-»Operation bekannt und, wie auch beschrieben, werden die Treiberschaltungen 122 bis 130 (Fig. 7) während einer «Lese-»Operation daran gehindert, die auf die Leitungen DT0(a), $\overline{DT0(a)}$ bis DT0(h)

und $\overline{DT0(h)}$, sowie DT1 bis $\overline{DT7}$ gegebenen Signale zu stören.

Während dieser Leseoperation wird vom Gruppenprozessor ein einzelnes Datenbit aus dem Fahrkorbdatspeicher empfangen, welche jedem Gruppenprozessor zugeordnet ist, im Gegensatz zur vorher beschriebenen Leseoperation, wo durch den Gruppenprozessor bis zu acht Datenbits aus dem Fahrkorbdatspeicher CRAM(a), der dem Fahrkorbdatspeicher CPU(a) zugeordnet ist, empfangen wurden.

Das einzelne Datenbit, das von dem jedem Fahrkorb zugeordneten Schaltkreis empfangen wird, muss über die Leitungen DT0(a), $\overline{DT0(a)}$ bis DT0(h) und $\overline{DT0(h)}$ an die Empfänger 160, 161, 162, 163 übertragen werden, welche in Fig. 8 dargestellt sind. Obschon die nachfolgende Beschreibung auf den Schaltkreis gerichtet ist, der dem Fahrkorb «a» zugeordnet ist und der das einzelne Datenbit über die Leitungen DT0(a) und $\overline{DT0(a)}$ überträgt, ist sie ebenso anwendbar auf die Schaltkreise, die den übrigen Fahrkörben (nicht dargestellt) zugeordnet sind und ein einzelnes Datenbit auf die Leitungen DT0(b), $\overline{DT0(b)}$ bis DT0(h) und $\overline{DT0(h)}$ geben.

Wie vorhergehend beschrieben gibt der Selektor 200 während der Leseoperation das binäre 1-Signal an die Leitung GA14 zur Treiberschaltung 204B ab, welche das Signal über die gemeinsame Leitung GDC zum Empfänger 216(a) überträgt. In Abhängigkeit der binären 1-Signale aus dem Empfänger 216(a) und dem Flip-Flop 214B(a) leitet das UND-Gatter 220B ein binäres 1-Signal an den Eingang 10 der Treiberschaltung 228(a) weiter, welche das Signal, das sie aus dem Fahrkorbdatspeicher CRAM(a) empfängt, über die Leitungen DT0(a) und $\overline{DT0(a)}$ zum Empfänger 160 überträgt. Die den zusätzlichen Fahrkörben zugeordnete Schaltung, überträgt die Datensignale über die Leitungen DT0(b), $\overline{DT0(b)}$ bis DT0(h) und $\overline{DT0(h)}$ auf ähnliche Weise zu den Empfängern 160 bis 163. Diese Datensignale werden über die Leitungen CGB0(a) bis CGB0(h) den Selektoren 156 und 158 zugeführt. Zu dieser Zeit leitet der Selektor 200 das binäre 1-Signal vom NAND-Gatter 202B über die Leitung G8B zu den Selektoren 156 und 158, die die über die Leitungen CGB0(a) bis CGB0(h) angelegten Signale zur Übertragung zum Gruppenprozessor GPU an die an die Treiberschaltungen 54 und 56 angeschlossenen Leitungen GD0 bis GD7 weiter.

Falls der Adressenkode so ist, dass der Gruppenprozessor ein einzelnes Datenbit zu jedem Fahrkorb überträgt, werden, wie beschrieben, die ersten 8 Bits der Adresse zuerst an den jedem Fahrkorb zugeordneten Fahrkorbdatspeicher angelegt. Während des Zeittaktes T3 des Gruppenprozessors wird das Datensignal über die Leitungen GD0 bis GD7 durch die Selektoren 100 und 102 den Selektoren 116 und 118 zugeleitet. Zu dieser Zeit, wird das binäre 1-Signal aus dem UND-Gatter 202B invertiert und über die Leitung G8B den Datenselektoren 116 und 118 zugeleitet, so dass dieser Signale, die dem Signal am Empfang 4 des Datenselektors 100 entsprechen, über die Leitungen GCD0(a) bis GCD0(h) an die Treiberschaltungen 122 bis 125 überträgt. Die restliche Schaltung funktioniert ähnlich, wie die im Zusammenhang mit einer Schreiboperation beschriebene, bei der das Datensignal zu dem dem Fahrkorb «a» zugeordneten Fahrkorbdatspeicher CRAM übertragen wird.

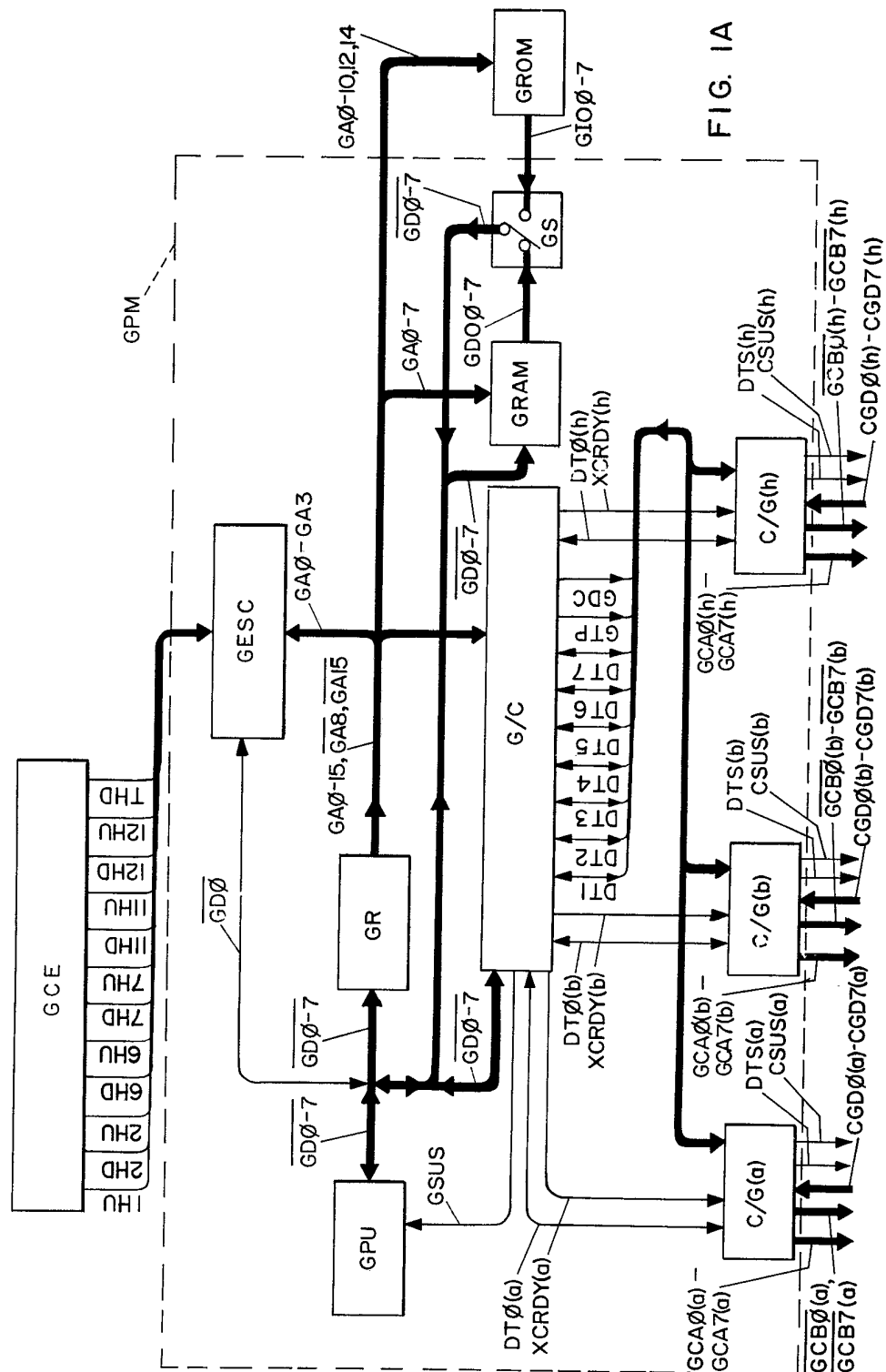


FIG. 1A

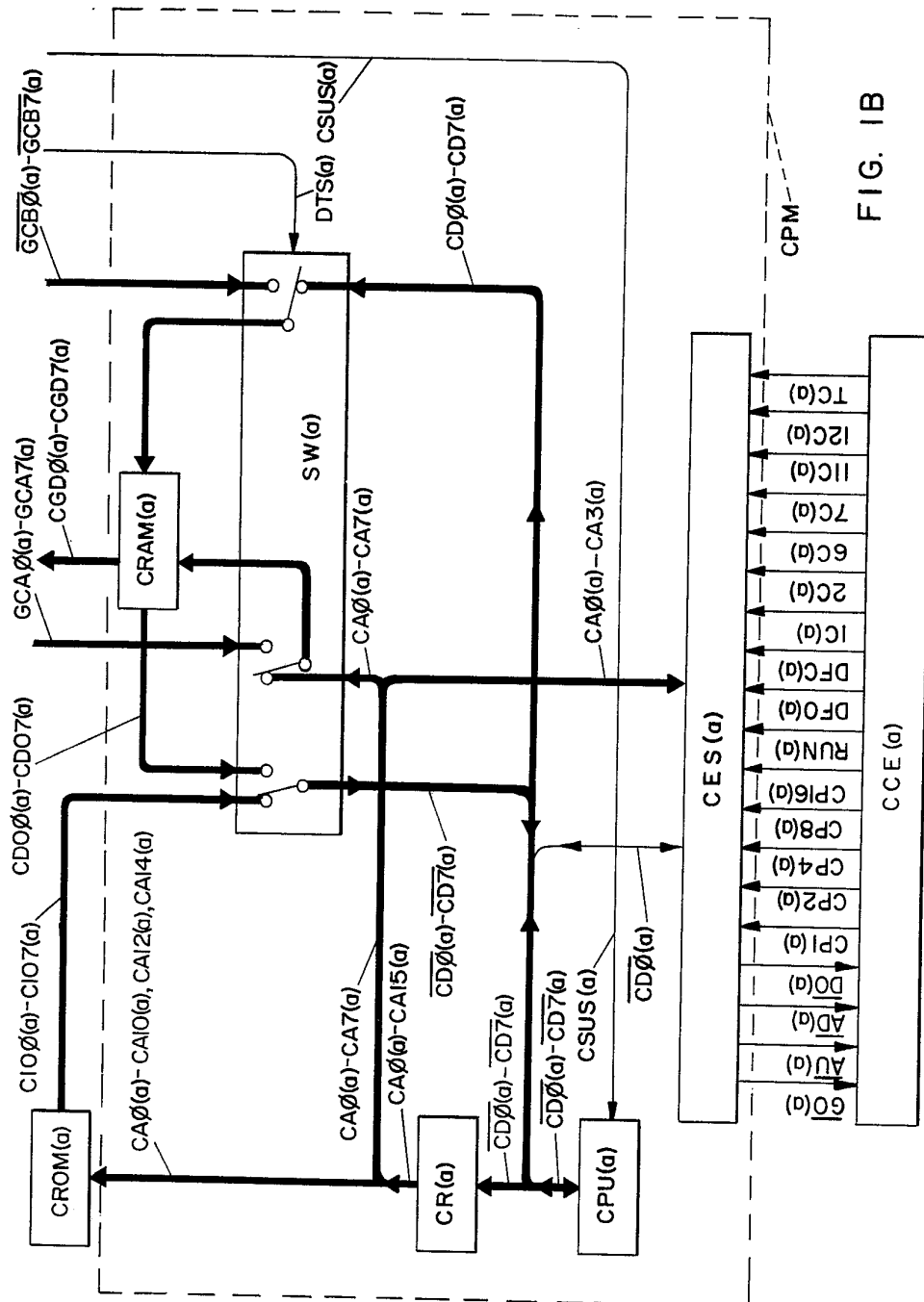


FIG. 1B

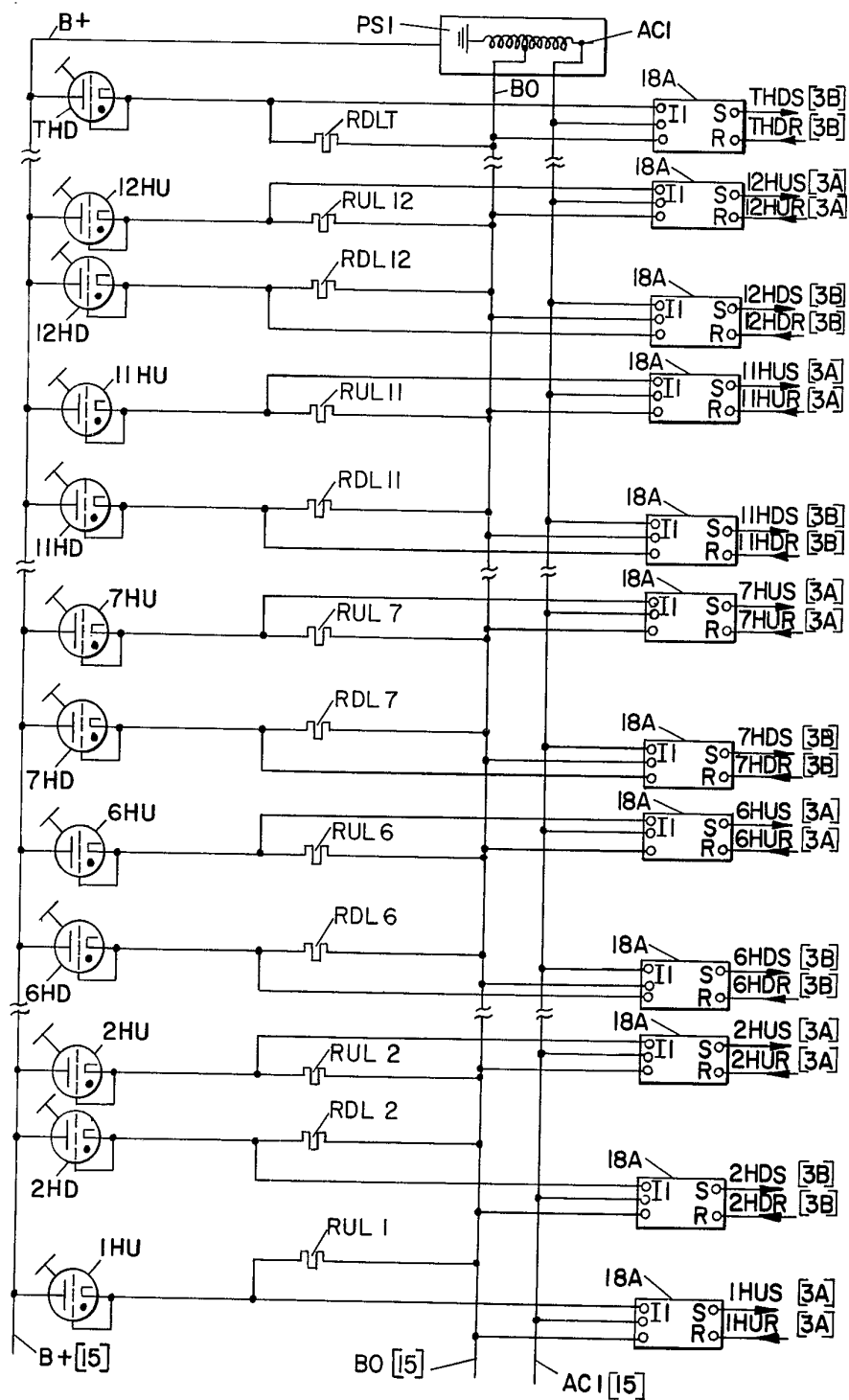


FIG. 2

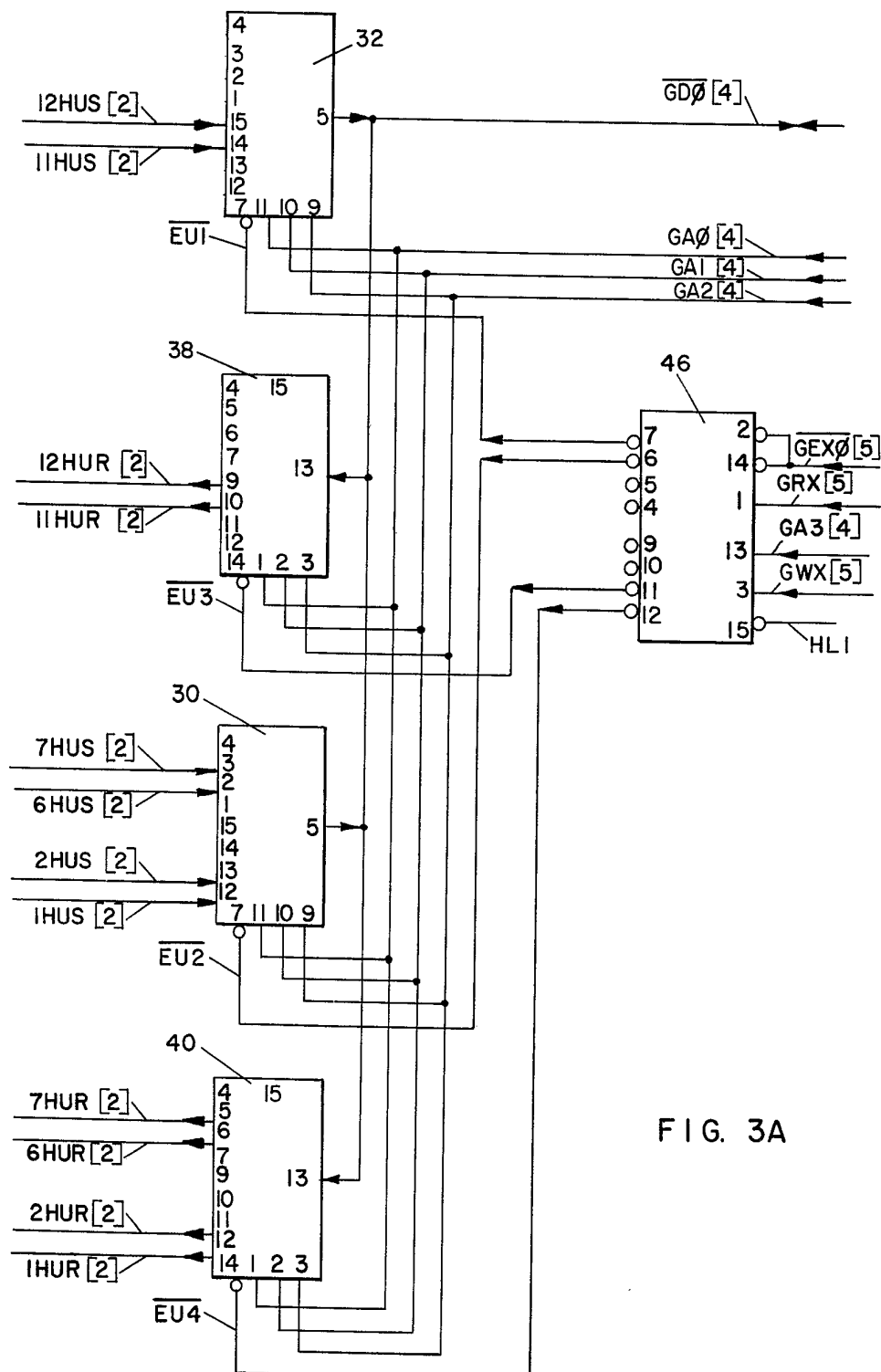


FIG. 3A

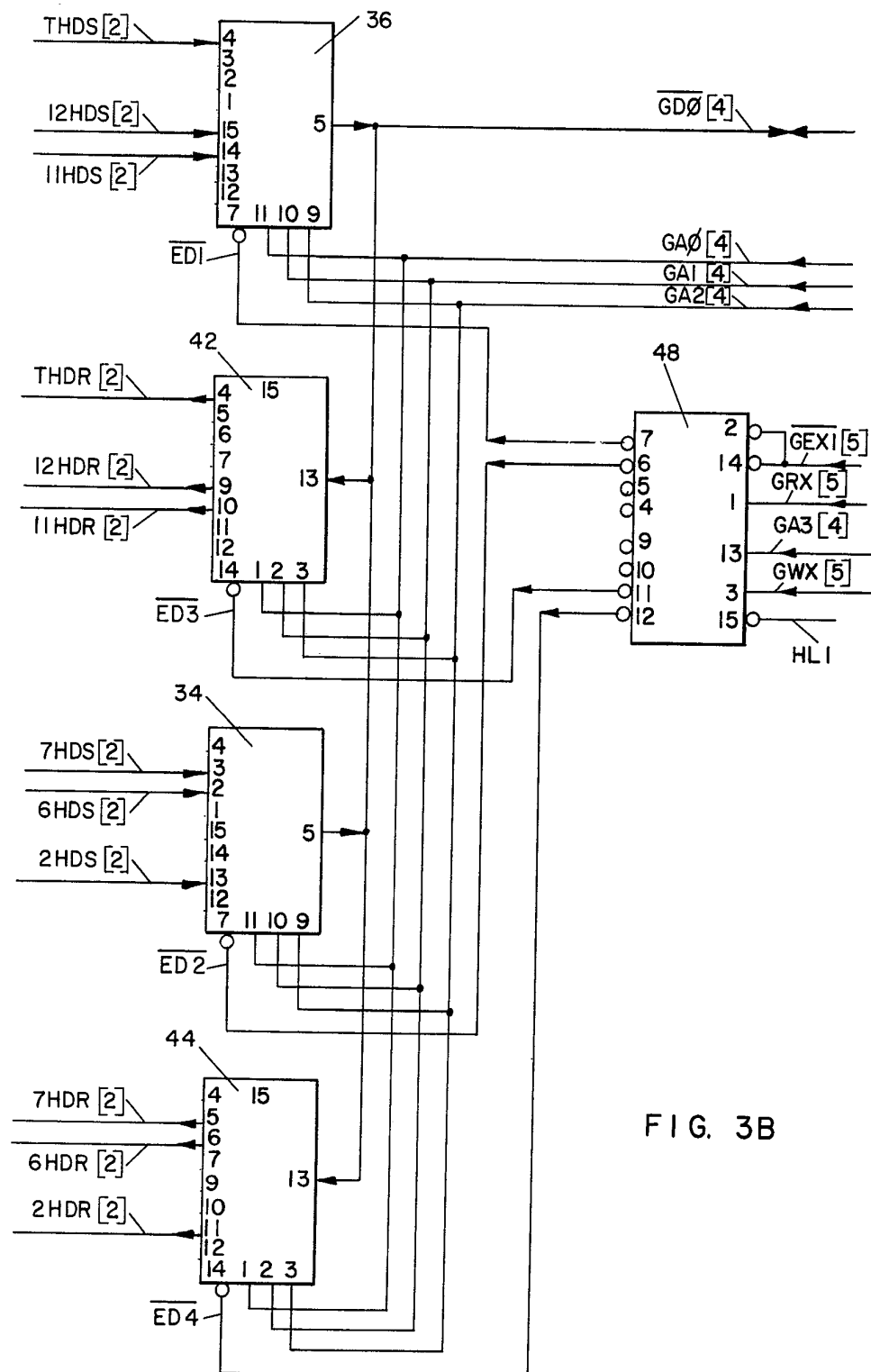


FIG. 3B

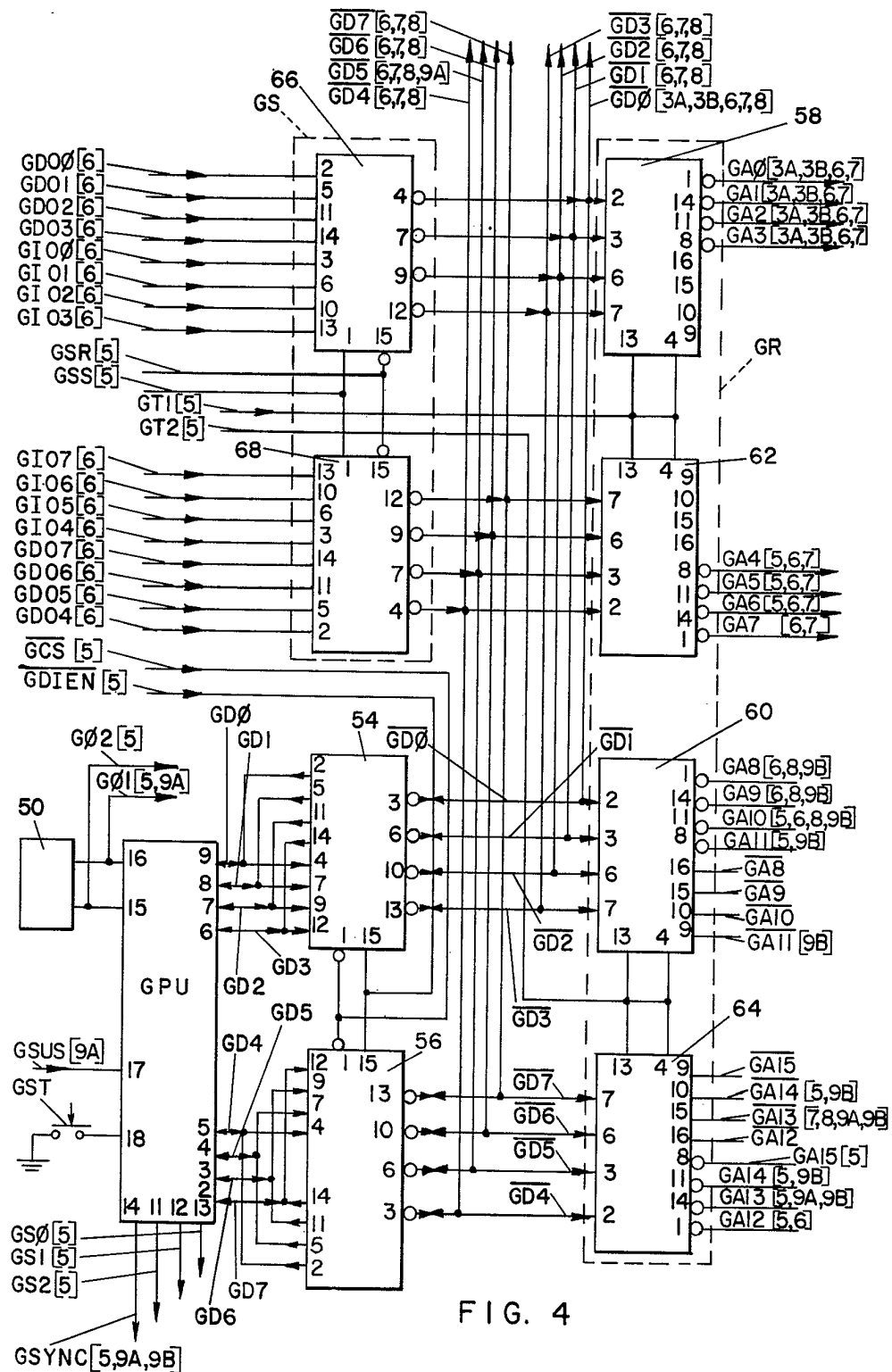
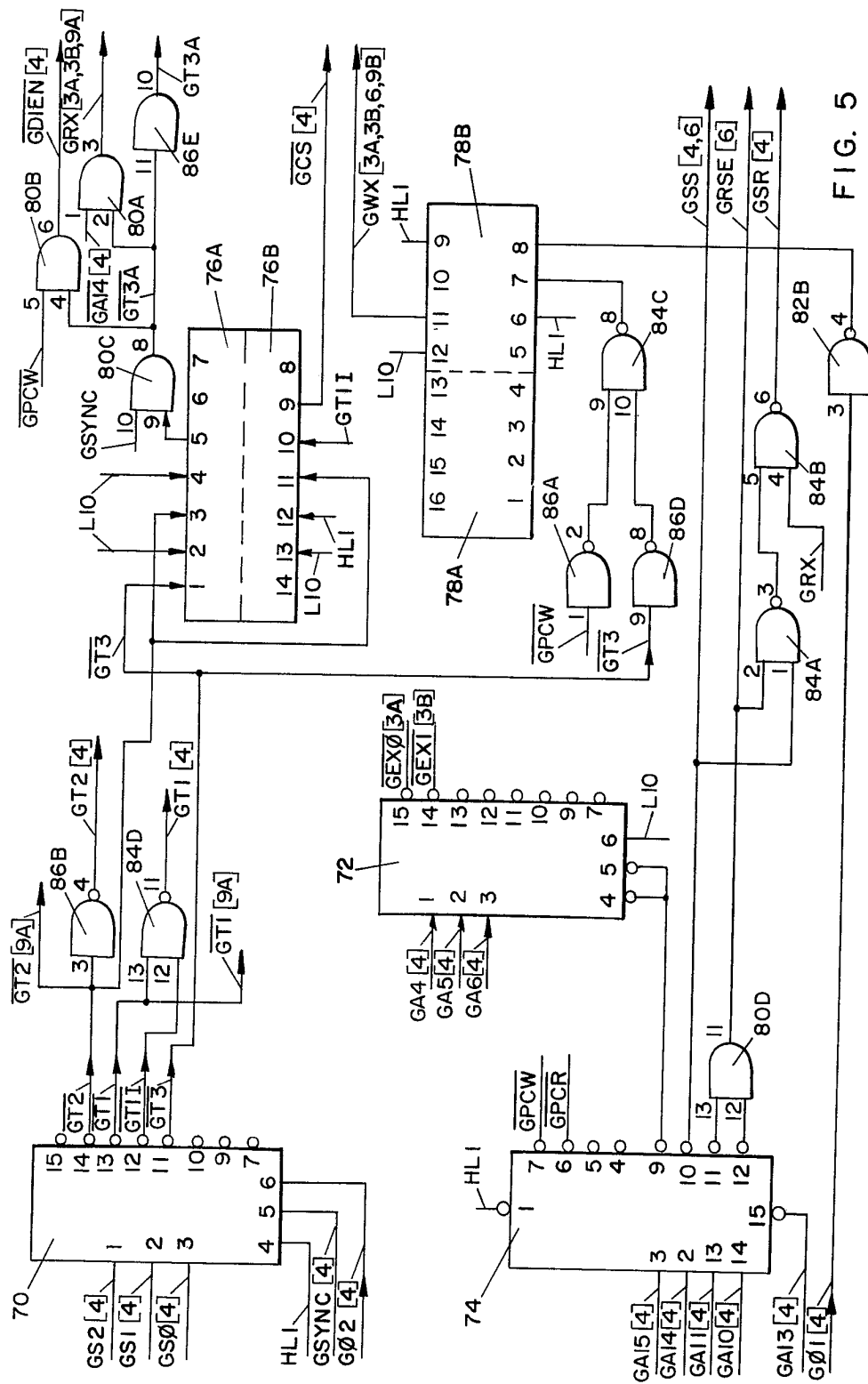


FIG. 4



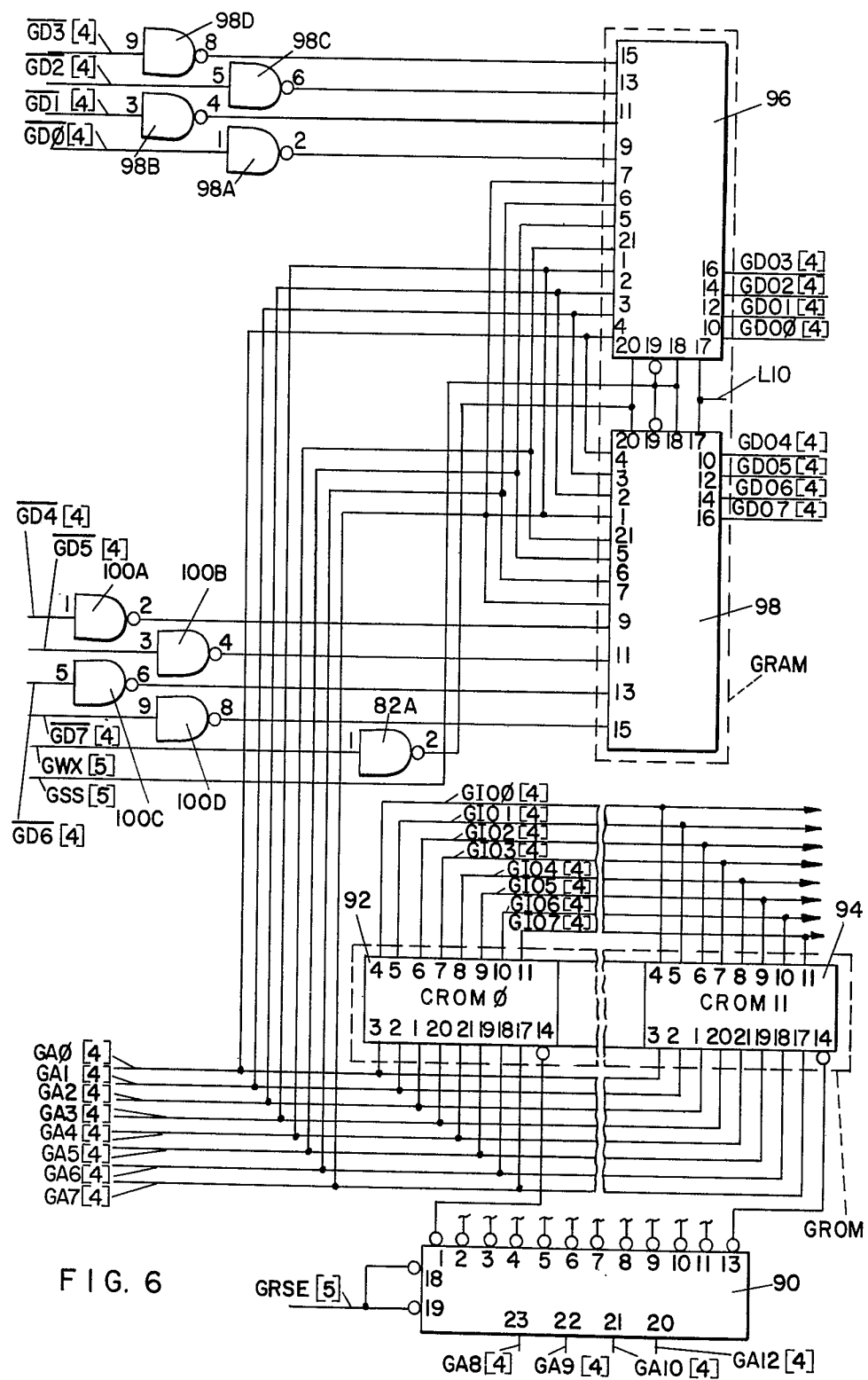
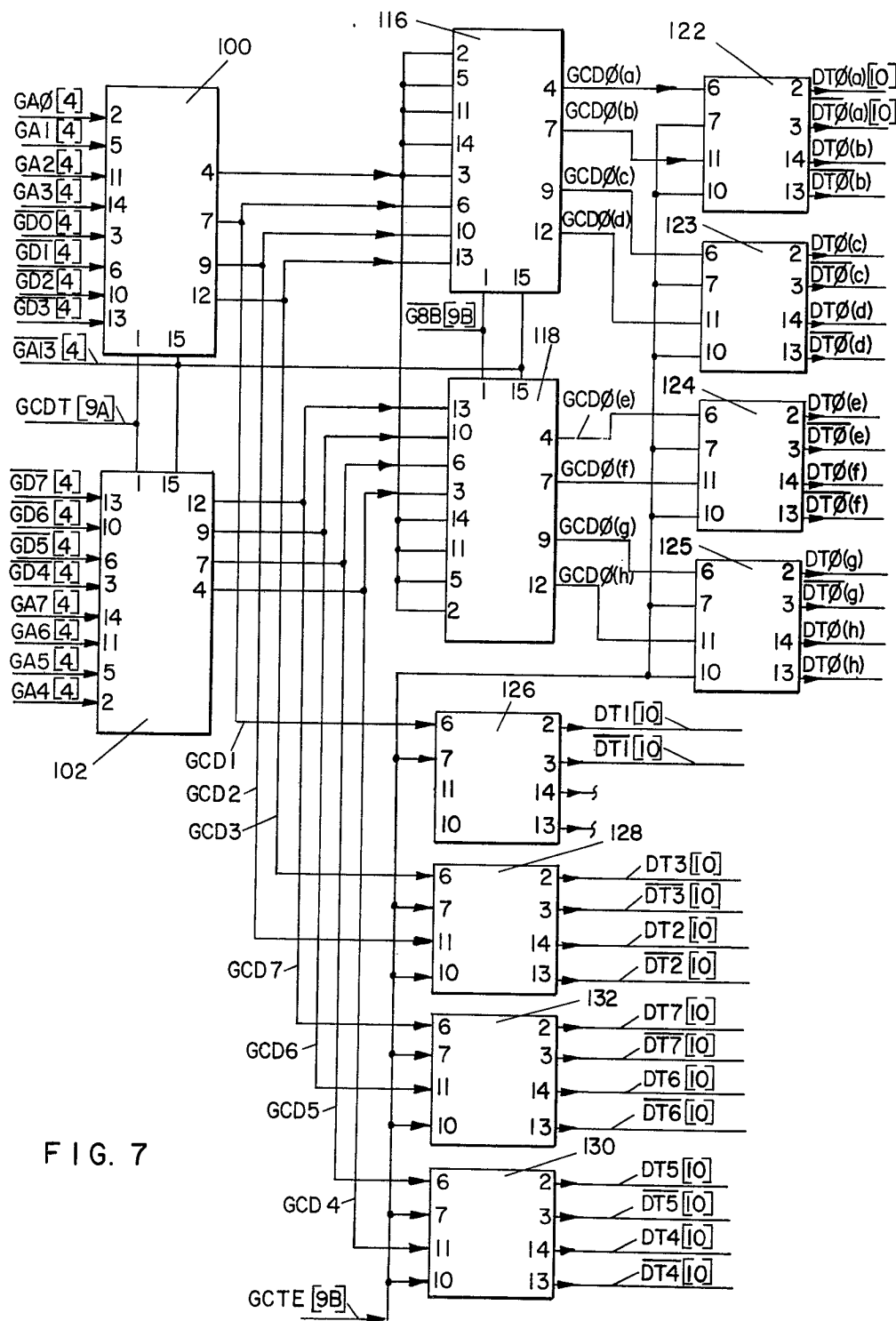


FIG. 6



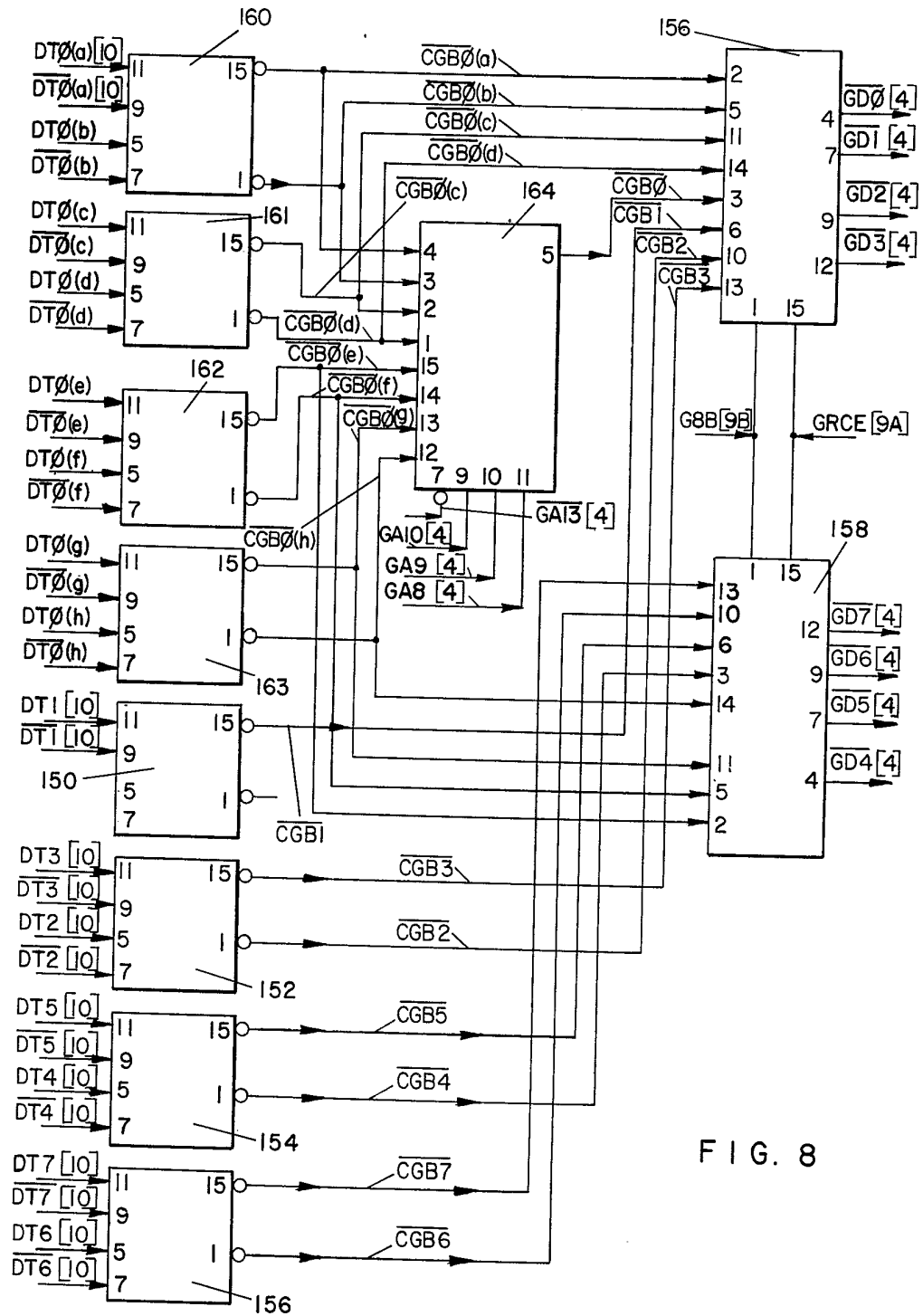


FIG. 8

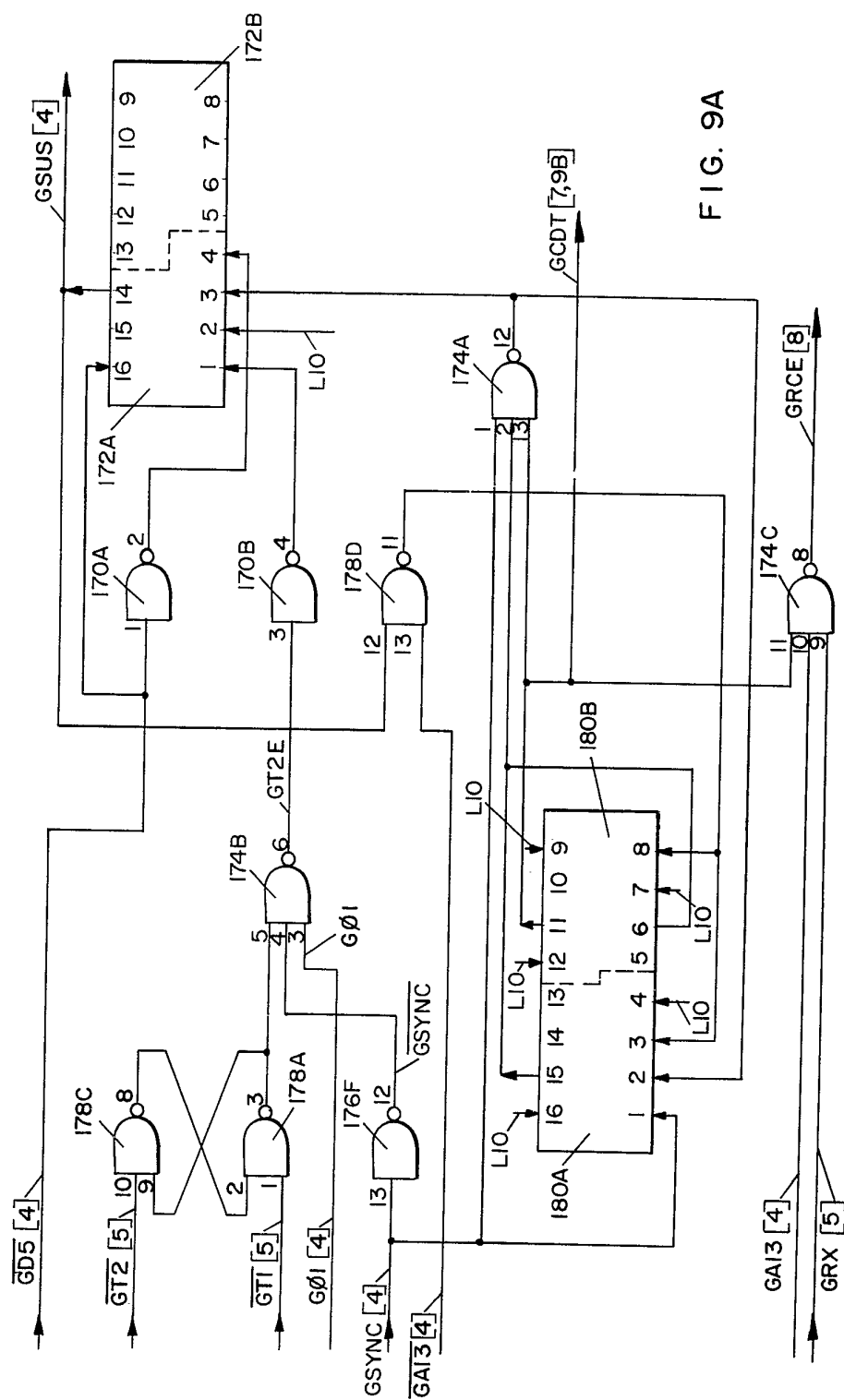
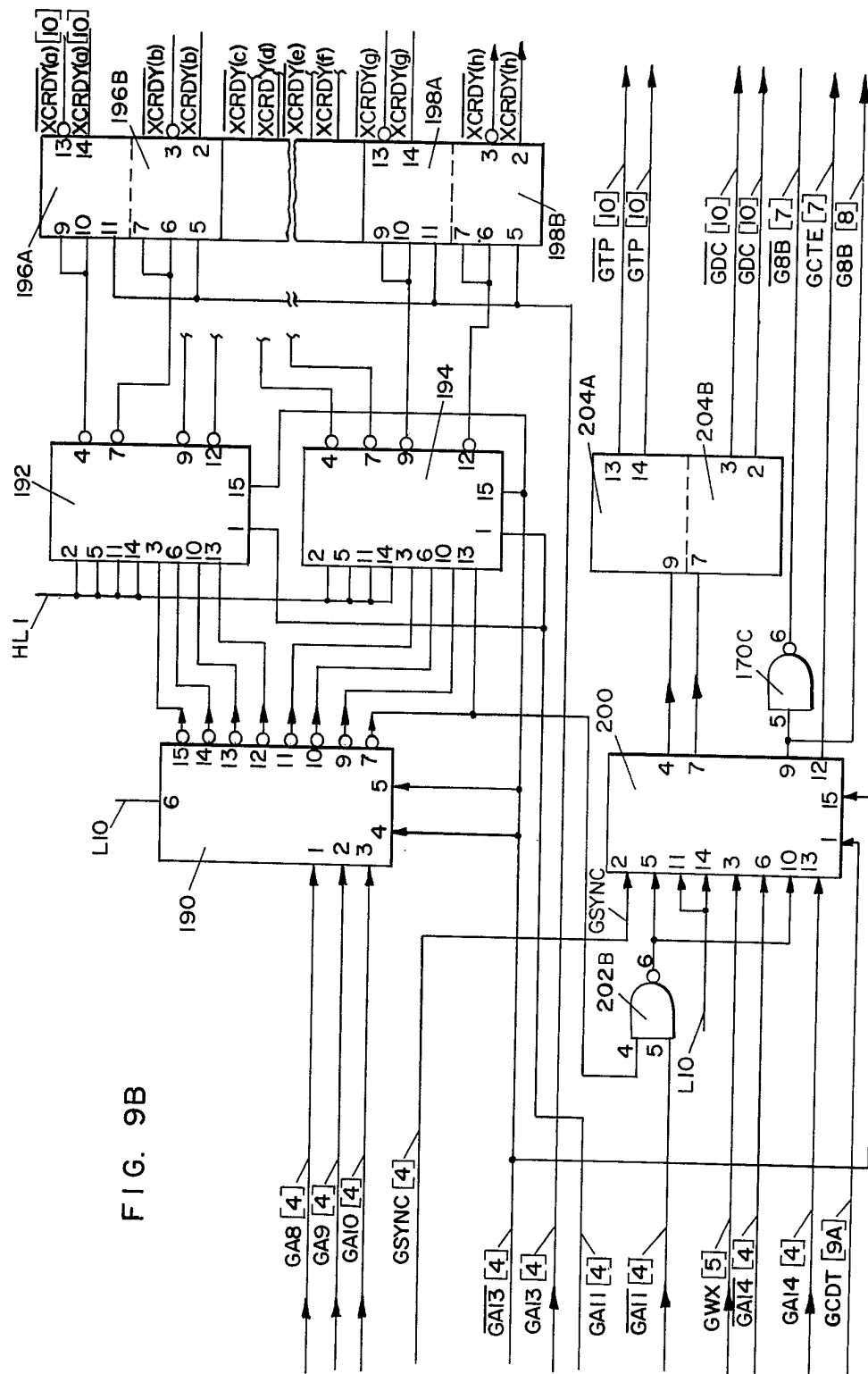
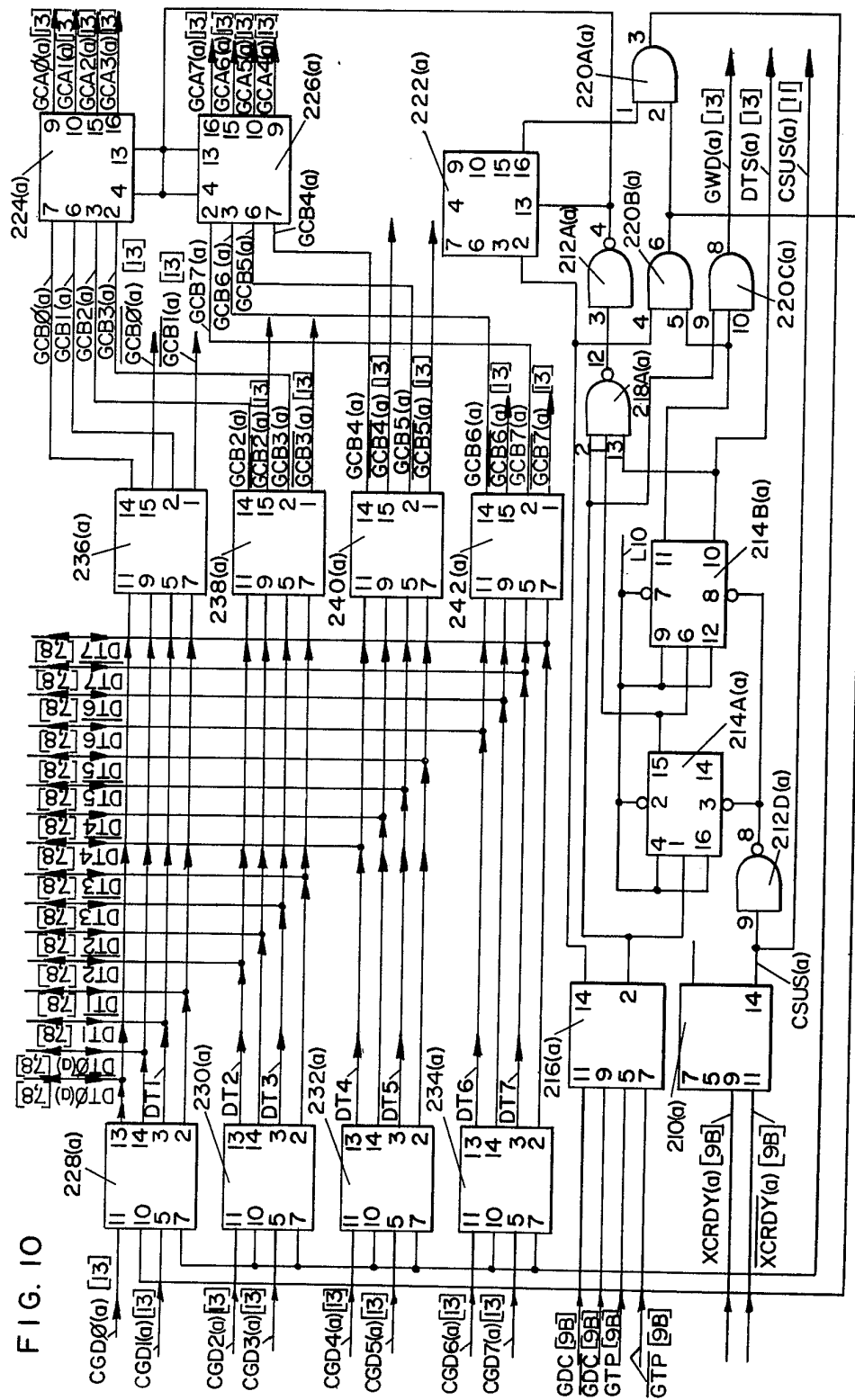


FIG. 9A





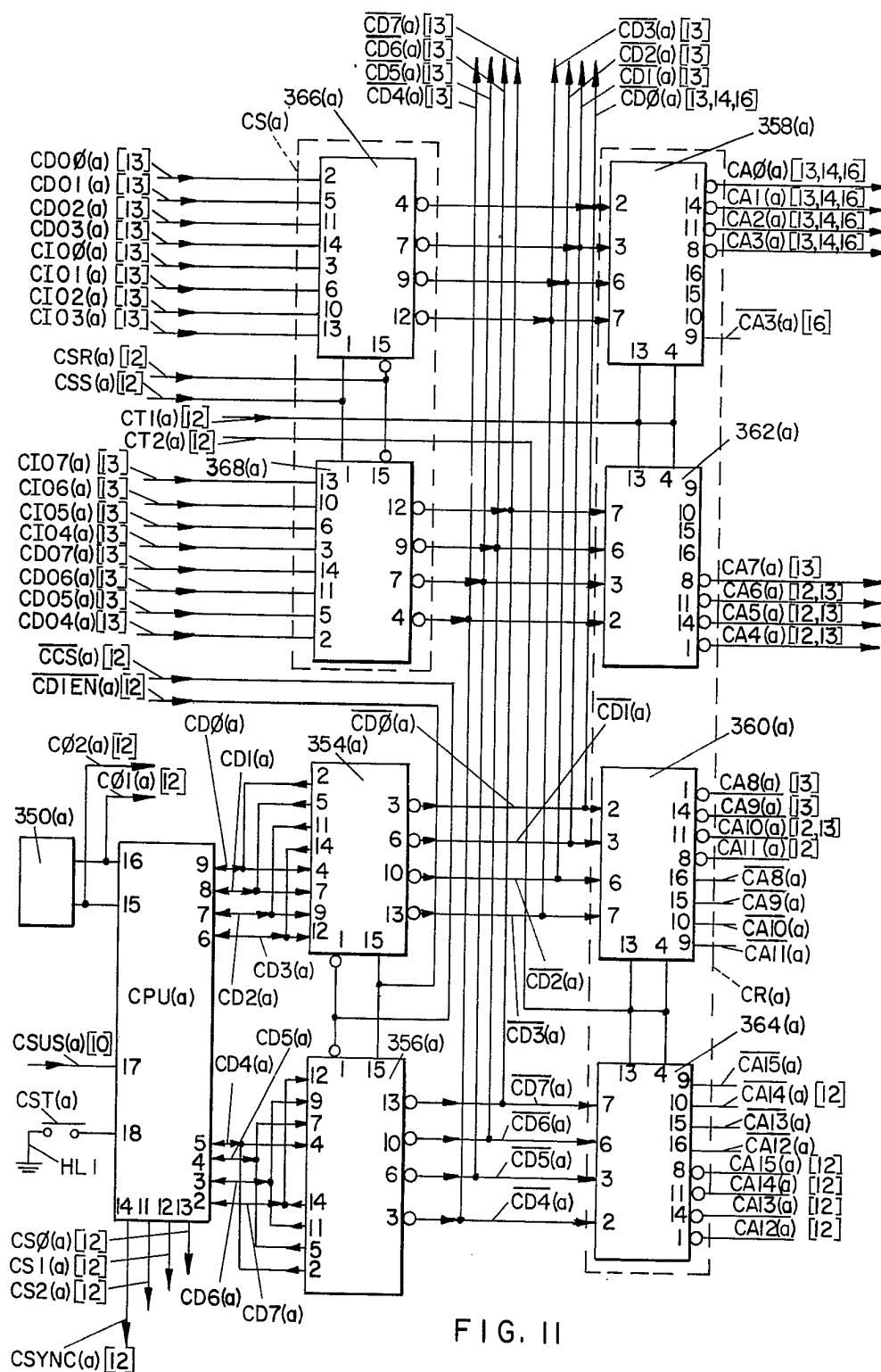


FIG. II

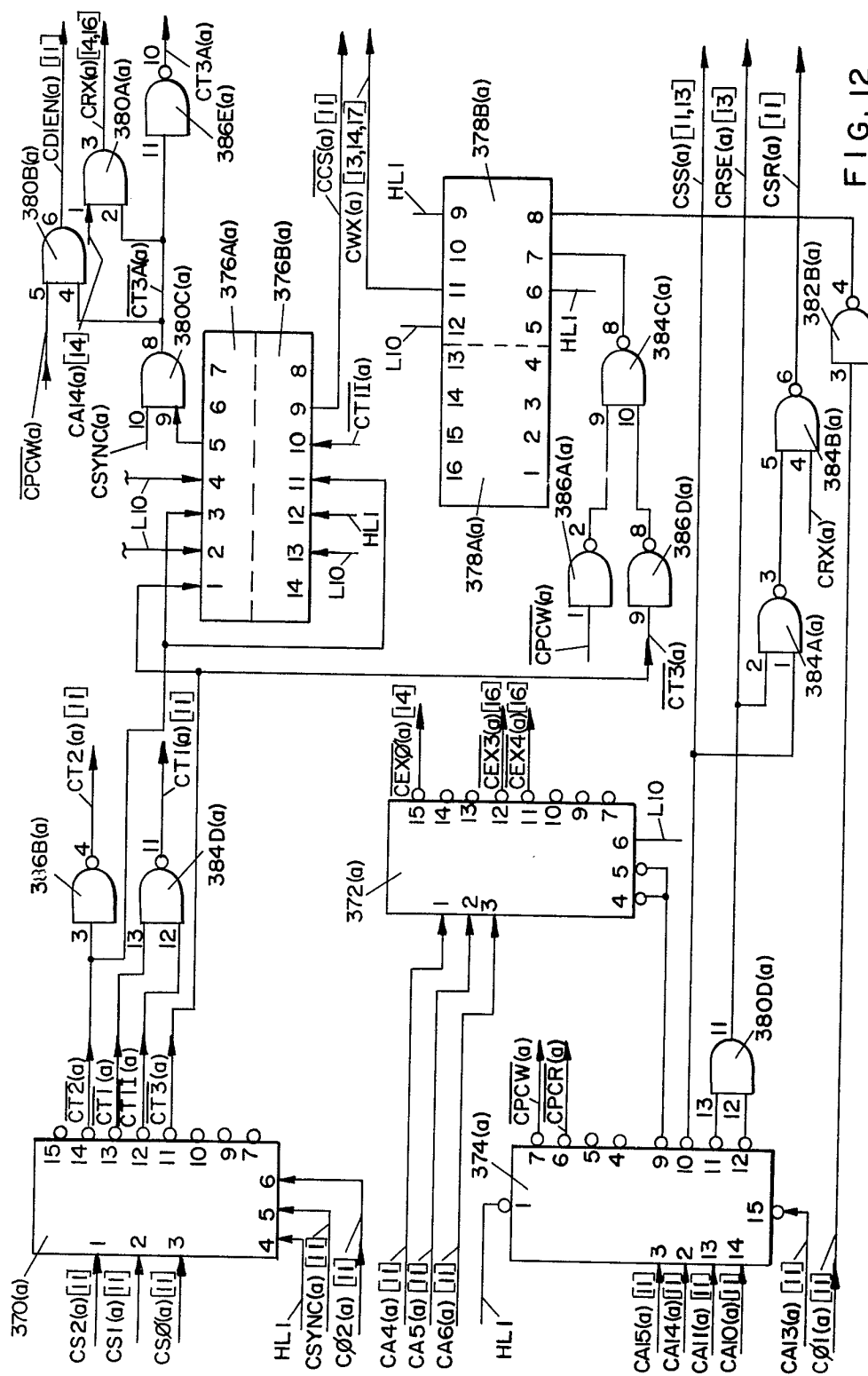
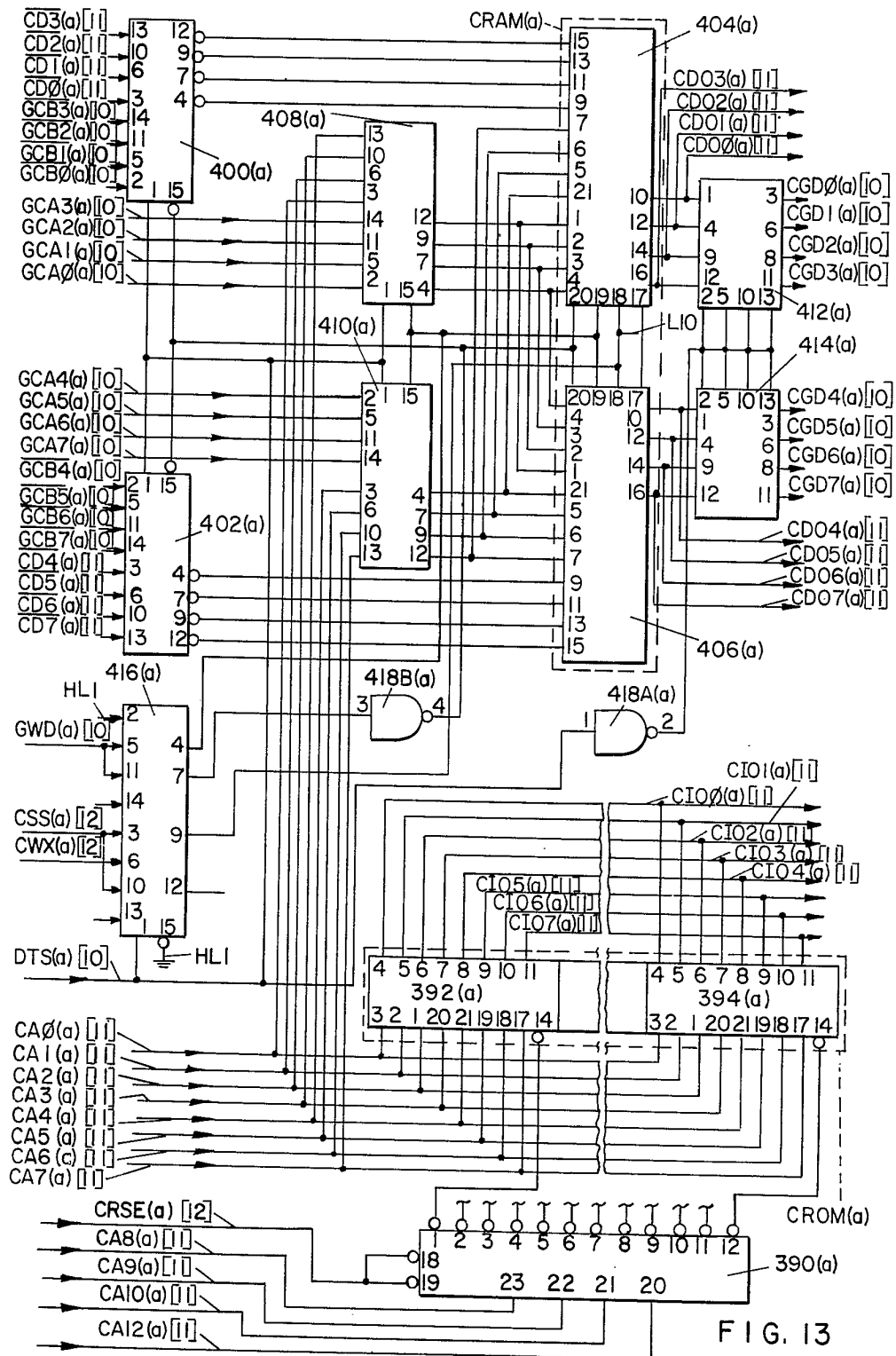


FIG. 12



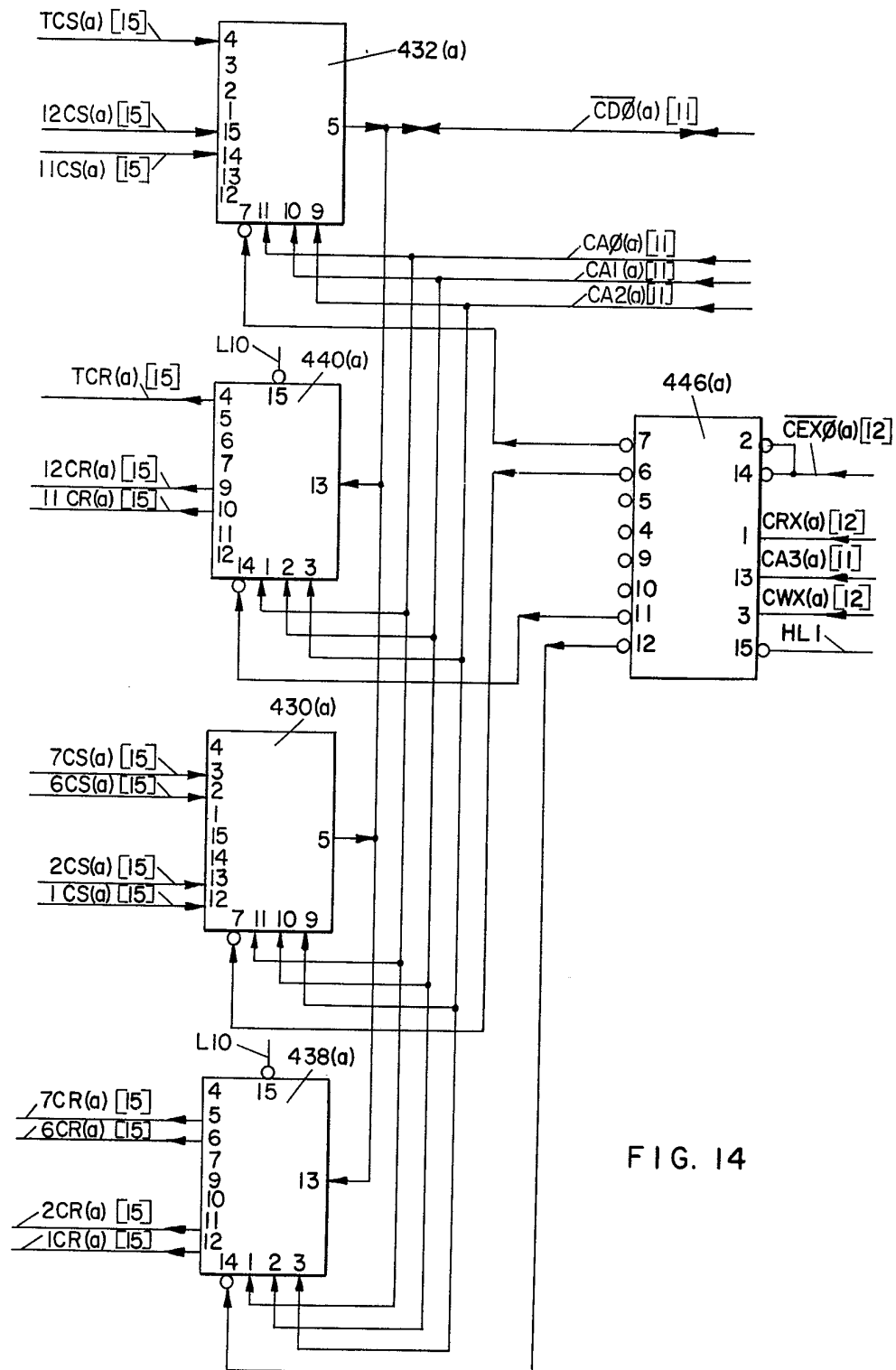


FIG. 14

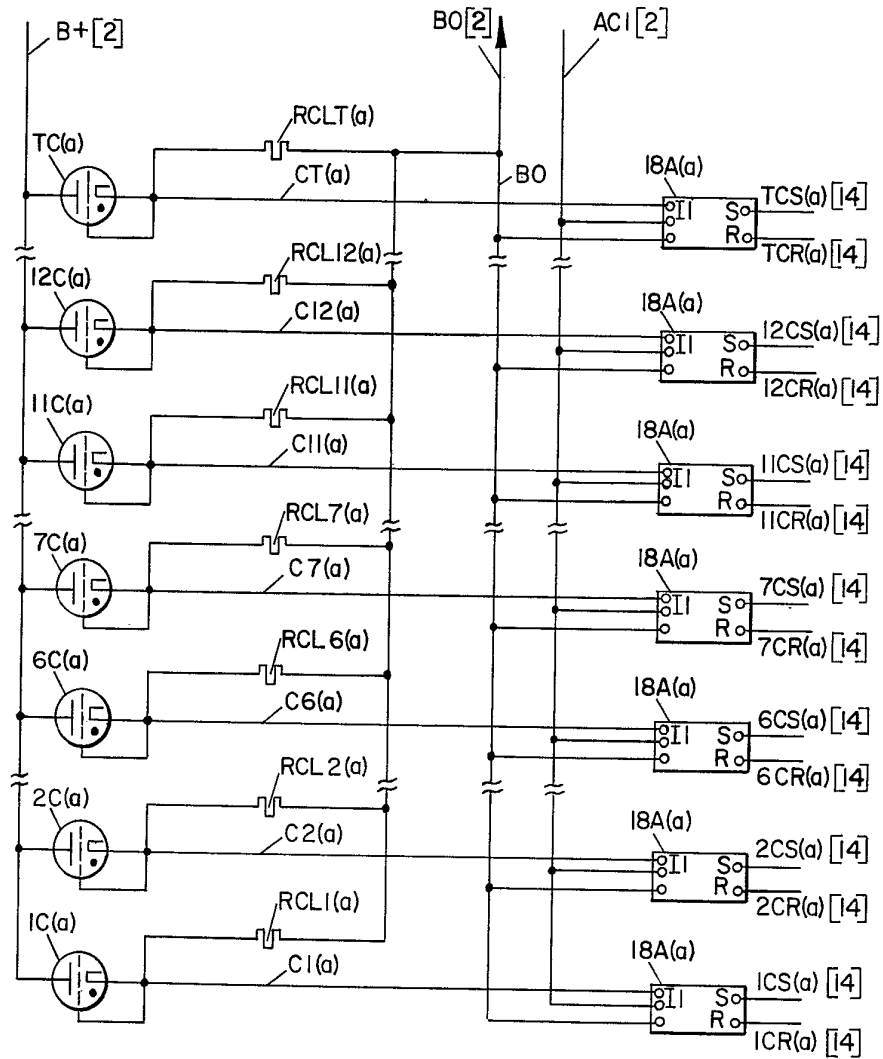


FIG. 15

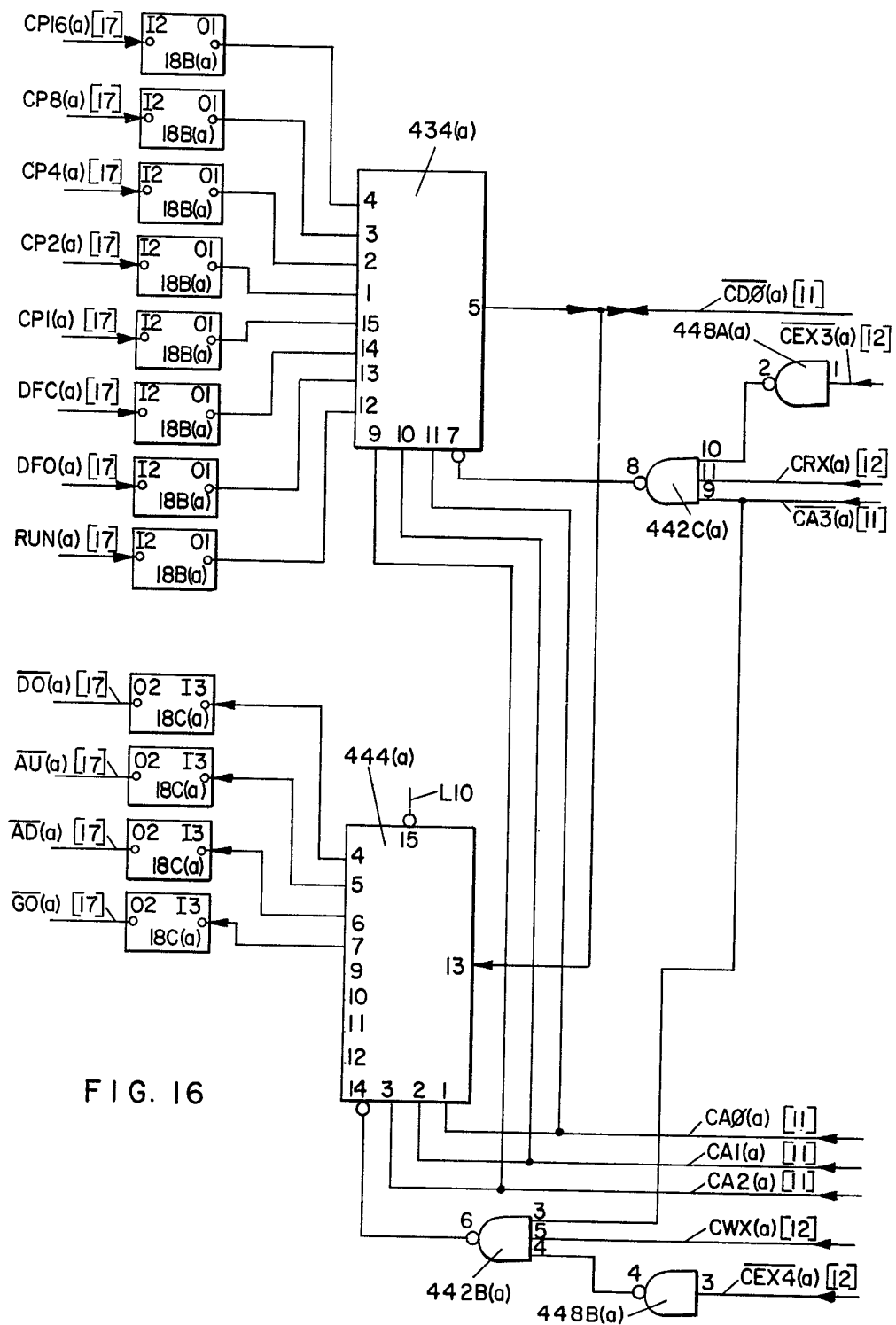
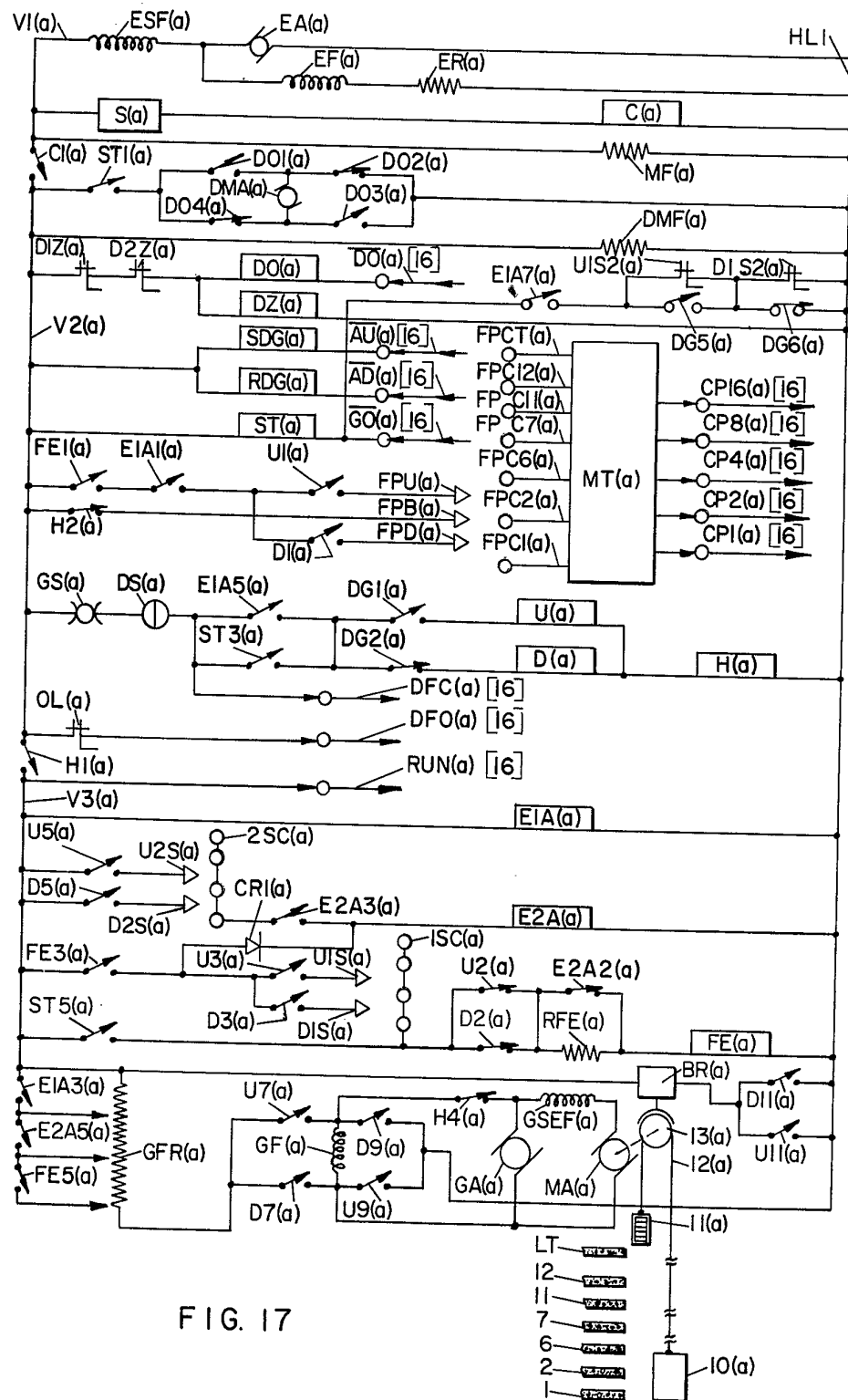


FIG. 16



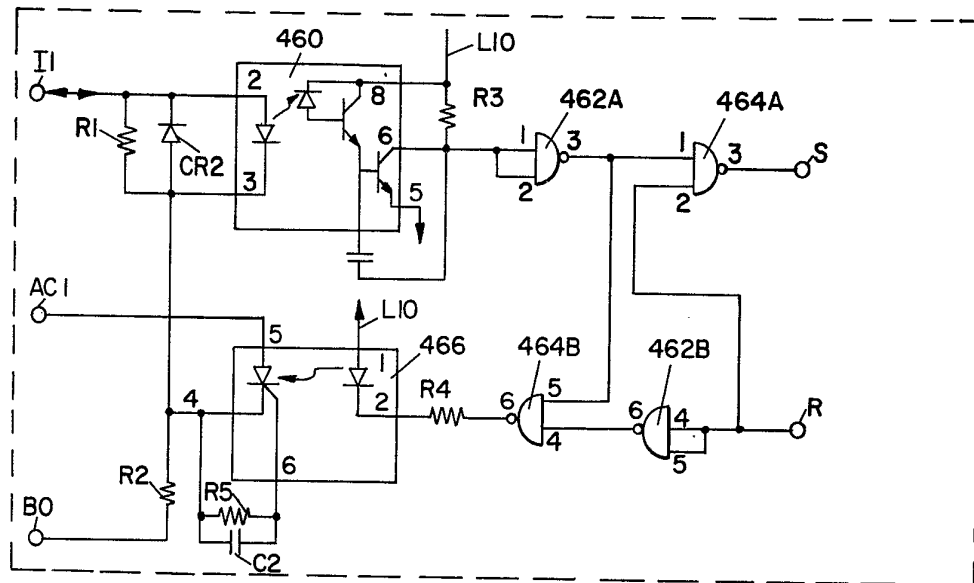


FIG. 18A

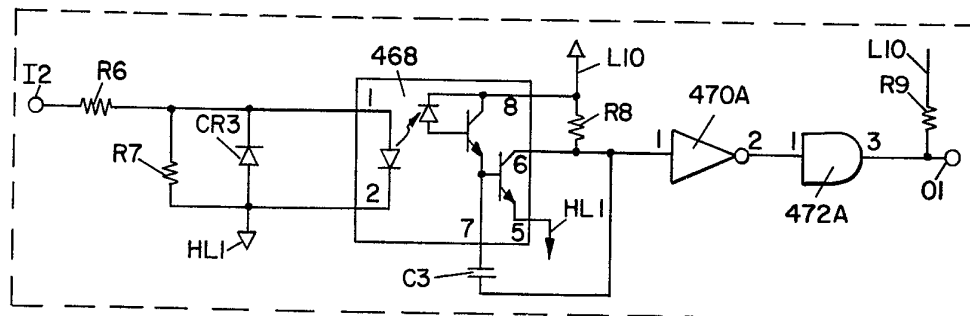


FIG. 18B

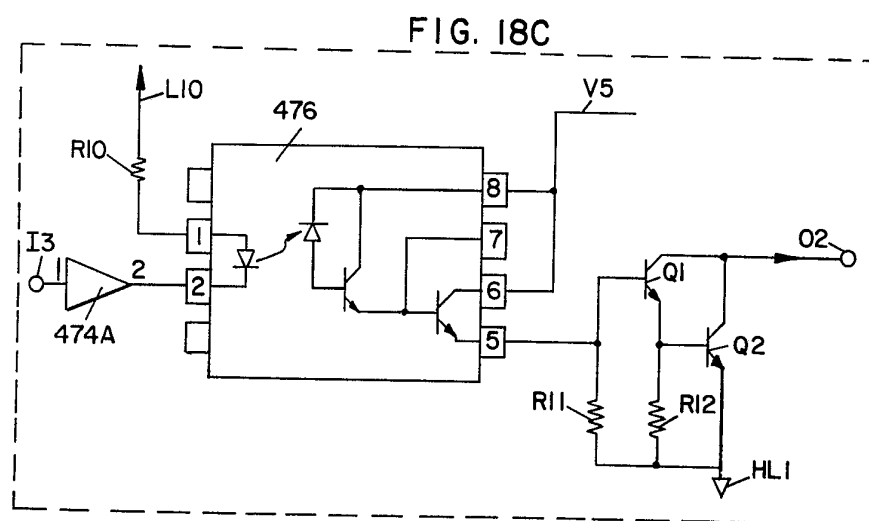


FIG. 18C

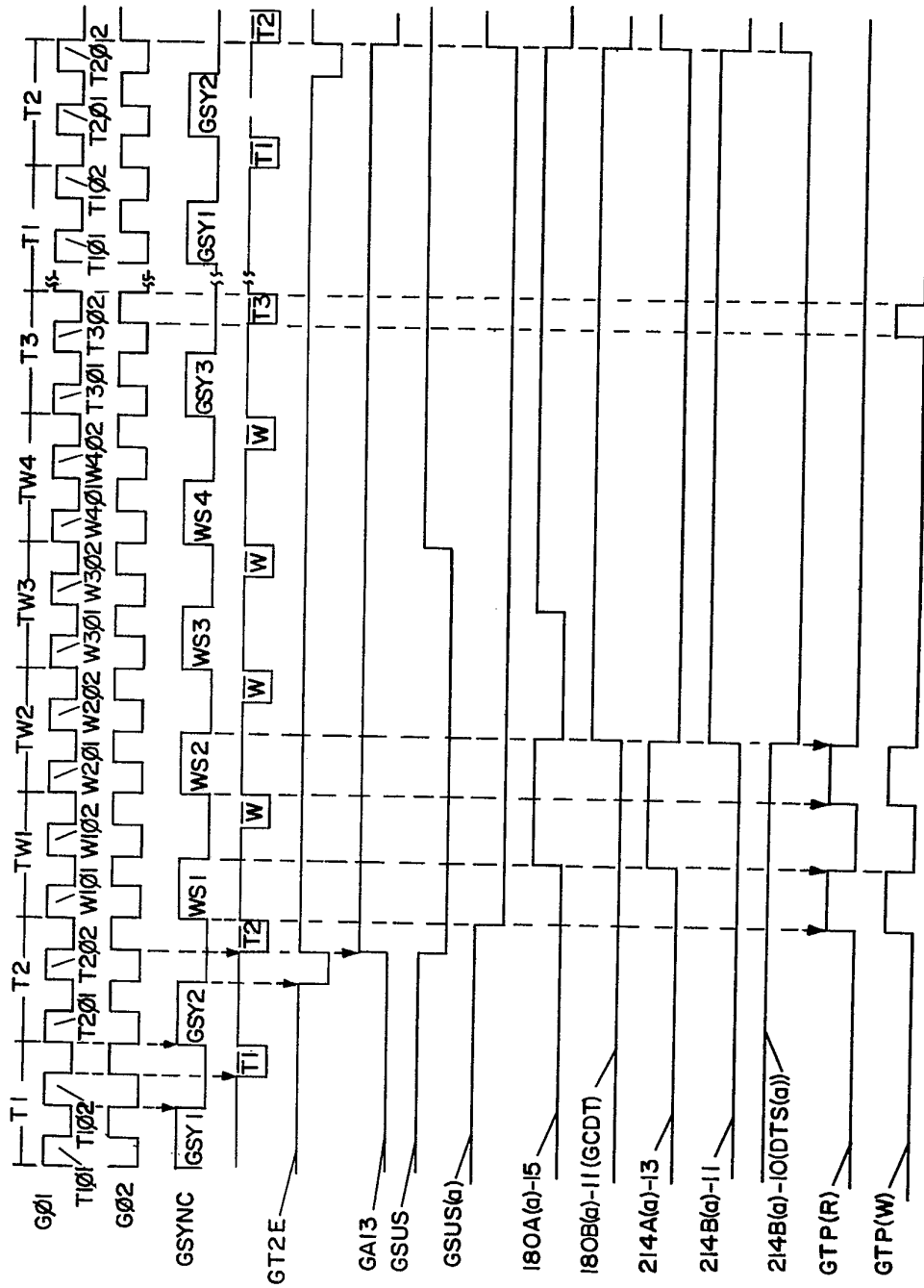


FIG. 19