

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 6 月 25 日 (25.06.2015)



(10) 国际公布号
WO 2015/089914 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/070115
- (22) 国际申请日: 2014 年 1 月 3 日 (03.01.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310700186.7 2013 年 12 月 18 日 (18.12.2013) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 虞晓江 (YU, Xiaojiang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 李长晔 (LEE, Changyeh); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 赖梓杰 (LAI, Tzuchieh); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广

东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: GOA CIRCUIT FOR LIQUID CRYSTAL DISPLAY AND DISPLAY DEVICE

(54) 发明名称: 用于液晶显示的 GOA 电路及显示装置

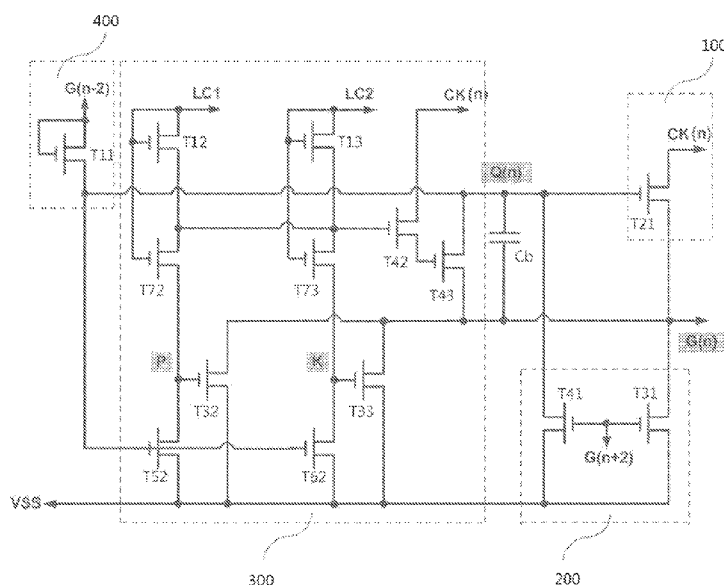


图 1 / Fig. 1

(57) Abstract: A GOA circuit for liquid crystal display and a display device. The GOA circuit comprises a cascade of a plurality of GOA units. The nth stage of GOA units comprises a pull-up circuit (200), a pull-down maintenance circuit (300), a pull-up control circuit (400) and a bootstrap capacitor (Cb). When in operation, the nth stage of clock signal (CK(n)), a first and a second clock signal (LC1, LC2) are respectively input, wherein the frequencies of the first clock signal (LC1) and the second clock signal (LC2) are lower than the nth stage of clock signal (CK(n)), and the charging of a first circuit point (P) by the first clock signal (LC1) and the charging of a second circuit point (K) by the second clock signal (LC2) are alternately performed. The GOA circuit precisely controls the voltage of a gate (Q(n)) influencing horizontal scanning line charging through a low-frequency clock signal and a high-frequency clock signal, thereby guaranteeing stable output of a GOA charging signal.

(57) 摘要:

[见续页]

一种用于液晶显示的 GOA 电路及显示装置。该 GOA 电路包括级联的多个 GOA 单元，第 n 级 GOA 单元包括上拉电路 (100)、下拉电路 (200)、下拉维持电路 (300)、上拉控制电路 (400) 及自举电容 (C_b)。工作时，分别输入第 n 级时钟信号 ($CK(n)$)、第一和第二时钟信号 ($LC1, LC2$)，该第一时钟信号 ($LC1$) 和该第二时钟信号 ($LC2$) 的频率低于该第 n 级时钟信号 ($CK(n)$)，并且该第一时钟信号 ($LC1$) 对第一电路点 (P) 的充电和第二时钟信号 ($LC2$) 对第二电路点 (K) 的充电交替进行。该 GOA 电路通过低频时钟信号和高频时钟信号来准确控制影响水平扫描线充电的栅极 ($Q(n)$) 的电压，从而保证 GOA 充电信号的稳定输出。

用于液晶显示的GOA电路及显示装置

技术领域

本发明涉及液晶显示技术领域，尤其涉及一种用于液晶显示的 GOA
5 (Gate Driver on Array, 阵列基板行驱动) 电路及显示装置。

背景技术

液晶显示器具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。现有市场上的液晶显示器大部分为背光型液晶显示器，其包括液晶面
10 板及背光模组 (backlight module)。液晶面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，并在两片玻璃基板上施加驱动电压来控制液晶分子的旋转方向，以将背光模组的光线折射出来产生画面。

主动式液晶显示器中，每个像素具有一个薄膜晶体管 (TFT)，其栅极 (Gate) 连接至水平扫描线，漏极 (Drain) 连接至垂直方向的数据线，
15 源极 (Source) 则连接至像素电极。在水平扫描线上施加足够的电压，会使得该条线上的所有 TFT 打开，此时该水平扫描线上的像素电极会与垂直方向的数据线连接，从而将数据线上的显示信号电压写入像素，控制不同液晶的透光度进而达到控制色彩的效果。目前主动式液晶显示面板水平扫描线的驱动主要由面板外接的 IC 来完成，外接的 IC 可以控制各级水平扫
20 描线的逐级充电和放电。而 GOA 技术，即 Gate Driver on Array (阵列基板行驱动) 技术，可以运用液晶显示面板的原有制程将水平扫描线的驱动电路制作在显示区周围的基板上，使之能替代外接 IC 来完成水平扫描线的驱动。GOA 技术能减少外接 IC 的绑定 (bonding) 工序，有机会提升产能并降低产品成本，而且可以使液晶显示面板更适合制作窄边框或无边框
25 的显示产品。

现有的 GOA 电路，通常包括级联的多个 GOA 单元，每一级 GOA 单元对应驱动一级水平扫描线。GOA 单元的主要结构包括上拉电路 (Pull-up part)，上拉控制电路 (Pull-up control part)，下传电路 (Transfer Part)，下拉电路 (Key Pull-down Part) 和下拉维持电路 (Pull-down Holding
30 Part)，以及负责电位抬升的自举 (Boast) 电容。上拉电路主要负责将时钟信号 (Clock) 输出为栅极 (Gate) 信号；上拉控制电路负责控制上拉电路的打开时间，一般连接前面级 GOA 电路传递过来的下传信号或者 Gate 信号；下拉电路负责在第一时间将 Gate 拉低为低电位，即关闭 Gate 信

号；下拉维持电路则负责将 Gate 输出信号和上拉电路的 Gate 信号（通常称为 Q 点）维持（Holding）在关闭状态（即负电位），通常有两个下拉维持模块交替作用；自举电容（C boost）则负责 Q 点的二次抬升，这样有利于上拉电路的 G(N) 输出。

- 5 GOA 电路的目的就是将集成电路输出的扫描波形通过电路操作的方式输出，使像素开关打开从而可以向氧化铟锡（ITO）电极输入数据信号。数据信号输入完后将数据信号内容保持住直到下一帧的开启。在电路操作过程中，因一条扫描电路打开过后在一帧剩余的时间里都是关闭的，扫描电路关闭（保持）时间比扫描时间长很多，对 GOA 电路中的薄膜晶体管稳定特定要求很高。为保证 GOA 电路充电信号的稳定输出，亟需 GOA 电路中影响水平扫描线充电的薄膜晶体管的栅极 Q(n) 的电压能够得到准确控制的解决方案。
- 10

发明内容

- 15 因此，本发明的目的在于提供一种用于液晶显示的 GOA 电路，实现通过低频时钟信号和高频时钟信号来准确控制影响水平扫描线充电的薄膜晶体管的栅极 Q(n) 电压，从而保证 GOA 充电信号的稳定输出。

- 本发明的另一目的在于提供一种应用上述 GOA 电路的液晶显示装置，实现通过低频时钟信号和高频时钟信号来准确控制影响水平扫描线充电的薄膜晶体管的栅极 Q(n) 电压，从而保证 GOA 充电信号的稳定输出。
- 20

- 为实现上述目的，本发明提供了一种用于液晶显示的 GOA 电路，包括级联的多个 GOA 单元，按照第 n 级 GOA 单元控制对显示区域第 n 级水平扫描线充电，该第 n 级 GOA 单元包括上拉电路、下拉电路、下拉维持电路、上拉控制电路及自举电容，该上拉电路、下拉电路、下拉维持电路及自举电容分别与栅极信号点和该第 n 级水平扫描线连接，该上拉控制电路与该栅极信号点连接；
- 25

该下拉维持电路包括：

第一薄膜晶体管，其栅极连接第一电路点，漏极和源极分别连接该第 n 级水平扫描线和输入直流低电压；

- 30 第二薄膜晶体管，其栅极连接第二电路点，漏极和源极分别连接该第 n 级水平扫描线和输入该直流低电压；

第三薄膜晶体管，其栅极连接该栅极信号点，漏极和源极分别连接该第一电路点和输入该直流低电压；

第四薄膜晶体管，其栅极连接该栅极信号点，漏极和源极分别连接该

第二电路点和输入该直流低电压；

第五薄膜晶体管，其漏极和源极分别连接该栅极信号点和该第 n 级水平扫描线；

5 第六薄膜晶体管，其漏极和源极分别输入第 n 级时钟信号和连接该第五薄膜晶体管的栅极；

第七薄膜晶体管，其栅极输入第一时钟信号，漏极和源极分别连接该第六薄膜晶体管的栅极和该第一电路点；

第八薄膜晶体管，其栅极输入第二时钟信号，漏极和源极分别连接该第六薄膜晶体管的栅极和该第二电路点；

10 第九薄膜晶体管，其栅极输入该第一时钟信号，漏极和源极分别输入该第一时钟信号和连接该第六薄膜晶体管的栅极；

第十薄膜晶体管，其栅极输入该第二时钟信号，漏极和源极分别输入该第二时钟信号和连接该第六薄膜晶体管的栅极；

15 工作时，该第一时钟信号和该第二时钟信号的频率低于该第 n 级时钟信号，并且该第一时钟信号对该第一电路点的充电和该第二时钟信号对该第二电路点的充电交替进行。

其中，该上拉电路包括：第十一薄膜晶体管，其栅极连接该栅极信号点，漏极和源极分别输入该第 n 级时钟信号和连接该第 n 级水平扫描线。

20 其中，该下拉电路包括：第十二薄膜晶体管，其栅极连接第 $n+2$ 级水平扫描线，漏极和源极分别连接该第 n 级水平扫描线和输入该直流低电压；第十三薄膜晶体管，其栅极连接该第 $n+2$ 级水平扫描线，漏极和源极分别连接该栅极信号点和输入该直流低电压。

25 其中，该上拉控制电路包括：第十四薄膜晶体管，其栅极连接第 $n-2$ 级水平扫描线，漏极和源极分别连接该第 $n-2$ 级水平扫描线和该栅极信号点。

其中，该第 n 级时钟信号的占空比为 40%。

其中，该第一时钟信号通过公共的金属线输入所述级联的多个 GOA 单元。

30 其中，该第二时钟信号通过公共的金属线输入所述级联的多个 GOA 单元。

其中，该直流低电压通过公共的金属线输入所述级联的多个 GOA 单元。

本发明还提供一种用于液晶显示的 GOA 电路，包括级联的多个 GOA 单元，按照第 n 级 GOA 单元控制对显示区域第 n 级水平扫描线充电，该

第 n 级 GOA 单元包括上拉电路、下拉电路、下拉维持电路、上拉控制电路及自举电容, 该上拉电路、下拉电路、下拉维持电路及自举电容分别与栅极信号点和该第 n 级水平扫描线连接, 该上拉控制电路与该栅极信号点连接;

5 该下拉维持电路包括:

第一薄膜晶体管, 其栅极连接第一电路点, 漏极和源极分别连接该第 n 级水平扫描线和输入直流低电压;

第二薄膜晶体管, 其栅极连接第二电路点, 漏极和源极分别连接该第 n 级水平扫描线和输入直流低电压;

10 第三薄膜晶体管, 其栅极连接该栅极信号点, 漏极和源极分别连接该第一电路点和输入该直流低电压;

第四薄膜晶体管, 其栅极连接该栅极信号点, 漏极和源极分别连接该第二电路点和输入该直流低电压;

15 第五薄膜晶体管, 其漏极和源极分别连接该栅极信号点和该第 n 级水平扫描线;

第六薄膜晶体管, 其漏极和源极分别输入第 n 级时钟信号和连接该第五薄膜晶体管的栅极;

第七薄膜晶体管, 其栅极输入第一时钟信号, 漏极和源极分别连接该第六薄膜晶体管的栅极和该第一电路点;

20 第八薄膜晶体管, 其栅极输入第二时钟信号, 漏极和源极分别连接该第六薄膜晶体管的栅极和该第二电路点;

第九薄膜晶体管, 其栅极输入该第一时钟信号, 漏极和源极分别输入该第一时钟信号和连接该第六薄膜晶体管的栅极;

25 第十薄膜晶体管, 其栅极输入该第二时钟信号, 漏极和源极分别输入该第二时钟信号和连接该第六薄膜晶体管的栅极;

工作时, 该第一时钟信号和该第二时钟信号的频率低于该第 n 级时钟信号, 并且该第一时钟信号对该第一电路点的充电和该第二时钟信号对该第二电路点的充电交替进行;

30 其中, 该上拉电路包括: 第十一薄膜晶体管, 其栅极连接该栅极信号点, 漏极和源极分别输入该第 n 级时钟信号和连接该第 n 级水平扫描线;

其中, 该下拉电路包括: 第十二薄膜晶体管, 其栅极连接第 $n+2$ 级水平扫描线, 漏极和源极分别连接该第 n 级水平扫描线和输入该直流低电压; 第十三薄膜晶体管, 其栅极连接该第 $n+2$ 级水平扫描线, 漏极和源极分别连接该栅极信号点和输入该直流低电压。

该上拉控制电路包括：第十四薄膜晶体管，其栅极连接第 $n-2$ 级水平扫描线，漏极和源极分别连接该第 $n-2$ 级水平扫描线和该栅极信号点。

该第 n 级时钟信号的占空比为 40%。

该第一时钟信号通过公共的金属线输入所述级联的多个 GOA 单元。

5 该第二时钟信号通过公共的金属线输入所述级联的多个 GOA 单元。

该直流低电压通过公共的金属线输入所述级联的多个 GOA 单元。

本发明还提供了一种显示装置，包括如上面所述的用于液晶显示的 GOA 电路。

10 本发明的用于液晶显示的 GOA 电路及显示装置可以通过低频时钟信号和高频时钟信号来准确控制影响水平扫描线充电的薄膜晶体管栅极 $Q(n)$ 在充电时期及非充电时期的电压，保证 GOA 充电信号的稳定输出；运用本发明的 GOA 电路可以制作低成本的窄边框或无边框的液晶显示装置。

附图说明

15 下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

附图中，

图 1 为本发明用于液晶显示的 GOA 电路（单级）一实施例的电路图；

20 图 2 为本发明用于液晶显示的 GOA 电路在常温时的输出波形示意图；

图 3 为本发明用于液晶显示的 GOA 电路的多级架构示意图；

图 4 为应用了本发明用于液晶显示的 GOA 电路的液晶显示装置的结构示意图。

25

具体实施方式

参见图 1，其为本发明用于液晶显示的 GOA 电路（单级）一实施例的电路图。本发明的 GOA 电路可以包括级联的多个 GOA 单元，按照第 n 级 GOA 单元控制对显示区域第 n 级水平扫描线 $G(n)$ 充电，第 n 级 GOA 单元包括上拉电路 100、下拉电路 200、下拉维持电路 300、上拉控制电路 400 及自举电容 C_b ，该上拉电路 100、下拉电路 200、下拉维持电路 300 及自举电容 C_b 分别与栅极信号点 $Q(n)$ 和第 n 级水平扫描线 $G(n)$ 连接，该上拉控制电路 400 与该栅极信号点 $Q(n)$ 连接。

上拉电路 100 包括直接控制给显示区域第 n 级水平扫描线 $G(n)$ 进行充

电的薄膜晶体管 T21, 其栅极连接该栅极信号点 Q (n), T21 的漏极和源极分别输入第 n 级高频时钟信号 CK(n) 和连接第 n 级水平扫描线 G (n), T21 栅极 Q(n) 的电位可直接影响 CK(n) 对 G(n) 充电。

下拉电路 200 包含在 G(n) 充电结束时进行放电的一组薄膜晶体管, 包括对 G(n) 进行放电的 T31 和对 Q(n) 进行放电的 T41; T31 栅极连接第 n+2 级水平扫描线 G (n+2), 漏极和源极分别连接该第 n 级水平扫描线 G (n) 和输入该直流低电压 VSS; T41 栅极连接该第 n+2 级水平扫描线 G (n+2), 漏极和源极分别连接栅极信号点 Q (n) 和输入直流低电压 VSS。

上拉控制电路 400 包括薄膜晶体管 T11, 其栅极连接第 n-2 级水平扫描线 G (n-2), 漏极和源极分别连接第 n-2 级水平扫描线 G (n-2) 和栅极信号点 Q (n)。薄膜晶体管 T11 可以控制将第 n-2 级 GOA 信号传递给第 n 级 GOA 电路, 使 GOA 电路可以逐级充放电。

Q(n) 和 G(n) 之间所连接的有自举功能的电容 Cb, 可在 G(n) 电位提升时通过 Cb 的耦合效应使 Q(n) 电位提升, 从而获得更高的 Q(n) 电位及更小的 GOA 充电信号的阻容延迟 (RC delay)。

下拉维持电路 (300) 包括的一组薄膜晶体管可以在 GOA 电路非充电时期保持 G(n) 和 Q(n) 的低电位。薄膜晶体管 T32 栅极连接第一电路点 P, 漏极和源极分别连接第 n 级水平扫描线 G (n) 和输入直流低电压 VSS; 薄膜晶体管 T33 栅极连接第二电路点 K, 漏极和源极分别连接第 n 级水平扫描线 G (n) 和输入该直流低电压 VSS; 薄膜晶体管 T52 栅极连接该栅极信号点 Q (n), 漏极和源极分别连接该第一电路点 P 和输入直流低电压 VSS; 薄膜晶体管 T62 栅极连接栅极信号点 Q (n), 漏极和源极分别连接第二电路点 K 和直流低电压 VSS; 薄膜晶体管 T43 漏极和源极分别连接该栅极信号点 Q (n) 和第 n 级水平扫描线 G (n); 薄膜晶体管 T42 漏极和源极分别输入第 n 级时钟信号 CK (n) 和薄膜晶体管 T43 的栅极; 薄膜晶体管 T72 栅极输入第一时钟信号 LC1, 漏极和源极分别连接薄膜晶体管 T42 的栅极和第一电路点 P; 薄膜晶体管 T73 栅极输入第二时钟信号 LC2, 漏极和源极分别连接薄膜晶体管 T42 的栅极和第二电路点 K; 薄膜晶体管 T12 栅极输入第一时钟信号 LC1, 漏极和源极分别输入第一时钟信号 LC1 和连接薄膜晶体管 T42 的栅极; 薄膜晶体管 T13 栅极输入第二时钟信号 LC2, 漏极和源极分别输入第二时钟信号 LC2 和连接薄膜晶体管 T42 的栅极; 直流低电压 VSS 可以为接低电平或接地。工作时, 输入第 n 级时钟信号 CK (n)、第一时钟信号 LC1 和第二时钟信号 LC2, 第一时

钟信号 LC1 和第二时钟信号 LC2 的频率低于第 n 级时钟信号 CK (n)，并且第一时钟信号 LC1 对第一电路点 P 的充电和该第二时钟信号 LC2 对该第二电路点 K 的充电交替进行。

5 电路的 P 点和 K 点交替受低频时钟信号 LC1 和 LC2 的充电而处于高电位，从而交替控制薄膜晶体管 T32 或 T33 的打开，以维持 G(n)在非充电时期的低电位，并避免薄膜晶体管 T32 或 T33 长时间受栅极电压应力的影响。薄膜晶体管 T52 连接 P 点和输入直流低电压 VSS，薄膜晶体管 T62 连接 K 点和输入直流低电压 VSS，T52 和 T62 可在 Q(n)处于高电位时打开而将 P 点、K 点电位拉低以关闭 T32 和 T33 使之不影响充电。在非充电时
10 期，薄膜晶体管 T12&T72 或 T13&T73 会打开，P 点或 K 点会处于高电位，因此薄膜晶体管 T42 的栅极处于高电位，高频时钟信号 CK(n)可周期性打开薄膜晶体管 T43 以维持 Q(n)处于低电位。在充电时期，Q(n)充至高电位后，T52 或 T62 打开，T42 的栅极电位被拉低而导致 T42 关闭，T43 也无法打开，因此 Q(n)通过 T43 的漏电也得以减小，Q(n)电压的稳定性得以提升。
15

本发明的 GOA 电路可以通过低频时钟信号和高频时钟信号来准确控制影响水平扫描线充电的薄膜晶体管的栅极 Q(n)在非充电时期及充电时期的电压，因此能保证 GOA 充电信号的稳定输出。具体来讲：1、在非充电时期，连接高频时钟信号 CK(n)和薄膜晶体管 T43 的薄膜晶体管 T42 导
20 通，高频时钟信号 CK(n)可以周期性的打开薄膜晶体管 T43 以维持 Q(n)处于低电位；2、在充电时期，Q(n)被充至高电位后，薄膜晶体管 T42 和 T43 被关闭，Q(n)通过 T43 的漏电得以降低。

参见图 2，其为本发明用于液晶显示的 GOA 电路在常温时的输出波形示意图，其中高频时钟信号的占空比 (duty ratio) 为 40%。图 2 中，
25 t1~t3 为 G(n)充电前的准备时间，t3~t4 为 G(n)的充电时间，t4 后 G(n)被放电。低频时钟信号 LC1 和 LC2 可以选择为频率相同，相位相反。可结合图 1 来理解图 2，t1 时，CK($n-2$)的电位开始抬升，G($n-2$)的电位也跟着开始抬升，薄膜晶体管 T11 打开给 Q(n)充电。Q(n)电位抬升后，可打开薄膜晶体管 T52 和 T62，从而关闭 T32、T42、T33 和 T43 使之不影响 Q(n)和
30 G(n)充电。t2 时，CK($n-2$)的电位开始下降，但薄膜晶体管 T11 的连接方式会阻止 Q(n)的漏电，Q(n)电位基本保持不变。t3 时，CK(n)的电位开始抬升，薄膜晶体管 T21 打开，Q(n)自举到更高电位并控制 T21 给 G(n)充电。t4 时，CK(n)开始下降，Q(n)电位并未立即被拉低，薄膜晶体管 T21 在 t4 后的短时间内仍保持导通，将 G(n)电位拉低。这之后，G($n+2$)电位抬升，

薄膜晶体管 T31 和 T41 打开, 确保 G(n)和 Q(n)被拉至低电位。T52 和 T62 在 Q(n)电位拉低后关闭, T32、T33、T42、T43 可正常打开, 以维持 G(n)和 Q(n)在非充电时期的低电位。综上所述, 本发明可以通过低频时钟信号和高频时钟信号来准确控制 Q(n)电压, 能保证 GOA 充电信号的稳定输出。

参见图 3, 其为本发明用于液晶显示的 GOA 电路的多级架构示意图。图 3 给出了本发明的 GOA 电路的一种多级架构, 用于传递低频时钟信号 LC1 和 LC2、直流低电压 VSS、以及 CK1~CK4 的 4 个高频时钟信号的金属线放置于各级 GOA 电路 (具体连接方法参见图 1) 的外围。低频时钟信号 LC1、低频时钟信号 LC2 和直流低电压 VSS 分别可以通过各自的公共的金属线输入级联的多个 GOA 单元中。在此实施例中, 第 n 级 GOA 电路分别接受 LC1、LC2、VSS、CK1~CK4 中的 1 个 CK 信号、第 n-2 级 GOA 电路产生的 G(n-2)、第 n+2 级 GOA 电路产生的 G(n+2), 并产生 G(n)信号。图 3 所示的各级 GOA 电路间的连接方法可保证 GOA 信号可以逐级传递, 使得各级水平扫描线可以被逐级充电和放电。对于首、末端级联的 GOA 单元可以采用输入激活信号的方式来代替缺少的 G(n)信号输入。

本发明的 GOA 电路可以运用液晶显示面板的原有制程将面板水平扫描线的驱动电路制作在显示区周围的基板上, 使之能替代外接 IC 来完成平板显示面板各级水平扫描线的驱动。本发明尤其适合制作窄边框或无边框的液晶显示产品。

参见图 4, 其为应用了本发明用于液晶显示的 GOA 电路的液晶显示装置的结构示意图。图 4 中, 液晶显示装置具有显示基板 10, 显示基板 10 上方的驱动控制板 20 为显示基板 10 提供驱动和控制信号, 显示基板 10 左边区域 30 和右边区域 40 制作了 GOA 电路, 可从左边和右边两个方向驱动显示区域 50 的水平扫描线。GOA 电路接受驱动控制板 20 的输入信号并逐级产生水平扫描线的控制信号, 可以控制显示区域 50 中的像素逐行打开。

综上所述, 本发明的用于液晶显示的 GOA 电路及显示装置可以通过低频时钟信号和高频时钟信号来准确控制影响水平扫描线充电的薄膜晶体管栅极 Q(n)在充电时期及非充电时期的电压, 保证 GOA 充电信号的稳定输出; 运用本发明的 GOA 电路可以制作低成本的窄边框或无边框的液晶显示装置。

以上所述, 对于本领域的普通技术人员来说, 可以根据本发明的技术

方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种用于液晶显示的 GOA 电路，包括级联的多个 GOA 单元，按照第 n 级 GOA 单元控制对显示区域第 n 级水平扫描线充电，该第 n 级
5 GOA 单元包括上拉电路、下拉电路、下拉维持电路、上拉控制电路及自举电容，该上拉电路、下拉电路、下拉维持电路及自举电容分别与栅极信号点和该第 n 级水平扫描线连接，该上拉控制电路与该栅极信号点连接；

该下拉维持电路包括：

10 第一薄膜晶体管，其栅极连接第一电路点，漏极和源极分别连接该第 n 级水平扫描线和输入直流低电压；

第二薄膜晶体管，其栅极连接第二电路点，漏极和源极分别连接该第 n 级水平扫描线和输入直流低电压；

第三薄膜晶体管，其栅极连接该栅极信号点，漏极和源极分别连接该第一电路点和输入该直流低电压；

15 第四薄膜晶体管，其栅极连接该栅极信号点，漏极和源极分别连接该第二电路点和输入该直流低电压；

第五薄膜晶体管，其漏极和源极分别连接该栅极信号点和该第 n 级水平扫描线；

20 第六薄膜晶体管，其漏极和源极分别输入第 n 级时钟信号和连接该第五薄膜晶体管的栅极；

第七薄膜晶体管，其栅极输入第一时钟信号，漏极和源极分别连接该第六薄膜晶体管的栅极和该第一电路点；

第八薄膜晶体管，其栅极输入第二时钟信号，漏极和源极分别连接该第六薄膜晶体管的栅极和该第二电路点；

25 第九薄膜晶体管，其栅极输入该第一时钟信号，漏极和源极分别输入该第一时钟信号和连接该第六薄膜晶体管的栅极；

第十薄膜晶体管，其栅极输入该第二时钟信号，漏极和源极分别输入该第二时钟信号和连接该第六薄膜晶体管的栅极；

30 工作时，该第一时钟信号和该第二时钟信号的频率低于该第 n 级时钟信号，并且该第一时钟信号对该第一电路点的充电和该第二时钟信号对该第二电路点的充电交替进行。

2、如权利要求 1 所述的用于液晶显示的 GOA 电路，其中，该上拉电路包括：第十一薄膜晶体管，其栅极连接该栅极信号点，漏极和源极分别

输入该第 n 级时钟信号和连接该第 n 级水平扫描线。

3、如权利要求 1 所述的用于液晶显示的 GOA 电路，其中，该下拉电路包括：第十二薄膜晶体管，其栅极连接第 $n+2$ 级水平扫描线，漏极和源极分别连接该第 n 级水平扫描线和输入该直流低电压；第十三薄膜晶体管，其栅极连接该第 $n+2$ 级水平扫描线，漏极和源极分别连接该栅极信号点和输入该直流低电压。

4、如权利要求 1 所述的用于液晶显示的 GOA 电路，其中，该上拉控制电路包括：第十四薄膜晶体管，其栅极连接第 $n-2$ 级水平扫描线，漏极和源极分别连接该第 $n-2$ 级水平扫描线和该栅极信号点。

5、如权利要求 1 所述的用于液晶显示的 GOA 电路，其中，该第 n 级时钟信号的占空比为 40%。

6、如权利要求 1 所述的用于液晶显示的 GOA 电路，其中，该第一时钟信号通过公共的金属线输入所述级联的多个 GOA 单元。

7、如权利要求 1 所述的用于液晶显示的 GOA 电路，其中，该第二时钟信号通过公共的金属线输入所述级联的多个 GOA 单元。

8、如权利要求 1 所述的用于液晶显示的 GOA 电路，其中，该直流低电压通过公共的金属线输入所述级联的多个 GOA 单元。

9、一种用于液晶显示的 GOA 电路，包括级联的多个 GOA 单元，按照第 n 级 GOA 单元控制对显示区域第 n 级水平扫描线充电，该第 n 级 GOA 单元包括上拉电路、下拉电路、下拉维持电路、上拉控制电路及自举电容，该上拉电路、下拉电路、下拉维持电路及自举电容分别与栅极信号点和该第 n 级水平扫描线连接，该上拉控制电路与该栅极信号点连接；

该下拉维持电路包括：

第一薄膜晶体管，其栅极连接第一电路点，漏极和源极分别连接该第 n 级水平扫描线和输入直流低电压；

第二薄膜晶体管，其栅极连接第二电路点，漏极和源极分别连接该第 n 级水平扫描线和输入直流低电压；

第三薄膜晶体管，其栅极连接该栅极信号点，漏极和源极分别连接该第一电路点和输入该直流低电压；

第四薄膜晶体管，其栅极连接该栅极信号点，漏极和源极分别连接该第二电路点和输入该直流低电压；

第五薄膜晶体管，其漏极和源极分别连接该栅极信号点和该第 n 级水平扫描线；

第六薄膜晶体管，其漏极和源极分别输入第 n 级时钟信号和连接该第

五薄膜晶体管的栅极;

第七薄膜晶体管, 其栅极输入第一时钟信号, 漏极和源极分别连接该第六薄膜晶体管的栅极和该第一电路点;

5 第八薄膜晶体管, 其栅极输入第二时钟信号, 漏极和源极分别连接该第六薄膜晶体管的栅极和该第二电路点;

第九薄膜晶体管, 其栅极输入该第一时钟信号, 漏极和源极分别输入该第一时钟信号和连接该第六薄膜晶体管的栅极;

第十薄膜晶体管, 其栅极输入该第二时钟信号, 漏极和源极分别输入该第二时钟信号和连接该第六薄膜晶体管的栅极;

10 工作时, 该第一时钟信号和该第二时钟信号的频率低于该第 n 级时钟信号, 并且该第一时钟信号对该第一电路点的充电和该第二时钟信号对该第二电路点的充电交替进行;

其中, 该上拉电路包括: 第十一薄膜晶体管, 其栅极连接该栅极信号点, 漏极和源极分别输入该第 n 级时钟信号和连接该第 n 级水平扫描线;

15 其中, 该下拉电路包括: 第十二薄膜晶体管, 其栅极连接第 $n+2$ 级水平扫描线, 漏极和源极分别连接该第 n 级水平扫描线和输入该直流低电压; 第十三薄膜晶体管, 其栅极连接该第 $n+2$ 级水平扫描线, 漏极和源极分别连接该栅极信号点和输入该直流低电压。

20 10、如权利要求 9 所述的用于液晶显示的 GOA 电路, 其中, 该上拉控制电路包括: 第十四薄膜晶体管, 其栅极连接第 $n-2$ 级水平扫描线, 漏极和源极分别连接该第 $n-2$ 级水平扫描线和该栅极信号点。

11、如权利要求 9 所述的用于液晶显示的 GOA 电路, 其中, 该第 n 级时钟信号的占空比为 40%。

25 12、如权利要求 9 所述的用于液晶显示的 GOA 电路, 其中, 该第一时钟信号通过公共的金属线输入所述级联的多个 GOA 单元。

13、如权利要求 9 所述的用于液晶显示的 GOA 电路, 其中, 该第二时钟信号通过公共的金属线输入所述级联的多个 GOA 单元。

14、如权利要求 9 所述的用于液晶显示的 GOA 电路, 其中, 该直流低电压通过公共的金属线输入所述级联的多个 GOA 单元。

30 15、一种显示装置, 包括如权利要求 1 所述的用于液晶显示的 GOA 电路。

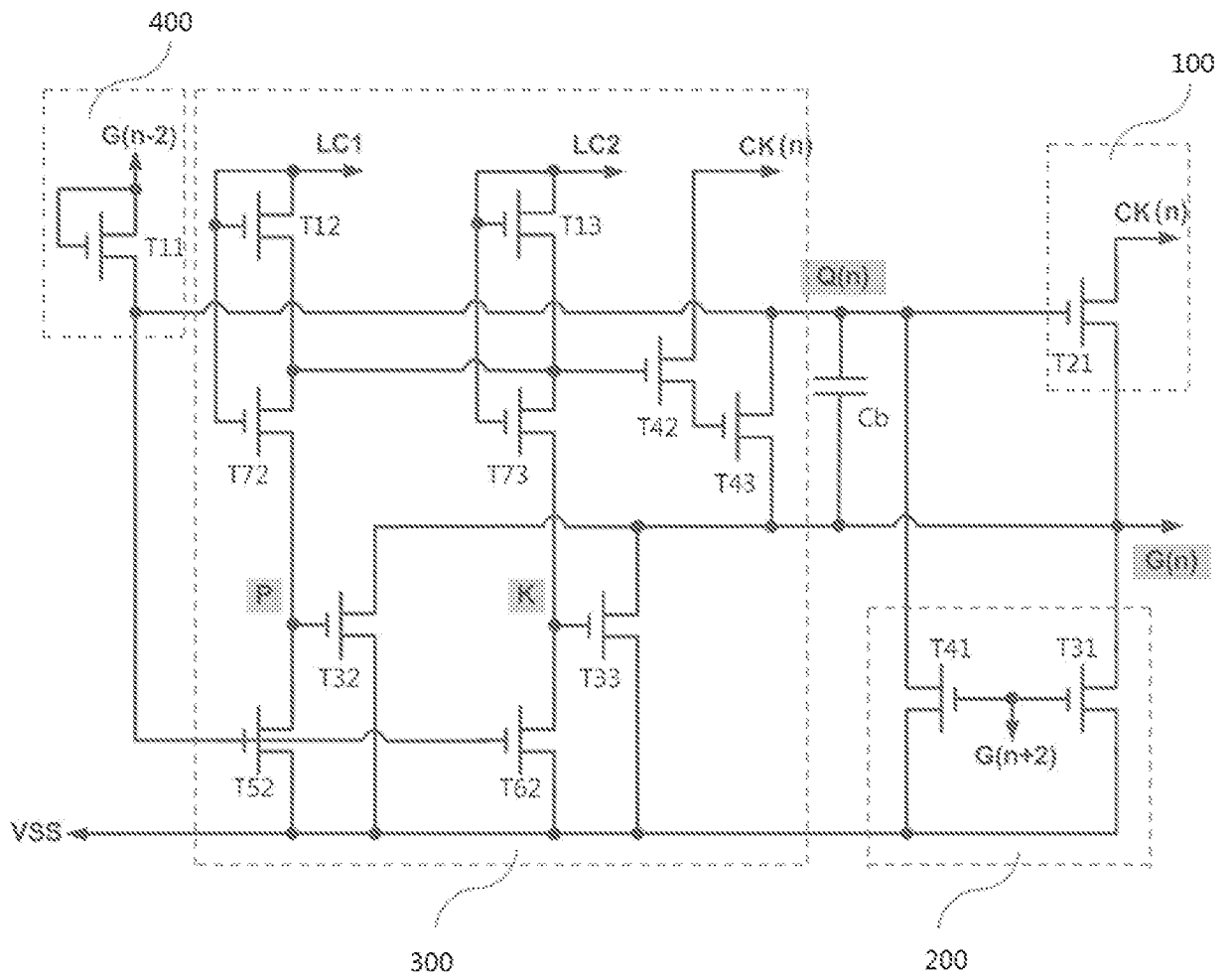


图 1

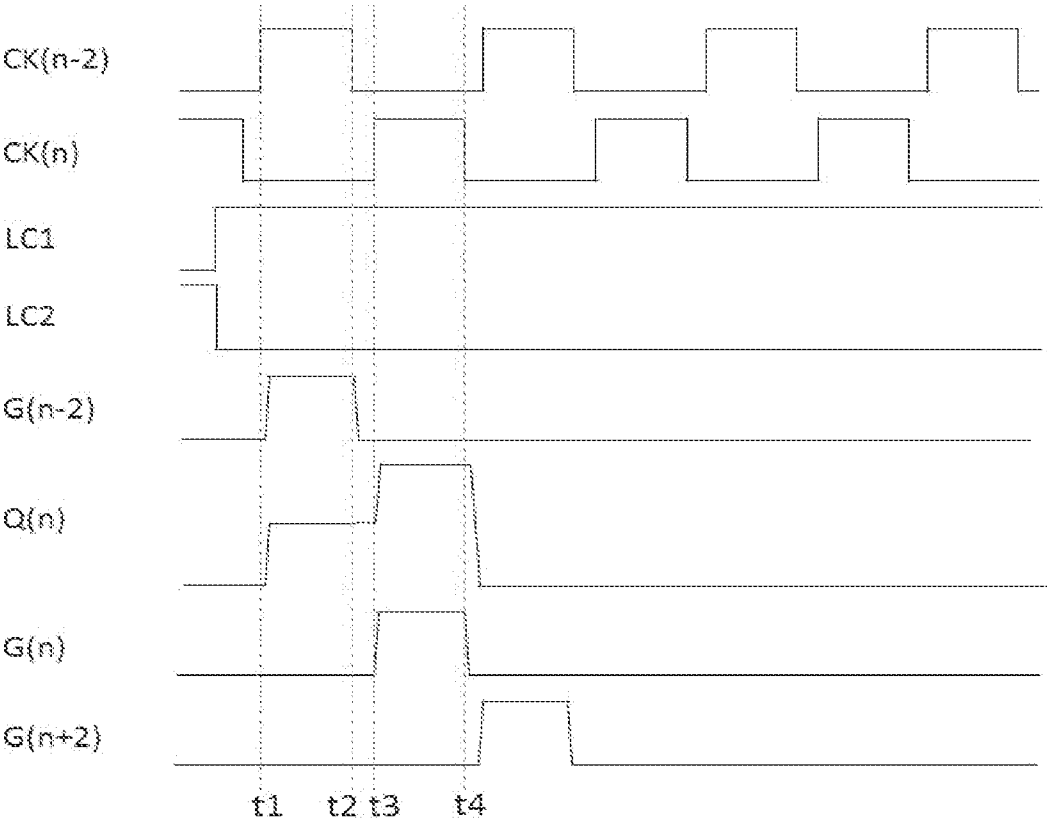


图 2

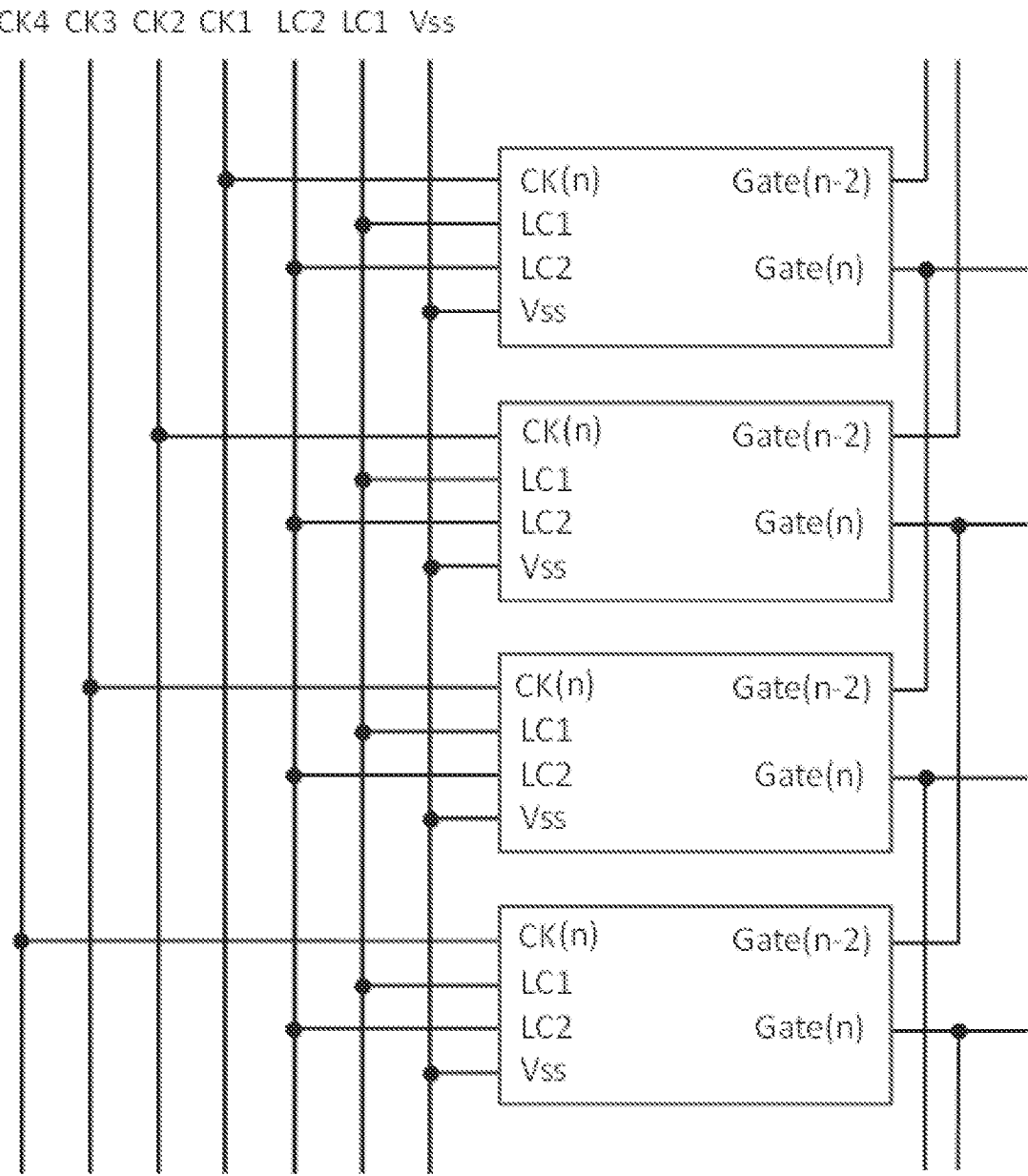


图 3

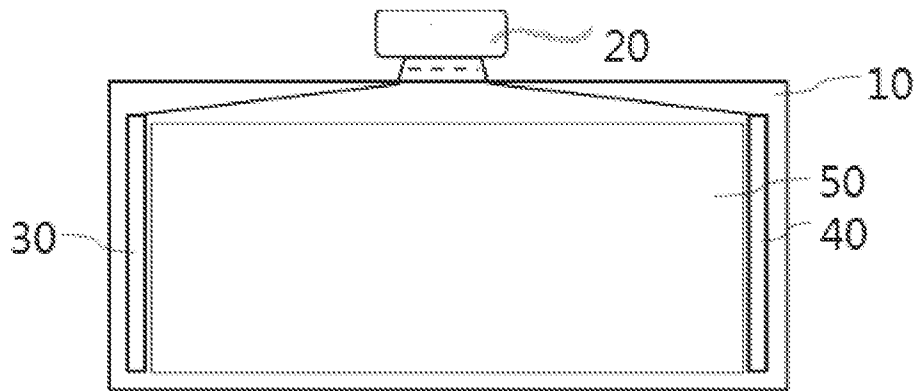


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/070115

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G,G02F,G09F,G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS,CNTXT,VEN:array,row,scan+,gate,horizontal+,driv+,GOA,ASG,GDM,GIP,GATE,BOAST+,TFT,transistor?,capacitor,panel,
driv+, monolith+, pull?up, pull+, up, down, pull?down, maintain+, sustain+, retain+, keep+, boot+, capacity+, frequent+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103310755 A (SHENZHEN CHINA STAR OPTOELECTRONICS TEC) 18 September 2013 (18.09.2013) description, paragraphs [0033] to [0052] and figures 2-6	1-15
A	CN 102651187 A (BOE TECHNOLOGY GROUP CO LTD) 29 August 2012 (29.08.2012) the whole document	1-15
A	CN 101552040 A (AU OPTRONICS CORP) 07 October 2009 (07.10.2009) the whole document	1-15
A	US 2010097368 A1 (HWANG IN-JAE) 22 April 2010 (22.04.2010) the whole document	1-15
A	TW 201123728 A1 (AU OPTRONICS CORP) 01 July 2011 (01.07.2011) the whole document	1-15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 August 2014	Date of mailing of the international search report 26 September 2014
---	---

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
LIU, Xue
Telephone No. (86-10) 62085841

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/070115

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20130062127 A (LG DISPLAY CO LTD) 12 June 2013 (12.06.2013) the whole document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/070115

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103310755 A	18 September 2013	None	
CN 102651187 A	29 August 2012	US 2012293737 A1	22 November 2012
		US 8532248 B2	10 September 2013
CN 101552040 A	07 October 2009	CN 101552040 B	13 April 2011
US 2010097368 A1	22 April 2010	US 8344991 B2	01 January 2013
		KR 20100042474 A	26 April 2010
TW 201123728 A1	01 July 2011	US 2011150169 A1	23 June 2011
		TWI 384756 B	01 February 2013
		US 8098791 B2	17 January 2012
KR 20130062127 A	12 June 2013	None	

国际检索报告

国际申请号

PCT/CN2014/070115

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G, G02F, G09F, G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT: 阵列, 行, 扫描, 栅, 水平, 驱动, GOA, ASG, GDM, GIP, GATE, ARRAY, 下拉, 下降, PULL, DOWN, UP, 维持, 保持, 上升, 抬升, 拉升, 抬高, 自举, 电容, BOAST, 频率VEN:GOA, ASG, GDM, GIP, GATE, level, driv+, ARRAY, BOAST+, TFT, transistor?, capacitor, panel, driv+, monolith+, pull?up, pull+, up, down, pull?down, frequen+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103310755 A (深圳市华星光电技术有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第[0033]段至第[0052]段、附图2-6	1-15
A	CN 102651187 A (京东方科技集团股份有限公司等) 2012年 8月 29日 (2012 - 08 - 29) 全文	1-15
A	CN 101552040 A (友达光电股份有限公司) 2009年 10月 07日 (2009 - 10 - 07) 全文	1-15
A	US 2010097368 A1 (HWANG IN-JAE) 2010年 4月 22日 (2010 - 04 - 22) 全文	1-15
A	TW 201123728 A1 (友达光电股份有限公司) 2011年 7月 01日 (2011 - 07 - 01) 全文	1-15
A	KR 20130062127 A (LG DISPLAY CO LTD) 2013年 6月 12日 (2013 - 06 - 12) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 8月 24日

国际检索报告邮寄日期

2014年 9月 26日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

受权官员

刘雪

传真号 (86-10)62019451

电话号码 (86-10)62085841

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/070115

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103310755	A	2013年 9月 18日	无			
CN	102651187	A	2012年 8月 29日	US	2012293737	A1	2012年 11月 22日
				US	8532248	B2	2013年 9月 10日
CN	101552040	A	2009年 10月 07日	CN	101552040	B	2011年 4月 13日
US	2010097368	A1	2010年 4月 22日	US	8344991	B2	2013年 1月 01日
				KR	20100042474	A	2010年 4月 26日
TW	201123728	A1	2011年 7月 01日	US	2011150169	A1	2011年 6月 23日
				TW	I384756	B	2013年 2月 01日
				US	8098791	B2	2012年 1月 17日
KR	20130062127	A	2013年 6月 12日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)