

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 21/00

H01L 21/20

# [12] 发明专利申请公开说明书

[21] 申请号 00103833.8

[43] 公开日 2001 年 2 月 28 日

[11] 公开号 CN 1285611A

[22] 申请日 1993.12.4 [21] 申请号 00103833.8

分案原申请号 93121667.2

[30] 优先权

[32] 1992.12.4 [33] JP [31] 350545/1992

[32] 1993.7.27 [33] JP [31] 204775/1993

[32] 1993.11.4 [33] JP [31] 298944/1993

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 张宏勇 鱼地秀贵 高山彻

福永健司 竹村保彦

[74] 专利代理机构 中国专利代理(香港)有限公司

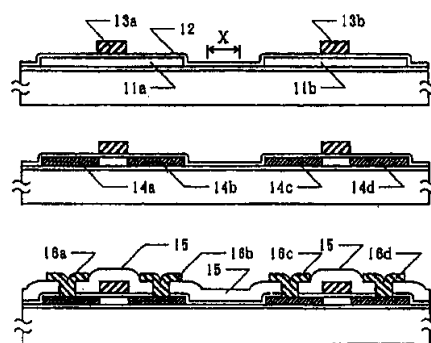
代理人 李亚非

权利要求书 5 页 说明书 30 页 附图页数 9 页

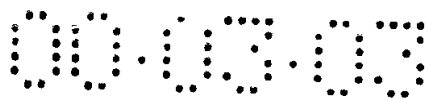
[54] 发明名称 半导体器件及其制造方法

[57] 摘要

一种制造半导体器件,例如薄膜晶体管的方法。在非晶硅膜之上或之下,选择形成岛状、线状、条状、点状或膜状的镍、铁、钴、钨、铈、钇、铪、钛、钒、铬、锰、铜、锌、金、银及其硅化物,得到结晶硅膜,再以它们作起始点,在低于普通非晶硅的结晶温度下退火使其结晶化。通过在将变成晶体管有源区的半导体层之上选择形成覆盖膜,然后再使其热结晶化,构成具有薄膜晶体管的动态电路的同时,得到漏电小和迁移率高的晶体管。

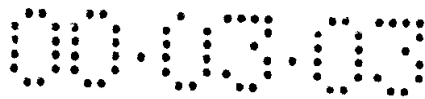


ISSN 1008-4274



## 权 利 要 求 书

1. 一种制造半导体器件的方法，其特征在于，它包括下列步骤：  
在整个衬底上形成非单晶、硅半导体膜；
- 5 制取含金属催化剂的物质与所述非单晶单导体膜接触；  
用金属催化剂晶化非单晶半导体膜；和  
半导体膜晶化之后减小半导体膜中金属的浓度。
2. 如权利要求 1 所述的方法，其特征在于，所述非单晶半导体膜  
用低压化学汽相淀积法制取。
- 10 3. 如权利要求 1 所述的方法，其特征在于，所述金属催化剂设在  
所述非单晶半导体膜下面。
4. 如权利要求 1 所述的方法，其特征在于，所述金属选自 Ni、Fe、  
Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au  
和 Ag 组成的金属群。
- 15 5. 一种制造半导体器件的方法，包括下列步骤：  
在整个衬底上形成非单晶、硅半导体膜；  
有选择地制取含金属催化剂的物质与所述非单晶半导体膜接  
触；  
用所述金属催化剂晶化所述非单晶半导体膜；  
20 半导体膜晶化之后除去膜中的金属；和  
在晶化过的半导体膜中形成所述半导体器件的有源区；  
其特征在于，一部分非单晶半导体膜沿平行于衬底表面的横向  
晶化，且所述金属在所述有源区的浓度不高于 1 原子%。
6. 如权利要求 5 所述的方法，其特征在于，所述非单晶半导体膜  
25 用低压化学汽相淀积法制取。
7. 如权利要求 5 所述的方法，其特征在于，所述金属选自 Ni、Fe、  
Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au  
和 Ag 组成的金属群。



8.如权利要求 5 所述的方法, 其特征在于, 清除金属的步骤在晶化过的半导体膜加热的过程中进行。

9.一种制造半导体器件的方法, 其特征在于, 它包括下列步骤:

在整个衬底上形成非单晶、硅半导体膜;

5 制取含金属催化剂的物质与所述非单晶半导体膜接触;

用所述金属催化剂晶化所述非单晶半导体膜;

晶化步骤之后, 在含氯的氛围中加热晶化过的半导体膜, 从而从晶化过的半导体膜中除去金属催化剂。

10.一种制造包括至少第一和第二薄膜晶体管的半导体器件的方法, 包括下列步骤:

在整个衬底上形成非单晶、硅半导体膜, 所述半导体膜具有起码第一和第二部位彼此相隔一段距离配置;

有选择地配置金属催化剂与所述非单晶半导体膜的所述第一和第二部位相接触;

15 加热所述非单晶半导体膜和所述催化材料使所述非单晶半导体膜从所述第一和第二部位晶化, 从而至少使所述第一晶化部位毗邻所述第一部位形成, 第二晶化部位毗邻所述第二部位形成, 在所述第一和第二晶化部位之间形成晶粒界面; 和

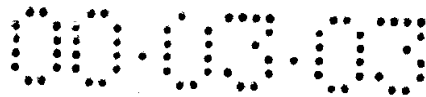
20 分别在所述第一和第二晶化部位中将晶化过的半导体膜绘制成所述第一和第二薄膜晶体管的起码第一和第二有源区的图形;

其特征在于, 所述图形绘制进行得使所述第一和第二有源区中没有所述晶粒界面。

11.如权利要求 10 所述的方法, 其特征在于, 所述催化材料由一种选自 Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、  
25 Cu、Zn、Au 和 Ag 组成的金属群金属组成。

12.如权利要求 11 所述的方法, 其特征在于, 所述金属在所述第一和第二有源区中的浓度不高于 1 原子%。

13.如权利要求 12 所述的方法, 其特征在于, 所述第一和第二有



源区含浓度不高于 5 原子%的氢。

14.如权利要求 10 所述的方法,其特征在于,所述第一和第二晶化部位分别从所述第一和第二部位延伸 20 至 200 微米的距离。

5 15.如权利要求 10 所述的方法,其特征在于,所述加热在等于或低于 580℃ 的温度下进行。

16.如权利要求 10 所述的方法,其特征在于,它还包括加热晶化过的半导体膜,以减小晶化过半导体膜中催化材料浓度的步骤。

17.如权利要求 16 所述的方法,其特征在于,晶化过的半导体膜在含氯的氛围中加热,以减小晶化过半导体膜中催化材料的浓度。

10 18.一种制造具有起码第一和第二薄膜晶体管的半导体器件的方法,其特征在于,它包括下列步骤:

在整个衬底上形成非单晶、硅半导体膜,所述半导体膜具有起码第一和第二部位彼此相隔一段距离配置;

15 有选择地配置催化材料与所述非单晶半导体膜的所述第一和第二部位接触,所述催化材料含对硅的晶化起促进作用的金属;

加热所述非单晶半导体膜和所述催化材料,使所述半导体膜晶化,同时使所述金属从所述第一和第二部位扩散遍整个所述半导体膜,从而使起码第一晶化部位毗邻所述第一部位形成,而第二晶化部位毗邻所述第二部位形成;

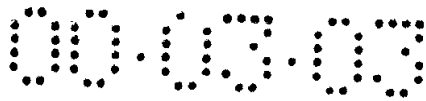
20 半导体膜晶化之后减小晶化半导体膜中所述金属的浓度;和

分别在所述第一和第二晶化部位中将晶化半导体膜绘制成所述第一和第二薄膜晶体管的起码第一和第二有源区。

19.如权利要求 18 所述的方法,其特征在于,所述第一和第二晶化部位分别从所述第一和第二部位延伸 20 至 200 微米的距离。

25 20.如权利要求 18 所述的方法,其特征在于,所述金属在所述第一和第二有源区的浓度不大于 1 原子%。

21.如权利要求 20 所述的方法,其特征在于,所述第一和第二有源区含浓度不大于 5 原子%的氢。



22.如权利要求 18 所述的方法,其特征在于,所述加热是在等于或低于 580℃ 的温度下进行的。

23.如权利要求 18 所述的方法,其特征在于,所述减小浓度的步骤是通过用酸处理晶化半导体膜进行的。

5 24.如权利要求 18 所述的方法,其特征在于,所述除去金属的步骤是通过在高于 400℃ 的温度下加热晶化半导体膜进行的。

25.如权利要求 18 所述的方法,其特征在于,所述除去金属的步骤是通过在含氯的氛围中加热晶化半导体膜进行的。

在衬底上形成非晶体,硅半导体膜;

10 26.一种制造半导体器件的方法,其特征在于,它包括下列步骤:  
在衬底上形成非晶体硅半导体膜;

配置催化材料与所述非晶体半导体膜接触,所述催化材料由对硅的晶化起促进作用的金属组成;

15 加热所述非晶体半导体膜和所述催化材料,使所述非晶体半导体膜晶化; 和

在含氯的氛围中加热所述晶化过的半导体膜,以便从中除去所述金属。

27.如权利要求 26 所述的方法,其特征在于,所述金属在所述晶化半导体膜中的浓度不高于 1 原子%。

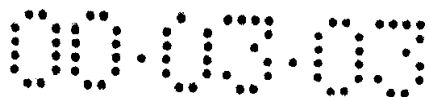
20 28.如权利要求 26 所述的方法,其特征在于,所述晶化半导体膜含浓度不大于 5 原子%的氢。

29.一种制造半导体器件的方法,其特征在于,它包括下列步骤:  
在整衬底上形成氢化的非晶体硅半导体膜;

25 配置催化材料与所述氢化非晶体半导体膜接触,所述催化材料由对硅的晶化起促进作用的金属组成;

在第一温度下加热所述氢化非晶体半导体膜,以减小所述非晶体半导体膜中的氢浓度; 然后

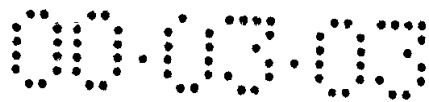
在高于所述第一温度的第二温度下加热所述晶体半导体膜和所



述催化材料使所述非晶体半导体膜晶化。

30.如权利要求 29 所述的方法进一步包括在含氯的氛围中加热晶化过的半导体膜，以从中除去所述金属的步骤。

31.如权利要求 29 所述的方法，其特征在于，所述金属在所述晶化半导体膜中的浓度不高于 1 原子%。



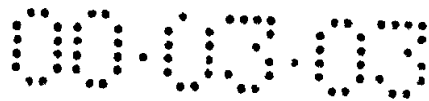
## 说明书

### 半导体器件及其制造方法

本发明涉及一种制造集成电路的方法，或者更具体地涉及包括具有矩阵结构的矩阵器件（包括电—光显示器和半导体存储器）和作为开关元件的MOS或MIS（金属—绝缘体—半导体）型场效应元件（下文一般称之为MOS型元件）的半导体电路，其特征在于它的动态工作，诸如液晶显示和动态RAM（DRAM）及其驱动电路或类似图像传感器的集成驱动电路。本发明特别涉及一种采用薄膜半导体元件，诸如形成于绝缘表面的薄膜半导体晶体管或类似物，如MOS型元件的器件，还涉及具有薄膜晶体管的、其有源层是用晶体硅形成的器件。

通常，用于薄膜器件，如薄膜绝缘栅型场效应晶体管（TFT）结晶硅半导体薄膜是用等离子CVD或热CVD方法形成的非晶硅膜在一种设备，如电炉中，在温度高于600℃经24小时以上进行结晶化的方法制备的。为了得到良好的特征，如高场迁移率和高可靠性，需要进行很多小时的热处理。

然而，通常的方法存在许多问题。问题之一是其生产率低，随之而来的是产品的成本变得高。例如，若花24小时作晶体化处理时，而若每片衬底花费2分钟时间处理，在相同的时间内，必须处理720片衬底。然而一个常用的管式炉一次最多能处理50片衬底，当仅用



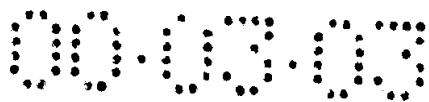
一个设备（反应管）时，每片花30分钟。即，为在2分钟处理1片，就必须用15个反应管。这意味着必须增加投资规模，那是因为投资被大幅度折旧，但不能在产品成本中反映出来。

另一个问题在于热处理的温度。一般，用于制造TFT的衬底大致分为由纯氧化硅组成的玻璃，如石英玻璃、非碱硼硅酸玻璃，诸如Coning No 7059（下文称之为Coning 7059）。在这些衬底中，前者就温度而言不成问题，因为它的耐热性好，因而能按与正常半导体集成电路的片子加工工艺相同的方式来操作，然而，它的成本高，并随衬底面积的增大而指数增加。所以，它仅被用作面积比较小的TFT集成电路。

另一方面，与石英玻璃相比，非碱玻璃的成本虽然十分低，但在耐热方面还存在问题。因为它的应变点一般在 $550\sim 650^{\circ}\text{C}$ ，对某些易于应用的材料，或低于 $600^{\circ}\text{C}$ 。当用 $600^{\circ}\text{C}$ 做热处理时，就会导致衬底出现不可逆的收缩或翘曲之类的问题。当衬底的对角线距离超过10cm时尤为显著。基于上述原因，人们认为必须保持热处理条件低于 $550^{\circ}\text{C}$ ，时间不超过4小时，以便降低硅半导体膜结晶化的成本。因而，本发明的一个目的是提供一种半导体的制造方法，其排除这些条件，以及采用这种半导体来制造半导体器件的方法。

近来，已进行有关具有薄膜有源层（或称为有源区）的绝缘栅型半导体器件的研究。特别是对薄膜绝缘栅晶体管或所谓的薄膜晶体管（TFT）做了热烈的研究。它们形成在透明的绝缘衬底上，用来控制每个图象和驱动它的在显示器件，如一个具有矩阵结构的液晶显示器中的矩阵，或用作一个同样形成于绝缘衬底上的图象传感器的驱动电路。根据所用的半导体的材料的晶体状态，它们被分成非晶硅TFT





或结晶硅（或称多晶硅）TFT。

最近，正开展利用介于多晶和非晶硅之间的中间态的材料的研究。虽然中间态尚处于讨论中，但所有那些用任何热处理（如用强能量，象激光辐照，在450°C以上的温度的退火）获得的某些晶体状态，在本说明书中被称为结晶硅。

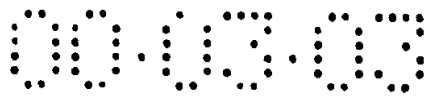
结晶硅TFT作为一个所谓的SOI技术远被用于单晶硅集成电路中，在高集成的SRAM中它被用作一个负载晶体管。然而，在这种情况下，很少用非晶硅TFT。

还有绝缘衬底上的半导体电路的工作速度可以很高，因为在衬底和布线之间没有电容耦合，因而提出一种技术，用它作很高速度的微处理机或很高速度的存储器。

一般，一个处于非晶态的半导体的场迁移率是低的，因而不能用于工作速度要求很高的TFT。还有，因为P型非晶硅的场迁移率显著的小，不能制成P型TFT（PMOS的TFT），因而，不能与N沟型TFT（NMOS的TFT）结合形成一个互补MOS电路（CMOS）。

然而，用非晶半导体形成的TFT有一个优点，OFF（关断）电流小。因而它可被用于：工作速度要求不是很高、仅一种导电类型即可、以及要求一个电荷保持能力高的TFT，如具有小矩阵规模的液晶显示的有源矩阵电路的晶体管。然而，将非晶硅TFT用于尖端应用，如具有大规模矩阵的液晶显示器中，是困难的。还有它自然不能用于显示的外围电路和要求工作速度高的图象传感器的驱动电路。

另一方面，结晶半导体的场迁移率大于非晶体半导体的迁移率，可以高速工作。例如，在由激光退火利用再结晶的硅膜制得的TFT中，得到地场迁移率有 $300 \text{ cm}^2 / \text{v} \cdot \text{s}$ 之大。由在正常单晶硅衬底上



形成的MOS晶体管的场迁移率大约是 $500\text{cm}^2/\text{v}\cdot\text{s}$ 来看，上面的迁移率则是一个极大的数值。但是，单晶硅上的MOS电路的工作速度受衬底与布线间的寄生电容所限，对用结晶化的硅膜制成的TFT来说，则没有这种限制，因为它是形成于绝缘衬底上的。所以在这种TFT中，可达到预期显著高的工作速度。

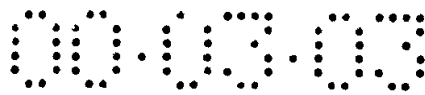
另外，因为不仅能得到NMOS TFT，而且同样还能得到 PMOS TFT，所以可以用结晶硅形成CMOS电路。例如，在有源矩阵系统的液晶显示器中，已知用CMOS结晶硅TFT可构成一个不仅具有有源矩阵部分，而且还有外围电路（如驱动器）的所谓的单片结构的系统。用于前述的SRAM的TFT正是所提示的这一点，其中的PMOS作为负载晶体管是由TFT构成的。

再有，用于单晶IC技术的自对准工艺，在正常非晶TFT中不易形成源/漏区，并且由栅极与源/漏区的几何重叠引起的寄生电容带来一个问题。但结晶硅TFT有显著压低这种寄生电容的优点，因为它可采用自对准工艺。

然而，当没有电压施加于栅极（非选时期）时，结晶硅TFT的漏电流，与非晶硅TFT的漏电流相比，是大的。但采取这样一种对策，提供一个辅助电容去补偿漏电流，并将两个TFT串联连接，减少它用于液晶显示时的漏电流。

例如，已经提出：先形成一非晶硅，再在其上选择地辐照激光，仅仅使外围电路结晶化的方法，以便在同一衬底上形成具有高迁移率的单片多晶硅TFT的外围电路，同时利用非晶硅TFT的高截止（OFF）阻抗。

然而，目前其产量还是低的，那是因为激光辐照工艺的可靠性尚



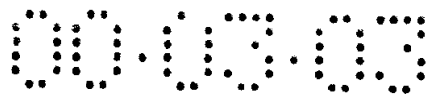
有问题（如在辐照表面内辐照能量的均匀度不好），因而终于采用一种用非晶硅TFT构成一个矩阵，再按TAB或类似方法连接单晶集成电路构成驱动电路的方法。然而，从连接的结构限制考虑，本方法要宽于0.1mm的象素间距，并且其成本也变得很高。

本发明想要解决这些难题，但不希望使工艺复杂化，最后降低成本率，提高成本。本发明想要容易地、区别对待地制造两种类型的TFT，即一种要求迁移率高的TFF和一种要求漏电流低的TFT，同时保持批量生产，并尽量减少工艺的改动。

另外，本发明的另一个目的在于减小CMOS电路中NMOS和PMOS迁移率的差值。NMOS和PMOS间差值的减小可增加电路设计的自由度。

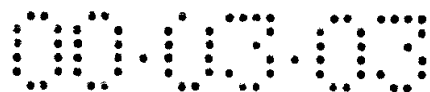
采用本发明的半导体电路不是万能的。即，本发明适合于利用电场作用改变透光率或反光率的那种材料，将材料夹在面对面的两电极间，并在电极间施加电场来显示图象的有源矩阵电路，如液晶显示器；在电容内存贮电荷用于保持记忆的存储器件，如DRAM；具有动态电路的电路，如动态移位寄存器，它用MOS晶体管的MOS结构部位的电容或其它电容驱动下一个电路；以及具有数字电路和控制模拟信号输出的电路，如图象传感器的驱动电路。本发明特别适合于动态电路和静态电路混合设置的一种电路。

本发明的特征在于：先在硅膜之上或之下形成含有由下列材料所组成的组中选出的一种材料的岛状膜、圆点、颗粒、团块或线条，再使其在低于仅仅一般非晶硅热处理过程中的结晶化温度做较短时间的退火，即可得到结晶硅膜，这些材料如下：镍、铁、钴、钨、铈、钇、铉、铪、铂、钽、钛、钒、钨、铬、锰、铜、锌、金和银，以及它们的组合物，



而硅膜处于非晶态或无序晶态（例如，一种结晶好的部分和非晶部分相混的状态），可以说基本上处于非晶态。退火可以在氢、氧或氮气氛下进行。退火可以按下列条件进行：(1)在含氧的气氛中加热A小时，然后在含氢的气氛中加热B小时；(2)在含氧的气氛中加热C小时，再在含氮的气氛中加热D小时；(3)在含氢的气氛中加热E小时，再在含氧的气氛中加热F小时；(4)在含氢的气氛中加热G小时，再在含氮的气氛中加热H小时；(5)在含氮的气氛中加热I小时，再在含氧的气氛中加热J小时；(6)在含氮的气氛中加热K小时，再在含氢的气氛中加热L小时；(7)在含氧的气氛中加热M小时，在含氢的气氛中加热N小时，然后在含氮的气氛中加热P小时；(8)在含氧的气氛中加热Q小时、在含氮的气氛中加热R小时，再在含氢的气氛中加热S小时；(9)在含氢的气氛中加热T小时，在氧气氛中加热U小时，再在含氮的气氛中加热V小时；(10)在含氢的气氛中加热W小时，在含氮的气氛中加热X小时，再在含氧的气氛中加热Y小时；(11)在含氮的气氛中加热Z小时，在含氧的气氛中加热A'小时，再在含氢的气氛中加热B'小时；或(12)在含氮的气氛中加热C'小时，在含氢的气氛中加热D'小时，再在含氧的气氛中加热E'小时。

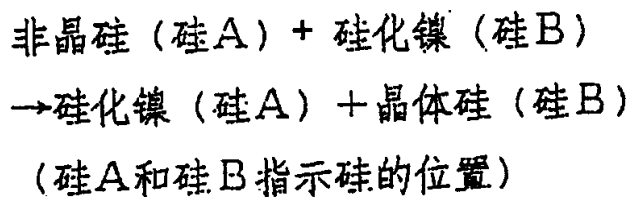
关于硅膜的结晶化，过去已经提出一种先形成作为晶核或籽晶的结晶的岛状膜，再使它固相外延生长（例如日本特开平1—214110）的方法。然而，在600°C的温度下，用此方法，可勉强生长晶体。一般，当硅从非晶态转变为结晶态时，它经受一个工艺过程，非晶态分子链被分开，并在把分开的分子置于不与其它分子耦合的状态之后，分子与某些结晶化的分子相结合，而再结合成为晶体的一部分。然而分离原始分子链并保持它们不与其它分子耦合的状态的能量，在



此工艺过程中是大的，它阻止了结晶化反应。为提供此能量，用1000℃的温度，需用数分钟，或用600℃的温度，需用数十小时。因为，时间与温度（=能量）有指数关系，例如，在低于600℃或在550℃，几乎一点看不到结晶化反应的进展。固相外延结晶化的概念对此问题也不能给予任何解答。

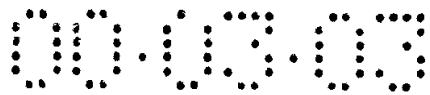
本发明的发明者考虑到，用某些催化作用来降低前述工艺过程中的阻止能量，它完全不同于常规的固相结晶化概念。本发明者提到：镍（Ni）、铁（Fe）、钴（Co）、钌（Ru）、铑（Rh）、钯（Pd）、锇（Os）、铱（Ir）、铂（Pt）、钪（Sc）、钛（Ti）、钒（V）、铬（Cr）、锰（Mn）、铜（Cu）、锌（Zn）、金（Au）以及银（Ag），易于与硅耦合。

例如，本发明者指出，就镍来说，它易于制成硅化镍（NiSi<sub>x</sub>, 0.4 < x < 2.5）其晶格常数接近硅晶体的晶格常数。那么，当模拟三元系—晶体硅·硅化镍·非晶硅中的能量和其它条件时，可以观察到，在与硅化镍的边界上，非晶硅易于反应，并大约发生下列反应：



阻止此反应的势能是非常低的，反应温度也是低的。此反应式指明，在非晶硅被镍转变为晶体硅时，进行该反应。可以发现，此反应实际上起始于580℃以下，即使在450℃也能观察到此反应。当然，温度越高，反应进展的速度越快。用上述的其它金属元素，也能看到相同的作用。

根据本发明，先形成一个至少含有Ni、Fe、Co、Ru、

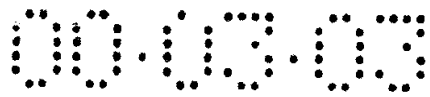


Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au以及Ag之中的一种元素的膜、颗粒或团块，如岛状、条状、线状、点状或膜状的镍或上述其它单纯金属衬底或它们的硅化物，用作起始点，再按上述反应，把那些金属元素从点扩展到四周，使晶体硅区域延展。另外，氧化物不适于作含有那些金属元素的材料，因为氧化物是一种稳定化合物，不能启动前述反应。

从一特定点延展的晶体硅的结构，虽然不同于常规固相外延生长，但它接近于单晶硅，结晶的连续性好，因而适宜用作半导体器件，如TFT。然而，当包括加速结晶化的前述金属如镍等材料被均匀设置于衬底上时，会出现无数个结晶化的起始点，因此难以得到结晶性良好的膜。

当氢在作为结晶化起始材料的非晶硅中的浓度更低些，所得到的结果更好些。然而，因为当结晶进展时，会释放出氢，故没有看出在所得到的硅膜内的氢浓度和作为起始材料的非晶硅中的氢浓度之间的清楚的相互关系。本发明的晶体硅中的氢浓度一般高于0.001at%，低于5at%。

虽然Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au以及Ag被用于本发明，但这些材料一般不适合作为半导体材料的硅，因而必须除去这些材料。关于镍，因为达到作为前述反应结果的结晶化的终止的硅化镍容易溶于氢氟酸或氢氯酸或它们的稀释液中，用那些酸处理，可使镍从衬底中减少。再有，在结晶化工艺终了之后，在含氯的气氛中，经400—600℃的处理，确实可减少那些金属元素，含氯物，如氯化氢、变化的氯化甲烷（ $\text{CH}_3\text{Cl}$ 、 $\text{CH}_2\text{Cl}_2$ 、 $\text{CHCl}_3$ ）、



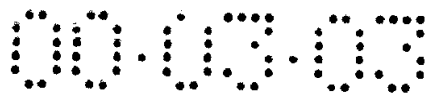
变化的氯化乙烷 ( $C_2H_5Cl$ 、 $C_2H_4Cl_2$ 、 $C_2H_3Cl_3$ 、 $C_2H_2Cl_4$ 、 $C_2HCl_5$ ) 或变化的氯化乙烯 ( $C_2H_3Cl$ 、 $C_2H_2Cl_2$ 、 $C_2HCl_3$ )。特别是三氯乙烯是一种容易使用的材料。Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au 以及 Ag 在本发明的硅膜中的浓度一般高于 0.005at%，低于 1at%。

在根据本发明为半导体元件，例如 TFT，制造的晶体硅膜的使用中，最好不在结晶的终端（也是从多个起始点开始的结晶化相互衔接的部位）制备半导体元件。从上面的说明可以明了，那是因为存在大的晶粒边界（晶性不连续的部位）并因为加速结晶化的金属元素，如镍的浓度高。所以，在利用本发明形成半导体元件时，必须选择最佳的包含将成为结晶化起始点并加速结晶的金属元素，如镍的被覆膜的图形和半导体元件的图形。

在本发明中，大致有两种方法将加速结晶化的金属元素制成图形。第一种方法是在形成非晶硅膜之间，将那些金属有选择地形成膜和类似物，第二种方法是在形成非晶硅膜之后，有选择地使那些金属形成膜和类似物。

第一种方法可用常规光刻法或剥离法来实现。第二种方法或多或少有些复杂。即，若所形成的加速结晶化的金属膜或类似物依附于非晶硅膜，当膜形成时，金属和非晶硅局部发生相互反应，产生硅化物。因而，当形成金属膜或类似物之后制成图形时，必须全面腐蚀硅化物层。

按第二种方法，剥离方法比较容易实施。在此情况下，有机材料，如光刻胶，或无机材料，如氧化硅或氮化硅可用作掩模材料。在选择



掩模材料时，必须考虑处理温度。另外，掩模的作用也因材料而异，必须全心关注它。特别是，如果膜不是充分的厚，用各种CVD方法形成的氧化硅或氮化硅膜会有许多针孔，因而结晶化可能是从不希望的部位展开。

一般地是在用这些掩模材料形成被覆膜之后，实施刻图，以便有选择地露出非晶硅的表面。然后，形成加速结晶化的金属膜或类似物。

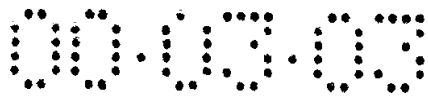
本发明中必须注意在硅膜中金属元素的浓度。再好莫过于金属含量小，但使含量总保持恒定也是至关重要的。那是因为，如果金属元素的含量有明显的起伏，将导致所制造的各批格点的结晶度的显著起伏。特别当要求金属元素的含量更小些时，就变得更难的小含量的起伏。

在第一方法中，因为选择形成的金属膜或类似物是被非晶硅膜覆盖的，则不能去掉后者去调节它的含量。依照本发明所要求金属元素的含量，金属膜或类似物的厚度薄到只有数 $\text{\AA}$ 至数十 $\text{\AA}$ 之薄，因而难以良好的再现性来形成该膜。

这同样适用于第二方法。不过，与第一种方法相比，第二种方法尚有改进的余地，因为在本方法中，加速结晶化的金属膜或类似物存在于表面。即，先形成一个足够厚的金属膜，在退火使非晶硅膜与金属膜局部发生反应，产生硅化物之前，在低于退火温度的温度下，实施一次热处理（预退火）。然后，腐蚀掉未经反应的金属膜。这虽然与所用的金属有关，特别是对Ni、Fe、Co、Ti和Cr没问题，因为，有一种对金属膜和硅化物的腐蚀速率都十分大的腐蚀剂。

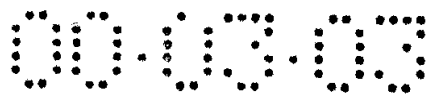
在此情况下，所得到的硅化物的厚度是由热处理（预退火）的温度和时间所决定的，而金属层的厚度几乎与它无关。因此，在非晶硅





膜中所引入的金属元素的微小含量是可控制。

本发明还应用，当半导体表面被氧化硅或氮化硅覆盖膜（保护膜）盖住时和使结晶硅TFT在450—1000℃最好在500—800℃在含氧、氢或氮的气氛中结晶化时表面未被覆盖时，结晶度存在差异的情况。该气氛可以是含氧的气氛，含氢的气氛，含氮的气氛、含氧和氢的气氛、含氧和氮的气氛、含氢和氮的气氛以及含氧、氢及氮的气氛。前述结晶化可按下列条件进行：(1)在含氧的气氛中加热A小时，然后在含氢的气氛中加热B小时；(2)在含氧的气氛中加热C小时，再在含氮的气氛中加热D小时；(3)在含氢的气氛中加热E小时，再在含氧的气氛中加热F小时；(4)在含氢的气氛中加热G小时，再在含氮的气氛中加热H小时；(5)在含氮的气氛中加热I小时，再在含氧的气氛中加热J小时；(6)在含氮的气氛中加热K小时，再在含氢的气氛中加热L小时；(7)在含氧的气氛中加热M小时，在含氢的气氛中加热N小时，然后在含氮的气氛中加热P小时；(8)在含氧的气氛中加热Q小时，在含氮的气氛中加热R小时，再在含氢的气氛中加热S小时；(9)在含氢的气氛中加热T小时，在含氧的气氛中加热U小时，再在含氮的气氛中加热V小时；(10)在含氢的气氛中加热W小时、在含氮的气氛中加热X小时，再在含氧的气氛中加热Y小时；(11)在含氮的气氛中加热Z小时，在含氧的气氛中加热A'小时，再在含氢的气氛中加热B'小时；或(12)在含氮的气氛中加热C'小时，在含氢的气氛中加热D'小时，再在含氧的气氛中加热E'小时。尤为可取的是(4)在含氢的气氛中加热G小时，再在含氮的气氛中加热H小时，(5)在含氮的气氛中加热I小时（例如4小时），再在含氧的气氛中加热J小时（例如1小时），或(6)在含氮的气氛中加热K小时（例如4小时），再在含氢的



气氛中加热L小时（例如1小时）。当存在覆盖膜时，一般来说结晶性是好的，因此可以得到高迁移率的TFT。然而，一般其漏电流变得显著。另一方面，无覆盖膜的TFT的优点在于漏电流小，可是结晶性不好，其迁移率低，因为它依温度实现非晶态。认为其特性是受渗入有源层的气氛中的氢、氧或氮所控制，结晶化可以在例如氮中，然后再在氢或氧中来实现。在同一衬底、同一时间以及同一工艺过程中形成特性不同的TFT。例如，前一种迁移率高的TFT可以用作矩阵中的驱动电路，而后一种漏电流小的TFT可以用作矩阵中的TFT。

与PMOS的迁移率相比，或者可以相对降低NMOS的迁移率，在CMOS电路中，靠优选的条件，在NMOS区上不设置保护膜，而在PMOS区上设备保护膜，几乎可以消除两者间的差别。

热结晶化的温度是个重要参数，而TFT的结晶性在本发明是由温度决定的。一般，热退火的温度是受衬底和其它材料限制的。就衬底材料的限制而论，当用硅和二氧化硅用作衬底时，热退火温度可高至1100℃。对于Coring 7059玻璃，一种典型的无碱玻璃，要求退火温度低于650℃。然而，在本发明基于上述原因，必须为每个TFT，而不是为衬底，设置所要求的重要特征。当退火温度高时，一般会促进晶体TFT的生长，迁移率提高，以及漏电流也提高。所以退火温度应为450~1000℃，最好是500~800℃，以便在同一个类似本发明的衬底上得到不同特征的TFT。

本发明的一个实施例是，在液晶显示器有源矩阵电路或类似电路的显示单元中，多晶硅TFT被用作开关晶体管，当使有源层结晶化时，在有源矩阵区不设置保护膜，另一方面，在外围电路区设置保护膜，使前者转变成漏电流小的TFT，使后者转变成迁移率高的TFT。

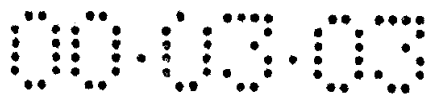


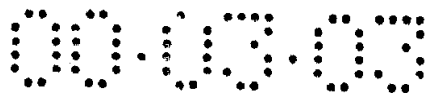
图8 (A) 表示如前面所述的具有一个显示电路部分 (有源矩阵) 和为它而设的驱动电器 (外围电路) 的一个装置的构思图。在图中, 表示一个显示装置, 其中安置一个数据驱动器101和门驱动器102, 中间安置一个具有TFT的有源矩阵103, 通过绝缘衬底107上的门线105和数字线106, 将这些驱动器部分与有源矩阵相连接。有源矩阵103是具有NMOS或PMOS-TFT的像素单元的集合 (图中的PMOS)。

对于驱动部分的CMOS电路, 在有源层内的杂质, 如氧、氮和碳的浓度最好是低于 $10^{18}/\text{cm}^3$ , 或优选低于 $10^{17}/\text{cm}^3$ , 以便获得高迁移率。其结果是, TFT的阈值电压, 例如在NMOS是 $0.5 \sim 2\text{V}$ , 在PMOS是 $-0.5 \sim -1\text{V}$ , 而迁移率在NMOS为 $30 \sim 150\text{cm}^2/\text{V}\cdot\text{s}$ , 在PMOS为 $20 \sim 100\text{cm}^2/\text{V}\cdot\text{s}$ 。

另一方面, 采用在 $1\text{V}$ 的漏电压下其漏电流低至 $1\text{pA}$ 的单个的或各个串联的元件, 能降低并能进一步完全消除有源矩阵部分的辅助电容。

本发明的第二个实施例涉及一个半导体存储器。一个用单晶IC制成的半导体存储器件早已达到其速度极限。虽然, 必须增加晶体管的电流容量, 以便使它以更高有速度工作, 这将导致功耗的进一步增加, 但不能以增加驱动电压来加以处理, 因为对DRAM (来说), 电容的容量不能再增加, 它是靠电容器中存储电荷来执行记忆功能的。

为什么说单晶IC已经达到了它的速度极限, 原因之一是因为由衬底和布线的电容带来很大的损耗, 如果用绝缘体做衬底, 无须增加功耗即能以足够高的速度工作。基于此原因, 已经提出一种具有SOI (在绝缘体上的半导体) 结构的IC。



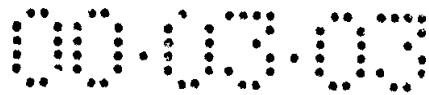
就1晶体管/单元的结构来说,一个DRAM的电路布局与前述的液晶显示装置的布局几乎相同。而在一个其结构不同于那种结构(例如3晶体管/单元)的DRAM中,当有源层晶体化时,在存储器存储单元(bit)部分不设置保护膜,相反,在驱动电路区域上设置保护膜,因为要求按照与前述液晶显示装置相同的方法,以足够高的速度工作,使前者转变为漏电流小的TFT,使后者转变为漏电流大的TFT。

这种半导体存储器件的基本组合结构与图8A所示的结构相同。例如,在DRAM中,标号(101)可以是一个列解码器,(102)是个行解码器,(103)是个存储元件部分,(104)是个单位存储单元(bit),(105)是位(bit)线,(106)是字线以及(107)是(绝缘)衬底。

本发明的第三个应用例是个用于图象传感器或类似器件的驱动电路,图8(B)表示图象传感器的1位(比特)电路的实例,其中的触发电路108和缓冲电路109一般由CMOS电路构成,并要求响应速度高,以便跟上施加给扫描线的高速脉冲。另一方面,位于信号输出级的TFT 110起一个控制作用,从移位寄存器108和109接收一个信号,经光电二极管,把积聚的电荷释放到数据线。

对该TFT 110不仅要求响应速度高,而且要求漏电流小。所以,在该电路中,在电路108和109区域结晶时要设置保护膜,使它转变为高迁移率的TFT。相反,在TFT 110区域结晶时不须设置保护膜,使它转变成低漏电流的TFT。

在本发明中,氧化硅、氮化硅或氧氮化硅( $\text{SiN}_x\text{O}_y$ )可用作覆盖膜。虽然膜越厚,覆盖性能越好,但必须权衡生产率和保护性



能，以便确定厚度，因为欲形成厚膜，则须花费时间。尽管覆盖性能随膜的质量而异，一般来讲，对氧化硅厚度必须大于 $20\text{ nm}$ ，对氮化硅厚度必须大于 $10\text{ nm}$ 。当综合考虑批量生产率和可靠性时，对氧化硅膜和氮化硅膜，其厚度最好都是 $20\sim 200\text{ nm}$ 。

本发明的上述和其它优点，通过下面的说明和附图，将变得更加清楚，在各个视图中，相同的标号代表相同的元部件。

图1 (A) ~ 1 (C) 是表示本实施例 (TFT的结晶与布局) 的顶视图；

图2 (A-1)、2 (A-2) 及2 (B) ~ 2 (D) 是表示实施例工艺 (选择结晶工艺) 的剖面图；

图3 (A) ~ 3 (C) 是表示该实施例 (见第一实施例) 工艺的剖面图；

图4 (A) ~ 4 (C) 是表示该实施例 (见第一实施例) 工艺的剖面图；

图5 (A) ~ 5 (C) 是表示该实施例 (见第二实施例) 工艺的剖面图；

图6 (A) ~ 6 (C) 是表示该实施例 (见第三实施例) 工艺的剖面图；

图7 (A) ~ 7 (E) 是表示该实施例 (见第四实施例) 工艺的剖面图；

图8 (A) 是当本发明被用于一有源矩阵装置之案例的方框图；

图8 (B) 是当本发明被用于一图象传感器的驱动电路的一个电路图；

图9 (A) ~ 9 (C) 是表示该实施例工艺的剖面图；

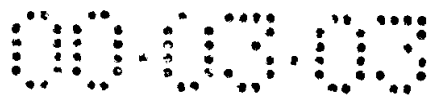


图10(A)~10(C)是表示该实施例工艺的剖面图；以及图11(A)~11(D)是表示该实施例工艺的剖面图。

### 实施例1

在本实施例中将介绍，用在Coning 7059玻璃衬底上形成的各个岛状镍膜作起始点，使非晶硅膜结晶化，用所得到的晶体硅膜制造TFT的方法。根据岛状镍膜是在非晶硅膜之上还是之下形成，则有两种形成岛状镍膜的方法。图2(A-1)表示在硅膜下形成镍膜的方法，而图2(A-2)表示在硅膜上形成镍膜的方法。对后一方法必须特别小心，因为在工艺中，有选择地腐蚀镍是在非晶硅膜的整个表面上形成镍之后，镍和非晶硅相互反应，尽管其量很少，将产生硅化镍。因为如果硅化镍照原样留下来，则不能得到好的结晶硅膜，本发明目的之在于，必须用氢氟酸或氢氟酸完全去掉硅化镍。因此，非晶硅从原始状态变薄些。

另一方面，对前一种情况，虽然没有引起这种问题，在此情况下，除岛状部分之外，也用腐蚀法完全去掉镍膜。用氧等离子或臭氧处理衬底，使岛区以外的镍氧化，可以排除残留镍的影响。

不论哪一种情况，均用等离子CVD方法，在衬底1A(Coning 7059)上形成厚度为2000Å的底层氧化硅膜1B。用等离子CVD方法或真空CVD法制备非晶硅膜1，厚200~3000Å，优选500~1500Å。基350~450℃退火0.1~2小时去氢，把膜内氢的浓度保持在5at%以下之后，容易使非晶硅膜结晶化。

就图2(A-1)而论，是在形成非晶硅膜1之前，用溅射法使



镍膜堆积到 $50-1000\text{\AA}$ ，优选 $100-500\text{\AA}$ ，再刻图形成岛状镍区2。

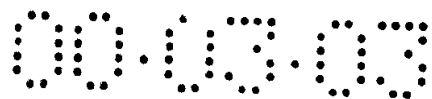
就图2 (A-2) 而论，则相反，是在形成非晶硅膜1之后，用溅射法使镍膜堆积到 $50-1000\text{\AA}$ ，优选 $100-500\text{\AA}$ ，再刻图形成岛状镍区2。图1 A表示上述的状态。

每个岛区镍是 $2 \times 2\mu\text{m}$ 的方形，间隔设定为 $5-50\mu\text{m}$ 或例如 $20\mu\text{m}$ 。用硅化镍代替镍，也取得了同样的效果。当要形成镍时，将衬底加热至 $100-500^\circ\text{C}$ ，优选 $180-250^\circ\text{C}$ ，能得到良好的结果。那是因为改进了底层硅化镍层与镍膜的粘附，还因为由氧化硅与镍反应产生硅化镍，用氮化硅、碳化硅或硅代替氧化硅也能得到相同的效果。

然后在氮气气氛中在 $450-580^\circ\text{C}$ 或例如在 $550^\circ\text{C}$ 退火8小时。这退火也可以在氮和氢混合气氛中进行。或者，此退火可以在氢气气氛中进行X1小时，然后在氮气气氛中进行X2小时。图2 (B) 表示此工艺的中间状态，其中的镍从岛状镍区2推进到靠近中心的边缘，成为硅化镍3A，镍已通过的部位3已变成晶体硅。然后如图2 (C) 所示，从两个岛状镍膜起始的结晶化衔接，而硅化镍3A留在中间，从而结晶化结束。

图1 (B) 表示从上看此状态中的衬底，其中图2 (C) 中的硅化镍是晶间的边界4。当继续退火时，镍沿晶间边界4移动，聚集岛状镍区的中间区5 (虽然在此状态下未保持它们原来的形状)。

用上述工艺可以得到晶体硅，但不希望镍从在此时产生的硅化镍扩散到半导体涂覆膜中。最好用氢氟酸或氢氟酸腐蚀，消除镍高度集聚的区域。再有，因为镍和硅化镍的腐蚀速度十分大，在用氢氟酸或



氢氟酸腐蚀时，硅膜不受影响。同时去掉原设置镍的生长点的区域。图2 (D) 表示腐蚀后的状态。原来是晶间边界的部位转变为一个槽4A。这对形成半导体TFT的区域（有源层或类似层）是不希望的，以致要收缩该槽。如图1 (C) 所示，不使半导体区6跨过晶间边界4来布局TFT。即，在平行衬底的水平方向，不在涂覆膜的厚度方向，在镍作用下的晶体生长区内形成TFT。应均匀安排晶体生长方向，还应尽量缩小残留的镍。另一方面，栅线7可以跨越晶间边界4。

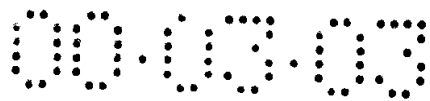
图3和图4表示用上述工艺得到的晶体硅制作TFT的方法实施例。在图3 (A) 中，中间的标号字符X指示图2中原来是槽4A的地方，如图所示。在布局半导体TFT区域时，不能跨过X部位。即将图2所示工艺所得到晶体硅膜构图形成岛状半导体区11a和11b。然而，用诸如RF等离子CVD、ECR等离子CVD或溅射形成作为栅绝缘膜的氧化硅膜12。

进一步，用真空CVD方法掺杂 $1 \times 10^{20} \sim 5 \times 10^{20} / \text{cm}^3$ 的磷，形成厚 $3000 \sim 6000 \text{ \AA}$ 的多晶硅膜，然后将它构成图（图3 (A)），形成栅电极13a和13b。

然后，用等离子掺杂方法掺入杂质。至于掺杂气体，对N型TFT，使用磷化氢（ $\text{PH}_3$ ），对p型TFT，使用乙硼烷（ $\text{B}_2\text{H}_6$ ）。对磷化氢加速电压是 $80 \text{ KeV}$ ，对乙硼烷是 $65 \text{ KeV}$ 。在 $550^\circ\text{C}$ 退火4小时，激活杂质，以形成杂质区14a到14b。用光能，如激光退火或闪光灯退火的方法，也可以用于激活（图3 (B)）。

最后，淀积一层厚 $5000 \text{ \AA}$ 的氧化硅膜作为层间绝缘体15，与正常制作TFT的情况类似，通过该层形成接能孔，在源和漏区形成布线和电极16a~16d。





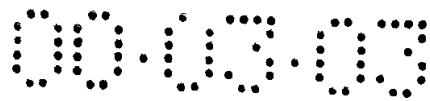
TFT (图中N沟型) 就是按上述工艺制备的。所得到的TFT的场效应迁移率, 在N沟型是 $40 \sim 60 \text{ cm}^2/\text{V} \cdot \text{s}$ , 在P沟型是 $30 \sim 50 \text{ cm}^2/\text{V} \cdot \text{s}$ 。

图4表示如何制备铝栅TFT的工艺。在图4(A)中, 中间的标号字符X指明原是图2中槽4A的地方。对半导体TFT区域的设置不应跨过X部位。即, 将按图2所示工艺得到的晶体硅膜3构图形成岛状半导体区21a和21b。然后, 用诸如RF等离子CVD、ECR等离子CVD或溅射方法形成作为栅绝膜的氧化硅膜22。当用TEOS(四乙氧硅烷)和氧化原始气体掺杂等离子CVD方法时, 能得到满意的效果。然后, 溅射淀积含1%硅的铝膜(厚 $5000 \text{ \AA}$ ), 再构图形成栅导线和电极23a和23b。

接着, 将衬底浸入3%酒石酸的乙烯乙二醇溶液中, 设置镍作为阴极, 铝线作阳极, 再在二者间通以电流, 实施阳极氧化。起初按 $2 \text{ V}/\text{分}$ 增高其电压来施加电流, 当达到 $220 \text{ V}$ 时, 将电压固定。当电流变成小于 $10 \mu\text{A}/\text{M}^2$ , 停止通电, 结果, 如图4(A)所示形成厚 $2000 \text{ \AA}$ 的阳极氧化层24a和24b。

然后用等离子体掺杂方法掺入杂质。关于掺杂气体, 对N型TFT用磷化氢( $\text{PH}_3$ ), 对P型TFT用乙硼烷( $\text{B}_2\text{H}_6$ )。附图表示N型TFT。对磷化氢加速电压是 $80 \text{ KeV}$ , 对乙硼烷是 $65 \text{ KeV}$ 。用激光退火激活杂质, 形成杂质区25a至25d。所用的激光是KrF激光(波长 $248 \text{ nm}$ ), 用能量密度为 $250 \sim 300 \text{ mJ}/\text{cm}^2$ 的激光脉冲辐照5次(图4(B))。

最后, 淀积厚 $5000 \text{ \AA}$ 的氧化硅膜, 作为层间绝缘体26, 类似于正常制备TFT的情况, 通过该层形成接触孔, 以便形成源和漏



区的布线和电极27a~27d (图4(C))。

所得到的TFT的场迁率是, 在N沟型为 $60\sim 120\text{cm}^2/\text{V}\cdot\text{s}$ , 在P沟型TFT为 $50\sim 90\text{cm}^2/\text{V}\cdot\text{s}$ 。在用此种TFT制作的移位寄存器中, 确认在17V的漏电压, 工作在6MHz, 在20V漏电压工作在11MHz。

### 实施例2

图5表示一种制作铝栅TFT的情况, 与图4所示相似。然而, 在此实施例中, 非晶硅被用作有源层。如图5(A)所示, 在衬底31上淀积一层厚 $2000\sim 3000\text{\AA}$ 的非晶硅膜33。在非晶硅膜中可以混入适量的P型或N型杂质。按上所述形成岛状镍或硅化镍涂覆膜34A和34B, 在此状态下, 在 $550^\circ\text{C}$ 退火8小时, 或在 $600^\circ\text{C}$ 退火4小时, 使非晶硅膜横向生长而结晶化。

然后, 将如此得到的晶体硅膜构成如图5(B)所示的图形, 此时, 因为在图中的中部(镍或硅化镍膜34A和34B之间的中间部位)的硅膜含有大量有镍, 实施刻图时, 要去掉此部位, 以形成岛状硅区35A和35B。然后, 在其上再淀积基本上本征的非晶硅膜36。

此后, 如图5(C)所示, 用诸如氮化硅或氧化硅之物质形成一层涂覆膜, 作这栅绝缘膜37。用铝形成栅电极38, 再用与图4情况相同的方法实施阳极氧化。然后用离子掺杂方法扩散杂质, 以形成杂质区39A和39B。然后再淀积层间绝缘体40, 形成接触孔以及在源的漏区形成金属电极41A和41B, 完成TFT。该TFT的特征在于, 在源和漏部位的半导体膜是厚的, 其阻抗是小的。其结果, 降低了源和漏区的阻抗, 改进了TFT的特征。再有, 接触可能

容易形成接触孔。

### 实施例3

图6表示制作CMOS型TFT的工艺过程。如图6(A)所示,在衬底51上淀积一底层氧化硅膜52,再在其上淀积一层厚1000~1500Å的非晶硅膜53。然后如上所述,形成岛状镍或硅化镍涂覆膜54,在此状态在550℃实施退火。硅化镍区55沿涂覆膜的平面方向,而不是厚度方向移位,以此工艺推进结晶化。退火4小时,使非晶硅膜变成如图6(B)所示晶体硅。硅化镍区59A和59B随着结晶化的推进被推向边缘。

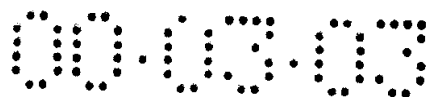
将如此得到的晶体硅膜构图形成如图6(B)所示的岛状硅区56。这里应特别小心,镍被高度集聚在岛区的两端。在形成岛状硅区之后,形成栅绝缘膜57以及栅电极58A和58B。

然后,用离子掺杂方法扩散杂质形成N型杂质区60A和P型杂质区60B,如图6(C)所示。此时,可以用磷作为N型杂质(掺杂气体是磷化氢 $\text{PH}_3$ )进行掺杂,用60~110KeV的加速电压使掺杂遍布整个表面,然后用光刻胶覆盖N沟型TFT区,之后再,例如,用硼作为P型杂质(掺杂气体是乙硼烷 $\text{B}_2\text{H}_6$ ),再用40~80KeV的加速电压进行掺杂。

掺杂后,用类似于图4情况的激光辐照,使源和漏区激活。然后,再淀积层间绝缘体61形成接触孔以及在源和漏区形成金属电极62A、62B和62C,制成TFT。

### 实施例4

图7表示第四个实施例。本实施例涉及一种方法,其中,用第一



次热处理（预退火）使镍膜与非晶硅膜的一部分反应，在去掉未反应的镍膜后，再退火使非晶硅膜化，产生硅化物。

用溅射法在衬底（Coning No 7059）701上形成一底层氧化硅膜702（厚2000Å）。然后，形成一层厚300~800Å，例如厚500Å的硅膜703。再用等离子CVD法形成一层氧化硅膜704。该氧化硅膜704用作掩膜材料，其厚度优选在500~2000Å。若太薄，因针孔使结晶化从意外的地方展开，若太厚，为形成厚膜要花更多时间，这不适于批量生产。因而这里设在1000Å。

之后，用公知的光刻工艺，将氧化硅膜704构图。然后用溅射法形成一层镍膜705（厚500Å）。镍膜705的厚度最好比100Å厚〔图7（A）〕。

然后，使它在氮气气氛内，在250~450℃（一种预退火工艺）退火10~60分钟。例如，在450℃退火20分钟。结果，在非晶硅内形成一层硅化镍706。该层的厚度由预退火的温度和时间决定，而几乎与镍膜的厚度无关（图7（B））。

之后，腐蚀该镍膜。硝酸或氢氟酸溶液适用于此腐蚀。在用这些腐蚀剂腐蚀镍膜过程中，硅化镍层几乎不被腐蚀。在本实施例中，使用一种在硝酸中加入作为缓冲剂的乙酸的腐蚀剂。其配比是：硝酸：乙酸：水=1：10：10。在去掉镍膜之后，在550℃退火4~8小时（一种结晶化退火工艺）。

在结晶化退火工艺中，试过数种方法。第一种方法，如图7（C）所示，在实施此工艺时，同时保留掩膜材料704。结晶化按图7（C）箭头所指方向推进。第二种方法是在去掉所有的掩膜露出硅膜之后进行退火。第三种方法是在去掉掩膜材料之后，在硅膜上形成由氧化硅或

氮化硅组成的作为保护膜的新的涂覆膜707之后，进行退火，如图7(D)所示。

虽然第一种方法简单，但掩模材料704的表面在预退火步骤与镍的反应，并在更高温度的结晶化退火工艺中变成硅化物，几乎不能腐蚀。即，因为硅膜和掩模材料704的腐蚀速率几乎相等，为掩模材料去掉后，硅膜被露出的部位也大量被腐蚀，在衬底上产生台阶。

第二种方法很简单，很容易进行腐蚀，因为在结晶化退火工艺之前，掩模材料与镍的反应轻微。然而，当进行结晶化退火时，硅表面完全被暴露，后来制造的TFT或类似物的特性要变坏。

虽然第三种方法可以稳定地得到优质晶体硅膜，但很复杂，因为增加一些工艺过程。至于第四种方法，是第三种方法的一种改型，该方法包括：在硅表面被暴露的状态下，放入一个炉内，先通氧在 $500 \sim 550^{\circ}\text{C}$ 加热大约1小时，以便在表面形成厚 $20 \sim 60 \text{ \AA}$ 的薄氧化硅膜，作为对结晶化退火条件的探讨改为通氮。根据该方法，在结晶化起始阶段形成氧化膜。但在此氧化阶段只在硅化镍膜的附近被结晶化，后来将用作TFT的区（图中右侧部位），没有被结晶化。因此在远离硅化镍层706的区域硅膜的表面是很平坦的。特性比第二种方法改进许多，与第三种方法几乎相等。

晶体硅膜是这样得到的。从此以后，将硅膜703构图，同时去掉镍浓度高的部位（设置生长起始区的区域）和生产点（在图中箭头末端的斜线部位），同时只保留镍浓度低的区域。按上所述，形成将用于TFT有源层的岛状硅区708。然后用等离子CVD形成厚 $1200 \text{ \AA}$ 由氧化硅构成的栅绝缘膜709，覆盖住区域708。再用厚 $6000 \text{ \AA}$ 的掺磷硅膜形成栅电极710和第一层的布线711，

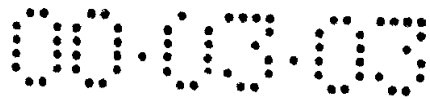
用栅电极710作掩模，以自对准方式，将杂质注入有源层708，形成源/漏区712。然后用可见或近红外强光辐照，对改进结晶化是有效的。再用等离子CVD法形成厚6000Å的氧化硅膜做层间绝缘体713。最后，在层间绝缘体中制出接触孔，再用厚6000Å的铝膜形成第二布线714、源/漏电极兼布线715。以上述的工艺完成TFT（图7（E））。

### 实施例5

图9表示本实施例。在本实施例中，在TFT型液晶显示装置的有源矩阵区和外围电路中，形成多晶硅TFT。

首先，在有耐热性质的玻璃衬底如石英玻璃120上，用溅射法，淀积厚20~200nm的一底层氧化膜121。再用甲硅烷或乙硅烷作原材料，用等离子VCD法或真空CVD法，在其上淀积30~50nm的非晶硅膜。这里，氧或氮在非晶硅膜中的浓度低于 $10^{16}/\text{cm}^3$ ，最好低于 $10^{17}/\text{cm}^3$ 。本实施例中，将氧的浓度设置在低于 $10^{17}/\text{cm}^3$ 。用溅射法在非晶硅膜上形成厚100—150nm的氧化硅膜或厚30—100nm的氮化硅膜作为覆盖膜。然后构图，仅留下外围电路区域的覆盖膜122。然后，在含20—100vol%的氧或氢的氩或氮的气氛中（600℃）保存4—100小时，使它结晶。结果，外围电路区的硅膜123A的结晶性是好的，而象素区的硅膜123B的结晶性不好。图9（A）示出此状态。

接下来，将硅膜构成如图9（B）所示的用于形成外围电路TFT区124A和用于形成象素TFT区124B的岛状。然后用溅射法或类似方法形成栅氧化膜125。这可用TEOS（四乙氧硅烷）的



等离子CVD法代替溅射法形成。当用TEOS形成该膜时，最好在形成当中或之后，在高于650°C的温度退火0.5—3小时。

在此之后，用LPCVD法形成厚0.2—2 $\mu\text{m}$ 的N—型硅膜，并将它构成图形，在每个岛区形成栅电极126A—126C。具有较好耐热性能金属材料，诸如钽、铬、钛、钨和钼可用来代替。

然后，用栅电极部分作掩模，以自对准方式，用离子掺杂法，把杂质注入每个TFT的岛状硅膜。此时，首先采用磷化氢( $\text{PH}_3$ )作掺杂气体，把磷注入整个表面，然后用光刻胶覆盖图中右侧的岛区124A和矩阵区，之后采用乙硼烷( $\text{B}_2\text{H}_6$ )作掺杂气体，把硼注入到左侧的岛区124A。磷的剂量设置为 $2-8 \times 10^{15}/\text{cm}^2$ ，而硼的剂量是 $4-10 \times 10^{15}/\text{cm}^2$ ，因此硼的剂量应超过磷的剂量。这样就产生一个P型区127A和N—型区127B及127C。

在550和750°C间的温度退火2—4小时进行激活它。本实施例中，在600°C进行热退火24小时。该退火工艺激活了离子注入区。

用激光退火可以完成此工艺。因为用激光退火时，对衬底的热损伤小，所以可以用普通无碱玻璃，例如，Conign7059。另外，可用耐热性差的材料如铝作栅电极材料。按上述的工艺产生了P型区127A及N—型区127B和127C。这些区的薄层电阻是 $200-800\Omega/\square$ 。

此后，用溅射法在整个表面形成厚300—1000nm的氧化硅膜，作为层间绝缘体128。这可以用等离子CVD法形成的氧化硅膜。用等离子CVD法，特别是用TEOS作原材料，可以得到阶梯覆盖良好的氧化硅膜。

然后用溅射法产生一层ITO膜，再构图形成像素电极129。

在TFT源/漏(杂质区)产生接触孔,以形成氮化钛或铬制成的布线130A-130E。

图9(C)表示用左侧的NTFT和PTFT产生反向器电路。布线130A-130E可以是氮化钛或铬为底层的铝多层布线,以便降低薄层电阻。最后,在氢气中,在200-350℃退火0.5-2小时,以减少硅有源层的悬空键。外围电路和有源矩阵电路可一起集成。在本实施例中,在外围电路部,典型的迁移率对NMOS为 $80\text{cm}^2/\text{V}\cdot\text{s}$ ,对PMOS为 $50\text{cm}^2/\text{V}\cdot\text{s}$ ,而在像素TFT(NMOS)中,迁移率是 $5-30\text{cm}^2/\text{V}\cdot\text{s}$ 。

### 实施例6

图10表示本实施例。在本实施例中,采用本发明减少CMOS电路中的NMOS和PMOS的迁移率之差。

首先,用溅射法在Coring 7059衬底131上淀积厚20-200nm的底层氧化膜132。用甲硅烷或乙硅烷作原材料,用等离子CVD法或真空CVD法,再在其上淀积厚50-250nm的非晶硅膜。在非晶硅膜中氧或氮的浓度底低于 $10^{16}/\text{cm}^3$ 或最好低于 $10^{17}/\text{cm}^3$ 。为此目的,真空CVD法是适宜的。本发明中,氧浓度被设置为低于 $10^{17}/\text{cm}^3$ 。

在PMOS区上设置覆盖膜133(厚50-150nm的氧化硅膜)。然后在氩气或在含50%以上的氧或氢的氮的气氛中,在600℃退火4-100小时使之结晶化。其结果,在覆盖膜之下的区域134A的结晶性虽好,但无覆盖膜的区域134B结晶性却不好。图10(A)表示出此种状态。

接着,将硅膜构成岛状,以便形成PMOS区135A和NMOS区135B,构图10(B)所示。



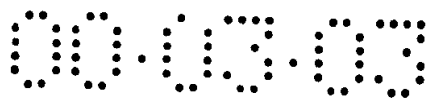
然后用溅射法形成厚 $50-150\text{ nm}$ 的氧化硅膜125, 覆盖这些岛区作为栅绝缘膜136。然后用溅射法形成厚 $0.2-2\mu\text{m}$ 的铝膜, 并构图形成栅电极。在电解液中给它输送电能, 在栅电极之上和侧面形成阳极氧化膜。用上述的工艺在每个岛状区形成栅电极部分137A和137B。

然后, 用离子掺杂法, 用栅电极部分作掩膜以自对准方式, 将杂质注入每个TFT的岛状硅膜。此时, 首先用磷化氢( $\text{PH}_3$ )作掺杂气体, 把磷注入整个表面, 用光刻胶仅覆盖图中的岛区135B, 用乙硼烷( $\text{B}_2\text{H}_6$ )作掺杂气体, 将硼注入岛区135A。磷的剂量设置为 $2-8 \times 10^{15} / \text{cm}^2$ , 硼的剂量设置为 $4-10 \times 10^{15} / \text{cm}^2$ , 以使硼的剂量超过磷的剂量。

虽然掺杂过程破坏了硅膜的结晶性, 但它的薄层电阻仍可保持在 $1\text{ K}\Omega / \square$ 左右。然而, 若此种程度的薄层电阻还高, 再在 $600^\circ\text{C}$ 退火2-4小时, 可降下薄层电阻。用强光或激光辐照可得到相同效果。

这样就形成了P型区138A和N-型区138B。这些区的薄层电阻为 $200-800\Omega / \square$ 。然后用溅射法在整个表面上形成厚 $300-1000\text{ nm}$ 的氧化硅膜作层间绝缘体139。这可以用等离子CVD法形成的氧化硅膜。用等离子CVD方法特别是用TEOS作原材料, 可得到阶梯覆盖良好的氧化硅膜。

然后在TFT的源/漏(杂质区)形成接触孔, 以形成铝布线140A-140D。最后, 在氢气中在 $250-350^\circ\text{C}$ 的温度退火2小时, 以减少硅膜的悬空键。用上述工艺得到的TFT的典型迁移率, 对PMOS和NMOS均为 $60\text{ cm}^2 / \text{v} \cdot \text{s}$ 。当用本发明的



工艺制作移位寄存器时，证实在20V的漏电压下，工作在10MHz以上。

### 实施例7

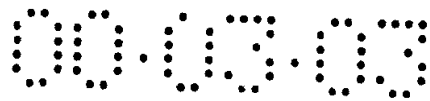
图11表示本实施例。本实施例涉及晶体管和硅电阻相结合的电路。用杂质掺杂的硅可用作晶体管的保护电路。首先，用溅射法在Coring 7059衬底140上淀积厚20—200nm的底氧化膜。在其上，再用等离子CVD法或真空CVD法，以甲硅烷或乙硅烷作原材料，淀积厚100—250nm的非晶硅膜。这里，在非晶硅膜中，氧或氮的浓度层低于 $10^{18}/\text{cm}^3$ ，或最好低于 $10^{17}/\text{cm}^3$ 。

淀积厚20—200nm的氧化硅覆盖143，并在氩或氮的气氛中，在600°C退火4—100小时，使其结晶化。图11(A)表示出此状态。

下面，将硅膜构成岛状，以形成晶体管区144A和电阻区144B，如图11(B)所示。然后用溅射法形成厚50—150nm的氧化硅膜覆盖那些岛区作栅绝缘膜145。然后，用溅射法形成厚0.2—2 $\mu\text{m}$ 的铝膜，再构图形成栅电极。给在电解液内的铝膜输送电能，在栅电极的上部和侧面形成阴极氧化膜。用上述的工艺，在每个岛区上，形成栅电极部分146。

然后，用栅电极部分作掩膜，以自对准方式，用离子掺杂法，把杂质，如磷注入到每个TFT的岛状硅膜。磷的剂量为 $2-8 \times 10^{15}/\text{cm}^2$ 。

用上述的掺杂工艺形成杂质区147A和147B。因为相同的杂质量被注入到两个掺杂区，当按照实际的要求热退火时，它们表示



出相同的电阻率。然而，情况却是，例如当对后者要求较高的电阻时，而前者反倒要求较低的电阻。然后，仅在晶体管区，如图11(C)所示，形成厚50—150 nm的氧化硅覆盖膜148。然后在含大于50 vol%的氧或氢的氮或氩的气氛中，在550—650°C的温度，退火4—20小时。可用磷化氢代替氧或氢。然而，退火温度最好低于800°C，因为倘若退火温度太高，磷化氢将被热分解，并扩散到半导体中，反而降低了电阻率。当杂质的电阻区是P—型时，可以用乙硼烷( $B_2H_6$ )。

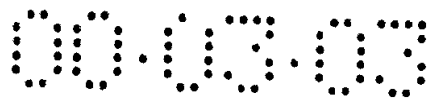
用上面的工艺，当晶体管的杂质区的薄层电阻是20—800  $\Omega/\square$ 时，电阻的杂质区的薄层电阻是2K—100K  $\Omega/\square$ 。用溅射法在整个表面上形成厚300—1000 nm的氧化硅膜，作为层间绝缘体149。这可以用等离子CVD法形成的氧化硅膜。用等离子CVD法，特别是用TEOS作原材料，可以得到覆盖阶梯良好的氧化硅膜。

在TFT的源/漏(杂质区)形成接触孔，以形成铝布线150A—150C。最后，在氢气中在250—350°C温度退火0.5—2小时，以便减少硅膜悬空键。经上述工艺可区分其厚度相同，杂质注入量相同的区域的薄层电阻。

如上所述，在某种意义上说，本发明是个划时代的发明，这促进了非晶硅在较低温度和较短时间实现结晶化，并为工业提供不可估量的效益，因为所用的设施、仪器和技术很普通的，而对批量生产则是极为优良的。虽然在前述的实施例中，着重对镍进行了解释，而同样的工艺可适用于另一些加速结晶化的金属元素，例如Fe、Co、Ru、

Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au和Ag中的任一元素。

例如，假定处理一片衬底须花两分钟，而在常规固相生长方法中



需要15个退火炉，因为至少需要24小时的退火。本发明可使退火炉的数减到小于 $1/6$ ，因为退火时间可缩短到4小时或更短的时间。由于衬底加工成本的下降，以及TFT成本的下降，以此生产率的提高、设备投资的降低以及因此而来的新需求的上升。所以，本发明对工业是很有利的，理所当然地应获得专利。

另外，本发明以TFT有源层结晶条件的最小改动—有或者无覆盖膜，解决了常规的结晶硅TFT生产工艺中的难题。

本发明尤其可改进动态电路和具有该电路的装置的可靠性和性能。一般，虽然对液晶显示的有源矩阵来说，结晶硅TFT的ON/OFF比是低的，并无论如何均难以投入实用，本发明认为这类问题已被解决。虽然未以实施例表明，很清楚，当实施本发明时，将TFT用作实施立体单晶半导体集成电路的装置会是有效的。

例如，可用半导体电路知单晶半导体上做成外围逻辑电路，并通过层间绝缘体中介物，在其上设置TFT，来构成存储元件部分。在此情况下，存储元件部分可以是利用本发明的TFT的DRAM电路，而它们驱动电路是由被做成单晶半导体电路的CMOS构成。再有，当此种电路被用于微处理机时，可节省其面积，因为可把存储器部分在上层制造，认为本发明对工业是很有用的发明。

虽然参照其优选实施例已特别表示和介绍了本发明，但本领域的技术人员应了解到，在形式和细节上可以进行上述的和其它的变化，仍不应脱离本发明的精神和范畴。

说明书附图

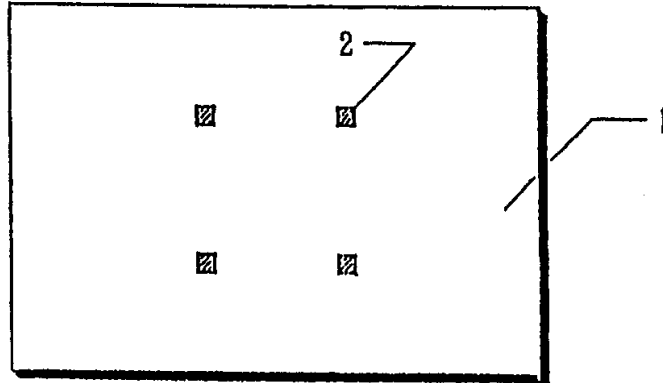


图 1(A)

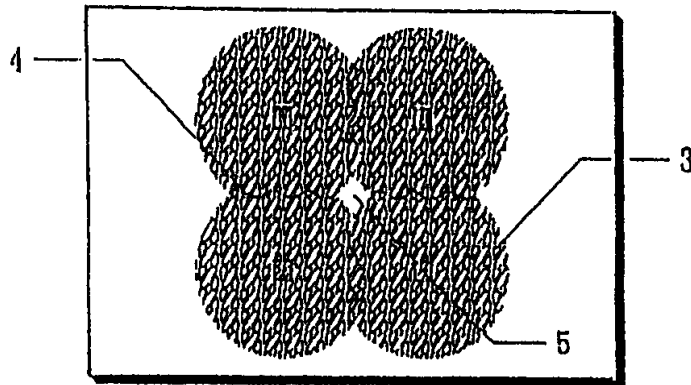


图 1(B)

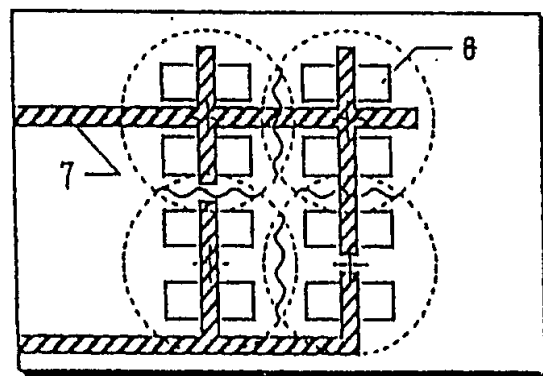


图 1(C)

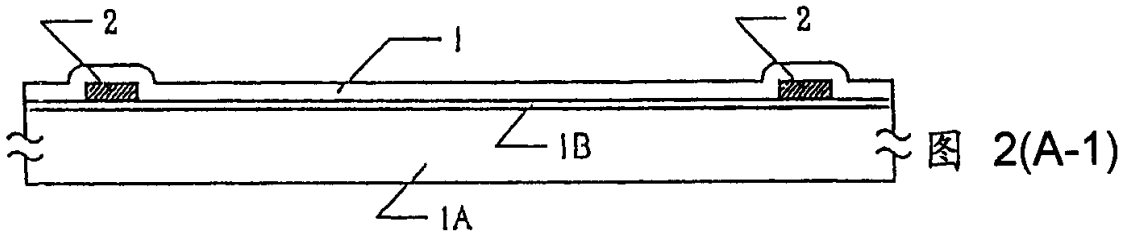


图 2(A-1)

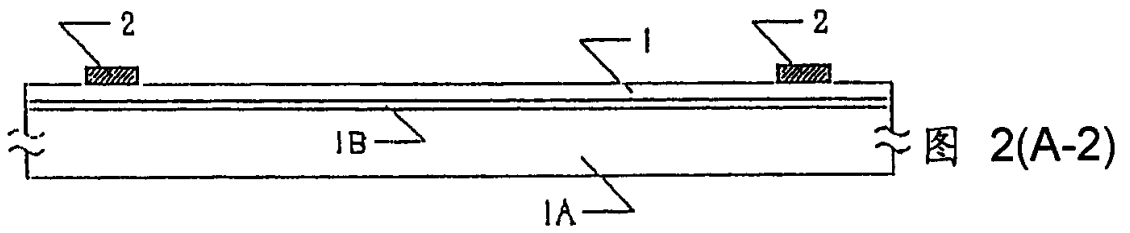


图 2(A-2)

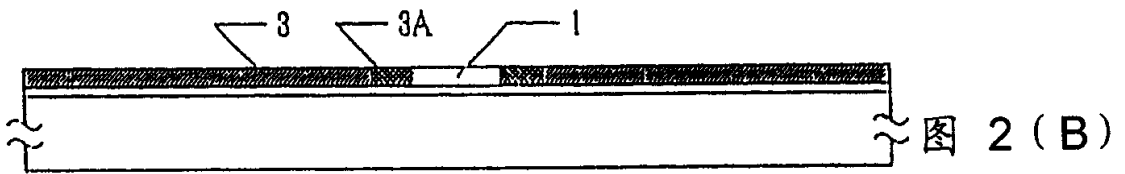


图 2(B)

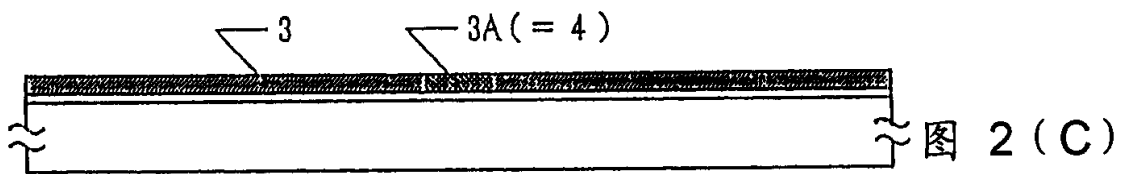


图 2(C)

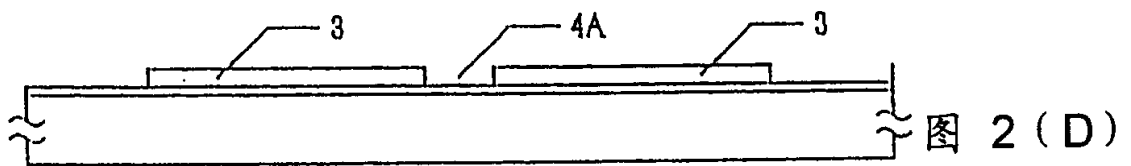


图 2(D)

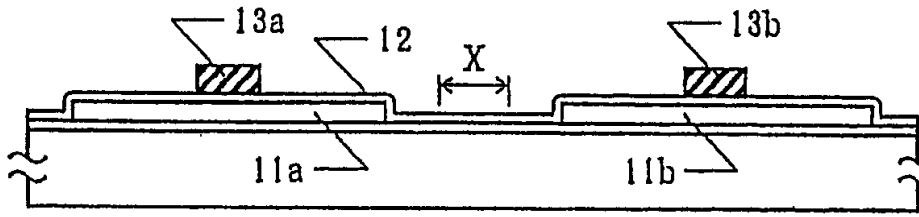


图 3 (A)

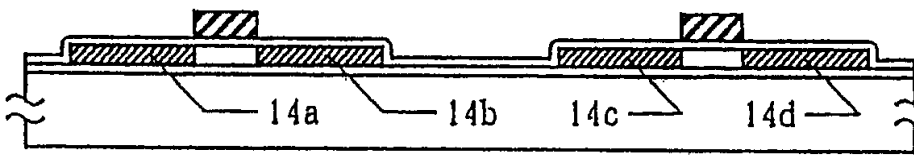


图 3 (B)

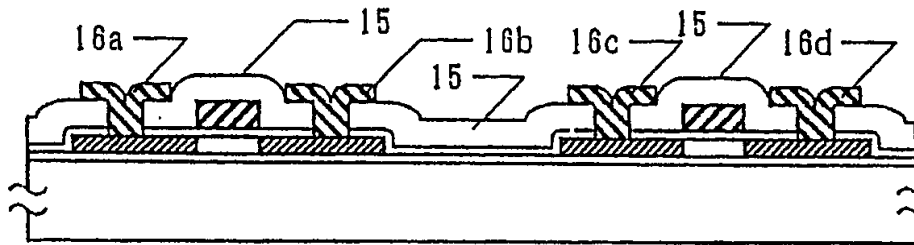


图 3 (C)

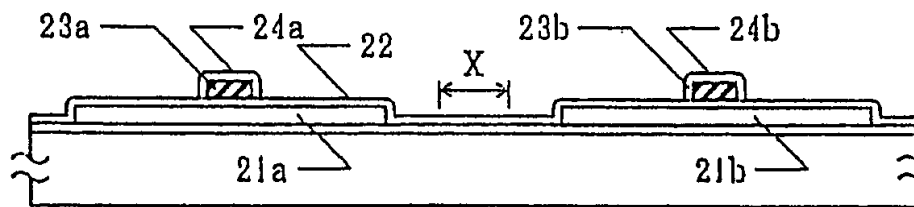


图 4 (A)

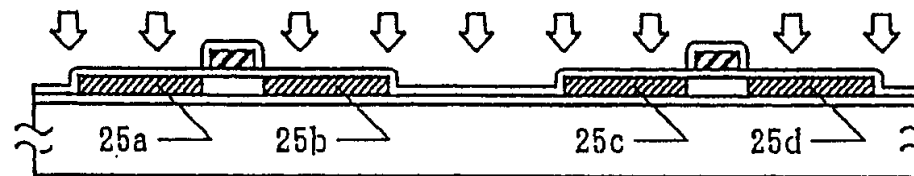


图 4 (B)

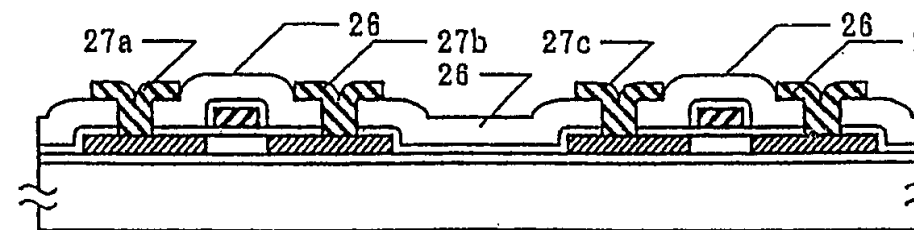


图 4 (C)

\*

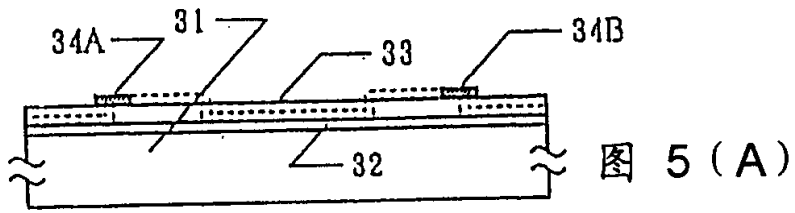


图 5 (A)

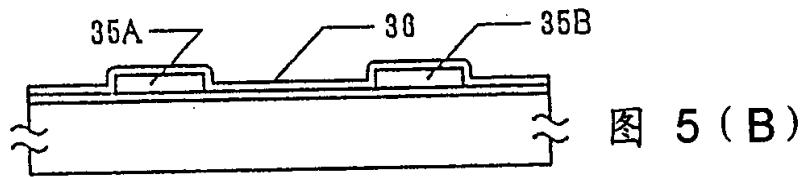


图 5 (B)

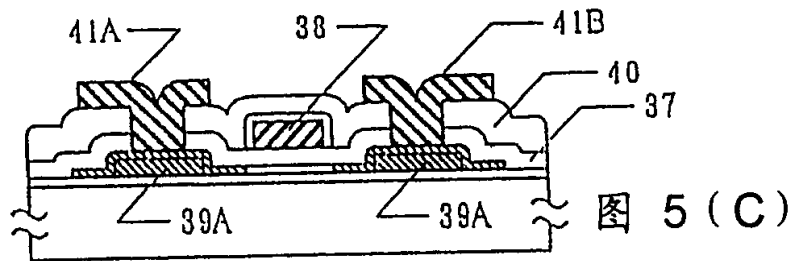


图 5 (C)

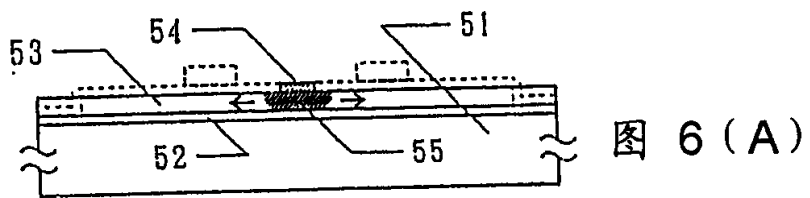


图 6 (A)

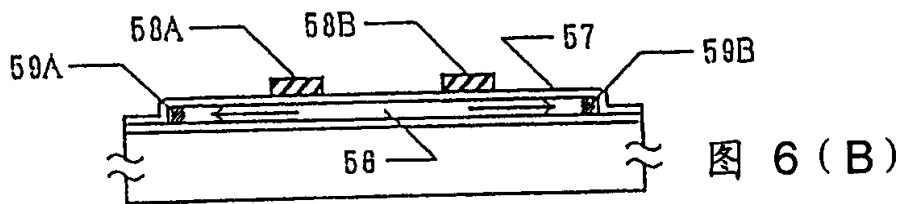


图 6 (B)

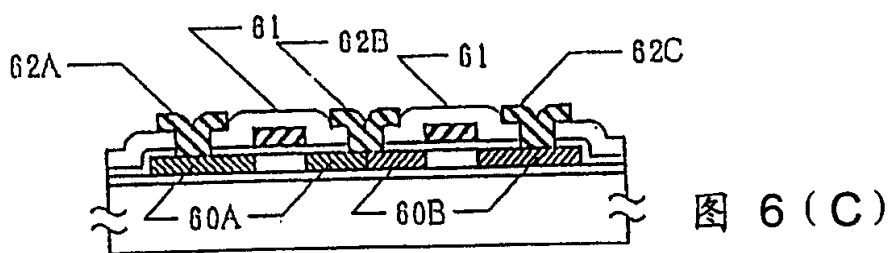


图 6 (C)



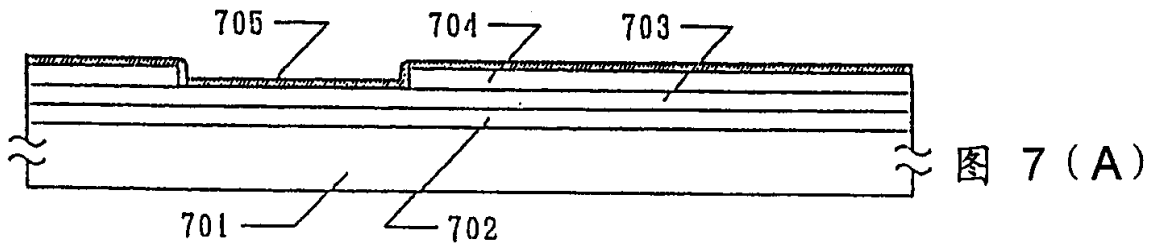


图 7 (A)

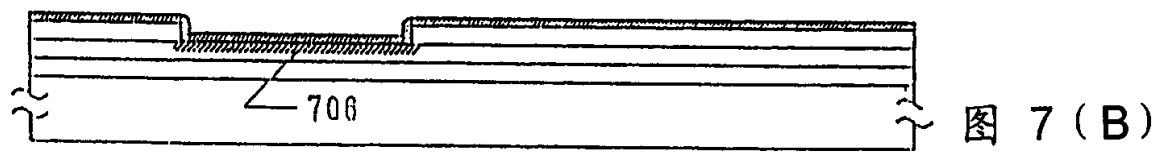


图 7 (B)

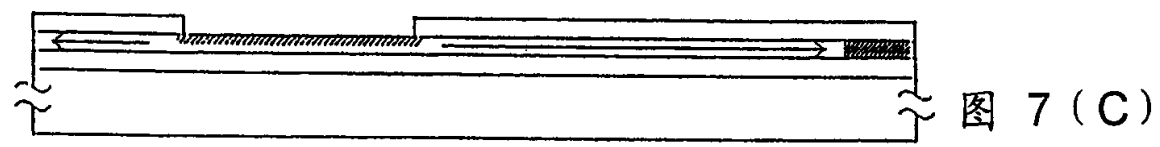


图 7 (C)

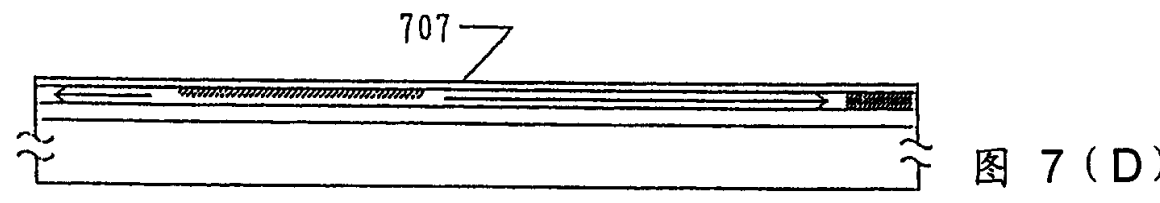


图 7 (D)

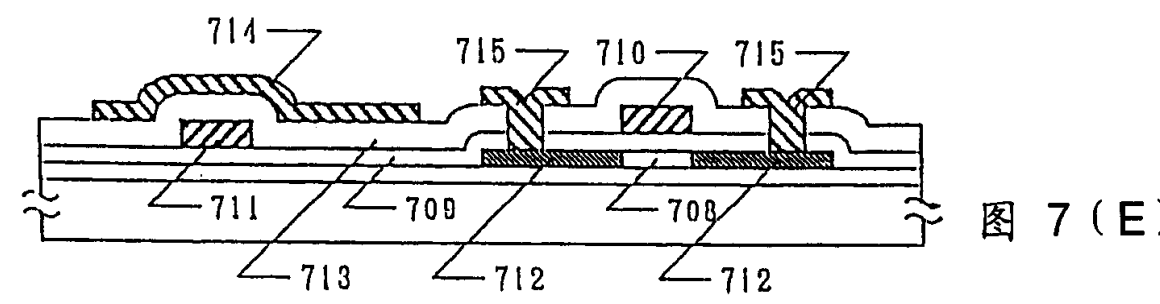


图 7 (E)

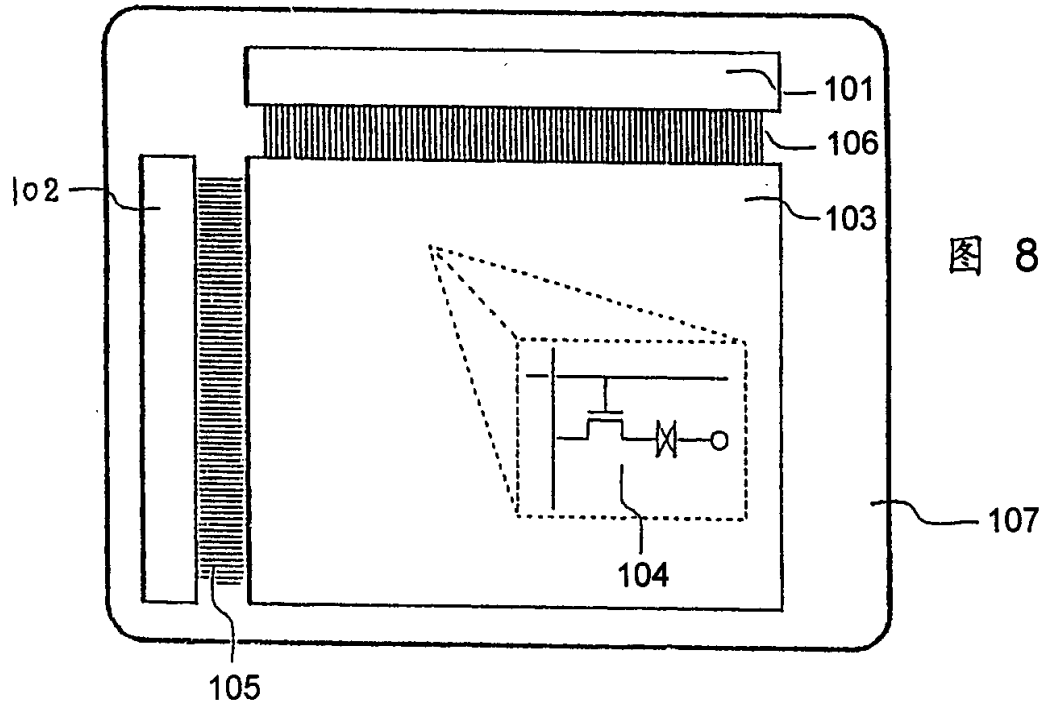


图 8 (A)

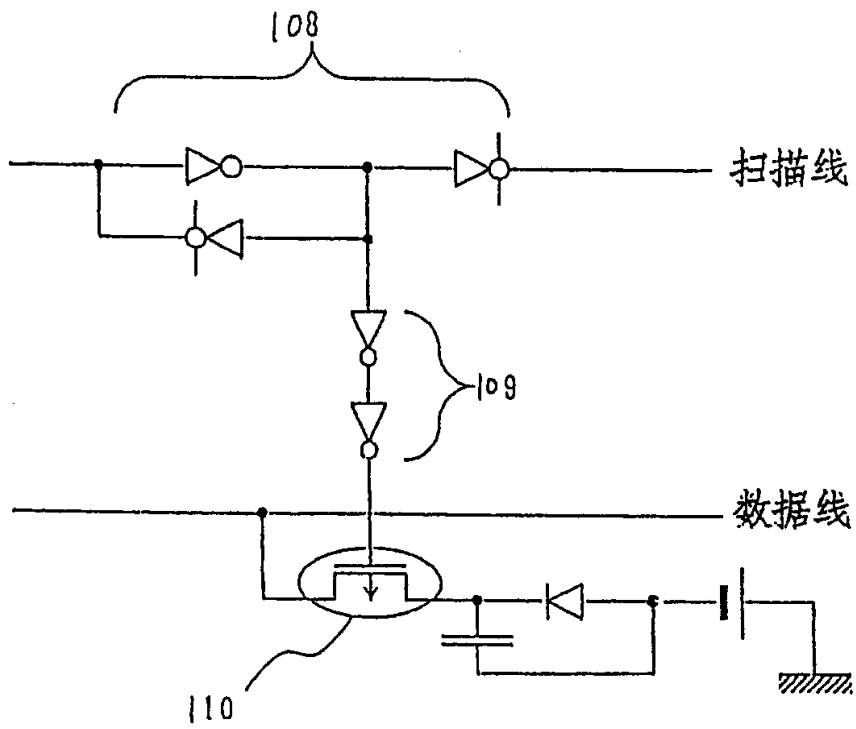


图 8 (B)

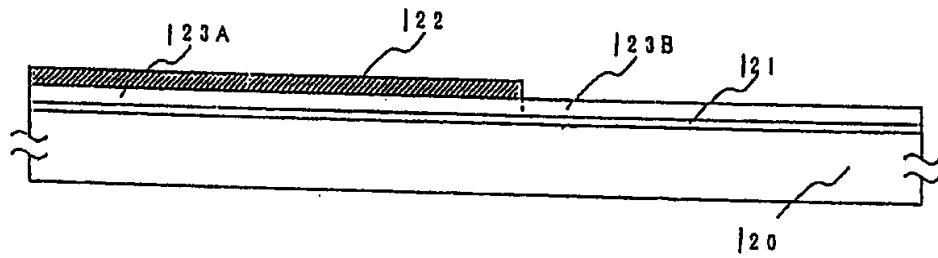


图 9 (A)

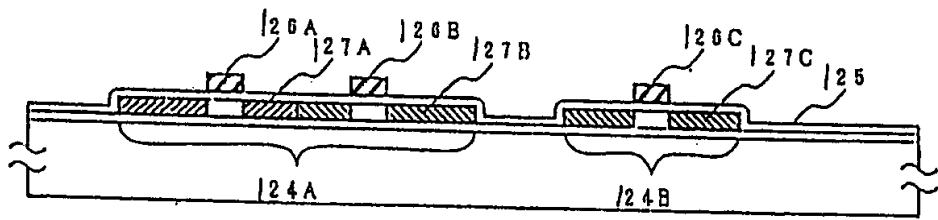


图 9 (B)

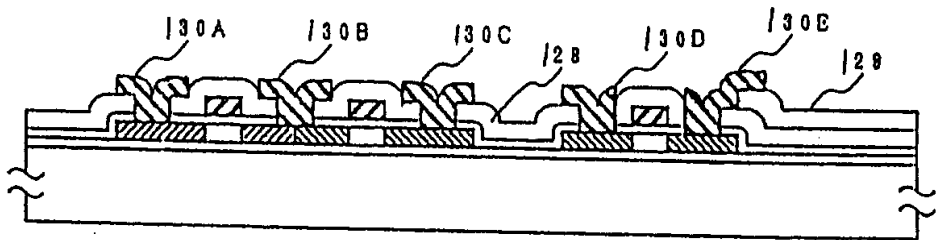
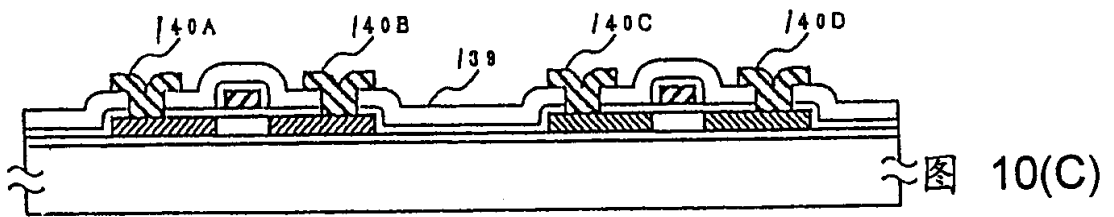
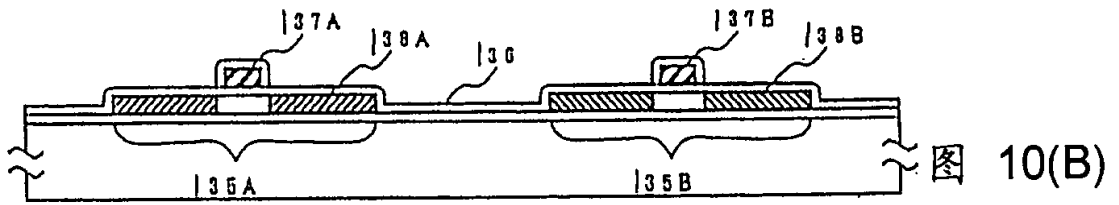
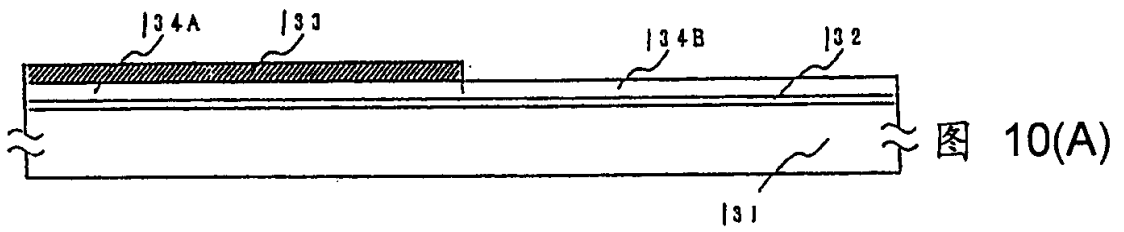


图 9 (C)



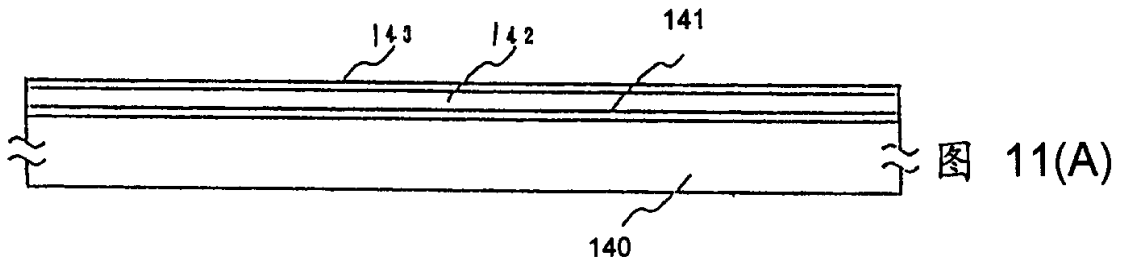


图 11(A)

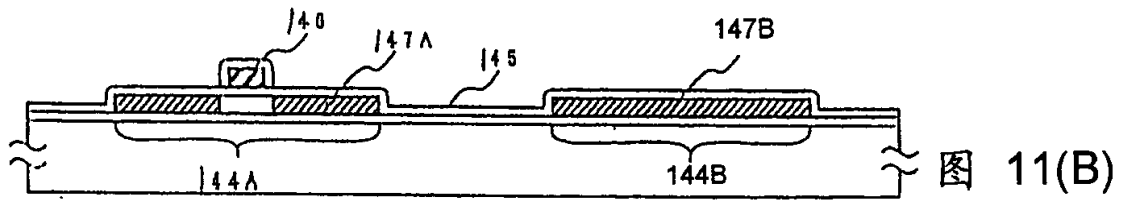


图 11(B)

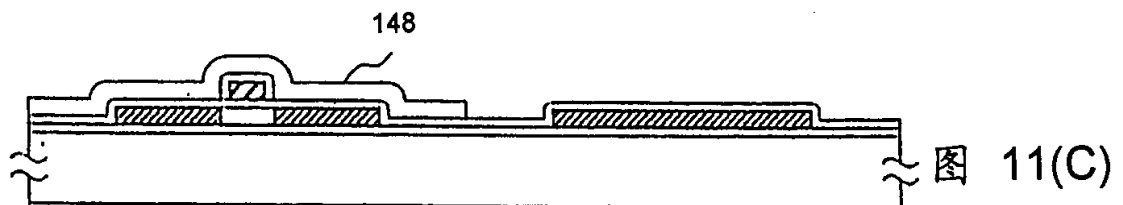


图 11(C)

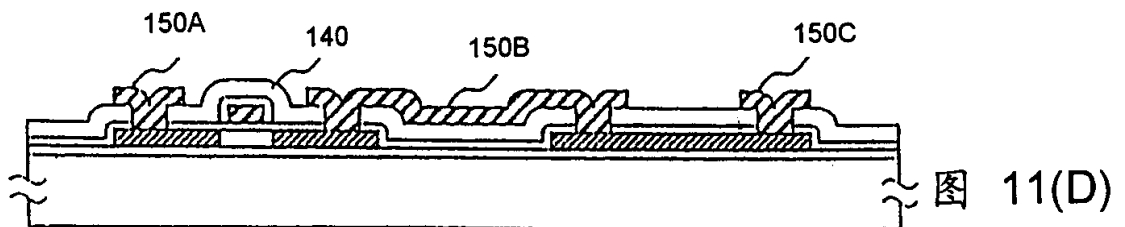


图 11(D)