

ITALIAN PATENT OFFICE

Document No.

102010901868505A1

Publication Date

20120301

Applicant

STMICROELECTRONICS S.R.L.

Title

DISPOSITIVO ELETTRONICO INTEGRATO E RELATIVO METODO DI
FABBRICAZIONE.

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"DISPOSITIVO ELETTRONICO INTEGRATO E RELATIVO METODO DI FABBRICAZIONE"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MB)

Inventori: CORONA Donato, FRAZZETTO Nicolò, GRIMALDI

Antonio Giuseppe, IACONO Corrado, MICCICHE' Monica

* * *

La presente invenzione è relativa ad un dispositivo elettronico integrato e al relativo metodo di fabbricazione.

Come è noto, sono oggi disponibili numerosi dispositivi elettronici formati almeno in parte di carburo di silicio ("silicon carbide", SiC).

Ad esempio, sono oggi disponibili transistori metallo-ossido-semiconduttore ad effetto di campo ("metal-oxide-semiconductor field effect transistor", MOSFET) formati almeno in parte di carburo di silicio, il quale si caratterizza per un intervallo proibito ("bandgap") superiore rispetto al bandgap del silicio. Pertanto, a parità di livello di drogaggio, il campo elettrico critico del carburo di silicio è superiore al campo elettrico

critico del silicio. Ad esempio, nel caso in cui il carburo di silicio abbia politipo cosiddetto 3C, il campo elettrico critico è all'incirca pari a quattro volte il campo elettrico critico del silicio; nei casi in cui il carburo di silicio abbia invece politipo 6H e 4H, il campo elettrico critico è rispettivamente pari a circa otto volte e dieci volte il campo elettrico critico del silicio.

Grazie all'elevato campo elettrico critico, il carburo di silicio consente di realizzare giunzioni aventi tensioni di breakdown più elevate rispetto a quanto ottenibile mediante impiego di silicio. Inoltre, sfruttando l'elevato campo elettrico critico, si possono realizzare transistori con regioni di deriva ("drift") aventi spessori inferiori rispetto alle regioni di deriva dei tradizionali transistori in silicio; tali transistori si caratterizzano dunque per basse resistenze di uscita ("on-resistance", R_{on}).

D'altra parte, il carburo di silicio presenta una ridotta diffusività delle specie droganti, anche ad alta temperatura; inoltre, rispetto al silicio, il carburo di silicio si caratterizza per una ridotta mobilità μ dei portatori. Infatti, nel carburo di silicio, la mobilità μ dei portatori è tipicamente dell'ordine di qualche centinaio di cm^2/Vs , mentre, all'interno del silicio, la mobilità μ dei portatori può superare anche il migliaio di

cm^2/Vs . In particolare, nel caso di transistori MOSFET realizzati in carburo di silicio con politipo 4H, la mobilità μ dei portatori nelle rispettive regioni di canale è limitata a circa $50\text{cm}^2/\text{Vs}$, a causa della generazione di stati alle interfacce ossido-semiconduttore.

In maggior dettaglio, sono oggi disponibili dispositivi elettronici formati a partire da un substrato di carburo di silicio. Tuttavia, la tecnologia oggi disponibile non consente di realizzare fette ("wafer") di carburo di silicio con diametri superiori ai quattro pollici, pertanto la fabbricazione di tali dispositivi elettronici risulta generalmente più costosa e tecnologicamente complessa rispetto alla fabbricazione di dispositivi elettronici a partire da substrati di silicio.

Al fine di coniugare i pregi del silicio e del carburo di silicio, sono stati inoltre proposti dispositivi elettronici formati a partire da un substrato di silicio e comprendenti uno o più strati epitassiali di carburo di silicio. Ad esempio, il brevetto statunitense US5877515 descrive un dispositivo a semiconduttore, ed in particolare un transistor MOSFET, avente uno strato di silicio, il quale è disposto su uno strato di carburo di silicio, il quale a sua volta è disposto su un substrato di silicio.

Operativamente, lo strato di carburo di silicio consente di ottenere una concentrazione di carica superiore

rispetto a quanto ottenibile nel caso di uno strato di silicio, a parità di tensione di breakdown. Tuttavia, è possibile che in certe condizioni, ed in particolare nel caso in cui il dispositivo a semiconduttore sia polarizzato in modo da lavorare in regione di interdizione, si generi un campo elettrico non trascurabile all'interno del substrato di silicio. In tali condizioni, è lo stesso silicio a limitare, con il proprio campo elettrico critico, la tensione di breakdown del dispositivo a semiconduttore.

Al fine di prevenire la generazione di un campo elettrico non trascurabile all'interno del substrato di silicio, è possibile incrementare lo spessore dello strato di carburo di silicio, tuttavia tale operazione, oltre ad essere tecnologicamente complessa, comporta un aumento della resistenza di uscita del dispositivo a semiconduttore.

Scopo della presente invenzione è fornire un dispositivo elettronico integrato ed un metodo di fabbricazione che consentano di risolvere almeno in parte gli inconvenienti dell'arte nota.

Secondo l'invenzione, vengono forniti un dispositivo elettronico integrato e un metodo di fabbricazione come definiti, rispettivamente, nelle rivendicazioni 1 e 12.

Per una migliore comprensione dell'invenzione, ne vengono ora descritte forme di realizzazione, a puro titolo

di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- le figure 1 e 3 mostrano sezioni trasversali di transistori MOSFET a trincea;

- le figure 2 e 4 mostrano sezioni trasversali di MOSFET a cella planare;

- la figura 5 mostra una sezione trasversale di un transistore IGBT a trincea;

- la figura 6 mostra una sezione trasversale di un transistore IGBT a cella planare;

- la figura 7 mostra una sezione trasversale di un transistore JFET;

- la figura 8 mostra una sezione trasversale di un transistore bipolare; e

- le figure 9-24 mostrano sezioni trasversali del presente dispositivo elettronico integrato, durante successive fasi di fabbricazione.

La figura 1 mostra una forma di realizzazione del presente dispositivo elettronico integrato, nella fattispecie formante un transistore MOSFET a trincea 1.

In dettaglio, il transistore MOSFET a trincea 1 è formato da un corpo 2 di materiale semiconduttore, il quale è formato da un substrato 4 di silicio, di tipo N++ (ad esempio, drogato con arsenico) ed avente una superficie inferiore S_4 ; il silicio può avere una struttura

cristallografica del tipo cosiddetto <100>. Inoltre, il corpo 2 comprende un primo strato di buffer 6, un secondo strato di buffer 8 e uno strato di deriva 10.

In dettaglio, il substrato 4 ha uno spessore h_4 compreso tra $500\mu\text{m}$ e $1500\mu\text{m}$, ed inoltre ha un livello di drogaggio superiore a $1\cdot 10^{19}\text{cm}^{-3}$, in maniera tale per cui la resistività ρ è inferiore a $6\text{m}\Omega\cdot\text{cm}$.

Il primo strato di buffer 6 è disposto al di sopra del substrato 4, con cui è in contatto diretto, è formato di carburo di silicio ed è di tipo N++ (ad esempio, drogato con azoto o fosforo). In particolare, il primo strato di buffer 6 è formato di carburo di silicio del politipo 3C, il quale, quando cresciuto su silicio del tipo <100>, presenta un reticolo cristallino con imperfezioni ridotte. In aggiunta, il primo strato di buffer 6 ha uno spessore h_6 inferiore a $0,5\mu\text{m}$, ed inoltre ha un livello di drogaggio compreso tra $5\cdot 10^{16}\text{cm}^{-3}$ e $1\cdot 10^{17}\text{cm}^{-3}$.

Il secondo strato di buffer 8 è disposto al di sopra del primo strato di buffer 6, con cui è in contatto diretto, è formato di carburo di silicio ed è di tipo N+ (ad esempio, drogato con azoto o fosforo). In particolare, anche il secondo strato di buffer 8 è formato di carburo di silicio del politipo 3C. In aggiunta, il secondo strato di buffer 8 ha uno spessore h_8 inferiore a $0,5\mu\text{m}$, ed inoltre ha un livello di drogaggio compreso tra $1\cdot 10^{16}\text{cm}^{-3}$ e

$5 \cdot 10^{16} \text{cm}^{-3}$.

Lo strato di deriva 10 è disposto al di sopra del secondo strato di buffer 8, con cui è in contatto diretto, è formato di carburo di silicio ed è di tipo N (ad esempio, drogato con azoto o fosforo). In particolare, anche lo strato di deriva 10 è formato di carburo di silicio del politipo 3C. In aggiunta, lo strato di deriva 10 ha uno spessore h_{10} compreso tra $1\mu\text{m}$ e $10\mu\text{m}$, ed inoltre ha un livello di drogaggio compreso tra $1 \cdot 10^{15} \text{cm}^{-3}$ e $1 \cdot 10^{16} \text{cm}^{-3}$. Ancora, lo strato di deriva 10 definisce una superficie intermedia S_{10} .

Il corpo 2 del transistor MOSFET a trincea 1 comprende inoltre uno strato superiore 12, formato di silicio e di tipo N (ad, esempio, drogato con fosforo).

In dettaglio, lo strato superiore 12 definisce una superficie superiore S_{12} e si estende al di sopra della superficie intermedia S_{10} , in contatto diretto con lo strato di deriva 10. Inoltre, lo strato superiore 12 ha uno spessore h_{12} compreso nell'intervallo $1\mu\text{m}-3\mu\text{m}$; ancora, lo strato superiore 12 ha un livello di drogaggio compreso tra $1 \cdot 10^{15} \text{cm}^{-3}-1 \cdot 10^{16} \text{cm}^{-3}$.

In pratica, il corpo 2 di materiale semiconduttore è delimitato dalla superficie superiore S_{12} e dalla superficie inferiore S_4 . Inoltre, al di sotto della superficie intermedia S_{10} si estendono una prima ed una seconda

regione semiconduttrice 14a, 14b di tipo P+.

In dettaglio, la prima e la seconda regione semiconduttrice 14a, 14b sono distanziate lateralmente in modo da definire una regione interna 16, interposta tra la prima e la seconda regione semiconduttrice 14a, 14b. Inoltre, la prima e la seconda regione semiconduttrice 14a, 14b si estendono a partire dalla superficie intermedia S_{10} , con una profondità h_{14} inferiore allo spessore h_{10} , ad esempio inferiore a $1\mu\text{m}$. Ancora, la prima e la seconda regione semiconduttrice 14a, 14b hanno un livello di drogaggio di picco compreso tra $1\cdot 10^{16}\text{cm}^{-3}$ e $1\cdot 10^{19}\text{cm}^{-3}$.

Operativamente, la prima e la seconda regione semiconduttrice 14a, 14b fungono, rispettivamente, da prima e seconda regione profonda di corpo ("deep body region") 14a, 14b.

Il transistor MOSFET a trincea 1 comprende inoltre una trincea 20, la quale si estende a partire dalla superficie superiore S_{12} ed ha uno spessore h_{20} . Come mostrato a titolo esemplificativo in figura 1, lo spessore h_{20} può essere tale per cui $h_{20} \geq h_{12}$. In altre parole, la trincea 20 può estendersi attraverso lo strato superiore 12 fino a penetrare parzialmente all'interno dello strato di deriva 10; ad esempio, è possibile che $h_{20} = h_{12} + \Delta$, con Δ compreso tra $0,5\mu\text{m}$ e $1\mu\text{m}$. Inoltre, la trincea 20 è distanziata lateralmente rispetto alla prima ed alla

seconda regione profonda di corpo 14a, 14b, in maniera tale da estendersi all'interno della regione interna 16 senza contattare la prima e la seconda regione profonda di corpo 14a, 14b, le quali sono equidistanti dalla trincea 20 stessa.

In dettaglio, la trincea 20 è delimitata da una parete 22, e la prima e la seconda regione profonda di corpo 14a, 14b distano entrambe una distanza d dalla parete 22. In pratica, indicando con w_{20} la larghezza della trincea 20 e con w_{16} la larghezza della regione interna 16, si ha $w_{16}=w_{20}+2d$.

In maggior dettaglio, la parete 22 è rivestita internamente da un primo strato di ossido 24. Inoltre, all'interno della trincea 20 è presente una prima regione di porta ("gate") 26, la quale è a contatto diretto con il primo strato di ossido 24 ed è formata di polisilicio.

Il transistor MOSFET a trincea 1 comprende inoltre una prima regione di ossido 30, la quale è disposta al di sopra della superficie superiore S_{12} , è verticalmente allineata alla trincea 20 ed è a contatto diretto con il primo strato di ossido 24 e con la prima regione di porta 26. La prima regione di ossido può avere spessore compreso, ad esempio, tra 20nm e 80nm.

Il transistor MOSFET a trincea 1 comprende inoltre una prima ed una seconda regione superiore di corpo 32a,

32b, di tipo P (ad esempio, drogate con boro) e con livello di drogaggio di picco compreso tra $1 \cdot 10^{16} \text{cm}^{-3}$ e $1 \cdot 10^{18} \text{cm}^{-3}$. In dettaglio, la prima e la seconda regione superiore di corpo 32a, 32b sono lateralmente distanziate e si estendono attraverso lo strato superiore 12 a partire dalla superficie superiore S_{12} , fino a contattare, rispettivamente, la prima e la seconda regione profonda di corpo 14a, 14b. Inoltre, la prima e la seconda regione superiore di corpo 32a, 32b si estendono lateralmente fino a contattare la parete 22 della trincea 20, la quale separa appunto la prima e la seconda regione superiore di corpo 32a, 32b.

Il transistor MOSFET a trincea 1 comprende inoltre una prima regione di sorgente 34 formata da una prima ed una seconda sottoregione di sorgente 34a, 34b, entrambe di tipo N⁺ (ad esempio, drogate con fosforo) e con livello di drogaggio di picco all'incirca pari a $1 \cdot 10^{20} \text{cm}^{-3}$. In dettaglio, la prima e la seconda sottoregione di sorgente 34a, 34b si estendono, a partire dalla superficie superiore S_{12} , all'interno dello strato superiore 12. In maggior dettaglio, la prima e la seconda sottoregione di sorgente 34a, 34b sono lateralmente distanziate, in maniera tale per cui la trincea 20 si estende tra la prima e la seconda sottoregione di sorgente 34a, 34b, con le quali è in contatto diretto. In particolare, la prima e la seconda

sottoregione di sorgente 34a, 34b sono a contatto diretto con il primo strato di ossido 24; inoltre, la prima e la seconda sottoregione di sorgente 34a, 34b sono a contatto diretto con la prima regione di ossido 30.

In pratica, la prima regione di sorgente 34 e la trincea 20 sono alloggiate all'interno di una regione operativa 0, una cui porzione inferiore è formata dalla regione interna 16 ed è dunque delimitata dalla prima e dalla seconda regione profonda di corpo 14a, 14b.

Il transistor MOSFET a trincea 1 comprende inoltre una prima regione dielettrica 35, la quale sovrasta, in contatto diretto, la prima regione di ossido 30, ed è in contatto diretto con la prima e con la seconda sottoregione di sorgente 34a, 34b.

Il transistor MOSFET a trincea 1 comprende inoltre una prima metallizzazione superiore 36 ed una metallizzazione inferiore 38, nonché una prima metallizzazione di porta, quest'ultima contattando in modo di per sé noto la prima regione di porta 26 e non essendo mostrata.

In dettaglio, la prima metallizzazione superiore 36 si estende al di sopra della superficie superiore S_{12} , circondando superiormente e lateralmente la prima regione dielettrica 35, e contattando la prima e la seconda sottoregione di sorgente 34a, 34b, nonché la prima e la

seconda regione superiore di corpo 32a, 32b.

La metallizzazione inferiore 38 si estende invece al di sotto della superficie inferiore S_4 del substrato 4, con cui è in contatto diretto. In pratica, il substrato 4, il primo ed il secondo strato di buffer 6, 8 e lo strato di deriva 10 fungono da regione di pozzo ("drain").

Operativamente, la prima metallizzazione superiore 36 funge da metallizzazione di sorgente, mentre la metallizzazione inferiore 38 funge da metallizzazione di pozzo. Inoltre, la prima regione di porta 26, il primo strato di ossido 24 e lo strato superiore 12 (ed in particolare, la prima e la seconda regione superiore di corpo 32a, 32b) formano una giunzione del tipo metallo - ossido - semiconduttore, perciò, polarizzando in modo di per sé noto la prima metallizzazione superiore 36 e la prima metallizzazione di porta, è possibile formare un canale di tipo N all'interno dello strato superiore 12, in particolare all'interno di una regione dello strato superiore 12 disposta a contatto diretto con il primo strato di ossido 24. Inoltre, polarizzando in modo di per sé noto la prima metallizzazione superiore 36 e la metallizzazione inferiore 38 con una tensione V_{DS} , è possibile generare una corrente I_{DS} .

La corrente I_{DS} scorre tra la prima metallizzazione superiore 36 e la metallizzazione inferiore 38, dunque ha

direzione verticale e scorre sia attraverso il silicio che attraverso il carburo di silicio. In particolare, la corrente I_{DS} scorre all'interno del canale di tipo N, attraversando lo strato superiore 12, nonché lo strato di deriva 10 e il primo ed il secondo strato di buffer 6, 8.

Nel caso in cui la tensione V_{DS} sia tale da polarizzare inversamente le giunzioni PN presenti tra lo strato di deriva 10 e la prima e la seconda regione profonda di corpo 14a, 14b, il modulo della tensione V_{DS} non può superare una tensione massima V_{max} , pena l'insorgere di un fenomeno di breakdown all'interno del transistor MOSFET a trincea 1.

In particolare, la tensione massima V_{max} risulta particolarmente elevata grazie alla presenza del primo e del secondo strato di buffer 6, 8, ed ai rispettivi livelli di drogaggio, i quali prevengono la generazione di campi elettrici all'interno del substrato 4 di silicio. Similmente, la prima e la seconda regione profonda di corpo 14a, 14b prevengono la generazione di campi elettrici all'interno dello strato superiore 12 di silicio. In altre parole, la tensione V_{DS} cade sostanzialmente all'interno della prima e della seconda regione profonda di corpo 14a, 14b, nonché all'interno dello strato di deriva 10 e del primo e del secondo strato di buffer 6, 8. Viceversa, all'interno dello strato superiore 12 e del substrato 4,

non vi è caduta di tensione, perché il campo elettrico è in prima approssimazione trascurabile. Pertanto, la tensione massima V_{\max} è limitata superiormente, invece che dal campo elettrico critico del silicio, dal campo elettrico critico del carburo di silicio, il quale, come detto, è maggiore del campo elettrico critico del silicio.

Inoltre, relativamente allo strato superiore 12, il campo elettrico ivi presente è trascurabile non solo in prossimità della prima e della seconda regione profonda di corpo 14a, 14b, bensì anche in prossimità della regione interna 16, cioè laddove lo strato superiore 12 non è a diretto contatto con la prima e la seconda regione profonda di corpo 14a, 14b. Infatti, come mostrato qualitativamente in figura 1, al di sotto della prima e della seconda regione profonda di corpo 14a, 14b, le linee equipotenziali L che si generano in uso all'interno del transistor MOSFET a trincea 1 risultano all'incirca parallele alla prima ed alla seconda regione profonda di corpo 14a, 14b. Invece, in corrispondenza della regione interna 16, le linee equipotenziali L si incurvano, a causa della presenza della trincea 20, ed in particolare del primo strato di ossido 24.

La figura 2 illustra una differente forma di realizzazione del presente dispositivo elettronico integrato, nella fattispecie formante un transistor MOSFET

a cella planare 50, descritto nel seguito. Elementi già presenti nel transistor MOSFET a trincea 1 mostrato in figura 1 sono indicati con i medesimi numeri di riferimento; inoltre, la seguente descrizione si limita alle differenze del transistor MOSFET a cella planare 50 rispetto al transistor MOSFET a trincea 1 mostrato in figura 1.

In dettaglio, il transistor MOSFET a cella planare 50 è privo della trincea 20, e conseguentemente anche del primo strato di ossido 24 e della prima regione di porta 26. Inoltre, tra la prima regione di ossido 30 e la prima regione dielettrica 35 è interposta una seconda regione di porta 52, formata di polisilicio, la quale sovrasta la prima regione di ossido 30, con cui è in contatto diretto. In particolare, la seconda regione di porta 52 ha uno spessore pari, ad esempio, a 600nm.

In aggiunta, la prima e la seconda regione superiore di corpo 32a, 32b circondano lateralmente, rispettivamente, la prima e la seconda sottoregione di sorgente 34a, 34b. Inoltre, analogamente a quanto mostrato in figura 1, anche il transistor MOSFET a cella planare 50 comprende la prima metallizzazione superiore 36, la metallizzazione inferiore 38 e la prima metallizzazione di porta, quest'ultima contattando in modo di per sé noto la seconda regione di porta 52 e non essendo mostrata.

Operativamente, la seconda regione di porta 52, la prima regione di ossido 30 e lo strato superiore 12 formano una giunzione del tipo metallo - ossido - semiconduttore, pertanto, polarizzando in modo di per sé noto la prima regione di sorgente 34 e la seconda regione di porta 52, è possibile formare, al di sotto della prima regione di ossido 30, un canale di tipo N. In particolare, il canale di tipo N si estende all'interno di porzioni della prima e della seconda regione superiore di corpo 32a, 32b a contatto con la prima regione di ossido 30 e comprese tra la prima e la seconda sottoregione di sorgente 34a, 34b.

Inoltre, polarizzando in modo di per sé noto la prima metallizzazione superiore 36 e la metallizzazione inferiore 38 con la tensione V_{DS} , è possibile generare la corrente I_{DS} , la quale scorre verticalmente, attraversando la regione interna 16, in modo analogo a quanto precedentemente descritto.

La figura 3 illustra una differente forma di realizzazione del presente dispositivo elettronico integrato, nella fattispecie formante un transistor MOSFET a trincea perfezionato ("enhanced") 60, descritto nel seguito. Elementi già presenti nel transistor MOSFET a trincea 1 mostrato in figura 1 sono indicati con i medesimi numeri di riferimento; inoltre, la seguente descrizione si limita alle differenze del transistor MOSFET a trincea

perfezionato 60 rispetto al transistor MOSFET a trincea 1 mostrato in figura 1.

In dettaglio, il transistor MOSFET a trincea perfezionato 60 include uno o più strati intermedi di tipo N (ad esempio, drogati con azoto o fosforo), i quali sono interposti tra lo strato di deriva 10 e lo strato superiore 12, e sono formati di carburo di silicio del politipo 3C. Inoltre, gli strati intermedi possono avere un medesimo spessore h_{62} ed un medesimo livello di drogaggio, ad esempio uguale al livello di drogaggio dello strato di deriva 10.

A titolo esemplificativo, la forma di realizzazione mostrata in figura 3 presenta un primo ed un secondo strato intermedio, indicati rispettivamente con 62a e 62b. In particolare, il primo strato intermedio 62a sovrasta lo strato di deriva 10, con cui è a contatto diretto. Invece, il secondo strato intermedio 62b sovrasta il primo strato intermedio 62a, con cui è a contatto diretto, ed è sovrastato dallo strato superiore 12, con il quale è a contatto diretto. Il secondo strato intermedio 62b definisce inoltre una superficie di contatto S_{62} , la quale contatta lo strato superiore 12. In aggiunta, in tale forma di realizzazione, la trincea 20 può estendersi, ad esempio, fino alla superficie di contatto S_{62} , cioè con $h_{20}=h_{10}$.

Il transistor MOSFET a trincea perfezionato 60

comprende inoltre una prima ed una seconda regione intermedia di corpo 64, 66, di tipo P (ad esempio drogata con boro) e con livelli di drogaggio di picco compresi tra $1 \cdot 10^{14} \text{cm}^{-3}$ e $1 \cdot 10^{15} \text{cm}^{-3}$. In dettaglio, la prima e la seconda regione intermedia di corpo 64, 66 sono lateralmente distanziate e si estendono attraverso il primo ed il secondo strato intermedio 62a, 62b, a partire dalla superficie di contatto S_{62} , fino a contattare, rispettivamente, la prima e la seconda regione profonda di corpo 14a, 14b. Inoltre, la prima e la seconda regione intermedia di corpo 64, 66 sono rispettivamente a contatto con la prima e la seconda regione superiore di corpo 32a, 32b.

Operativamente, definendo come regione di confinamento 68 la regione formata dalle porzioni del primo e del secondo strato intermedio 62a, 62b non occupate né dalla prima e né dalla seconda regione intermedia di corpo 64, 66, è possibile verificare che, in uso, il campo elettrico assume, in tale regione di confinamento 68, una direzione in prima approssimazione orizzontale, cioè parallela alla superficie intermedia S_{10} . In tal modo, si riduce ulteriormente la possibilità che all'interno dello strato superiore 12 si formi un campo elettrico apprezzabile.

Come mostrato in figura 4, è possibile una differente forma di realizzazione del presente dispositivo elettronico

integrato, la quale forma un transistor MOSFET a cella planare modificato 70, cui nel seguito ci si riferisce come al transistor MOSFET a cella planare perfezionato 70, descritto nel seguito. Elementi già presenti nel transistor MOSFET a cella planare 50 mostrato in figura 2 sono indicati con i medesimi numeri di riferimento.

In dettaglio, rispetto al transistor MOSFET a cella planare 50, il transistor MOSFET a cella planare perfezionato 70 comprende i già descritti uno o più strati intermedi, nonché la prima e la seconda regione intermedia di corpo 64, 66. In particolare, la forma di realizzazione mostrata in figura 4 presenta i già citati primo e secondo strato intermedio 62a, 62b, i quali consentono di ottenere la summenzionata riduzione del campo elettrico all'interno dello strato superiore 12.

Secondo ulteriori forme di realizzazione del presente dispositivo elettronico integrato, esso può formare, inoltre, un transistor bipolare a porta isolata ("insulated gate bipolar transistor", IGBT), ed in particolare un transistor IGBT a trincea 80 (figura 5), oppure un transistor IGBT a cella planare 90 (figura 6).

Come mostrato in figura 5, dove elementi già mostrati in figura 1 sono indicati con i medesimi numeri di riferimento, il transistor IGBT a trincea 80 si differenzia dal transistor MOSFET a trincea 1 per il fatto

di essere formato a partire da un substrato alternativo 4b, invece che dal precedentemente descritto substrato 4.

In particolare, il substrato alternativo 4b è formato di silicio con struttura cristallografica del tipo <100>, ed è di tipo P++ (ad esempio, drogato con boro); inoltre, il substrato alternativo 4b ha uno spessore h_{4b} compreso tra 500 μm e 1500 μm , ed ha un livello di drogaggio superiore a $1 \cdot 10^{19} \text{cm}^{-3}$, in maniera tale per cui la resistività ρ è inferiore a $6 \text{m}\Omega \cdot \text{cm}$.

Operativamente, la prima e la seconda regione profonda di corpo 14a, 14b fungono, insieme alla prima ed alla seconda regione superiore di corpo 32a, 32b, da collettore di un transistor bipolare addizionale del tipo PNP, la cui base è formata dal primo e dal secondo strato di buffer 6, 8 e dallo strato di deriva 10, ed il cui emettitore è formato dal substrato alternativo 4b.

Similmente, come mostrato in figura 6, dove elementi già mostrati in figura 2 sono indicati con i medesimi numeri di riferimento, il transistor IGBT a cella planare 90 si differenzia dal transistor MOSFET a cella planare 50 per il fatto di essere formato a partire dal substrato alternativo 4b, invece che dal substrato 4.

Secondo un'ancora ulteriore forma di realizzazione, il presente dispositivo elettronico integrato può formare inoltre un transistor ad effetto di campo a giunzione 100

("junction field effect transistor", JFET), mostrato in figura 7, in cui elementi già mostrati in figura 1 sono indicati con i medesimi numeri di riferimento.

In dettaglio, il transistor JFET 100 comprende il substrato 4, il primo ed il secondo strato di buffer 6, 8 e lo strato di deriva 10, nonché la prima e la seconda regione semiconduttrice 14a, 14b, le quali fungono, rispettivamente da prima e seconda sottoregione di porta 14a, 14b. Al contrario, il transistor JFET 100 è privo dello strato superiore 12.

Il transistor JFET 100 comprende inoltre una seconda regione di sorgente 102, formata di silicio e di tipo N++ (ad esempio drogata con fosforo). In particolare, la seconda regione di sorgente 102 si estende al di sopra della superficie intermedia S_{10} , a contatto diretto con la regione interna 16, ed ha un livello di drogaggio all'incirca pari a $1 \cdot 10^{19} \text{cm}^{-3}$ ed uno spessore h_{102} inferiore a $2 \mu\text{m}$.

Il transistor JFET 100 comprende inoltre, invece dalla prima metallizzazione superiore 36, una seconda metallizzazione superiore 104, la quale sovrasta la seconda regione di sorgente 102, con cui è a contatto diretto, ed assolve la funzione di metallizzazione di sorgente. Inoltre, il transistor JFET 100 comprende una seconda regione dielettrica 106 (formata, ad esempio, di vetro

borofosfosilicato, BPSG), la quale si estende al di sopra della superficie intermedia S_{10} e circonda lateralmente la seconda regione di sorgente 102 e la seconda metallizzazione superiore 104, con cui è a contatto diretto. Ancora, oltre alla metallizzazione inferiore 38, il transistor JFET 100 comprende una seconda metallizzazione di porta 108, la quale si estende al di sopra della superficie intermedia S_{10} e circonda la seconda regione dielettrica 106, con cui è a contatto diretto. Inoltre, la seconda metallizzazione di porta 108 contatta la prima e la seconda sottoregione di porta 14a, 14b.

In uso, in assenza di tensione tra la seconda metallizzazione superiore 104 e la seconda metallizzazione di porta 108, all'interfaccia tra lo strato di deriva 10 e la prima sottoregione di porta 14a si forma una prima regione svuotata D_a , e all'interfaccia tra lo strato di deriva 10 e la seconda sottoregione di corpo 14b si forma una seconda regione svuotata D_b . Tali prima e seconda regione svuotata D_a , D_b si estendono all'interno dello strato di deriva 10 con una profondità w_{db} . Inoltre, in tale forma di realizzazione, la larghezza w_{16} della regione interna 16, cioè la distanza laterale tra la prima e la seconda sottoregione di porta 14a, 14b, ed i livelli di drogaggio dello strato di deriva 10 e della prima e della seconda sottoregione di porta 14a, 14b sono tali per cui

$w_{db}=w_{16}/2$. In altre parole, in assenza di tensione tra la seconda metallizzazione superiore 104 e la seconda metallizzazione di porta 108, la prima e la seconda regione svuotata D_a , D_b contattano tra loro, isolando la seconda regione di sorgente 102 dal substrato 4 e dal primo e dal secondo strato di buffer 6, 8, i quali fungono da regione di pozzo. Pertanto, il transistor JFET 100 è un dispositivo a conduzione verticale di corrente del tipo normalmente spento.

Secondo un'ulteriore forma di realizzazione, il presente dispositivo elettronico integrato può formare un transistor bipolare 120, mostrato in figura 8, dove elementi già mostrati in figura 1 sono indicati con i medesimi numeri di riferimento.

In dettaglio, il transistor bipolare 120 comprende il substrato 4, il primo ed il secondo strato di buffer 6, 8, lo strato di deriva 10 e lo strato superiore 12 precedentemente descritti. Inoltre, il transistor bipolare 120 comprende una regione di emettitore 122, di tipo N⁺ (ad esempio, drogata con fosforo), la quale si estende, a partire dalla superficie superiore S_{12} , all'interno dello strato superiore 12, con un livello di drogaggio all'incirca pari a $1 \cdot 10^{20} \text{cm}^{-3}$.

In aggiunta, il transistor bipolare 120 comprende, in luogo della prima e della seconda regione semiconduttrice

14a, 14b, una regione di base 124 di tipo P (ad esempio, drogata con boro), ed inoltre comprende una regione di bordo 126 di tipo P- (ad esempio, drogata con boro).

In dettaglio, la regione di base 124 ha un livello di drogaggio di picco compreso tra $1 \cdot 10^{16} \text{cm}^{-3}$ e $1 \cdot 10^{18} \text{cm}^{-3}$; inoltre, la regione di base 124 si affaccia sulla superficie superiore S_{12} e si estende all'interno dello strato superiore 12, in modo da circondare lateralmente ed inferiormente la regione di emettitore 122, alla quale è verticalmente allineata. In particolare, la regione di base 124 attraversa l'intero strato superiore 12 e si estende parzialmente all'interno dello strato di deriva 10, al di sotto della superficie intermedia S_{10} .

La regione di bordo 126 ha un livello di drogaggio di picco compreso tra $1 \cdot 10^{14} \text{cm}^{-3}$ e $1 \cdot 10^{16} \text{cm}^{-3}$; inoltre, la regione di bordo 126 si affaccia sulla superficie superiore S_{12} e si estende all'interno dello strato superiore 12, esternamente rispetto alla regione di base 124, con cui è in contatto diretto. In particolare, la regione di bordo 126 attraversa l'intero strato superiore 12 e si estende parzialmente all'interno dello strato di deriva 10, al di sotto della superficie intermedia S_{10} , circondando lateralmente la regione di base 124.

Il transistor bipolare 120 comprende inoltre una regione di channel stopper 128 di tipo N+ (ad esempio,

drogata con fosforo) e con un livello di drogaggio all'incirca pari a $1e20$, la quale si estende nello strato superiore 12, esternamente e a distanza rispetto alla regione di bordo 126.

Il transistor bipolare 120 comprende inoltre una metallizzazione di emettitore 130, una metallizzazione di base 132 e un anello equipotenziale 134 ("equipotential ring", EQR) di materiale metallico, oltre che la metallizzazione inferiore 38, la quale funge da metallizzazione di collettore ed è collegata, in modo di per sé noto, all'anello equipotenziale 134.

In dettaglio, la metallizzazione di emettitore 130, la metallizzazione di base 132 e l'anello equipotenziale 134 si estendono al di sopra della superficie superiore S_{12} e sono a contatto diretto con, rispettivamente, la regione di emettitore 122, la regione di base 124 e la regione di channel stopper 128.

Il transistor bipolare 120 comprende infine una regione isolante 140 di materiale dielettrico, disposta al di sopra della superficie superiore S_{12} , con cui è a contatto diretto, a meno dei contatti tra la metallizzazione di emettitore 130, la metallizzazione di base 132, l'anello equipotenziale 134 e, rispettivamente, la regione di emettitore 122, la regione di base 124 e la regione di channel stopper 128.

In uso, lo strato di deriva 10, parte dello strato superiore 12 ed il primo ed il secondo strato di buffer 6, 8 fungono da regione di collettore del transistor bipolare 120. Inoltre, la regione di bordo 126 previene l'addensamento delle linee equipotenziali, e quindi la generazione di un elevato campo elettrico, in prossimità delle giunzioni PN che si formerebbero, in assenza della stessa regione di bordo 126, tra la regione di base 124 e lo strato superiore 12 e lo strato di deriva 10. In tal modo, si evita una riduzione della tensione massima V_{max} cui può operare il transistor bipolare 120 senza incorrere nel fenomeno del breakdown. Come precedentemente spiegato, anche nel caso del transistor bipolare 120, tale tensione massima V_{max} dipende in prima approssimazione dal campo elettrico critico del carburo di silicio, grazie al fatto che la regione di base 124 si estende anche al di sotto della superficie intermedia S_{10} .

Per quanto concerne, invece, la regione di channel stopper 128, essa assolve, in modo di per sé noto, la funzione di prevenire la formazione di canali tra la regione di base 124 e le porzioni più esterne del transistor bipolare 120.

Il presente dispositivo elettronico può essere realizzato usando il procedimento di fabbricazione descritto nel seguito e rappresentato nelle figure 9-24. In

particolare, la seguente descrizione si riferisce, senza perdita di generalità, alla fabbricazione del transistor MOSFET a trincea 1, del transistor MOSFET a trincea perfezionato 60, del transistor JFET 100 e del transistor bipolare 120.

Come mostrato in figura 9, per realizzare il transistor MOSFET a trincea 1 si predispone il substrato 4, e successivamente si formano, mediante crescita epitassiale, il primo strato di buffer 6, il secondo strato di buffer 8 e lo strato di deriva 10.

Successivamente (figura 10), impiegando una prima maschera di resist 200, si esegue un primo impianto di specie droganti di tipo P (ad esempio, atomi di alluminio o boro), rappresentato dalle frecce 202, in modo da localizzare le specie droganti in un primo ed un secondo straterello 14a', 14b' di tipo P+, disposti al di sotto della superficie intermedia S_{10} e destinati a formare, rispettivamente, la prima e la seconda regione profonda di corpo 14a, 14b, una volta terminati appositi trattamenti termici, come spiegato in seguito. In particolare, il primo impianto viene eseguito a caldo, cioè ad una temperatura compresa tra 500°C e 850°C, al fine di limitare i difetti introdotti durante l'impianto stesso all'interno del reticolo cristallino del carburo di silicio; inoltre, il primo impianto può avvenire con dosaggio ed energia

rispettivamente compresi negli intervalli $1 \cdot 10^{13} \text{cm}^{-2}$ - $1 \cdot 10^{15} \text{cm}^{-2}$ e 30KeV-2MeV. Inoltre, in modo di per sé noto, e dunque non mostrato, il primo impianto può avvenire previa predisposizione, al di sopra della superficie intermedia S_{10} , di uno strato temporaneo di silicio, il quale viene rimosso al termine del primo impianto; in tal modo, si limitano ulteriormente i difetti reticolari introdotti durante il primo impianto all'interno del reticolo cristallino del carburo di silicio.

Successivamente (figura 11), la prima maschera di resist 200 viene rimossa, e viene eseguito un trattamento termico ad una temperatura compresa tra 1250°C e 1365°C , e della durata, ad esempio, di trenta minuti, al fine di ridurre i siti dello strato di deriva 10 danneggiati in seguito al primo impianto, e attivare le specie droganti. Durante tale trattamento termico, lo spessore del primo e del secondo straterello 14a', 14b' aumenta, e il primo ed il secondo straterello 14a', 14b' formano, rispettivamente, la prima e la seconda regione profonda di corpo 14a, 14b.

In seguito (figura 12), si forma, mediante etero-epitassia, lo strato superiore 12, formato di silicio.

In modo di per sé noto, e pertanto non mostrato, si realizza, mediante attacco chimico, la trincea 20, e successivamente si formano in successione, sempre in modo di per sé noto, il primo strato di ossido 24, la prima

regione di porta 26, la prima e la seconda regione superiore di corpo 32a, 32b, e la regione di sorgente 34. Vengono quindi formati, in modo di per sé noto, la prima regione di ossido 30 e la prima regione dielettrica 35, ed infine la prima metallizzazione superiore 36 e la metallizzazione inferiore 38.

Relativamente al transistor MOSFET a trincea perfezionato 60, per fabbricarlo è possibile eseguire le operazioni descritte nel seguito, le quali si riferiscono, a titolo esemplificativo, alla forma di realizzazione mostrata in figura 3.

In dettaglio, si eseguono le operazioni mostrate nelle figure 9-10. Successivamente (figura 13), dunque dopo aver effettuato il primo impianto, si rimuove la prima maschera di resist 200 e si forma, mediante crescita epitassiale, il primo strato intermedio 62a.

In seguito, mediante una seconda maschera di resist 210, si esegue un secondo impianto di specie droganti di tipo P (ad esempio, atomi di alluminio o boro), rappresentato dalle frecce 212, in modo da localizzare le specie droganti in un terzo ed un quarto straterello 64' e 66' di tipo P+. In particolare, indicando con S_{62a} la superficie superiore del primo strato intermedio 62a, il terzo ed il quarto straterello 64' e 66' sono disposti al di sotto della superficie S_{62a} del primo strato intermedio

62a, e sono destinati a formare, rispettivamente, la prima e la seconda regione intermedia di corpo 64, 66, una volta terminati appositi trattamenti termici. Anche questo secondo impianto viene eseguito a caldo, cioè ad una temperatura compresa tra 500°C e 850°C, e con dosaggio ed energia rispettivamente compresi negli intervalli $1 \cdot 10^{13} \text{cm}^{-2}$ - $1 \cdot 10^{15} \text{cm}^{-2}$ e 30KeV-2MeV. Inoltre, in modo di per sé noto, e dunque non mostrato, anche il secondo impianto può avvenire previa predisposizione, al di sopra della superficie S_{62a} del primo strato intermedio 62a, di uno strato temporaneo di silicio, il quale viene rimosso al termine del secondo impianto.

In seguito (figura 14), si rimuove la seconda maschera di resist 210 e si forma, mediante crescita epitassiale, il secondo strato intermedio 62b, e successivamente si esegue, mediante una terza maschera di resist 220, un terzo impianto di specie droganti di tipo P (ad esempio, atomi di alluminio o boro), rappresentato dalle frecce 222, in modo da localizzare le specie droganti in un quinto ed un sesto straterello 64" e 66" di tipo P+. In particolare, il quinto ed il sesto straterello 64" e 66" sono disposti al di sotto della superficie di contatto S_{62} e sono destinati a formare, rispettivamente, la prima e la seconda regione intermedia di corpo 64, 66, una volta terminati appositi trattamenti termici. Anche questo terzo impianto viene

eseguito a caldo, cioè ad una temperatura compresa tra 500°C e 850°C, e con dosaggio ed energia rispettivamente compresi negli intervalli $1 \cdot 10^{13} \text{cm}^{-3}$ - $1 \cdot 10^{15} \text{cm}^{-3}$ e 30KeV-2MeV. Inoltre, in modo di per sé noto, e dunque non mostrato, anche il terzo impianto può avvenire previa predisposizione, al di sopra della superficie di contatto S_{62} , di uno strato temporaneo di silicio, il quale viene rimosso al termine del terzo impianto.

Successivamente (figura 15), si rimuove la terza maschera di resist 220 e si esegue un trattamento termico ad una temperatura compresa tra 1250°C e 1365°C, e della durata, ad esempio, di trenta minuti. In tal modo, il primo ed il secondo straterello 14a', 14b' formano, rispettivamente, la prima ed la seconda regione profonda di corpo 14a, 14b. Similmente, il terzo ed il quinto straterello 64', 64'' aumentano di spessore e formano la prima regione intermedia di corpo 64; inoltre, il quarto ed il sesto straterello 66', 66'' aumentano di spessore e formano la seconda regione intermedia di corpo 66.

Si noti che, sebbene nelle figure 13 e 14 sia mostrata una forma di realizzazione in cui il terzo ed il quarto straterello 64' e 66' hanno uno spessore h_I inferiore allo spessore h_{62} del primo strato intermedio 62a, ed in cui il quinto ed il sesto straterello 64'' e 66'' hanno uno spessore h_{II} inferiore allo spessore h_{62} del secondo strato

intermedio 62b, è altresì possibile effettuare il secondo ed il terzo impianto in maniera tale per cui $h_I \geq h_{62}$ e $h_{II} \geq h_{62}$.

Successivamente si forma, mediante etero-epitassia, lo strato superiore 12 di silicio, e quindi, in modo di per sé noto, si realizzano la prima e la seconda regione superiore di corpo 32a, 32b, la trincea 20, la prima regione di porta 26, il primo strato di ossido 24, la prima regione di sorgente 34, la prima regione di ossido 30, la prima regione dielettrica 35, nonché la prima metallizzazione superiore 36, la metallizzazione inferiore 38 e la prima metallizzazione di porta.

Per fabbricare il transistor JFET 100 è invece possibile eseguire le operazioni mostrate alle figure 9-11.

Successivamente (figura 16), quindi dopo aver eseguito il trattamento termico, si forma, mediante etero-epitassia, uno strato addizionale 232, formato di silicio e tipo N++ (ad esempio drogato con fosforo), e destinato a formare la seconda regione di sorgente 102.

Successivamente (figura 17), mediante un attacco chimico, si rimuovono selettivamente porzioni dello strato addizionale 232, in modo da formare la seconda regione di sorgente 102. In seguito, si deposita uno strato isolante 236 formato, ad esempio, di vetro borofosfosilicato e destinato a formare la seconda regione dielettrica 106.

In modo non mostrato, si rimuovono selettivamente, mediante attacco chimico, porzioni dello strato isolante 236, in modo da formare la seconda regione dielettrica 106, e si realizzano la seconda metallizzazione superiore 104 e la seconda metallizzazione di porta 108.

Infine, per fabbricare il transistor bipolare 120, è possibile operare nel seguente modo.

In dettaglio, si eseguono le operazioni mostrate in figura 9. Successivamente (figura 18) si esegue, mediante una quarta maschera di resist 250, un quarto impianto di specie droganti di tipo P (ad esempio, atomi di alluminio o boro), rappresentato dalle frecce 252, in modo da localizzare le specie droganti in un settimo straterello 124a' di tipo P, localizzato al di sotto della superficie intermedia S_{10} e destinato a formare la regione di base 124. Anche questo quarto impianto viene eseguito a caldo, cioè ad una temperatura compresa tra 500°C e 850°C , e con dosaggio ed energia rispettivamente compresi negli intervalli $1 \cdot 10^{14} \text{cm}^{-2} - 1 \cdot 10^{15} \text{cm}^{-2}$ e $30 \text{KeV} - 2 \text{MeV}$. Ancora, anche il quarto impianto può avvenire previa predisposizione, al di sopra della superficie intermedia S_{10} , di uno strato temporaneo di silicio, il quale viene rimosso al termine del quarto impianto.

Successivamente (figura 19) si rimuove la quarta maschera di resist 250 e si esegue, mediante una quinta

maschera di resist 260, un quinto impianto di specie droganti di tipo P (ad esempio, atomi di alluminio o boro), rappresentato dalle frecce 262, in modo da localizzare le specie droganti in un ottavo straterello 126a' di tipo P-, localizzato al di sotto della superficie intermedia S_{10} e destinato a formare la regione di bordo 126. Anche questo quinto impianto viene eseguito a caldo, cioè ad una temperatura compresa tra 500°C e 850°C , e con dosaggio ed energia rispettivamente compresi negli intervalli $1 \cdot 10^{12} \text{cm}^{-2}$ - $1 \cdot 10^{13} \text{cm}^{-2}$ e 30KeV - 2MeV . Ancora, anche il quinto impianto può avvenire previa predisposizione, al di sopra della superficie intermedia S_{10} , di uno strato temporaneo di silicio, il quale viene rimosso al termine del quinto impianto.

Successivamente (figura 20) si rimuove la quinta maschera di resist 260 e si esegue un trattamento termico, ad una temperatura compresa tra 1250°C e 1365°C , e della durata, ad esempio, di trenta minuti. In tal modo, il settimo e l'ottavo straterello 124a', 126a' formano, rispettivamente, una prima porzione di regione di base 124a ed una prima porzione di regione di bordo 126a, estendetisi affacciate alla superficie intermedia S_{10} , la prima porzione di regione di bordo 126a circondando la prima porzione di regione di base 124a.

In seguito (figura 21), si forma, mediante crescita

epitassiale, lo strato superiore 12, disposto al di sopra della superficie intermedia S_{10} .

Successivamente (figura 22), si esegue, mediante una sesta maschera di resist 270, un sesto impianto di specie droganti di tipo P (ad esempio, atomi di alluminio o boro), rappresentato dalle frecce 272, in modo da localizzare le specie droganti in un nono straterello 124b' di tipo P, localizzato al di sotto della superficie superiore S_{12} e destinato a formare la regione di base 124.

In seguito (figura 23), si rimuove la sesta maschera di resist 270 e si esegue, mediante una settima maschera di resist 280, un settimo impianto di specie droganti di tipo P (ad esempio, atomi di alluminio o boro), rappresentato dalle frecce 282, in modo da localizzare le specie droganti in un decimo straterello 126b' di tipo P-, localizzato al di sotto della superficie superiore S_{12} , circondante il nono straterello 124b' e destinato a formare la regione di bordo 126.

Successivamente (figura 24), si rimuove la settima maschera di resist 280 e si esegue un trattamento termico ad una temperatura compresa tra 1100°C e 1150°C , e della durata di circa centoventi minuti, in maniera tale per cui il nono ed il decimo straterello 124b', 126b' formano rispettivamente una seconda porzione di regione di base 124b ed una seconda porzione di regione di bordo 126b,

estendetisi affacciate alla superficie superiore S_{12} , la seconda porzione di regione di bordo 126b circondando la seconda porzione di regione di base 124b. Inoltre, la seconda porzione di regione di base 124b e la seconda porzione di regione di bordo 126b attraversano l'intero spessore dello strato superiore 12, fino a raccordarsi, rispettivamente, alla prima porzione di regione di base 124a ed alla prima porzione di regione di bordo 126a, in maniera tale da formare la regione di base 124 e la regione di bordo 126.

In modo di per sé noto, e pertanto non mostrato, vengono quindi realizzate la regione di emettitore 122, la regione di channel stopper 128, la regione isolante 140, la metallizzazione di emettitore 130, la metallizzazione di base 132, l'anello equipotenziale 134 e la metallizzazione inferiore 38.

I vantaggi che il presente dispositivo elettronico integrato ed il presente metodo di fabbricazione consentono di ottenere emergono chiaramente dalla discussione precedente.

In dettaglio, il presente dispositivo elettronico è formato a partire da un substrato di silicio, con conseguenti benefici in termini di costi ridotti e disponibilità di wafer di grandi dimensioni. Inoltre, il presente dispositivo elettronico integrato utilizza le

proprietà del carburo di silicio (bandgap elevato) per confinare il campo elettrico all'interno degli strati epitassiali di carburo di silicio, prevenendo la generazione del fenomeno del breakdown all'interno del substrato di silicio. In particolare, l'impiego del primo e del secondo strato di buffer 6, 8 consente di prevenire il verificarsi del breakdown all'interno del substrato 4; inoltre, i profili di drogaggio e gli spessori h_6 , h_8 del primo e del secondo strato di buffer 6, 8 possono essere modulati in modo che il campo elettrico che si genera all'interno dei medesimi abbia un profilo voluto.

Inoltre, secondo il presente metodo di fabbricazione, la prima e la seconda regione profonda di corpo 14a, 14b, nonché, nel caso del transistor bipolare 120, la prima porzione di regione di base 124a, sono fabbricate mediante impiantazione ionica, con conseguente maggior controllo dei relativi spessori, i quali possono essere superiori a quanto ottenibile mediante diffusione.

Risulta infine evidente che ai presenti dispositivo elettronico integrato e metodo di fabbricazione possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione.

Ad esempio, è possibile che sia presente uno solo tra il primo ed il secondo strato di buffer 6, 8. Inoltre, è possibile invertire tutti i tipi degli elementi di semiconduttore descritti, e/o impiegare materiali semiconduttori differenti.

RIVENDICAZIONI

1. Dispositivo elettronico integrato formato in un corpo (2) di materiale semiconduttore comprendente:

- un substrato (4;4b) di un primo materiale semiconduttore (Si), il primo materiale semiconduttore avendo un primo bandgap;

- una prima regione epitassiale (6,8,10) di un secondo materiale semiconduttore (SiC) e di un primo tipo di conducibilità, sovrastante il substrato e definente una prima superficie (S_{10}), il secondo materiale semiconduttore avendo un secondo bandgap superiore al primo bandgap;

- una seconda regione epitassiale (12;102) del primo materiale semiconduttore, sovrastante ed in contatto diretto con la prima regione epitassiale;

in cui la prima regione epitassiale comprende un primo strato di buffer (6;8) sovrastante il substrato, ed uno strato di deriva (10) sovrastante il primo strato di buffer e definente la prima superficie, il primo strato di buffer e lo strato di deriva avendo differente livello di drogaggio.

2. Dispositivo elettronico secondo la rivendicazione 1, in cui la prima regione epitassiale (6,8,10) comprende inoltre un secondo strato di buffer (8) interposto fra il primo strato di buffer (6) e lo strato di deriva (10), il

secondo strato di buffer avendo un livello di drogaggio inferiore al livello di drogaggio del primo strato di buffer.

3. Dispositivo elettronico secondo la rivendicazione 2, comprendente inoltre una regione semiconduttrice (14a-14b,124) del secondo tipo di conducibilità, estendentesi almeno in parte attraverso lo strato di deriva (10).

4. Dispositivo elettronico secondo una qualsiasi delle rivendicazioni precedenti, in cui lo strato di deriva (10) definisce la prima superficie (S_{10}), e la regione semiconduttrice (14a,14b) comprende una prima ed una seconda porzione affacciate alla prima superficie (S_{10}) e distanziate lateralmente in modo da delimitare una regione interna (16).

5. Dispositivo elettronico secondo la rivendicazione 4, in cui il substrato (4) è del primo tipo di conducibilità, e il dispositivo elettronico è un dispositivo a scelta tra un transistor MOSFET a trincea (1) o un transistor MOSFET a cella planare (5).

6. Dispositivo elettronico secondo la rivendicazione 4 o 5, formante un transistor MOSFET a trincea (1), in cui la seconda regione epitassiale (12) definisce una superficie principale (S_{12}) del corpo (2), una trincea (20) estendendosi all'interno della seconda regione epitassiale

a partire dalla superficie principale e attraversando almeno parzialmente la regione interna (16).

7. Dispositivo elettronico secondo la rivendicazione 5, in cui il corpo (2) comprende inoltre una regione intermedia (62a,62b) interposta tra la prima regione epitassiale (6,8,10) e la seconda regione epitassiale (12); il dispositivo elettronico comprendendo inoltre una prima ed una seconda regione addizionale di corpo (64,66) del secondo tipo di conducibilità, lateralmente distanziate ed estendentisi attraverso la regione intermedia fra la seconda regione epitassiale (12) e, rispettivamente, la prima e la seconda porzione (14a,14b).

8. Dispositivo elettronico secondo la rivendicazione 4, formante un transistor JFET (100), in cui la prima e la seconda porzione (14a,14b) sono disposte ("arranged") ad una prima distanza (w_{16}) e formano rispettive interfacce con lo strato di deriva (10), i livelli di drogaggio dello strato di deriva e della prima e della seconda porzione essendo tali per cui, in assenza di polarizzazione, in corrispondenza delle interfacce si formano regioni svuotate (D_a, D_b) che si estendono all'interno dello strato di deriva per una profondità (w_{db}) almeno pari a metà della prima distanza.

9. Dispositivo elettronico secondo la rivendicazione

4, formante un dispositivo a scelta tra un transistor IGBT a trincea (80) o un transistor IGBT a cella planare (90), in cui il substrato (4b) e la seconda regione epitassiale (12) sono rispettivamente del secondo e del primo tipo di conducibilità, la seconda regione epitassiale definendo una superficie principale (S_{12}) del corpo (2), il dispositivo elettronico comprendendo inoltre una prima ed una seconda regione superiore di corpo (32a,32b) del secondo tipo di conducibilità estendentisi all'interno della seconda regione epitassiale a partire dalla superficie principale, fino, rispettivamente, alla prima e alla seconda porzione (14a,14b).

10. Dispositivo elettronico secondo la rivendicazione 4, formante un transistor bipolare (120), in cui il substrato (4) e la seconda regione epitassiale (12) sono del primo tipo di conducibilità, la seconda regione epitassiale definendo una superficie principale (S_{12}) del corpo (2); il dispositivo elettronico comprendendo inoltre una regione di conduzione corrente (122) del primo tipo di conducibilità, ed una regione di controllo (124) del secondo tipo di conducibilità, la regione di conduzione corrente estendendosi all'interno della seconda regione epitassiale a partire dalla superficie principale, la regione di controllo estendendosi, a partire dalla

superficie principale, per l'intero spessore della seconda regione epitassiale, ed estendendosi parzialmente nello strato di deriva (10).

11. Dispositivo elettronico secondo la rivendicazione 10, in cui la regione di controllo (124) circonda lateralmente ed inferiormente la regione di conduzione di corrente (122), il dispositivo comprendendo inoltre una regione di bordo (126) circondante la regione di controllo ed avente il secondo tipo di conducibilità e livello di drogaggio inferiore rispetto alla regione di controllo.

12. Metodo di fabbricazione di un dispositivo elettronico integrato, comprendente le fasi di:

- disporre un substrato (4;4b) di un primo materiale semiconduttore (Si), il primo materiale semiconduttore avendo un primo bandgap;

- formare, al di sopra del substrato, una prima regione epitassiale (6,8,10) di un secondo materiale semiconduttore (SiC) e di un primo tipo di conducibilità, il secondo materiale semiconduttore avendo un secondo bandgap superiore al primo bandgap, in cui la fase di formare una prima regione epitassiale comprende formare un primo strato di buffer (6;8) al di sopra del substrato e formare uno strato di deriva (10) al di sopra del primo strato di buffer, il primo strato di buffer e lo strato di

deriva avendo differente livello di drogaggio; e

- formare una seconda regione epitassiale (12;102) del primo materiale semiconduttore al di sopra della prima regione epitassiale.

13. Metodo di fabbricazione secondo la rivendicazione 12, in cui la fase di formare una prima regione epitassiale (6,8,10) comprende formare un secondo strato di buffer (8) fra il primo strato di buffer (6) e lo strato di deriva (10), il secondo strato di buffer avendo un livello di drogaggio inferiore al livello di drogaggio del primo strato di buffer.

14. Metodo di fabbricazione secondo la rivendicazione 13, comprendente inoltre la fase di impiantare una regione semiconduttrice (14a-14b,124) del secondo tipo di conducibilità all'interno dello strato di deriva (10).

15. Metodo di fabbricazione secondo la rivendicazione 14, in cui la fase di impiantare una regione semiconduttrice (14a-14b,124) comprende formare una prima ed una seconda porzione (14a,14b) distanziate lateralmente e delimitanti una regione interna (16).

16. Metodo di fabbricazione secondo la rivendicazione 15, comprendente inoltre la fase di formare, fra la prima regione epitassiale (6,8,10) e la seconda regione epitassiale (12;102), una regione intermedia

(62a, 62b, 64, 66) e includente le fasi di:

a) formare uno strato intermedio (62a) al di sopra della prima regione epitassiale;

b) impiantare selettivamente specie droganti all'interno dello strato intermedio;

c) eventualmente ripetere le fasi di formare uno strato intermedio e impiantare selettivamente; e

d) eseguire un trattamento termico.

17. Metodo di fabbricazione secondo la rivendicazione 14, in cui la fase di impiantare una regione semiconduttrice (14a-14b, 124) comprende, in successione, le fasi di:

- prima della fase di formare una seconda regione epitassiale (12), impiantare selettivamente uno strato inferiore (124a') all'interno dello strato di deriva (10) ed effettuare un primo trattamento termico;

- dopo la fase di formare una seconda regione epitassiale, impiantare selettivamente, all'interno della seconda regione epitassiale (12), uno strato superiore (124b') verticalmente allineato allo strato inferiore; e

- successivamente effettuare un secondo trattamento termico; e

- diffondere lo strato superiore fino allo strato inferiore in modo da formare con questo una regione di controllo.

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO

CLAIMS

1. An integrated electronic device formed in a body (2) of semiconductor material, comprising:

- a substrate (4; 4b) of a first semiconductor material (Si),
5 the first semiconductor material having a first bandgap;

- a first epitaxial region (6, 8, 10) made of a second semiconductor material (SiC) and with a first type of conductivity, which overlies the substrate and defines a first surface (S_{10}), the second semiconductor material having a
10 second bandgap wider than the first bandgap; and

- a second epitaxial region (12; 102) of the first semiconductor material, which overlies and is in direct contact with the first epitaxial region;

wherein the first epitaxial region comprises a first buffer
15 layer (6; 8), which overlies the substrate, and a drift layer (10), which overlies the first buffer layer and defines the first surface, the first buffer layer and the drift layer having different doping levels.

20 2. The electronic device according to claim 1, wherein the first epitaxial region (6, 8, 10) further comprises a second buffer layer (8), arranged between the first buffer layer (6) and the drift layer (10), the second buffer layer having a doping level lower than the doping level of the first buffer
25 layer.

3. The electronic device according to claim 2, further comprising a semiconductor region (14a- 14b, 124) of the second type of conductivity, extending at least in part
30 through the drift layer (10).

4. The electronic device according to any one of the preceding claims, wherein the drift layer (10) defines the first surface (S_{10}), and the semiconductor region (14a, 14b) comprises a

first portion and a second portion, which face the first surface (S_{10}) and are arranged at a distance apart laterally so as to delimit an internal region (16).

5 5. The electronic device according to claim 4, wherein the substrate (4) is of the first type of conductivity, and the electronic device is a device chosen between a trench MOSFET (1) and a planar-cell MOSFET (5).

10 6. The electronic device according to claim 4 or claim 5, which forms a trench MOSFET (1), wherein the second epitaxial region (12) defines a main surface (S_{12}) of the body (2), a trench (20) extending within the second epitaxial region starting from the main surface and traversing the internal
15 region (16) at least partially.

7. The electronic device according to claim 5, wherein the body (2) further comprises an intermediate region (62a, 62b) arranged between the first epitaxial region (6, 8, 10) and the
20 second epitaxial region (12); the electronic device further comprising a first additional body region (64) and a second additional body region (66), which are of the second type of conductivity, are arranged laterally at a distance apart, and extending through the intermediate region between the second
25 epitaxial region (12) and, respectively, the first and second portions (14a, 14b).

8. The electronic device according to claim 4, which forms a JFET (100), wherein the first and second portions (14a, 14b)
30 are arranged at a first distance (w_{16}) and form respective interfaces with the drift layer (10), the doping levels of the drift layer and of the first and second portions being such that, in the absence of biasing, at the interfaces depleted regions (D_a , D_b) are formed, which extend within the drift

layer for a depth (w_{db}) at least equal to half of the first distance.

5 9. The electronic device according to claim 4, which forms a device chosen between a trench IGBT (80) and a planar-cell IGBT (90), wherein the substrate (4b) and the second epitaxial region (12) are, respectively, of the second type of conductivity and of the first type of conductivity, the second epitaxial region defining a main surface (S_{12}) of the body (2),
10 the electronic device further comprising a first top body region (32a) and a second top body region (32b), which are of the second type of conductivity, and extend within the second epitaxial region starting from the main surface, as far as, respectively, the first and second portions (14a, 14b).

15 10. The electronic device according to claim 4, which forms a bipolar junction transistor (120), wherein the substrate (4) and the second epitaxial region (12) are of the first type of conductivity, the second epitaxial region defining a main
20 surface (S_{12}) of the body (2); the electronic device further comprising a current-conduction region (122) of the first type of conductivity, and a control region (124) of the second type of conductivity, the current-conduction region extending within the second epitaxial region starting from the main
25 surface, the control region extending, starting from the main surface, throughout the thickness of the second epitaxial region, and extending partially in the drift layer (10).

30 11. The electronic device according to claim 10, wherein the control region (124) surrounds laterally and at the bottom the current-conduction region (122), the device further comprising an edge region (126), which surrounds the control region and has the second type of conductivity and doping level lower than the control region.

12. A method for manufacturing an integrated electronic device, comprising the steps of:

- 5 - providing a substrate (4; 4b)) of a first semiconductor material (Si), the first semiconductor material having a first bandgap;
- 10 - forming, above the substrate, a first epitaxial region (6, 8, 10) of a second semiconductor material (SiC) and having a first type of conductivity, the second semiconductor material having a second bandgap wider than the first bandgap, wherein the step of forming a first epitaxial region comprises forming a first buffer layer (6; 8) above the substrate and forming a drift layer (10) above the first buffer layer, the first buffer layer and the drift layer having different doping levels; and
- 15 - forming a second epitaxial region (12; 102) of the first semiconductor material on top of the first epitaxial region.

13. The manufacturing method according to claim 12, wherein
20 the step of forming a first epitaxial region (6, 8, 10) comprises forming a second buffer layer (8) between the first buffer layer (6) and the drift layer (10), the second buffer layer having a doping level lower than the doping level of the first buffer layer.

25

14. The manufacturing method according to claim 13, further comprising the step of implanting a semiconductor region (14a-14b, 124) of the second type of conductivity within the drift layer (10).

30

15. The manufacturing method according to claim 14, wherein the step of implanting a semiconductor region (14a-14b, 124) comprises forming a first portion (14a) and a second portion (14b), which are arranged at a distance apart laterally and

delimiting an internal region (16).

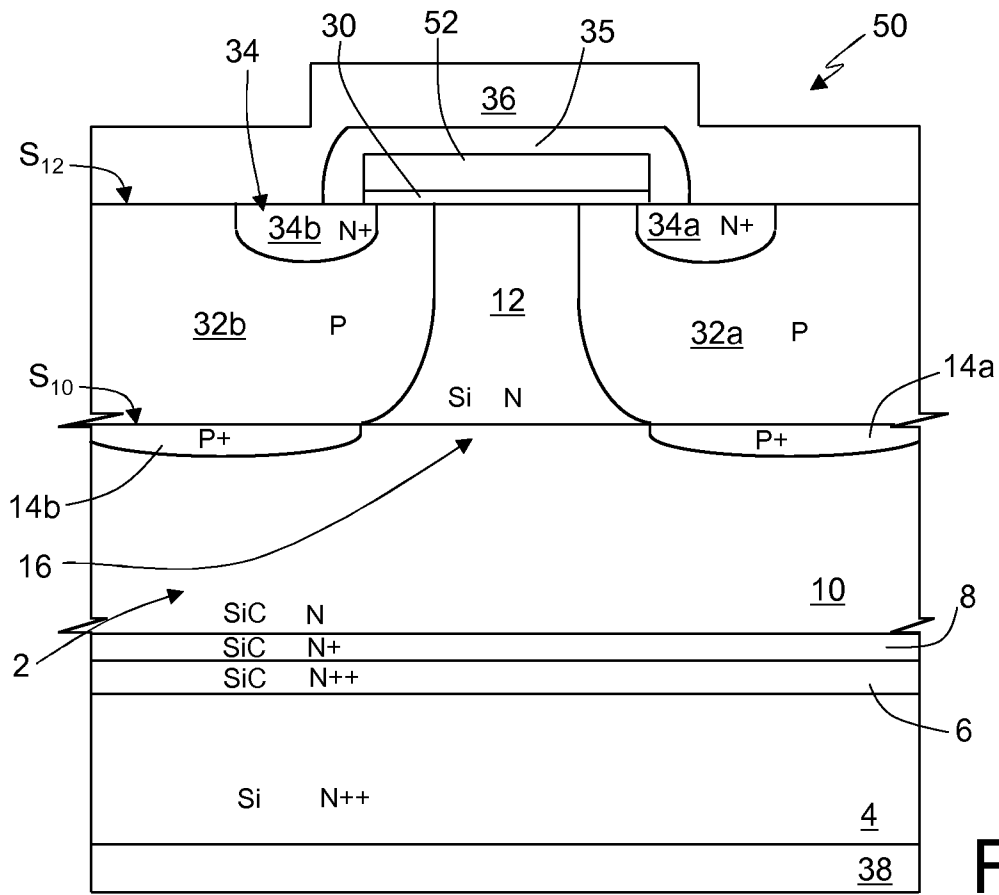
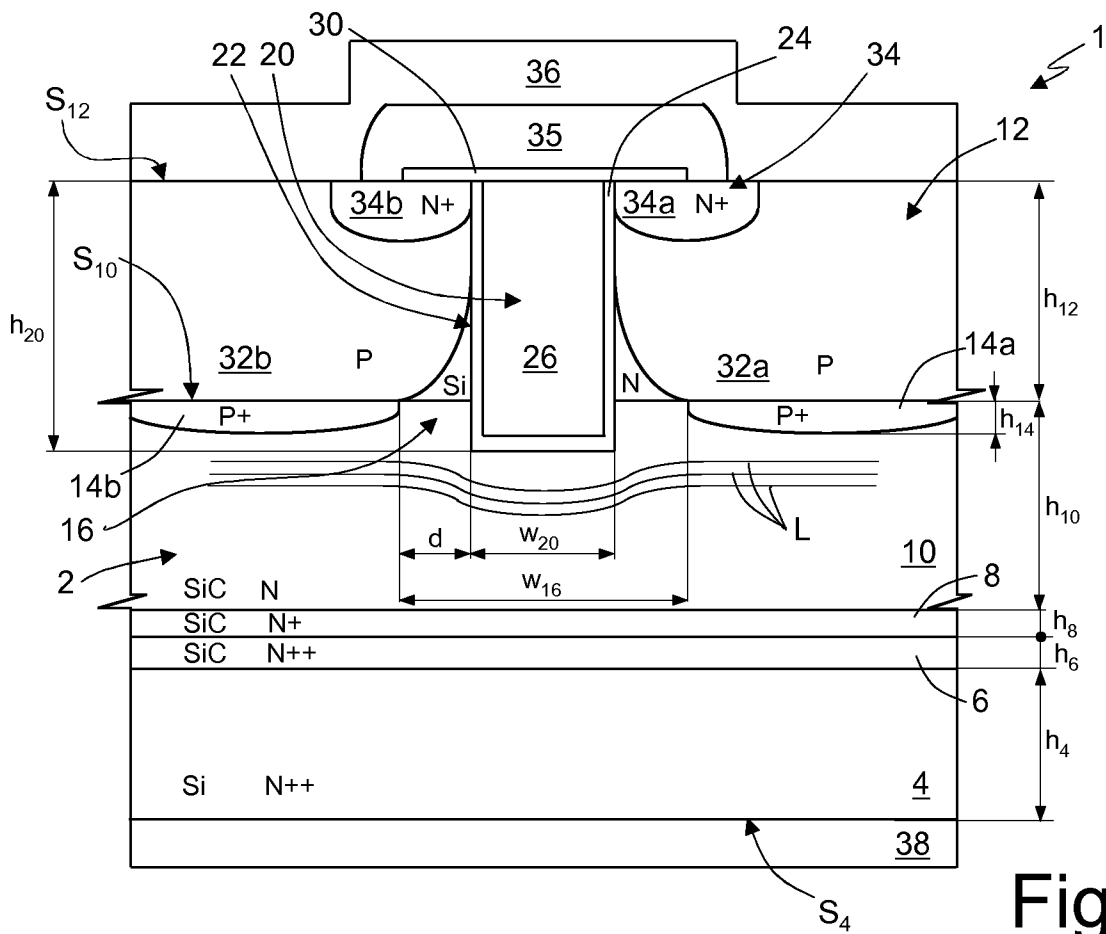
16. The manufacturing method according to claim 15, further comprising the step of forming, between the first epitaxial region (6, 8, 10) and the second epitaxial region (12; 102), an intermediate region (62a, 62b, 64, 66) and including the steps of:

- a) forming an intermediate layer (62a) on top of the first epitaxial region;
- 10 b) selectively implanting dopant species within the intermediate layer;
- c) possibly repeating the steps of forming an intermediate layer and selective implantation; and
- d) performing an annealing.

15

17. The manufacturing method according to claim 14, wherein the step of implanting a semiconductor region (14a-14b, 124) comprises, in succession, the steps of:

- before the step of forming a second epitaxial region (12),
20 selectively implanting a bottom layer (124a') within the drift layer (10) and carrying out a first annealing;
- after the step of forming a second epitaxial region, selectively implanting, within the second epitaxial region (12), a top layer (124b') vertically aligned with the bottom
25 layer;
- subsequently carrying out a second annealing; and
- diffusing the top layer as far as the bottom layer so as to form a control region with the latter.



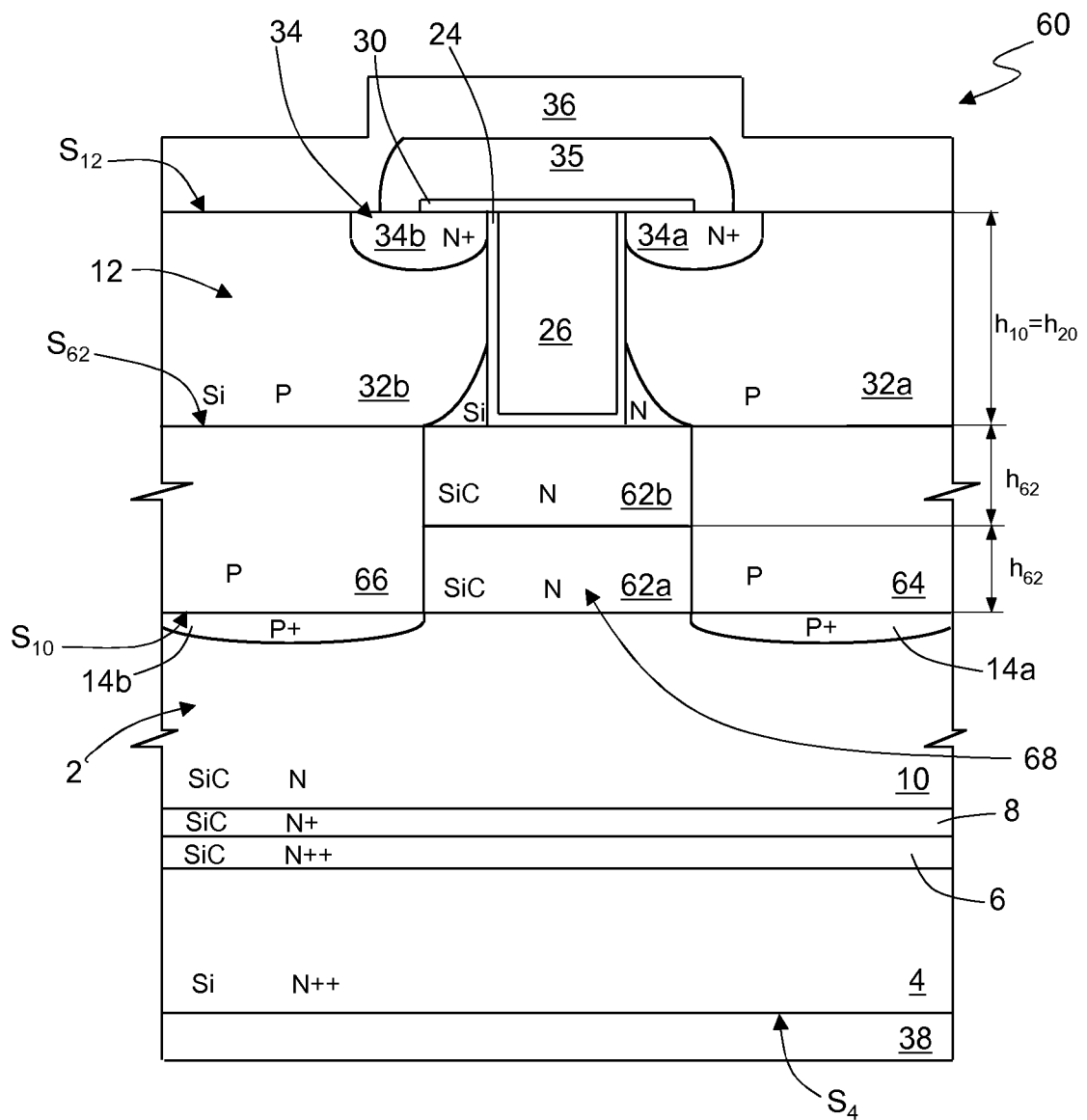


Fig.3

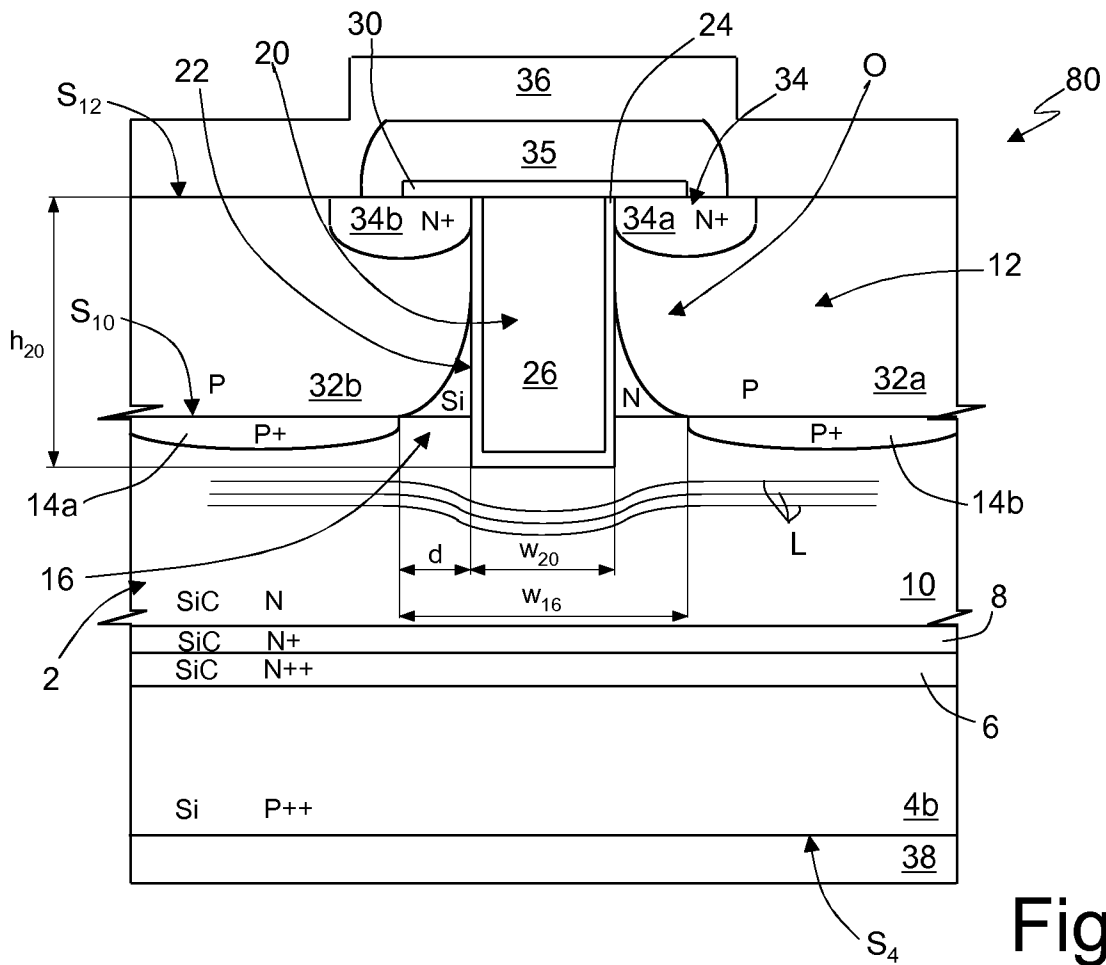


Fig.5

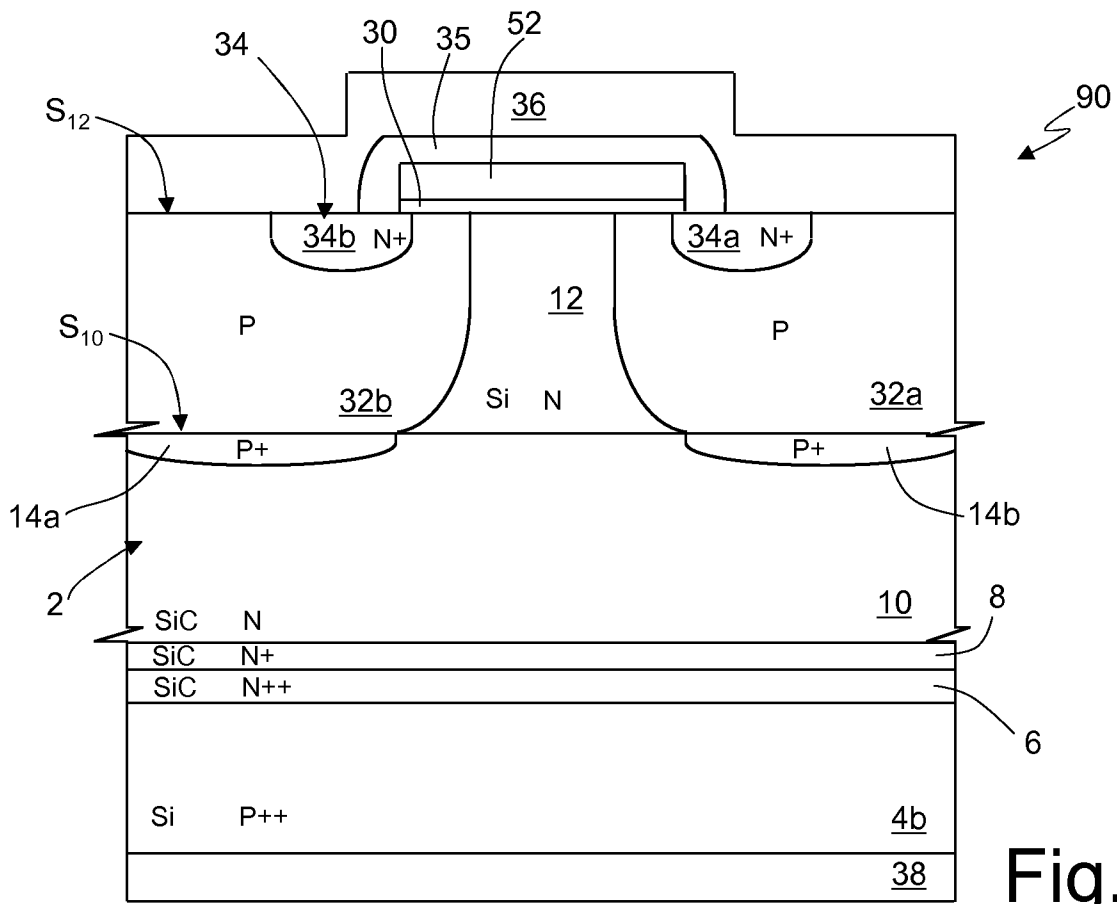


Fig.6

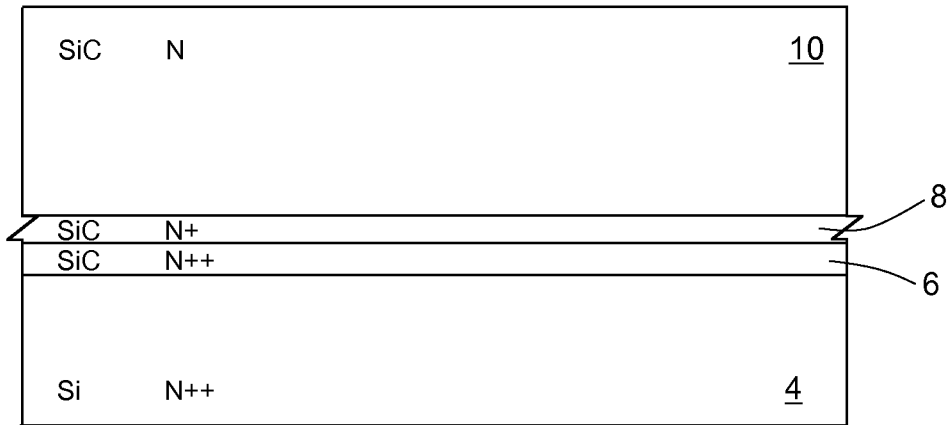


Fig.9

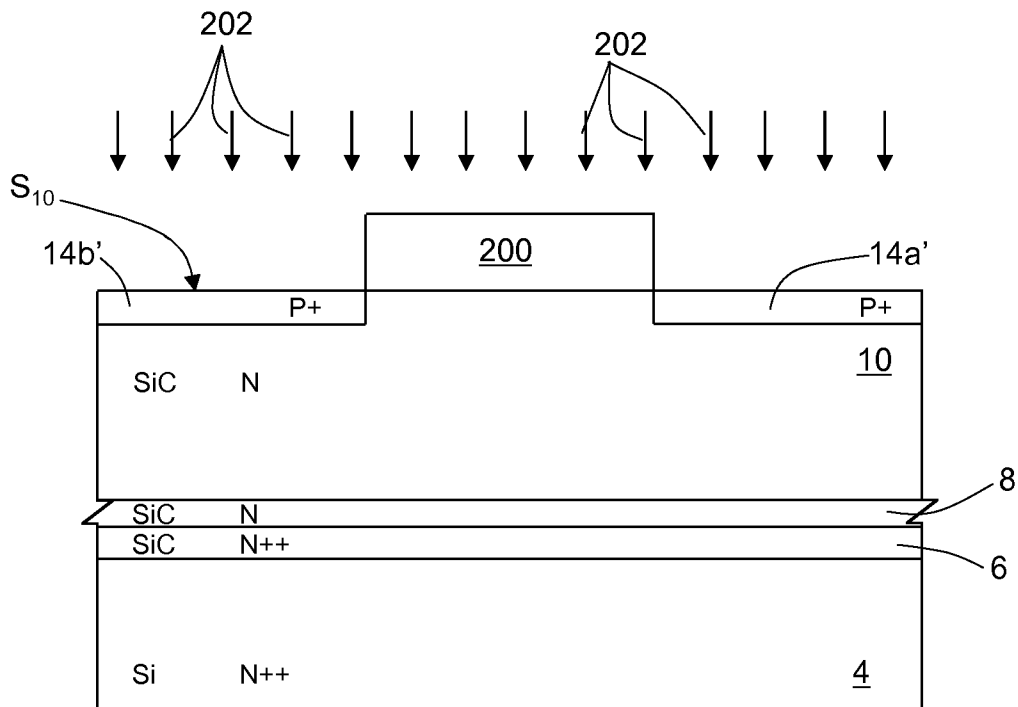


Fig.10

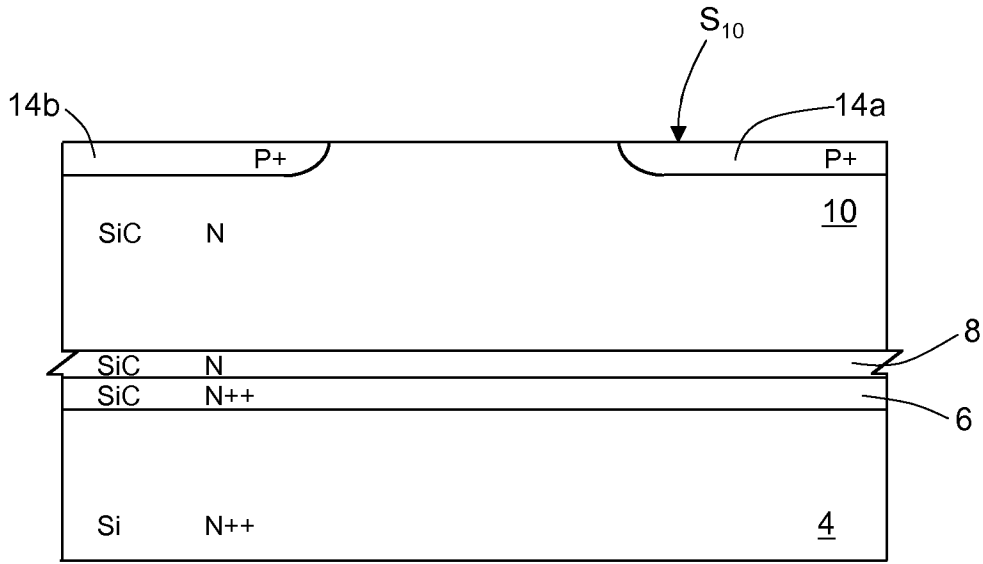


Fig.11

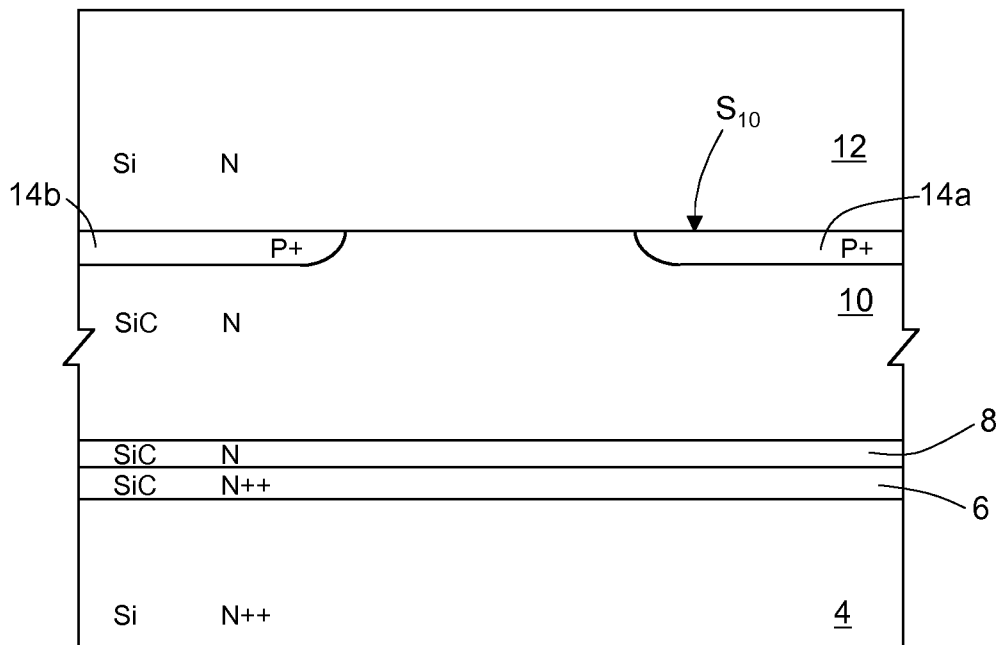


Fig.12

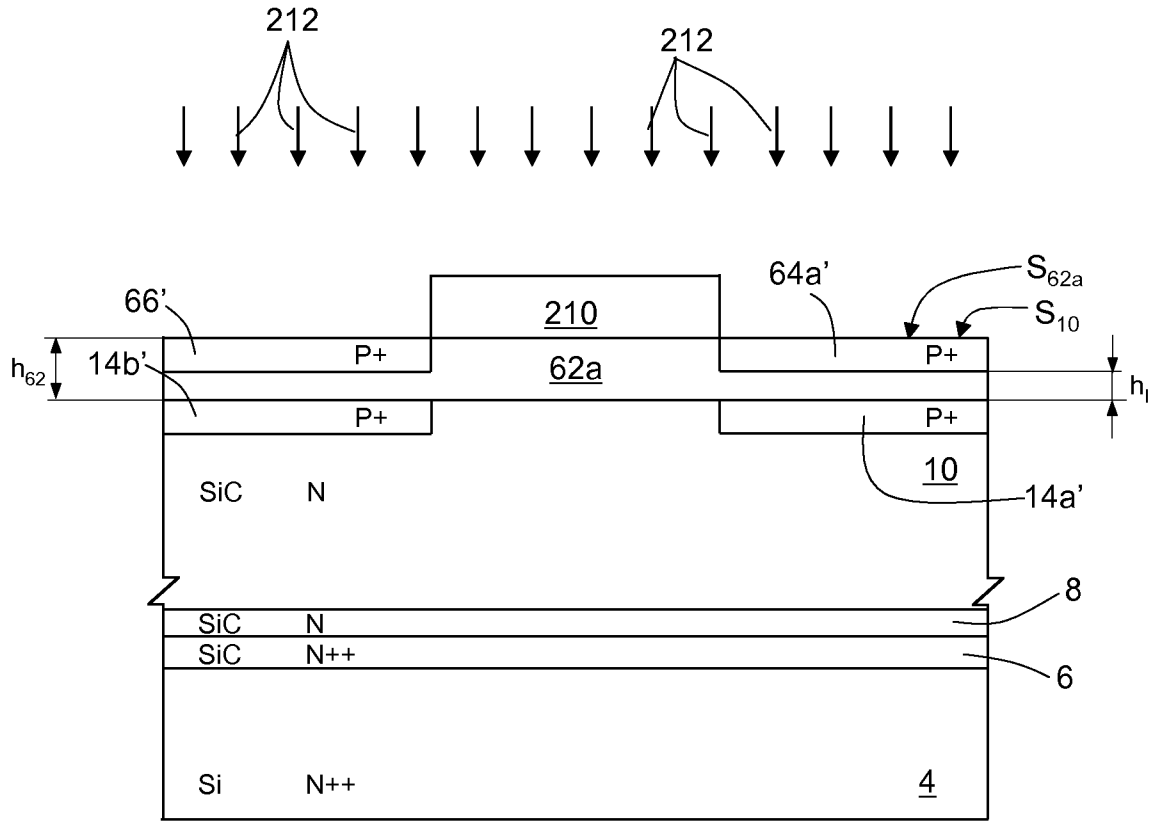


Fig.13

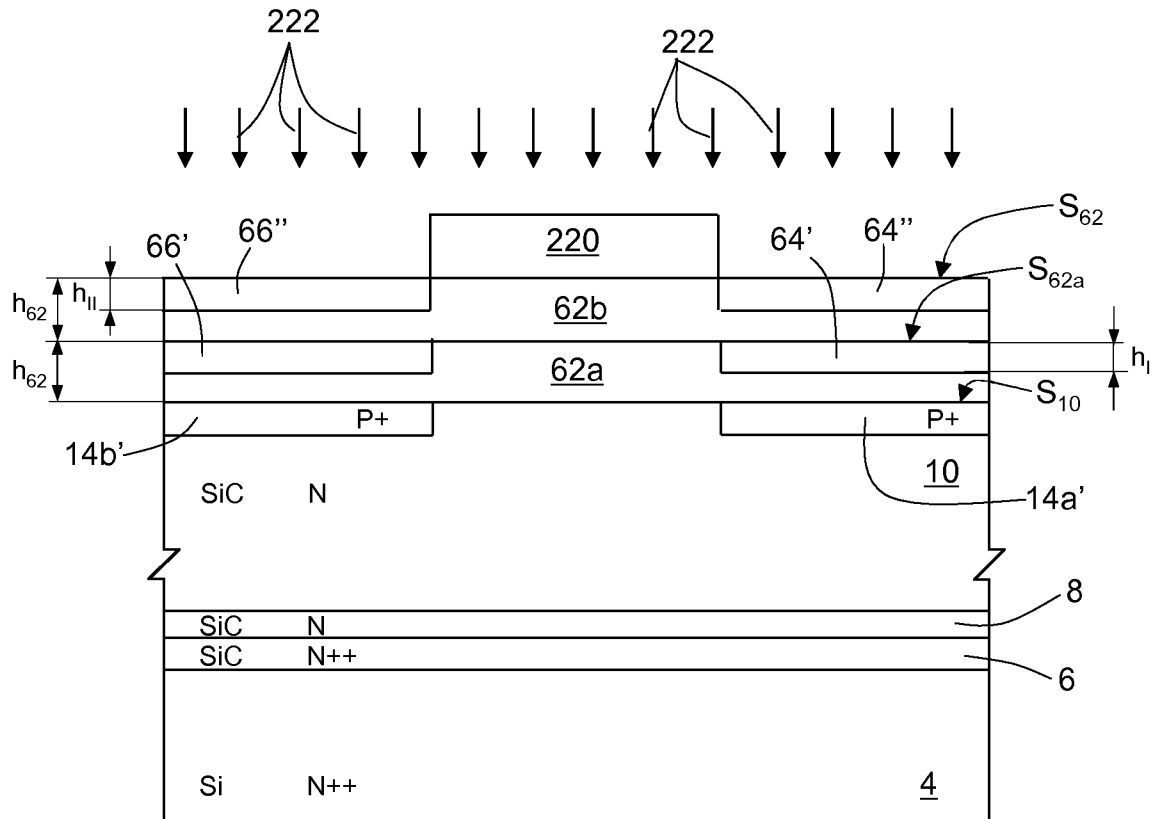


Fig.14

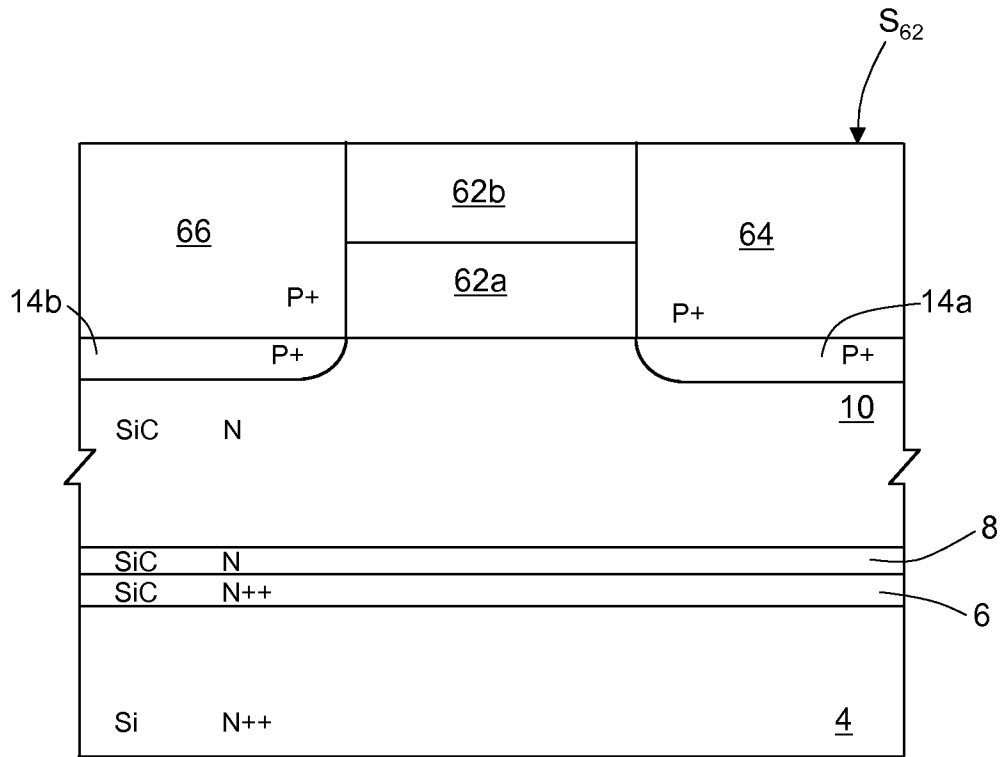


Fig.15

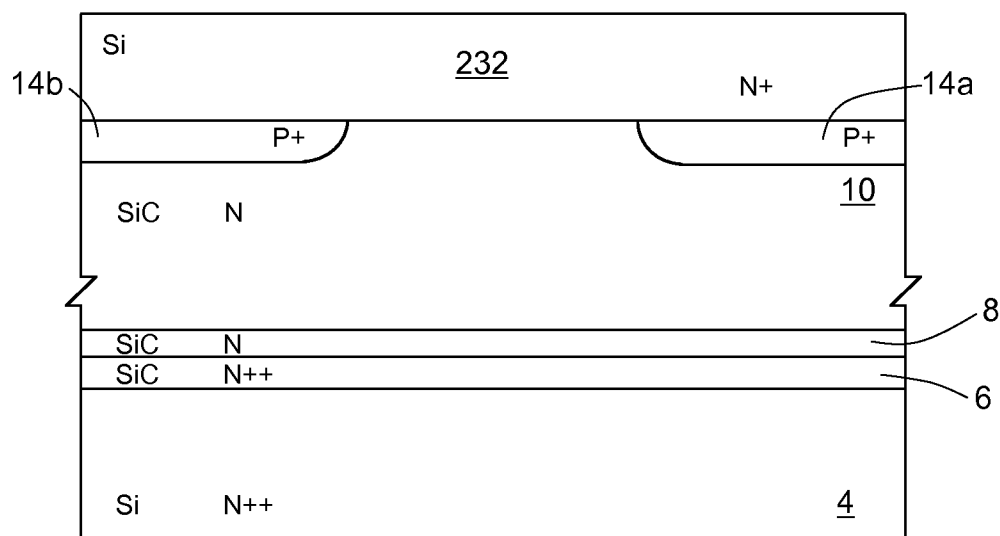


Fig.16

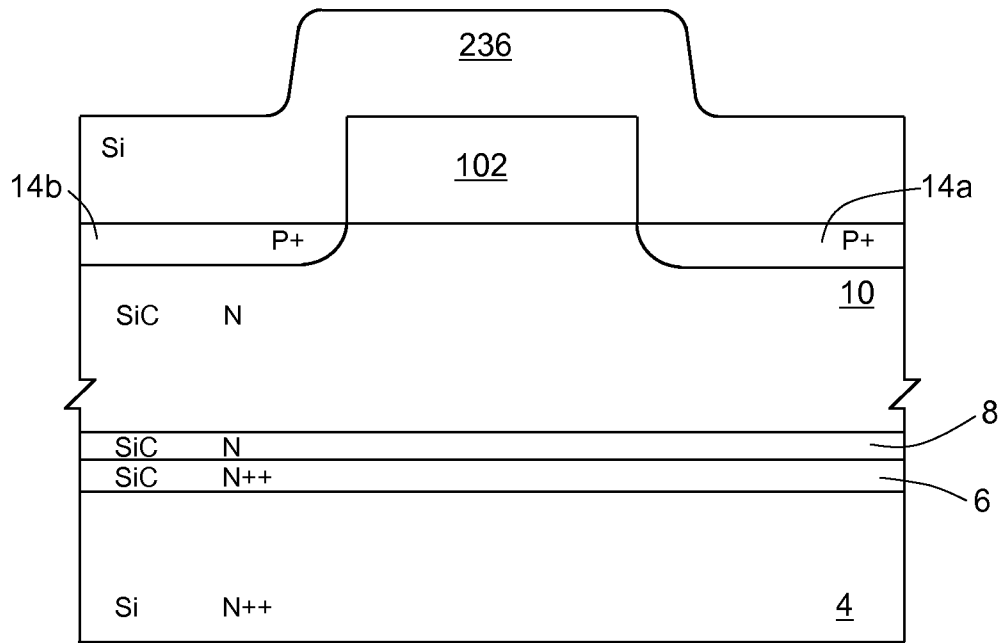


Fig.17

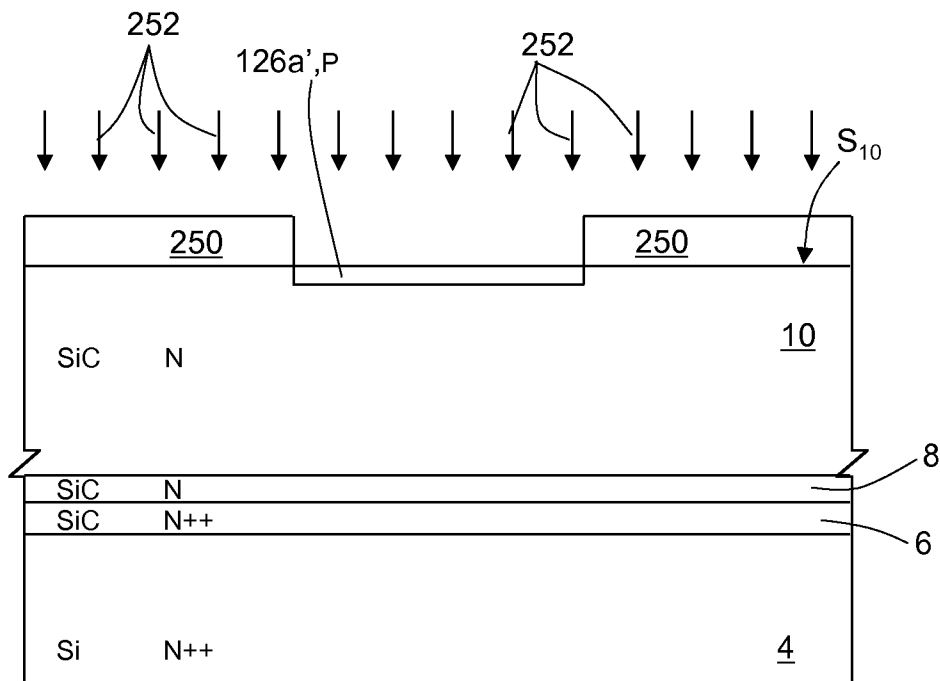


Fig.18

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

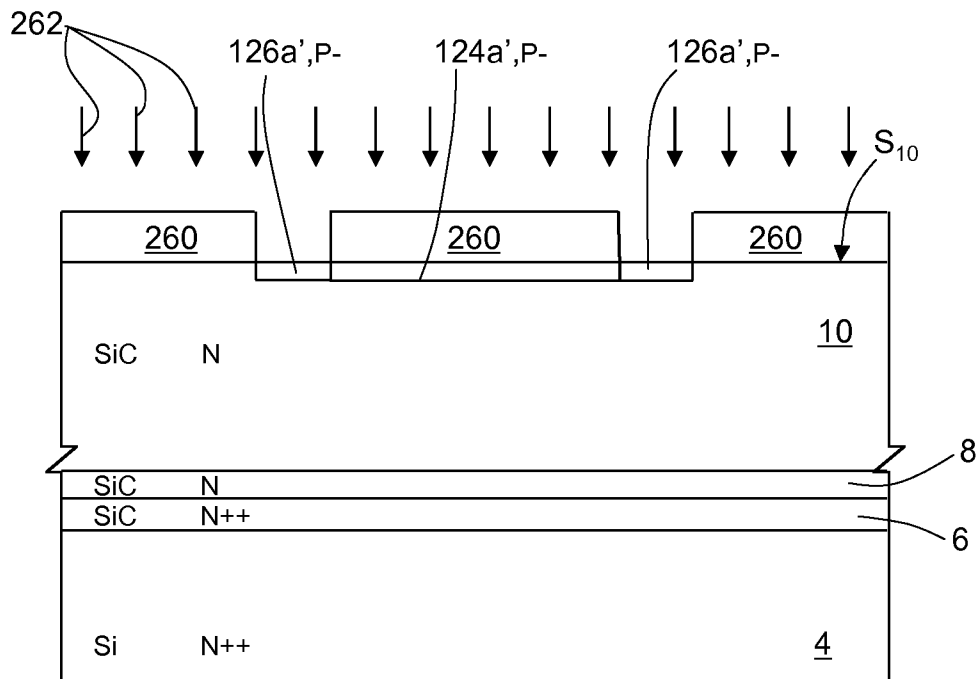


Fig.19

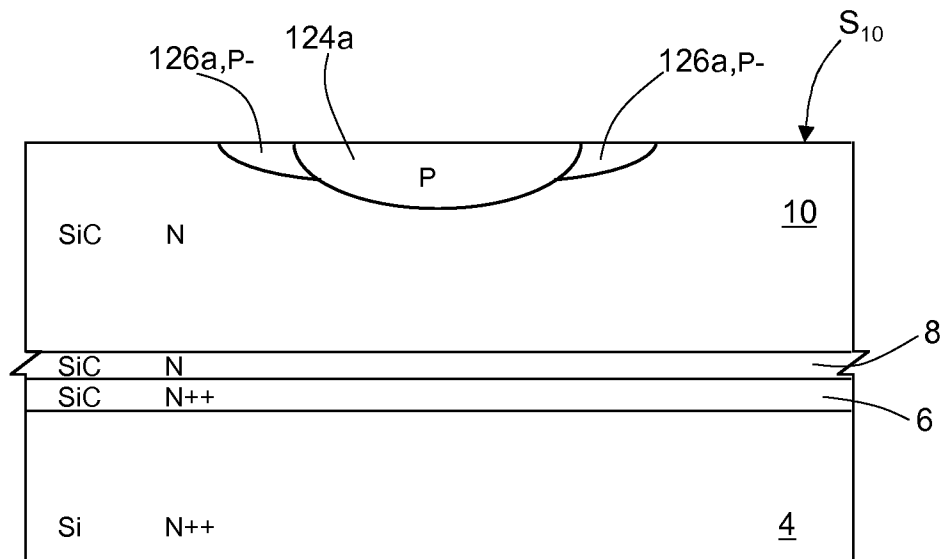


Fig.20

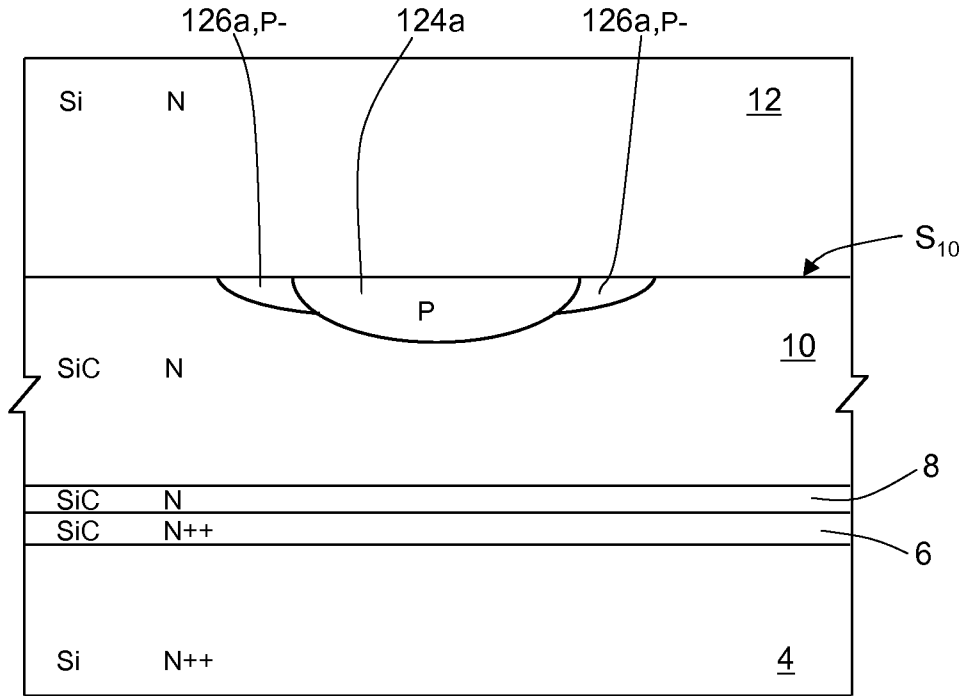


Fig.21

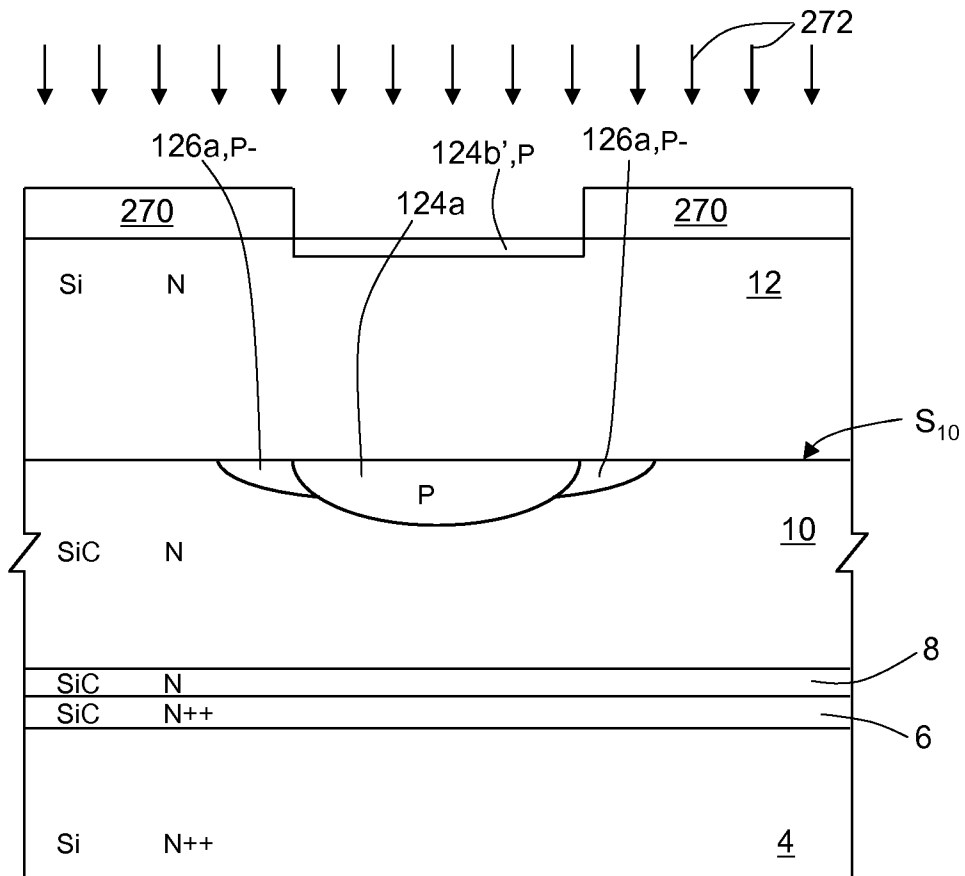


Fig.22

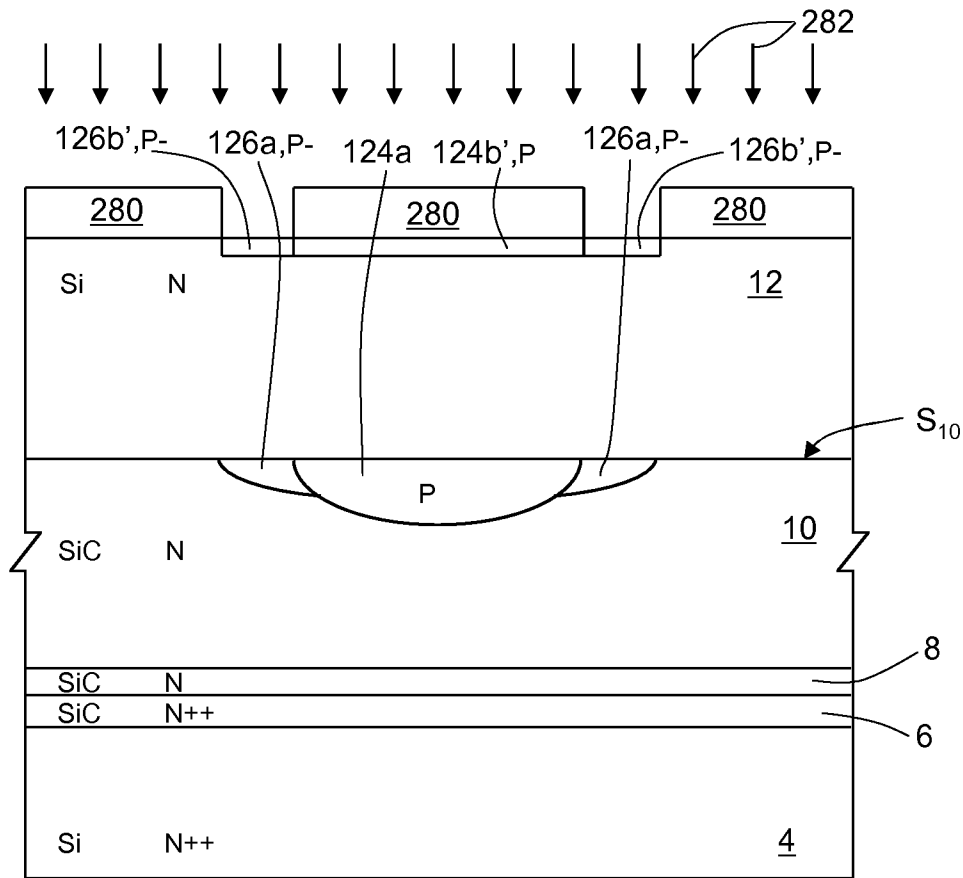


Fig.23

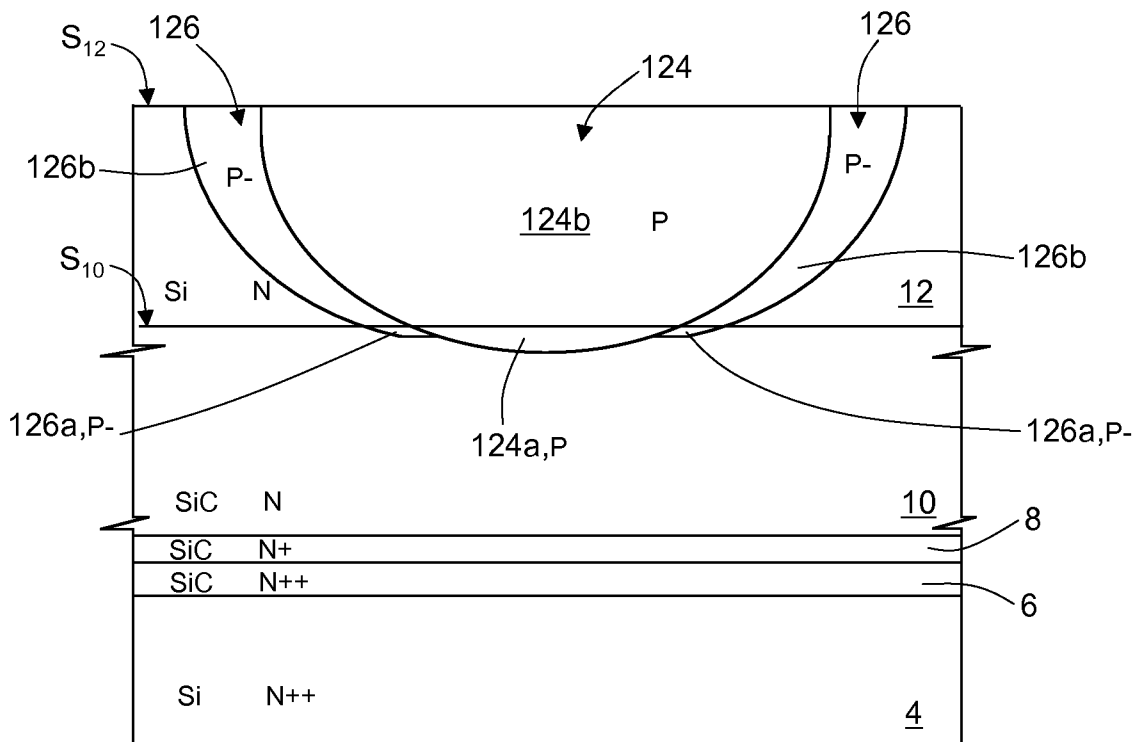


Fig.24