

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月17日(17.10.2024)



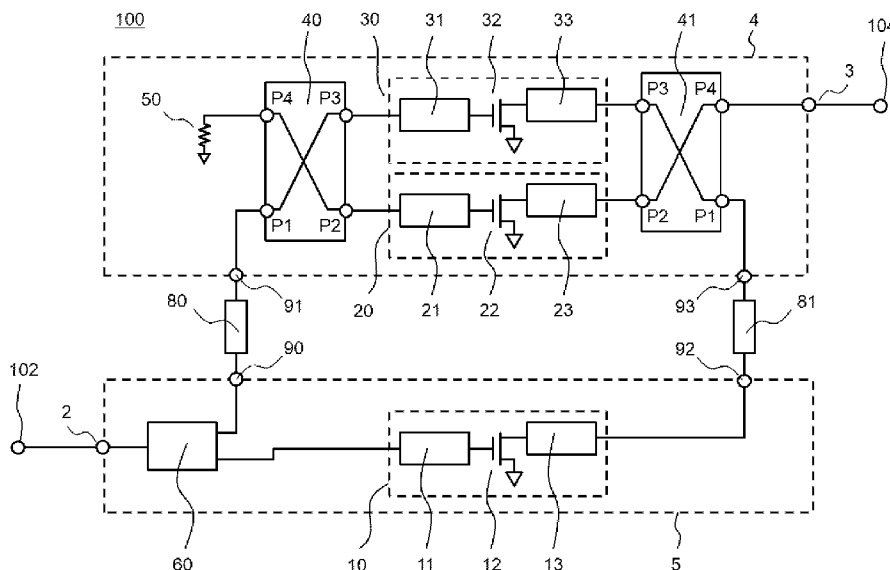
(10) 国際公開番号

WO 2024/214131 A1

- (51) 国際特許分類:
H03F 3/68 (2006.01) *H03F 1/02* (2006.01)
- (21) 国際出願番号: PCT/JP2023/014490
- (22) 国際出願日: 2023年4月10日(10.04.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 嘉藤 勝也(KATO, Katsuya); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 倉谷 泰孝, 外(KURATANI, Yasutaka et al.); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社 知的財産センター内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: POWER AMPLIFIER

(54) 発明の名称: 電力増幅器



(57) Abstract: A power amplifier according to the present disclosure comprises a carrier amplifier module (5), a balance amplifier module (4), a first delay line (80), and a second delay line (81). The thermal resistance from an active element (12) of a first amplifier (10) to a package rear surface is smaller than the thermal resistance from an active element (22) of a second amplifier (20) and from an active element (32) of a third amplifier (30) to the package rear surface. The sum of the electrical length from an input terminal (2) to a first internal output terminal (90) and the electrical length from a first internal input terminal (91) to an output terminal (3) is equal to the sum of the electrical length from the input terminal (2) to a second internal output terminal (92) and the electrical length from a second internal input terminal (93) to the output terminal (3). The electrical lengths of the first delay line (80) and the second delay line (81) are equal to each other.

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))
-

(57) 要約：本開示に係る電力増幅器は、キャリアアンプモジュール (5) とバランスアンプモジュール (4) と第1の遅延線路 (80) と第2の遅延線路 (81) を備える。第1の増幅器 (10) における能動素子 (12) からパッケージ裏面への熱抵抗は、第2の増幅器 (20) の能動素子 (22) 及び第3の増幅器 (30) の能動素子 (32) からパッケージ裏面への熱抵抗より小さい。入力端子 (2) から第1の内部出力端子 (90) までの電気長と第1の内部入力端子 (91) から出力端子 (3) までの電気長の合計は、入力端子 (2) から第2の内部出力端子 (92) までの電気長と第2の内部入力端子 (93) から出力端子 (3) までの電気長の合計と等しい。第1の遅延線路 (80) と第2の遅延線路 (81) の電気長は等しい。

明 細 書

発明の名称：電力増幅器

技術分野

[0001] 本開示は高周波において電力を増幅する無線通信用の電力増幅器に関するものである。特にLMBA回路を採用した電力増幅器に関するものである。

背景技術

[0002] 無線通信では高速大容量通信に対応するためにPAPR (Peak to Average Power Ratio) の大きなデジタル変調信号が用いられている。このようなPAPRの大きい変調信号を低歪で高効率に信号を増幅するための回路の一つにLMBA (Load Modulated Balanced Amplifier) がある。例えば非特許文献1にLMBAの回路と動作が説明されている。

[0003] 図5は非特許文献1に記載の回路を示したものであり、これを用いてLMBAの動作を説明する。LMBA500では分配回路60により外部から入力端子502に入力された信号をキャリアアンプ510とバランスアンプ520に分配する。

[0004] キャリアアンプ510は入力整合回路11, AB級にバイアスされた能動素子12, 出力整合回路13で構成され, その出力はハイブリッドカップラ41のカップリング端子P1に接続される。

バランスアンプ520において2つの増幅器, すなわち入力整合回路21, C級にバイアスされた能動素子22, 出力整合回路33から構成される増幅器20と, 入力整合回路31, C級にバイアスされた能動素子32, 出力整合回路33から構成される増幅器30が, ハイブリッドカップラ40及び41で並列に合成されている。

[0005] 出力整合回路23及び33は, それぞれハイブリッドカップラ41から出力整合回路23及び33側を見たインピーダンスが開放になるように設計される。またハイブリッドカップラ40及び41は50Ωの負荷に対して反射

が最小になるように設計される。

[0006] ここで、入力端子502からバランスアンプ520を通過して出力端子504に至る経路の通過位相を $\theta 1$ とし、入力端子502からキャリアアンプ510を通過して出力端子504に至る経路の通過位相を $\theta 2$ とする。

分配回路60とバランスアンプ520との間に接続された位相調整回路530は、 $\theta 1$ と $\theta 2$ を同じにするように、その電気長が設計されている。

[0007] このような構成によりLMBA500は、大信号入力時にはハイブリッドカップラ41のP1からハイブリッドカップラ41を見たインピーダンスは50 Ω であり、P2、P3からハイブリッドカップラ41を見たインピーダンスはどちらも

[0008] [数1]

$$50 \times \left(1 + \frac{\sqrt{2}I_c}{I_b} \right) \quad [\text{Ohm}]$$

で表され、バランスアンプとキャリアアンプの2つが動作し、ハイブリッドカップラを介して電力が合成されることで高出力を実現する。ここで I_c 及び I_b はそれぞれキャリアアンプ及びバランスアンプからハイブリッドカップラ41に供給される電流を示す。

[0009] 一方でLMBA500は、小信号入力時にはハイブリッドカップラ41のP1からハイブリッドカップラ41を見たインピーダンスは大信号時と同じ50 Ω であり、P2、P3からハイブリッドカップラ41を見たインピーダンスはどちらも ∞ であり、C級にバイアスされたバランスアンプは動作せずキャリアアンプのみが動作することで、低出力時に高い効率が得られる。

[0010] ところで、無線基地局用電力増幅器には一般的に小形であることが求められることから、回路を一つのパッケージ内に集積化したモジュールPAの形態とするのが一般的である。一方、高性能化のためにはキャリアアンプの熱抵抗を小さくする事が望ましい。半面、高価なパッケージ構造を用いる必要があり、コスト増加の原因となる。

特にL M B Aは一般的に回路サイズが大きく、モジュール化する場合はバランスアンプとキャリアアンプをすべて同じP K G上に集積化されるため、低コスト化が問題となる。

[0011] このような問題の解決策として、例えば先行文献1に記載のようにメイン増幅器とピーク増幅器で異なるパッケージを用いることが考えられる。具体的には、コスト低減のためにキャリアアンプモジュールには熱抵抗の小さいパッケージを採用し、バランスアンプモジュールには熱抵抗は大きいが安価なパッケージを採用することが考えられる。

先行技術文献

特許文献

[0012] 特許文献1：特表2008-535321号公報

非特許文献

[0013] 非特許文献1：“ Pseudo-Doherty Load-Modulated Balanced Amplifier With Wide Bandwidth and Extended Power Back-Off Range”, IEEE Transactions on Microwave Theory and Techniques, vol. 68, no. 7, July 2020.

発明の概要

発明が解決しようとする課題

[0014] 前述のように熱抵抗の低いパッケージが必要である増幅器はキャリアアンプであるため、パッケージ面積を小さくするためにはキャリアアンプのみが集積化されたモジュールと、それ以外の部分である分配回路とバランスアンプを集積化したモジュールの2つに分割することがコスト上最適である。

[0015] しかし、キャリアアンプとバランスアンプを2つのモジュールに分割した場合、2つのモジュール同士を接続するために、入力側と出力側に線路が必要となる。これらの線路に通過位相のずれが生じた場合、合成損失を発生さ

せ高周波特性を大きく劣化させるという問題が生じる。

[0016] 上述のような問題に鑑み、本開示は2つのモジュールアンプから構成された高性能で低コストかつモジュール間の接続が容易なL M B A回路を用いた電力増幅器を提供することを目的とする。

課題を解決するための手段

[0017] 本開示に係る電力増幅器は、キャリアアンプモジュールとバランスアンプモジュールと第1の遅延線路と第2の遅延線路とを備えた電力増幅器である。

[0018] キャリアアンプモジュールは、第1の内部出力端子及び第2の内部出力端子と、電力増幅器の入力に接続された入力端子と、分配回路及びパッケージに実装された第1の増幅器を有する。分配回路は、入力が入力端子に接続され、一方の出力が第1の増幅器の入力に接続され、他方の出力が第1の内部出力端子に接続されている。第1の増幅器は、パッケージに実装された電力増幅用のトランジスタを有し、出力が第2の内部出力端子に接続されている。

[0019] バランスアンプモジュールは、第1の内部入力端子及び第2の内部入力端子と、電力増幅器の出力に接続された出力端子と、パッケージに実装された第2の増幅器及び第3の増幅器と、第1のハイブリッドカップラ及び第2のハイブリッドカップラを有する。

第1のハイブリッドカップラは、第1の端子が第1の内部入力端子に接続され、第2の端子が第2の増幅器の入力に接続され、第3の端子が第3の増幅器の入力に接続され、第4の端子が終端されている。

[0020] 第2のハイブリッドカップラは、第1の端子が第2の内部入力端子に接続され、第2の端子が第2の増幅器の出力に接続され、第3の端子が第3の増幅器の出力に接続され、第4の端子が出力端子に接続されている。

第2の増幅器及び第3の増幅器のそれぞれは、パッケージに実装された電力増幅用のトランジスタを有している。

[0021] 第1の遅延線路は第1の内部出力端子と第1の内部入力端子に接続され、

第2の遅延線路は第2の内部出力端子と第2の内部入力端子に接続されている。

[0022] そして、本開示に係る電力増幅器は、第1の増幅器におけるトランジスタからパッケージの裏面への熱抵抗は、第2の増幅器及び第3の増幅器におけるトランジスタからパッケージの裏面への熱抵抗より小さい事を特徴とする。

また、入力端子から第1の内部出力端子までの電気長と第1の内部入力端子から出力端子までの電気長の合計は、入力端子から第2の内部出力端子までの電気長と第2の内部入力端子から出力端子までの電気長の合計と等しく、更に第1の遅延線路と第2の遅延線路の電気長は等しい事を特徴とする。

発明の効果

[0023] 本開示によれば、高性能で低コストかつモジュール間の接続が容易なL M B A回路を用いた電力増幅器を提供することが可能となる。

図面の簡単な説明

[0024] [図1]実施の形態1に係る電力増幅器100を説明する図である。

[図2]実施の形態1に係る電力増幅器100の効率の計算結果を示す図である。

[図3]実施の形態2に係る電力増幅器200を説明する図である。

[図4]実施の形態3に係る電力増幅器100の平面図である。

[図5]非特許文献1に記載の回路を示した図である。

[図6]比較例1に係る電力増幅器600を説明する図である。

[図7]比較例2に係る電力増幅器700を説明する図である。

[図8]比較例3に係る電力増幅器800を説明する図である。

発明を実施するための形態

[0025] 実施の形態1.

本開示の実施の形態に係る電力増幅器について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

[0026] 図1は本開示の実施の形態1に係る電力増幅器100を説明する図である。電力増幅器100は、バランスアンプモジュール4とキャリアアンプモジュール5とプリント基板(PCB, Printed Circuit Board)上の第1の遅延線路80及び第2の遅延線路81から構成されるLMAである。

電力増幅器100は入力端子102及び出力端子104を有する。

[0027] キャリアアンプモジュール5は、入力端子2、第1の内部出力端子90及び第2の内部出力端子92を有する。またキャリアアンプモジュール5は、第1の増幅器10、分配回路60及びパッケージ55(不図示)を備える。第1の増幅器10はキャリアアンプである。分配回路60及び第1の増幅器10はパッケージ55に集積され実装されている。

入力端子2は電力増幅器100の入力端子102に接続されている。分配回路60の入力は入力端子2に接続されている。分配回路60の一方の出力は第1の内部出力端子90に接続され、他方の出力は第1の増幅器10の入力側に接続される。分配回路60は入力端子2に入力された信号を、第1の内部出力端子90及び第1の増幅器10へ分配する。第1の増幅器10の出力側は第2の内部出力端子92に接続されている。

[0028] 第1の増幅器10は、能動素子12、能動素子12の入力側に接続された入力整合回路11、能動素子12の出力側に接続された出力整合回路13を備えた、マイクロ波で動作する電力増幅器である。入力整合回路11及び出力整合回路13は、能動素子12と外部のインピーダンス整合を行う整合回路である。能動素子12はAB級にバイアスされている。なお図1にはバイアス回路等は図示されていない。分配回路60から第1の増幅器10に入力された信号は、入力整合回路11を介して能動素子12に伝達され、能動素子12により増幅され、出力整合回路13を介して第2の内部出力端子92へ出力される。

[0029] バランスアンプモジュール4は、パッケージ44(不図示)とパッケージ44に実装された第1のハイブリッドカップラであるハイブリッドカップラ

40、第2のハイブリッドカップラであるハイブリッドカップラ41、第2の増幅器20、第3の増幅器30及び終端抵抗50を備える。

バランスアンプモジュール4は、キャリアアンプモジュール5から電力が入力される第1の内部入力端子91及び第2の内部入力端子93と、増幅した電力を出力する出力端子3を備える。ハイブリッドカップラ40のポートP1は第1の内部入力端子91に接続されている。ハイブリッドカップラ41のポートP1は第2の内部入力端子93に接続されている。出力端子3は電力増幅器100の出力端子104に接続されている。

[0030] 第2の増幅器20及び第3の増幅器の30の入力は、それぞれハイブリッドカップラ40のポートP2及びポートP3に接続され、第2の増幅器20及び第3の増幅器の30の出力は、それぞれハイブリッドカップラ41のポートP2及びポートP3に接続されて、2つの増幅器は並列に合成されている。

ハイブリッドカップラ40のポートP4は終端抵抗50によって終端されている。ハイブリッドカップラ41のポートP4は出力端子3に接続されている。

[0031] ハイブリッドカップラ41から出力整合回路23及び33側を見たインピーダンスが開放になるように出力整合回路23及び33は設計される。また、ハイブリッドカップラ40及び41は50Ω負荷に対して反射が最小になるように設計される。

ハイブリッドカップラ40及び41は樹脂基板、GaAs基板、Si基板上に形成したマイクロストリップ線路により構成してもよく、集中定数回路を用いて構成してもよい。

[0032] ここでハイブリッドカップラ40及び41の動作を説明しておく。ハイブリッドカップラ40及び41は、4つの入出力ポートを有する一般的な90度ハイブリッド回路であり、例えばマイクロストリップ線路で構成されたブランチャインカップラである。

[0033] これら4つの入出力ポートを第1のポートP1、第2のポートP2、第3

のポートP3、第4のポートP4とする。ポートP1に入力信号が入力された場合、理想的には入力信号はポートP2及びP3に均等に分配され出力され、ポートP4から信号は出力されない。ポートP2の出力信号の位相は入力信号より位相より90°遅れており、ポートP3の出力信号の位相は入力信号の位相より180°遅れている。ハイブリッドカップラ40及び41の損失が無視できると仮定した場合、出力信号それぞれの電力値は入力信号の電力値の半分である。

[0034] 以下同様に、ポートP2に入力信号が入力されると、ポートP1及びP4から電力値が等しく位相がそれぞれ90°及び180°遅れた信号が出力され、ポートP3からは信号が出力されない。

ポートP3に入力信号が入力されると、ポートP4及びP1から電力値が等しく位相がそれぞれ90°及び180°遅れた信号が出力され、ポートP2からは信号が出力されない。

ポートP4に入力信号が入力されると、ポートP3及びP2から電力値が等しく位相がそれぞれ90°及び180°遅れた信号が出力され、ポートP1からは信号が出力されない。

[0035] 第2の増幅器20は、能動素子22、能動素子22の入力に接続された入力整合回路21、能動素子22の出力に接続された出力整合回路23を備えた、マイクロ波で動作する電力増幅器である。入力整合回路21及び出力整合回路23は、能動素子22と外部とのインピーダンス整合を行う整合回路である。能動素子22はC級にバイアスされている。図1にはバイアス回路等は図示されていない。ハイブリッドカップラ40のポートP2から入力整合回路21に入力された信号は能動素子22により増幅され、出力整合回路23を介してハイブリッドカップラ41のポートP2に出力される。

[0036] 第3の増幅器30は、能動素子32、能動素子32の入力に接続された入力整合回路31、能動素子32の出力に接続された出力整合回路33を備えた、マイクロ波で動作する電力増幅器である。入力整合回路31及び出力整合回路33は、能動素子32と外部のインピーダンス整合を行う整合回路で

ある。能動素子32はC級にバイアスされている。図1にはバイアス回路は図示されていない。ハイブリッドカップラ40のポートP3から入力整合回路31に入力された信号は能動素子32により増幅され、出力整合回路33を介してハイブリッドカップラ41のポートP3に出力される。

[0037] 能動素子12, 22及び32は例えばSiC (Silicon Carbide) 基板に形成されたGaN (Gallium Nitride) 系HEMT (High Electron Mobility Transistor) などである。これに限らず他の化合物半導体を用いたトランジスタでも、シリコン系のLD-MOSFET等であってもよい。

入力整合回路11, 21, 31, 及び出力整合回路13, 23, 33は、例えばヒ化ガリウム (GaAs, gallium arsenide) やシリコン (Si, silicon) などの安価な半導体基板上に集積化された回路, あるいは樹脂基板上に配置された小型のチップインダクタとチップ容量で構成された回路等であってもよい。能動素子22及び32はB級あるいは深いAB級にバイアスされていてもよい。

[0038] キャリアアンプモジュール5を構成するパッケージ55と、バランスアンプモジュール4を構成するパッケージ44は構造が異なっている。バランスアンプモジュール4の能動素子22及び能動素子32の裏面からパッケージ44の裏面までの熱抵抗よりも、キャリアアンプモジュール5の能動素子12の裏面からパッケージ55の裏面までの熱抵抗がより低くなるように、パッケージ55の構造は選択される。

[0039] バランスアンプモジュール4のパッケージ44の構造は、例えば材料がFR4であり基板厚が200~500 μ mの多層基板を用いた構造である。はんだ, あるいは導電性接着剤によりトランジスタチップである能動素子22及び32の裏面は多層基板の表面に実装される。能動素子の放熱用に、能動素子22及び32の裏面に対応する多層基板の表面側から裏面側に貫通する, あるいは熱的に接続されたサーマルビアを設けてもよい。このような構造はパッケージを安価に構成することが出来るが、一般に熱抵抗を十分に低く

することは難しい。

[0040] キャリアアンプモジュール5のパッケージ55の構造は、例えばパッケージ44と同じく基板厚が200~500 μ mであり材料がFR4の多層基板を用いるが、多層基板はトランジスタチップである能動素子12を実装する箇所がくり抜かれており、かつパッケージ55の裏面に薄い金属板からなるヒートシンクに貼り付けられ、能動素子12はその裏面がヒートシンクに直接ダイボンドされている構造である。ヒートシンクの裏面はパッケージ55の裏面となっている。このような構造はパッケージ44と比較してより高価となるが能動素子12の裏面からパッケージ55の裏面までの熱抵抗を下げる事が出来る。

[0041] 第1の遅延線路80により、第1の内部出力端子90と第1の内部入力端子91が接続されている。第2の遅延線路81により、第2の内部出力端子92と第2の内部入力端子93が接続されている。第1の遅延線路80及び第2の遅延線路81は、それぞれ特性インピーダンスが50 Ω であり、両者の電気長は同じとなるように設けられている。電気長の絶対値は任意で良い。

実施の形態1において、第1の遅延線路80及び第2の遅延線路81はPCB上に形成されたマイクロストリップ線路で構成されているが、コプレーナ線路やスロット線路、あるいは同軸線路など任意の形態でも良い。

[0042] 入力端子2から第1の内部出力端子90までの電気長と、第1の内部入力端子91から出力端子3までの電気長の和を θ_b とする。また入力端子2から第2の内部出力端子92までの電気長と、第2の内部入力端子93から出力端子3までの電気長の和を θ_c とする。

入力整合回路11、21及び31並びに出力整合回路13、23及び33は、 $\theta_b = \theta_c$ になるように設けられている。

[0043] 図2は実施の形態1に係る電力増幅器100の効率の計算結果である。図2には遅延線路80及び81の電気長を同じとし、かつ0~30度の範囲において10度ステップで変えた場合の電力増幅器100の効率の計算結果を

重ねて表示している。図2の横軸は出力電力であり、図2の縦軸は電力負荷効率（PAE）である。結果がほぼ重なっていることから電力増幅器100においては、2つの遅延線路80及び81の電気長が同じであれば電気長の絶対値を変えてもPAEがほぼ変わらず、特性が劣化しないことが分かる。また電気長の絶対値を問わないため、モジュール間の接続が容易である。

[0044] 以上のとおり、本開示の実施の形態1における電力増幅器100は、キャリアアンプモジュール5とバランスアンプモジュール4と第1の遅延線路80と第2の遅延線路81を備えた電力増幅器である。そして電力増幅器100は、次のように構成されている。

[0045] キャリアアンプモジュール5は、入力端子2と第1の内部出力端子90と第2の内部出力端子92を有し、パッケージ55に実装された分配回路60及び第1の増幅器10とを備える。

入力端子2は電力増幅器100の入力端子に接続され、分配回路60は入力が入力端子2に接続され、出力が第1の増幅器10の入力及び第1の内部出力端子90にそれぞれ接続され、第1の増幅器10はAB級にバイアスされた電力増幅用の能動素子12を有し、出力が第2の内部出力端子92に接続されている。

[0046] バランスアンプモジュール4は、第1の内部入力端子91及び第2の内部入力端子93と出力端子3を有し、パッケージ44に実装された第2の増幅器20及び第3の増幅器30並びに第1のハイブリッドカップラであるハイブリッドカップラ40及び第2のハイブリッドカップラであるハイブリッドカップラ41を備える。出力端子3は電力増幅器100の出力端子3に接続されている。

[0047] 第1のハイブリッドカップラ40は、第1の端子P1が第1の内部入力端子91に接続され、第2の端子P2が第2の増幅器20の入力に接続され、第3の端子P3が第3の増幅器30の入力に接続され、第4の端子P4が終端されている。

第2のハイブリッドカップラ41は、第1の端子P1が第2の内部入力端

子93に接続され、第2の端子P2が第2の増幅器20の出力に接続され、第3の端子P3が第3の増幅器30の出力に接続され、第4の端子P4が出力端子3に接続されている。

[0048] 第2の増幅器20及び第3の増幅器30は、C級にバイアスされパッケージ44に実装された電力増幅用の能動素子22及び32をそれぞれ有している。

第1の遅延線路80は第1の内部出力端子90と第1の内部入力端子91に接続され、第2の遅延線路81は第2の内部出力端子92と第2の内部入力端子93に接続されている。

[0049] そして、第1の増幅器10の能動素子12からパッケージ55の裏面への熱抵抗は、第2の増幅器20の能動素子22及び第3の増幅器30の能動素子32からパッケージ44の裏面への熱抵抗より小さい。

また、入力端子2から第1の内部出力端子90までの電気長と第1の内部入力端子91から出力端子3までの電気長の合計は、入力端子2から第2の内部出力端子92までの電気長と第2の内部入力端子93から出力端子3までの電気長の合計と等しい。

さらに、第1の遅延線路80と第2の遅延線路81の電気長は等しい。

[0050] すなわち、実施の形態1においては、バランスアンプモジュール4に安価なパッケージ44を用い、キャリアアンプモジュール5に分配回路60を集積化した。よってパッケージ構造をキャリアアンプとバランスアンプでそれぞれコストに対して最適化できるため低コスト化できるという効果を奏する。

[0051] また入力端子2から入力された信号が増幅され出力端子3に至る経路において、第1の増幅器10を通過する経路における電気長と第2の増幅器20及び第3の増幅器30を通過する経路の電気長が同じになるように設定し、バランスアンプモジュール4とキャリアアンプモジュール5とを接続する2つの遅延線路80及び81の電気長を同じに設定した。

[0052] 本構成によれば、2つの遅延線路80及び81での遅延はその電気長の絶

対値に関わらず同様に生じるので、バランスアンプを通る経路とキャリアアンプを通る経路で生じる遅延が相殺し、経路間の位相差はゼロとなる。よって高周波特性の劣化が生じないという効果を奏する。

また2つのモジュール間の接続が容易である、モジュールの配置に自由度がある、モジュール周辺にバイパスコンデンサ等を配置する場合もモジュール間隔を気にすることなく利用できるという効果を奏する。

[0053] 図6は比較例1に係る電力増幅器600を説明する図である。電力増幅器600は、キャリアアンプのみを集積化したキャリアアンプモジュール5と、分配回路60とバランスアンプを集積化したバランスアンプモジュール4がPCB上の遅延線路85、86により接続された構成である。

この場合、バランスアンプ側の通過位相 θ_1 に対してキャリアアンプ側の θ_2 は、遅延線路85の電気長 θ_{m1} と遅延線路86の電気長 θ_{m2} の和($\theta_{m1} + \theta_{m2}$)の分だけ遅れるため θ_1 と θ_2 の間に差を生じる。通過位相のずれは合成損失を発生させ、電力増幅器の高周波特性を大きく劣化させるため問題である。

[0054] あらかじめこの影響を見込んでバランスアンプモジュール側に遅延線路を集積化することで、キャリアアンプ側の通過位相の遅れをキャンセルすることも考えられる。

図7は比較例2に係る電力増幅器700を説明する図である。比較例1と異なり電力増幅器700では、遅延線路85及び86の位相遅延を相殺するための遅延線路710がバランスアンプモジュール4に設けられている。しかしこの場合には、バランスアンプモジュール4の回路サイズが大きくなるという問題がある。

[0055] また別の対策としてPCB上に位相進み回路を接続し片方の遅延線路での遅れ位相をキャンセルする方法が考えられる。

図8は比較例3に係る電力増幅器800を説明する図である。比較例1, 2と異なり、電力増幅器800ではバランスアンプモジュール4とキャリアアンプモジュール5は位相進み回路810と遅延線路86により接続されて

いる。ここで遅延線路 8 6 による遅延を相殺するように位相進み回路 8 1 0 はその位相が進み位相に設計されている。

しかし、この方法は遅延線路の長さに応じて位相進み回路を設計する必要があり、位相を相殺できる周波数帯域も制限されるため、煩雑且つ高周波特性の劣化も懸念される。

[0056] なお、ハイブリッドカップラ 4 0 及びハイブリッドカップラ 4 1 の特性インピーダンスは $50\ \Omega$ である必要はなく、任意のインピーダンス Z_c 、 Z_d でもよい。

その場合、ハイブリッドカップラ 4 0 と遅延線路 8 0 の特性インピーダンスを Z_c に設定し、ハイブリッドカップラ 4 1 と遅延線路 8 1 の特性インピーダンスを Z_d に設定することで、先に説明したのと同様の効果が得られる。 Z_c と Z_d は同じでも異なってもよい。

[0057] 実施の形態 2.

図 3 は実施の形態 2 に係る電力増幅器 2 0 0 を説明する図である。実施の形態 1 との違いは、電力増幅器 1 0 0 における第 1 の増幅器 1 0 の出力整合回路 1 3 を出力整合回路 2 1 0 と出力整合回路 2 1 2 に分割し、出力整合回路 2 1 0 をキャリアアンプモジュール 5 に、出力整合回路 2 1 2 をバランスアンプモジュール 4 に配置した点である。

[0058] ここで、第 2 の内部入力端子 9 3 からバランスアンプモジュール 4 側を見たインピーダンスを Z_m とする。出力整合回路 2 1 2 は Z_m が実数成分のみで虚数成分を持たない、あるいは虚数成分が実数成分に対して十分に小さく実用上実数成分のみとみなして差し支えないように構成される。遅延線路 8 1 の特性インピーダンスは Z_m に設定される。他の部分は説明を省略する。

[0059] このように構成された電力増幅器 2 0 0 においても、実施の形態 1 に係る電力増幅器 1 0 0 と同様に、パッケージ構造をキャリアアンプモジュール、バランスアンプモジュールそれぞれをコストに対して最適化できるため低コスト化ができるという効果、及びモジュール間の接続が容易で、高周波特性の劣化が生じず高性能であるという効果を奏する。

[0060] 更に実施の形態1に係る電力増幅器200では、キャリアアンプモジュール5に実装されていた第1の増幅器10の出力整合回路の一部をバランスアンプモジュール4に集積化したので、高価なパッケージを使用するキャリアアンプモジュール5のサイズを縮小でき、より低コスト化が実現できるという効果も奏する。

[0061] 実施の形態3.

実施の形態3は、実施の形態1に係る電力増幅器100のバランスアンプモジュール4、キャリアアンプモジュール5、第1の内部出力端子90、第2の内部出力端子92、第1の内部入力端子、第2の内部入力端子93、第1の遅延線路80及び第2の遅延線路81の平面的なレイアウトを限定したものである。その他は実施の形態1と同じである。

[0062] 図4は実施の形態3に係る電力増幅器100の平面図であり、バランスアンプモジュール4、キャリアアンプモジュール5、遅延線路80及び81の配置を上面から見た図である。図中にはバランスアンプモジュール4及びキャリアアンプモジュール5の裏面に配置された電極パッド（端子）の形状と配置を上面から透過して破線で示している。

[0063] 図4において、バランスアンプモジュール4の接地端子120とキャリアアンプモジュール5の接地端子122は、破線の長方形で示されている。また第1の内部出力端子90、第2の内部出力端子92、第1の内部入力端子91、及び第2の内部入力端子93を含む信号用端子は、破線の正方形で示されている。

マイクロストリップ線路112は入力端子2と入力端子102（不図示）を接続し、マイクロストリップ線路112は出力端子3と出力端子104（不図示）を接続している。

[0064] バランスアンプモジュール4の裏面の周縁部には、第1の内部入力端子91、第2の内部入力端子93を含む信号用端子が接地端子120を取り囲んで配置されている。第1の内部入力端子91、第2の内部入力端子93は、外形が四角形であるバランスアンプモジュール4の同じ辺124に沿って配

置されている。

[0065] キャリアアンプモジュール5の裏面の周縁部には、第1の内部出力端子90、第2の内部出力端子92を含む信号用端子が接地端子122を取り囲んで配置されている。第1の内部出力端子90、第2の内部出力端子92は、外形が四角形であるキャリアアンプモジュール5の同じ辺126に沿って配置されている。

[0066] バランスアンプモジュール4とキャリアアンプモジュール5は、辺124と辺126が互いに並行となるよう、そして第1の内部入力端子91は第1の内部出力端子90と、第2の内部入力端子93は第2の内部出力端子92と、それぞれちょうど向かい合う位置となるよう、正対して配置される。

[0067] 第1の内部出力端子90と第1の内部入力端子91とは遅延線路80により、第2の内部出力端子92と第2の内部入力端子93とは遅延線路81により、それぞれ直線的に接続されている、すなわち最短距離で接続されている。第1の内部入力端子91は第1の内部出力端子90の間隔と、第2の内部入力端子93は第2の内部出力端子92の間隔は同じであることが望ましい。その他の部分は説明を省略する。

[0068] このように構成された実施の形態3に係る電力増幅器100においても、当然実施の形態1に係る電力増幅器100と同様に、パッケージ構造をキャリアアンプモジュール、バランスアンプモジュールそれぞれをコストに対して最適化できるため低コスト化ができるという効果、及びモジュール間の接続が容易で、高周波特性の劣化が生じず高性能であるという効果を奏する。

[0069] 更に実施の形態3に係る電力増幅器100では、バランスアンプモジュール4、キャリアアンプモジュール5、第1の内部出力端子90、第2の内部出力端子92、第1の内部入力端子、第2の内部入力端子93の位置を上述のように限定した。

これにより、第1の遅延線路80及び第2の遅延線路81を直線的に配置して2つのモジュールを接続するだけで、第1の遅延線路80及び第2の遅延線路81の電気長を同じとすることが出来、より簡単にモジュール同士を

接続できるという効果を奏する。

[0070] なお実施の形態3では電力増幅器100を例にとり説明したが、実施の形態3におけるモジュール、パッド（端子）等の、形状や配置等を電力増幅器200に適用してもよい。

[0071] 本開示は、上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本開示を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。

また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

符号の説明

[0072] 2 入力端子, 3 出力端子, 4 バランスアンプモジュール, 5 キャリアアンプモジュール, 10 第1の増幅器, 11, 21, 31 入力整合回路, 12, 22 能動素子, 13, 23, 33, 210, 212 出力整合回路, 20 第2の増幅器, 30 第3の増幅器, 40 第1のハイブリッドカップラ, 41 第2のハイブリッドカップラ, 50 終端抵抗, 60 分配回路, 80 第1の遅延線路, 81 第2の遅延線路, 90 第1の内部出力端子, 91 第1の内部入力端子, 92 第2の内部出力端子, 93 第2の内部入力端子, 100, 200 電力増幅器, 102 入力端子, 104 出力端子, 120, 122 接地端子, 124, 126 辺

請求の範囲

[請求項1]

キャリアアンプモジュールとバランスアンプモジュールと第1の遅延線路と第2の遅延線路とを備えた電力増幅器であって、

前記キャリアアンプモジュールは、第1の内部出力端子及び第2の内部出力端子と、前記電力増幅器の入力に接続された入力端子と、分配回路及びパッケージに実装された第1の増幅器を有し、

前記分配回路は、入力が前記入力端子に接続され、一方の出力が前記第1の増幅器の入力に接続され、他方の出力が前記第1の内部出力端子に接続され、

前記第1の増幅器は、前記パッケージに実装された電力増幅用のトランジスタを有し、出力が前記第2の内部出力端子に接続され、

前記バランスアンプモジュールは、第1の内部入力端子及び第2の内部入力端子と、前記電力増幅器の出力に接続された出力端子と、パッケージに実装された第2の増幅器及び第3の増幅器と、第1のハイブリッドカップラ及び第2のハイブリッドカップラを有し、

前記第1のハイブリッドカップラは、第1の端子が前記第1の内部入力端子に接続され、第2の端子が前記第2の増幅器の入力に接続され、第3の端子が前記第3の増幅器の入力に接続され、第4の端子が終端され、

前記第2のハイブリッドカップラは、第1の端子が前記第2の内部入力端子に接続され、第2の端子が前記第2の増幅器の出力に接続され、第3の端子が前記第3の増幅器の出力に接続され、第4の端子が前記出力端子に接続され、

前記第2の増幅器及び前記第3の増幅器のそれぞれは、前記パッケージに実装された電力増幅用のトランジスタを有し、

前記第1の遅延線路は前記第1の内部出力端子と前記第1の内部入力端子に接続され、前記第2の遅延線路は前記第2の内部出力端子と前記第2の内部入力端子に接続され、

前記第1の増幅器における前記トランジスタから前記パッケージの裏面への熱抵抗は、前記第2の増幅器及び前記第3の増幅器における前記トランジスタから前記パッケージの裏面への熱抵抗より小さく、

前記入力端子から前記第1の内部出力端子までの電気長と前記第1の内部入力端子から前記出力端子までの電気長の合計は、前記入力端子から前記第2の内部出力端子までの電気長と前記第2の内部入力端子から前記出力端子までの電気長の合計と等しく、

前記第1の遅延線路の電気長と前記第2の遅延線路の電気長は等しい
電力増幅器。

[請求項2] 前記第1の遅延線路の特性インピーダンスは前記第1のハイブリッドカップラのインピーダンスに等しく、前記第2の遅延線路の特性インピーダンスは前記第2のハイブリッドカップラのインピーダンスと等しい事を特徴とする請求項1に記載の電力増幅器。

[請求項3] 前記バランスアンプモジュールは、前記第2のハイブリッドカップラの前記第1の端子と前記第2の内部入力端子とを接続する整合回路を更に備え、

該整合回路は前記第2の内部入力端子から前記バランスアンプモジュールを見た第1のインピーダンスが虚数成分を持たないように構成され、

前記第2の遅延線路の特性インピーダンスは前記第1のインピーダンスに等しい
ことを特徴とする請求項1に記載の電力増幅器。

[請求項4] 前記第1の遅延線路の特性インピーダンスは前記第1のハイブリッドカップラのインピーダンスに等しいことを特徴とする請求項3に記載の電力増幅器。

[請求項5] 前記第1の内部入力端子と前記第2の内部入力端子は前記バランスアンプモジュールの同じ一辺に沿って裏面の周縁部に配置され、

前記第1の内部出力端子と前記第2の内部出力端子は前記キャリアアンプモジュールの同じ一辺に沿って裏面の周縁部に配置され、

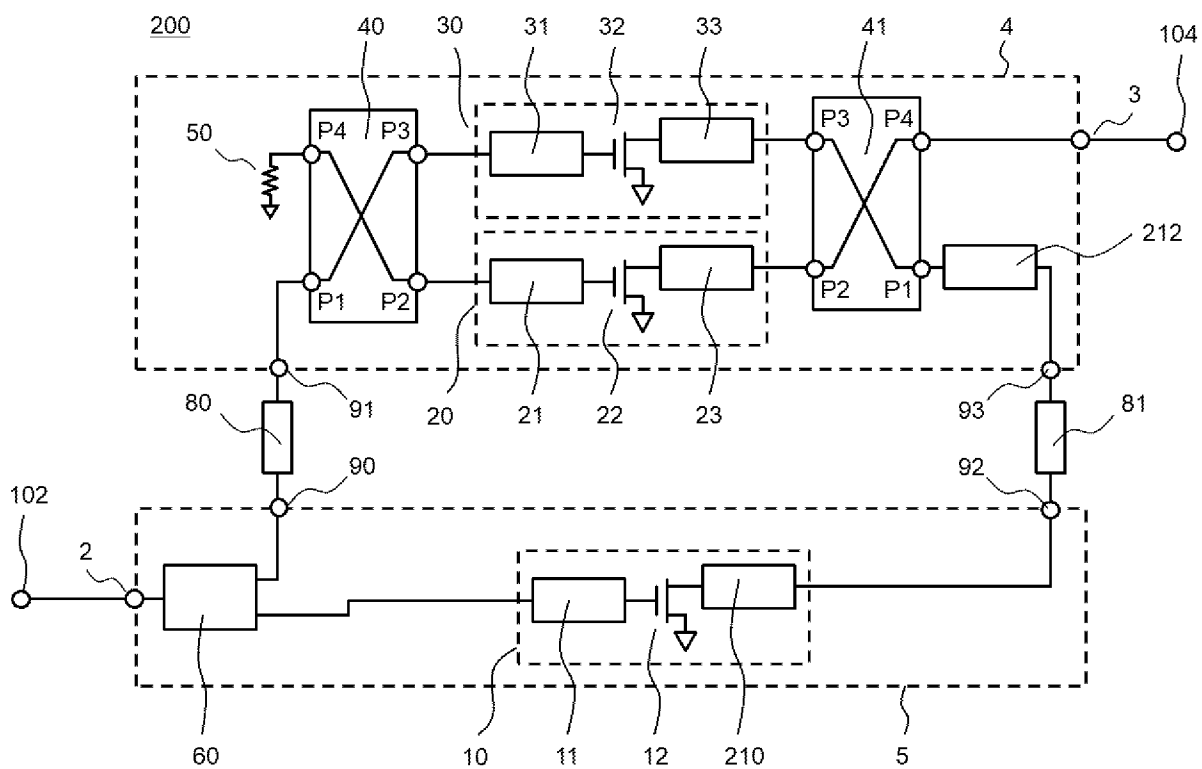
前記バランスアンプモジュールの一辺と前記キャリアアンプモジュールの一辺は平行し正対して配置され、

前記第1の内部入力端子と前記第1の内部出力端子は前記第1の遅延線路により直線的に接続され、前記第2の内部入力端子の間隔と前記第2の内部出力端子は前記第2の遅延線路により直線的に接続されている

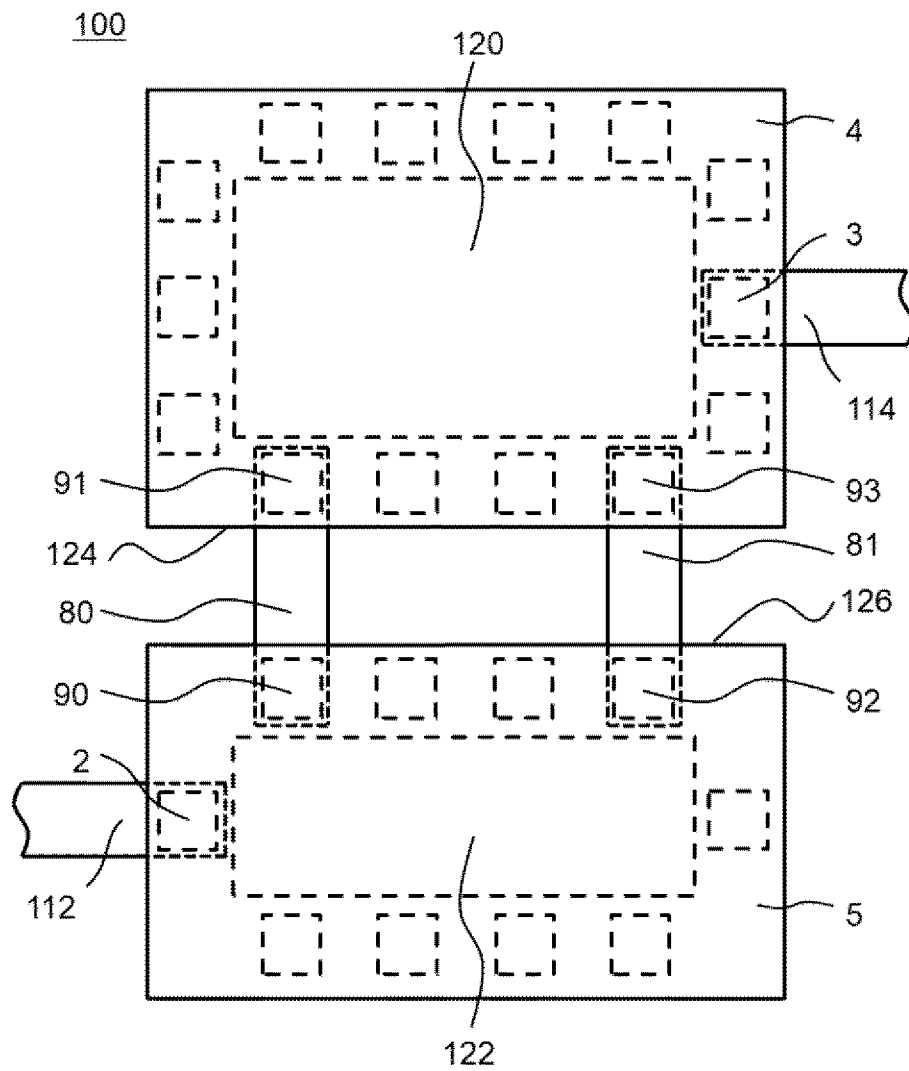
ことを特徴とする請求項1から4のいずれか1項に記載の電力増幅器

。

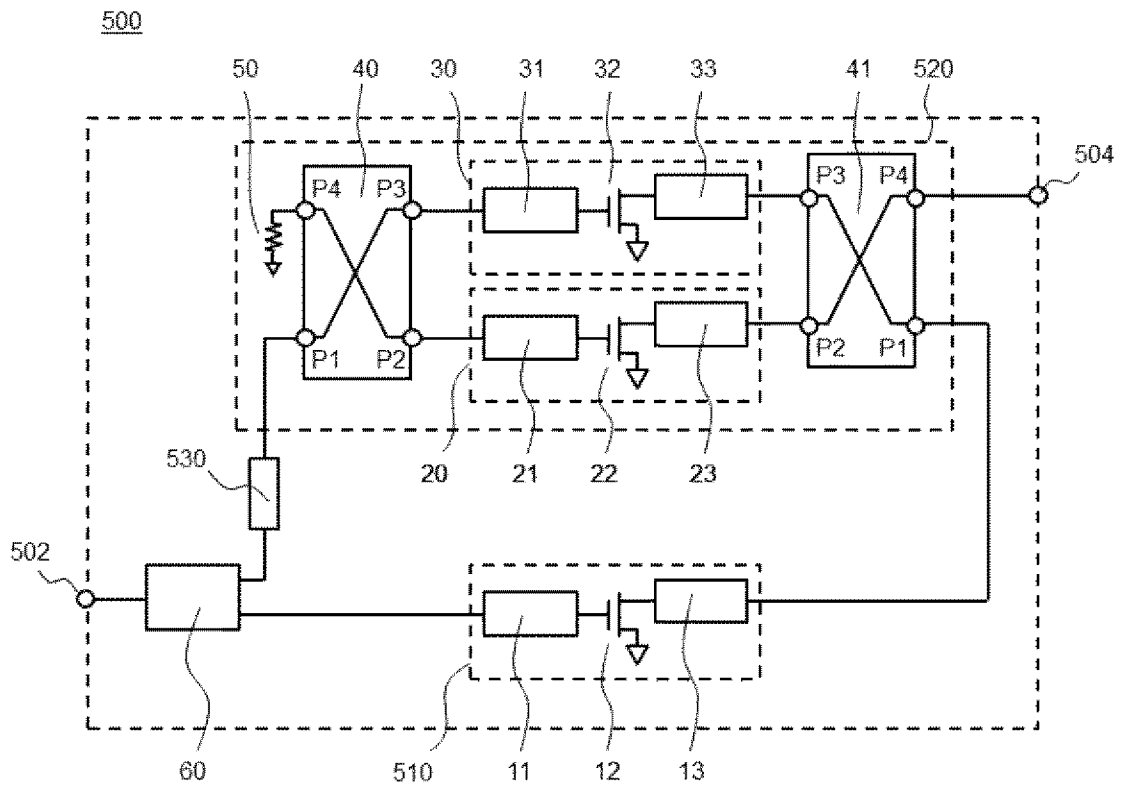
[図3]



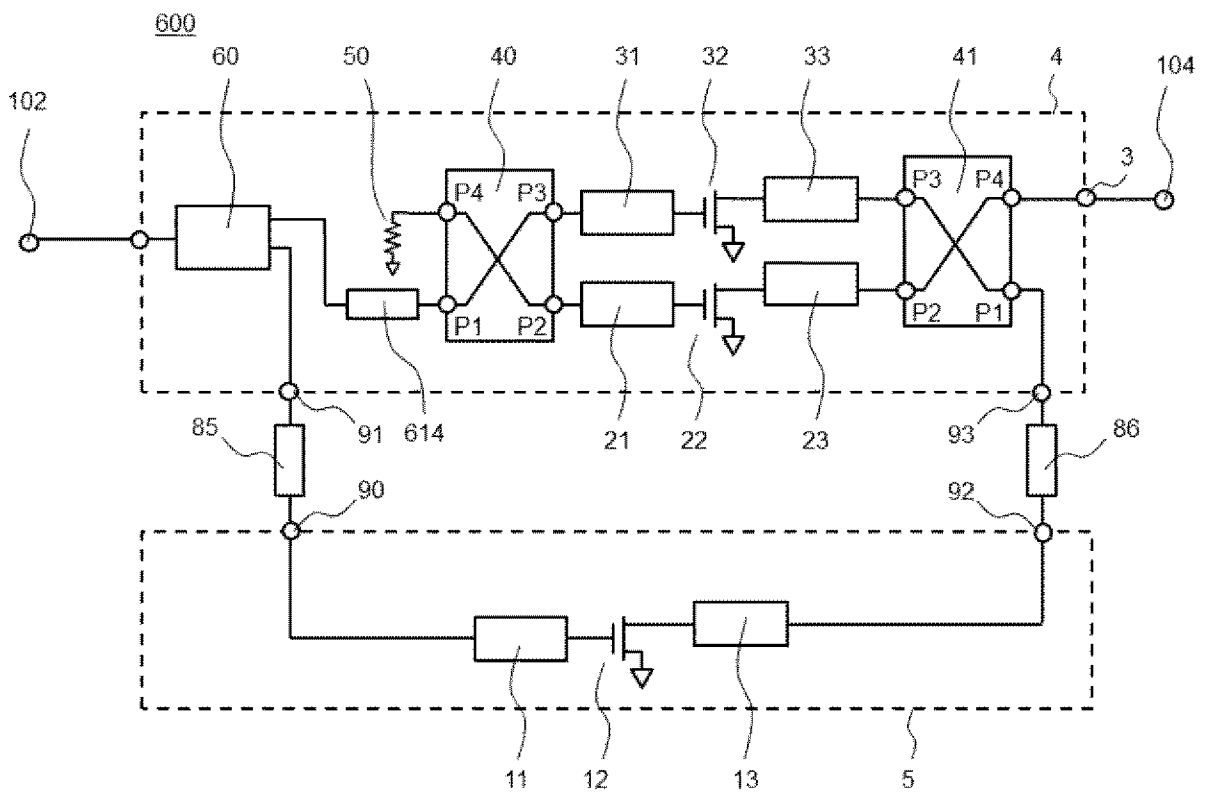
[図4]



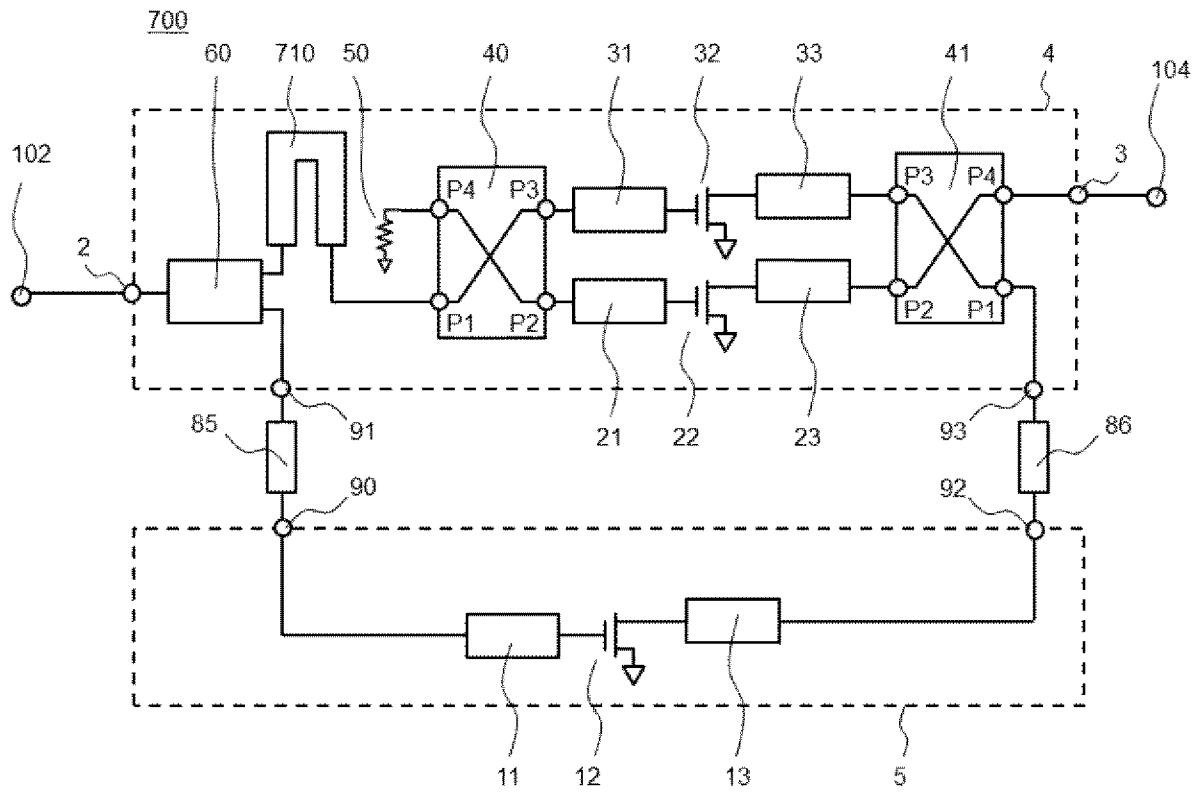
[図5]



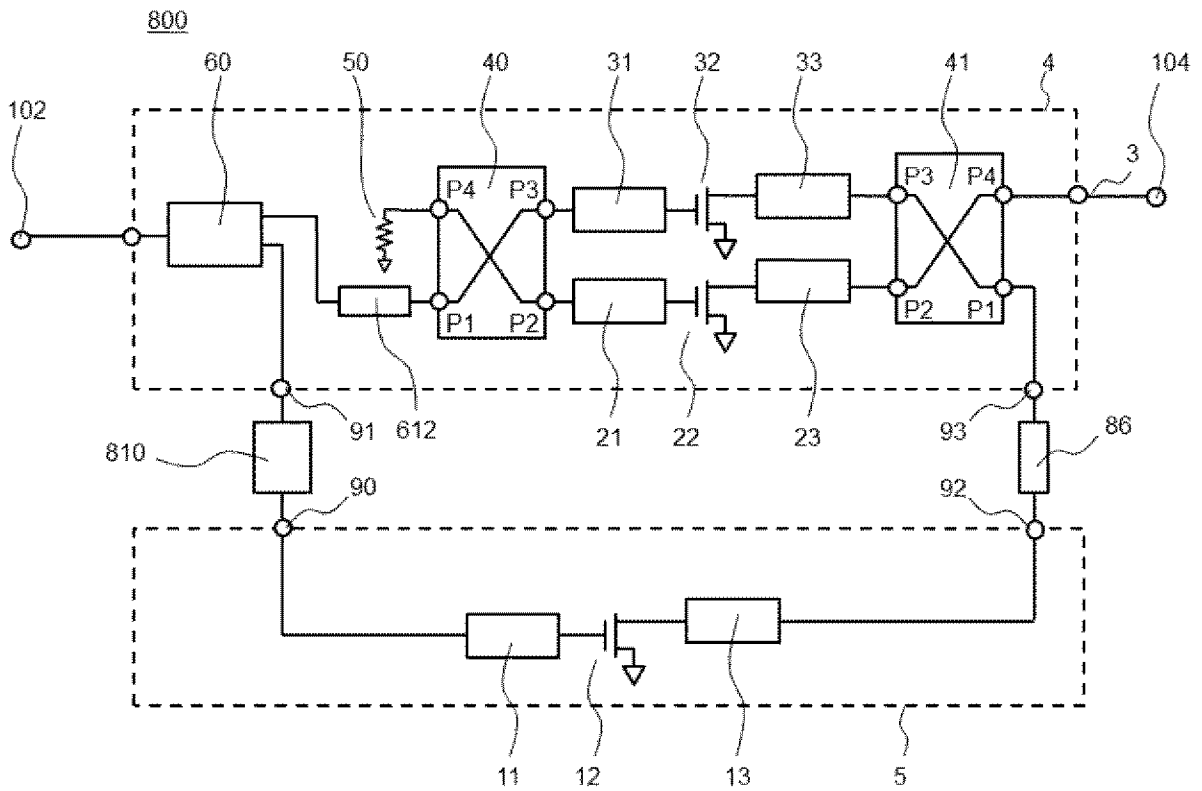
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/014490

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03F 3/68</i> (2006.01)i; <i>H03F 1/02</i> (2006.01)i FI: H03F3/68 220; H03F1/02 188		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03F3/68; H03F1/02		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-092009 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 13 June 2019 (2019-06-13) paragraphs [0008], [0044]-[0045], fig. 4	1-5
A	WO 2022/176947 A1 (NUVOTON TECH CORPORATION JAPAN) 25 August 2022 (2022-08-25) paragraphs [0023], [0138], fig. 1A	1-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 June 2023		Date of mailing of the international search report 27 June 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/014490

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2019-092009 A	13 June 2019	US 2019/0149098 A1 paragraphs [0008], [0051]- [0052], fig. 4 CN 109786366 A	
WO 2022/176947 A1	25 August 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03F 3/68(2006.01)i; H03F 1/02(2006.01)i FI: H03F3/68 220; H03F1/02 188		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03F3/68; H03F1/02 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2019-092009 A (住友電気工業株式会社) 13.06.2019 (2019-06-13) 段落[0008], [0044]-[0045], 図4	1-5
A	WO 2022/176947 A1 (ヌヴォトンテクノロジージャパン株式会社) 25.08.2022 (2022-08-25) 段落[0023], [0138], 図1A	1-5
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	13.06.2023	国際調査報告の発送日 27.06.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 石原 由晴 5W 3782 電話番号 03-3581-1101 内線 3534	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/014490

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-092009 A	13.06.2019	US 2019/0149098 A1 段落[0008], [0051]- [0052], 図4 CN 109786366 A	
WO 2022/176947 A1	25.08.2022	(ファミリーなし)	