(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月7日(07.03.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/044686 A1

(51) 国際特許分類:
H01L 31/10 (2006.01)

(21) 国際出願番号： PCT/JP2018/031313

(22) 国際出願日： 2018年8月24日(24.08.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-168971 2017年9月1日(01.09.2017) JP

(71) 出願人: 住友電気工業株式会社 (**SUMITOMO ELECTRIC INDUSTRIES, LTD.**) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

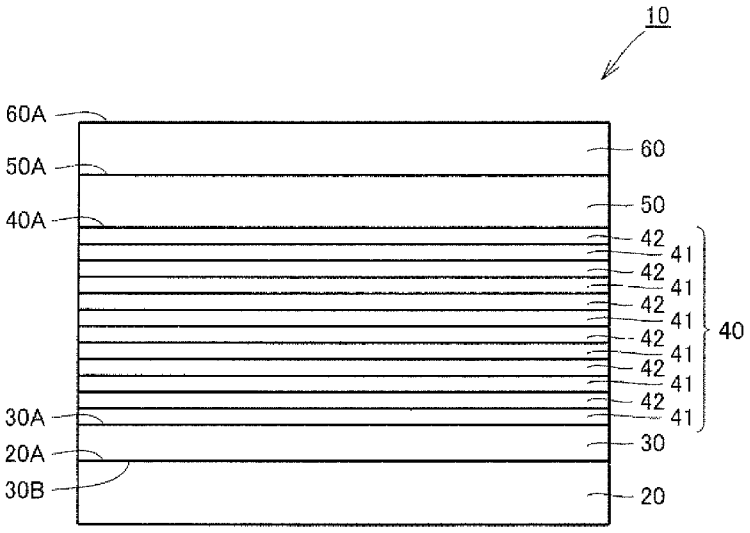
(72) 発明者: 冬木 琢真 (**FUYUKI Takuma**); 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 住友電気工業株式会社内 Osaka (JP). 土井 友博(**DOI Tomohiro**); 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 住友電気工業株式会社内 Osaka (JP). 呉 剛志(**GO Takashi**); 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 住友電気工業株式会社内 Osaka (JP). 石塚 貴司(**ISHIZUKA Takashi**); 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 住友電気工業株式会社内 Osaka (JP).

(74) 代理人: 中田 元己, 外(**NAKATA Motomi** et al.); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) **Title:** SEMICONDUCTOR LAMINATE, LIGHT-RECEIVING ELEMENT, AND METHOD FOR MANUFACTURING SEMICONDUCTOR LAMINATE

(54) 発明の名称： 半導体積層体、受光素子および半導体積層体の製造方法



(57) **Abstract:** A semiconductor laminate, provided with a substrate comprising a group III-V compound semiconductor, and a quantum well structure disposed on the substrate. The quantum well structure includes: a second element layer comprising a group III-V compound semiconductor and containing Sb; and a first element layer disposed so as to be in contact with the second element layer, the first element layer comprising a group III-V compound semiconductor. In the first element layer, the thickness corresponding to the Sb content decreasing from 80% to 6% of the maximum value of the Sb content of the second element layer, in the direction moving away from the substrate, is 0.5 to 3.0 nm (inclusive).

WO 2019/044686 A1

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:半導体積層体は、ＩＩＩ－Ｖ族化合物半導体からなる基板と、基板上に配置される量子井戸構造と、を備える。量子井戸構造は、ＩＩＩ－Ｖ族化合物半導体からなり、Ｓｂを含有する第２要素層と、第２要素層上に接触して配置され、ＩＩＩ－Ｖ族化合物半導体からなる第１要素層と、を含む。第１要素層の基板から離れる向きにおいて、Ｓｂの含有量が第２要素層におけるＳｂの含有量の最大値の８０％から前記最大値の６％にまで減少するまでの厚みが０．５ｎｍ以上３．０ｎｍ以下である。

明　細　書

発明の名称 ：

半導体積層体、受光素子および半導体積層体の製造方法

技術分野

[0001] 本開示は、半導体積層体、受光素子および半導体積層体の製造方に関する。本出願は、２０１７年９月１日出願の日本出願２０１７－１６８９７１号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

[0002] ＩＩＩ－Ｖ族化合物半導体からなる基板上に、ＩＩＩ－Ｖ族化合物半導体からなる半導体層を形成した構造を含む半導体積層体は、赤外域の光に対応した受光素子の製造に用いることができる。具体的には、たとえばＩＩＩ－Ｖ族化合物半導体からなる基板上に、ＩＩＩ－Ｖ族化合物半導体からなる量子井戸構造等を形成し、さらに適切な電極を形成することにより赤外線用の受光素子を得ることができる。このような受光素子に関して、カットオフ波長が２μｍ～５μｍであるフォトダイオードについての報告がある（たとえば、非特許文献１参照）。

先行技術文献

非特許文献

[0003] 非特許文献1：Ｒ．Ｓｉｄｈｕ，ｅｔ　ａｌ．、“Ａ　Ｌｏｎｇ－Ｗａｖｅｌｅｎｇｔｈ　Ｐｈｏｔｏｄｉｏｄｅ　ｏｎ　ＩｎＰ　Ｕｓｉｎｇ　Ｌａｔｔｉｃｅ－Ｍａｔｃｈｅｄ　ＧａＩｎＡｓ－ＧａＡｓＳｂ　Ｔｙｐｅ－ＩＩ　Ｑｕａｎｔｕｍ　Ｗｅｌｌｓ”、ＩＥＥＥ　ＰＨＯＴＯＮＩＣＳ　ＴＥＣＨＮＯＬＯＧＹ　ＬＥＴＴＥＲＳ、ＶＯＬ．１７，ＮＯ．１２、ＤＥＣＥＭＢＥＲ　２００５、ｐ．２７１５－２７１７

発明の概要

[0004] 本開示の半導体積層体は、ＩＩＩ－Ｖ族化合物半導体からなる基板と、基板上に配置される量子井戸構造と、を備える。量子井戸構造は、ＩＩＩ－Ｖ

族化合物半導体からなり、Ｓｂを含有する第２要素層と、第２要素層上に接触して配置され、ＩＩＩ－Ｖ族化合物半導体からなる第１要素層と、を含む。第１要素層の基板から離れる向きにおいて、Ｓｂの含有量が第２要素層におけるＳｂの含有量の最大値の８０％から最大値の６％にまで減少するまでの厚みが０．５ｎｍ以上３．０ｎｍ以下である。

図面の簡単な説明

[0005] [図1]図１は、実施の形態１における半導体積層体の構造を示す概略断面図である。

[図2]図２は、実施の形態１における受光素子の構造を示す概略断面図である。

[図3]図３は、実施の形態１における半導体積層体および受光素子の製造方法の概略を示すフローチャートである。

[図4]図４は、実施の形態１におけるエピ層形成工程の手順の概略を示すフローチャートである。

[図5]図５は、実施の形態１における半導体積層体および受光素子の製造方法を説明するための概略断面図である。

[図6]図６は、実施の形態１における半導体積層体および受光素子の製造方法を説明するための概略断面図である。

[図7]図７は、実施の形態１における半導体積層体および受光素子の製造方法を説明するための概略断面図である。

[図8]図８は、実施の形態１における半導体積層体および受光素子の製造方法を説明するための概略断面図である。

[図9]図９は、実施の形態２における受光素子およびセンサの構造を示す概略断面図である。

[図10A]図１０Ａは、成長温度５１０℃のときの量子井戸構造の基板に近づく厚み方向におけるＳｂ濃度のプロファイルの一例を示す図である。

[図10B]図１０Ｂは、成長温度５７０℃のときの量子井戸構造の基板に近づく厚み方向におけるＳｂ濃度のプロファイルの一例を示す図である。

[図11]図１１は、Ｓｂ急峻度とキャリア濃度との関係を示す図である。

発明を実施するための形態

[0006] ［本開示の実施形態の説明］

受光素子においては、感度の上昇が求められている。受光素子では、量子井戸構造のキャリア濃度を低減することにより、感度を上昇させることができる。

本開示の半導体積層体は、ＩＩＩ－Ｖ族化合物半導体からなる基板と、基板上に配置される量子井戸構造と、を備える。量子井戸構造は、ＩＩＩ－Ｖ族化合物半導体からなり、Ｓｂを含有する第２要素層と、第２要素層上に接触して配置され、ＩＩＩ－Ｖ族化合物半導体からなる第１要素層と、を含む。第１要素層の基板から離れる向きにおいて、Ｓｂの含有量が第２要素層におけるＳｂの含有量の最大値の８０％から最大値の６％にまで減少するまでの厚みが０．５ｎｍ以上３．０ｎｍ以下である。

[0007] 本発明者らは、量子井戸構造のキャリア濃度を低減する方策について検討を行った。その結果、量子井戸構造の第１要素層におけるＳｂ急峻度を適切に設定することにより、量子井戸構造のキャリア濃度を低減できることを見出した。なお、本開示において「Ｓｂ急峻度」とは、第１要素層の、基板から離れる向きにおいてＳｂの含有量が最大値（第２要素層におけるＳｂの含有量の最大値）の８０％から最大値の６％にまで減少するまでの厚みを意味する。

[0008] 一般に、第１要素層と、第１要素層上に接触して配置され、Ｓｂを含有する第２要素層とを含む量子井戸構造においては、設計上、第１要素層におけるＳｂ急峻度は０に設定される。実際には、Ｓｂの含有量を不連続に変化させることは困難であるため、Ｓｂ急峻度は０にはできないものの、極力小さい値が好ましいとされる。しかし、本発明者らの検討によれば、第１要素層におけるＳｂの含有量を意図的になだらかに変化させることにより、すなわちＳｂ急峻度を意図的に大きくすることにより、量子井戸構造におけるキャリア濃度を低減できることが分かった。これは、適量のＳｂ原子の混入がサ

ーファクタント効果をもたらすためであると考えることができる。

[0009] 具体的には、第１要素層におけるＳｂ急峻度を０．５ｎｍ以上に設定することにより、量子井戸構造におけるキャリア濃度を低減することができる。一方、第１要素層におけるＳｂ急峻度が３．０ｎｍを超えると、量子井戸構造におけるキャリア濃度は急激に上昇する。すなわち、第１要素層におけるＳｂ急峻度を０．５ｎｍ以上３．０ｎｍ以下とすることにより、量子井戸構造におけるキャリア濃度を低減することができる。

[0010] 本開示の半導体積層体においては、第１要素層におけるＳｂ急峻度が０．５ｎｍ以上３．０ｎｍ以下である。そのため、本願の半導体積層体によれば、量子井戸構造のキャリア濃度を低減することにより感度を上昇させることが可能な半導体積層体を提供することができる。量子井戸構造のキャリア濃度を一層低減するためには、Ｓｂ急峻度は１．０ｎｍ以上とすることが好ましく、１．５ｎｍ以上とすることがより好ましい。また、量子井戸構造のキャリア濃度を一層低減するためには、Ｓｂ急峻度は２．８ｎｍ以下とすることが好ましい。

[0011] 上記半導体積層体において、量子井戸構造は、タイプＩＩ量子井戸構造であってもよい。このようにすることにより、半導体積層体を赤外域の光に対応する受光素子に適したものとすることが容易となる。

[0012] 上記半導体積層体において、第１要素層は$In_xGa_{1-x}As$（ｘは０．３８以上１以下）層、または$Ga_{1-u}In_uN_vAs_{1-v}$（ｕは０．４以上０．８以下、ｖは０を超え０．２以下）層であってもよい。第２要素層は$GaAs_{1-y}Sb_y$（ｙは０．３６以上１以下）層であってもよい。このようにすることにより、半導体積層体を、近赤外域から中赤外域の光に対応する受光素子に適したものとすることが容易となる。

[0013] 上記半導体積層体において、上記基板は、ＧａＡｓ（ガリウム砒素）、ＧａＰ（ガリウムリン）、ＧａＳｂ（ガリウムアンチモン）、ＩｎＰ（インジウムリン）、ＩｎＡｓ（インジウム砒素）、ＩｎＳｂ（インジウムアンチモン）、ＡＩＳｂ（アルミニウムアンチモン）、またはＡＩＡｓ（アルミニウ

ム砒素）からなっていてもよい。これにより、近赤外域から中赤外域の光の検知に適した上記量子井戸構造を形成することが容易となる。

[0014] 本開示の受光素子は、上記の半導体積層体と、半導体積層体上に形成された電極と、を備える。そのため、受光層として機能する量子井戸構造のキャリア濃度を低減できる。よって、受光素子の感度を上昇させることができる。

[0015] 本開示の半導体積層体の製造方法は、ＩＩＩ－Ｖ族化合物半導体からなる基板を準備する工程と、基板上に、ＩＩＩ－Ｖ族化合物半導体からなるエピ層を形成する工程と、を備える。エピ層を形成する工程は、量子井戸構造を形成する工程を含む。量子井戸構造を形成する工程では、ＩＩＩ－Ｖ族化合物半導体からなり、Ｓｂを含有する第２要素層と、第２要素層上に接触して配置され、ＩＩＩ－Ｖ族化合物半導体からなる第１要素層とが、形成される。さらに量子井戸構造を形成する工程では、第１要素層の基板から離れる向きにおいて、Ｓｂの含有量が第２要素層におけるＳｂの含有量の最大値の８０％から最大値の６％にまで減少するまでの厚みが０．５ｎｍ以上３．０ｎｍ以下であるように形成される。

[0016] 本開示の半導体積層体の製造方法では、量子井戸構造を形成する工程において、第１要素層におけるＳｂ急峻度が０．５ｎｍ以上３．０ｎｍ以下となるように第１要素層とＳｂを含有する第２要素層とが形成される。そのため、本開示の半導体積層体の製造方法によれば、量子井戸構造のキャリア濃度を低減することにより感度を上昇させることが可能な半導体積層体を製造することができる。

[0017] 上記半導体積層体の製造方法において、量子井戸構造を形成する工程において、第１要素層におけるＳｂ急峻度が１．０ｎｍ以上３．０ｎｍ以下となるように第１要素層とＳｂを含有する第２要素層とが形成される。量子井戸構造を形成する工程では、第１要素層と第２要素層とが５１０℃以上５７０℃以下の温度域で形成されてもよい。このようにすることにより、Ｓｂ急峻度を適切な値に調整することが容易となる。

[0018] 上記半導体積層体の製造方法において、量子井戸構造を形成する工程では、ＩＩＩ族元素の原料の供給量に対するＶ族元素の原料の供給量の比が１以下となる条件下にて第１要素層と第２要素層とが形成されてもよい。このようにすることにより、Ｓｂ急峻度を適切な値に調整することが容易となる。

[0019] 上記半導体積層体の製造方法において、量子井戸構造を形成する工程では、第１要素層と第２要素層とが０．１μｍ／ｈ以下の成長速度で形成されてもよい。このようにすることにより、Ｓｂ急峻度を適切な値に調整することが容易となる。

[0020] ［本開示の実施形態の詳細］

（実施の形態１）

次に、実施の形態１を、以下に図面を参照しつつ説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない場合がある。

[0021] 図１を参照して、本実施の形態における半導体積層体１０は、基板２０と、バッファ層３０と、量子井戸構造４０と、ブロック層５０と、コンタクト層６０とを備えている。

[0022] 基板２０は、ＩＩＩ－Ｖ族化合物半導体からなっている。また、基板２０の直径は５０ｍｍ以上であり、たとえば３インチである。基板２０を構成するＩＩＩ－Ｖ族化合物半導体としては、たとえばＧａＡｓ、ＧａＰ、ＧａＳｂ、ＩｎＰ、ＩｎＡｓ、ＩｎＳｂ、ＡｌＳｂ、ＡｌＡｓなどを採用することができる。これらのＩＩＩ－Ｖ族化合物半導体からなる基板２０を採用することにより、赤外光用の受光素子の製造に適した半導体積層体１０を得ることが容易となる。具体的には、たとえば導電型がｎ型であるＩｎＰ（ｎ－ＩｎＰ）が、基板２０を構成する化合物半導体として採用される。基板２０に含まれるｎ型不純物としては、たとえばＳ（硫黄）などを採用することができる。基板２０の直径は、半導体積層体１０を用いた半導体装置（受光素子）の生産効率および歩留りの向上を目的として、８０ｍｍ以上（たとえば４インチ）とすることができ、さらに１０５ｍｍ以上（たとえば５インチ）、

さらに１３０ｍｍ以上（たとえば６インチ）とすることができる。

[0023] バッファ層３０は、基板２０の一方の主面２０Ａ上に接触するように配置された半導体層である。バッファ層３０は、ＩＩＩ－Ｖ族化合物半導体からなっている。バッファ層３０を構成するＩＩＩ－Ｖ族化合物半導体としては、たとえばＧａＳｂ、ＡＩＳｂ（アルミニウムアンチモン）、ＩｎＳｂ（インジウムアンチモン）といった２元系、およびＧａＩｎＳｂ（ガリウムインジウムアンチモン）、ＡＩＩｎＳｂ（アルミニウムインジウムアンチモン）、ＡＩＧａＳｂ（アルミニウムガリウムアンチモン）といった３元系の材料などを採用することができる。具体的には、たとえば導電型がｎ型であるＩｎＧａＡｓ（インジウムガリウム砒素）（ｎ－ＩｎＧａＡｓ）が、バッファ層３０を構成する化合物半導体として採用される。バッファ層３０に含まれるｎ型不純物としては、たとえばＳｉ（珪素）を採用することができる。なお、バッファ層３０は必須の構成ではない。つまり、基板２０の一方の主面２０Ａ上に量子井戸構造４０を設けても良い。

[0024] 量子井戸構造４０は、バッファ層３０の、基板２０に面する側とは反対側の第１主面３０Ａ上に接触するように配置されている。量子井戸構造４０は、ＩＩＩ－Ｖ族化合物半導体からなる２つの要素層が交互に積層された構造を有している。より具体的には、量子井戸構造４０は、第１要素層４１と第２要素層４２とが交互に積層された構造を有している。第１要素層４１を構成する材料としては、たとえば$In_xGa_{1-x}As$（ｘは０．３８以上１以下）を採用することができる。第１要素層４１は、意図的にはＳｂが添加されない層（成長時に原料ガスに意図的にＳｂの原料ガスが添加されない層）である。また、第２要素層４２を構成する材料としては、たとえばＶ族元素としてＳｂを含む$GaAs_{1-y}Sb_y$（ｙは０．３６以上１以下）（ガリウム砒素アンチモン）を採用することができる。なお、第１要素層４１および第２要素層４２を構成する材料は、上記材料に限られず、たとえば第１要素層４１を構成する材料としては、$Ga_{1-u}In_uN_vAs_{1-v}$（ｕは０．４以上０．８以下、ｖは０を超え０．２以下）（ガリウムインジウム窒素砒素）を採用

し、第２要素層４２を構成する材料としては、たとえばＶ族元素としてＳｂを含む$GaAs_{1-y}Sb_y$（ｙは０．３６以上０．６２以下）を採用することができる。

[0025] このように、量子井戸受光層として$In_xGa_{1-x}As$（ｘは０．３８以上１以下）層と$GaAs_{1-y}Sb_y$（ｙは０．３６以上１以下）層とのペア、または$Ga_{1-u}In_uN_vAs_{1-v}$（ｕは０．４以上０．８以下、ｖは０を超え０．２以下）層と$GaAs_{1-y}Sb_y$（ｙは０．３６以上０．６２以下）層とのペアを含む多重量子井戸構造を採用することにより、近赤外域から中赤外域の光の検知に適した受光素子の製造に使用可能な半導体積層体１０を得ることができる。

[0026] また、第１要素層４１を構成する材料としてＩｎＡｓを採用し、第２要素層４２を構成する材料としてＧａＳｂを採用してもよい。このように量子井戸受光層としてＩｎＡｓ層とＧａＳｂ層とのペアを含む多重量子井戸構造を採用することにより、波長４～１２μｍの赤外線の検知に適した受光素子の製造に使用可能な半導体積層体１０を得ることができる。

[0027] なお、量子井戸構造４０の歪を補償するために、量子井戸構造４０を構成する単位構造を、第１要素層４１および第２要素層４２に歪補償層を加えたものとしてもよい。

[0028] 図１を参照して、ブロック層５０は、量子井戸構造４０の、バッファ層３０に面する側とは反対側の主面４０Ａ上に接触するように配置されている。ブロック層５０は、ＩＩＩ－Ｖ族化合物半導体からなっている。

[0029] ブロック層５０を構成するＩＩＩ－Ｖ族化合物半導体としては、たとえばＩｎＧａＡｓ（インジウムガリウム砒素）などを採用することができる。具体的には、たとえばアンドープのＩｎＧａＡｓ（ｕｄ－ＩｎＧａＡｓ）が、ブロック層５０を構成する化合物半導体として採用される。ブロック層５０を配置することにより、コンタクト層６０に含まれる不純物が量子井戸構造へと拡散することを抑制することができる。

[0030] 図１を参照して、コンタクト層６０は、ブロック層５０の、量子井戸構造

４０に面する側とは反対側の主面５０Ａ上に接触するように配置されている。コンタクト層６０は、ＩＩＩ－Ｖ族化合物半導体からなっている。

[0031] コンタクト層６０を構成するＩＩＩ－Ｖ族化合物半導体としては、たとえばＩｎＰ、ＩｎＡｓ、ＧａＳｂ、ＧａＡｓ、ＩｎＧａＡｓ（インジウムガリウム砒素）などを採用することができる。具体的には、たとえば導電型がｐ型であるＩｎＰ（ｐ－ＩｎＰ）が、コンタクト層６０を構成する化合物半導体として採用される。コンタクト層６０に含まれるｐ型不純物としては、たとえばＺｎなどを採用することができる。

[0032] 量子井戸構造４０の厚みは０．５μｍ（５００ｎｍ）以上である。具体的には、第１要素層４１および第２要素層４２の厚みは、たとえばそれぞれ５ｎｍとすることができる。

そして、量子井戸構造４０は、第１要素層４１と第２要素層４２とからなる単位構造が、たとえば２５０組積層されたものとすることができる。すなわち、量子井戸構造４０の厚みは、たとえば２．５μｍとすることができる。量子井戸構造４０は、このような構造を有するタイプＩＩ量子井戸構造とすることができる。

[0033] そして、第１要素層４１におけるＳｂ急峻度は０．５ｎｍ以上３．０ｎｍ以下である。

すなわち、第１要素層４１の厚みに対するＳｂ急峻度の割合は１０％以上６０％以下である。そのため、本実施の形態の半導体積層体１０は、量子井戸構造４０のキャリア濃度を低減することにより感度を上昇させることが可能な半導体積層体となっている。第１要素層４１の厚みに対するＳｂ急峻度の割合は、２０％以上とすることが好ましく、３０％以上とすることがより好ましい。また、第１要素層４１の厚みに対するＳｂ急峻度の割合は、５６％以下とすることが好ましい。

[0034] 半導体積層体１０において、バッファ層３０、量子井戸構造４０、ブロック層５０およびコンタクト層６０が再成長界面を形成することなく基板２０上に積層されていることが好ましい。これにより、感度を一層向上させるこ

とができる。

[0035] 半導体積層体１０において、バッファ層３０と量子井戸構造４０との界面、量子井戸構造４０とブロック層５０との界面、およびブロック層５０とコンタクト層６０との界面における、酸素の濃度、炭素の濃度および水素の濃度は、いずれも$1\times10^{17}cm^{-3}$以下であることが好ましい。これにより、感度を一層向上させることができる。

[0036] また、半導体積層体１０において、バッファ層３０、量子井戸構造４０、ブロック層５０およびコンタクト層６０は有機金属気相成長法により形成されていることが好ましい。

これにより、高品質な結晶からなる半導体積層体１０を得ることが容易となる。

[0037] 次に、上記半導体積層体１０を用いて作製される受光素子の一例である赤外線受光素子（フォトダイオード）について説明する。図２を参照して、本実施の形態における赤外線受光素子１は、上記本実施の形態の半導体積層体１０を用いて作製されたものであって、半導体積層体１０と同様に積層された基板２０と、バッファ層３０と、量子井戸構造４０と、ブロック層５０と、コンタクト層６０とを備えている。そして、赤外線受光素子１には、コンタクト層６０、ブロック層５０および量子井戸構造４０を貫通し、バッファ層３０に到達するトレンチ９９が形成されている。すなわち、トレンチ９９の側壁９９Ａにおいて、コンタクト層６０、ブロック層５０および量子井戸構造４０が露出している。また、トレンチ９９の底壁９９Ｂは、バッファ層３０内に位置している。つまり、トレンチ９９の底壁９９Ｂにおいてバッファ層３０が露出している。

[0038] さらに、赤外線受光素子１は、パッシベーション膜８０と、ｎ側電極９１と、ｐ側電極９２とを備えている。パッシベーション膜８０はトレンチ９９の底壁９９Ｂ、トレンチ９９の側壁９９Ａおよびコンタクト層６０においてブロック層５０に面する側とは反対側の主面６０Ａを覆うように配置されている。パッシベーション膜８０は、窒化珪素、酸化珪素などの絶縁体からな

っている。

[0039] トレンチ９９の底壁９９Ｂを覆うパッシベーション膜８０には、パッシベーション膜８０を厚み方向に貫通するように開口部８１が形成されている。そして、開口部８１を充填するようにｎ側電極９１が配置されている。ｎ側電極９１は、開口部８１から露出するバッファ層３０に接触するように配置されている。ｎ側電極９１は金属などの導電体からなっている。より具体的には、ｎ側電極９１は、たとえばＴｉ（チタン）／Ｐｔ（白金）／Ａｕ（金）からなるものとすることができる。ｎ側電極９１は、バッファ層３０に対してオーミック接触している。

[0040] コンタクト層６０の主面６０Ａを覆うパッシベーション膜８０には、パッシベーション膜８０を厚み方向に貫通するように開口部８２が形成されている。そして、開口部８２を充填するようにｐ側電極９２が配置されている。ｐ側電極９２は、開口部８２から露出するコンタクト層６０に接触するように配置されている。ｐ側電極９２は金属などの導電体からなっている。より具体的には、ｐ側電極９２は、たとえばＴｉ／Ｐｔ／Ａｕからなるものとすることができる。ｐ側電極９２は、コンタクト層６０に対してオーミック接触している。

[0041] この赤外線受光素子１に赤外線が入射すると、量子井戸構造４０内の量子準位間で赤外線が吸収され、電子と正孔とのペアが生成する。そして、生成した電子と正孔とが光電流信号として赤外線受光素子１から取り出されることにより、赤外線が検出される。

[0042] なお、上記ｐ側電極９２は画素電極である。そして、上記赤外線受光素子１は、図２に示すように画素電極であるｐ側電極９２が１つだけ含まれるものであってもよいし、複数の画素電極（ｐ側電極９２）を含むものであってもよい。具体的には、赤外線受光素子１は、図２に示す構造を単位構造とし、当該単位構造が、図２において基板２０の一方の主面２０Ａが延在する方向に複数繰り返される構造を有していてもよい。この場合、赤外線受光素子１は、画素に対応する複数のｐ側電極９２を有する一方で、ｎ側電極９１に

ついては１つだけ配置される。このような構造については、後述の実施の形態２において説明する。

[0043] 本実施の形態の赤外線受光素子１は、上記本実施の形態の半導体積層体１０を含んでいる。そのため、赤外線受光素子１は、受光層として機能する量子井戸構造４０のキャリア濃度を低減することにより感度が上昇した受光素子となっている。

[0044] 次に、図３～図８を参照して、本実施の形態における半導体積層体１０および赤外線受光素子１の製造方法の概要について説明する。

[0045] 図３を参照して、本実施の形態における半導体積層体１０および赤外線受光素子１の製造方法では、まず工程（Ｓ１０）として基板準備工程が実施される。この工程（Ｓ１０）では、図５を参照して、たとえば直径２インチ（５０．８ｍｍ）のＩｎＰからなる基板２０が準備される。より具体的には、ＩｎＰからなるインゴットをスライスすることにより、ＩｎＰからなる基板２０が得られる。この基板２０の表面が研磨された後、洗浄等のプロセスを経て主面２０Ａの平坦性および清浄性が確保された基板２０が準備される。

[0046] 次に、工程（Ｓ２０）としてエピ層形成工程が実施される。この工程（Ｓ２０）では、工程（Ｓ１０）において準備された基板２０の主面２０Ａ上に、エピ層であるバッファ層３０、量子井戸構造４０、ブロック層５０およびコンタクト層６０が形成される。このエピ層の形成は、たとえば有機金属気相成長により実施することができる。有機金属気相成長によるエピ層の形成は、たとえば基板加熱用のヒータを備えた回転テーブル上に基板２０を載置し、基板２０をヒータにより加熱しつつ基板上に原料ガスを供給することにより実施することができる。工程（Ｓ２０）は、図４を参照して、バッファ層形成工程（Ｓ２１）、量子井戸構造形成工程（Ｓ２２）、ブロック層形成工程（Ｓ２３）およびコンタクト層形成工程（Ｓ２４）を含む。

[0047] 工程（Ｓ２０）においては、まず工程（Ｓ２１）が実施される。具体的には、図５を参照して、まず基板２０の主面２０Ａ上に接触するように、たとえばＩＩＩ－Ｖ族化合物半導体であるｎ－ＩｎＧａＡｓからなるバッファ層

３０が有機金属気相成長により形成される。ｎ－ＩｎＧａＡｓからなるバッファ層３０の形成では、Ｉｎの原料ガスとしてたとえばＴＭＩｎ（トリメチルインジウム）、ＴＥＩｎ（トリエチルインジウム）などを用いることができ、Ｇａの原料ガスとしてたとえばＴＥＧａ（トリエチルガリウム）、ＴＭＧａ（トリメチルガリウム）などを用いることができ、Ａｓの原料ガスとしてたとえばAsH_3（アルシン）、ＴＢＡｓ（ターシャリーブチルアルシン）、ＴＭＡｓ（トリメチル砒素）などを用いることができる。また、ｎ型不純物としてＳｉを添加する場合、たとえばSiH_4（シラン）、$SiH_3(CH_3)$（モノメチルシラン）、ＴｅＥＳｉ（テトラエチルシラン）を原料ガスに添加することができる。

[0048] 次に、工程（Ｓ２２）が実施される。具体的には、図５および図６を参照して、バッファ層３０の、基板２０に面する側とは反対側の第１主面３０Ａ上に接触するように、たとえばＩＩＩ－Ｖ族化合物半導体である$In_xGa_{1-x}As$（ｘは０．３８以上１以下）からなる第１要素層４１と、ＩＩＩ－Ｖ族化合物半導体である$GaAs_{1-y}Sb_y$（ｙは０．３６以上１以下）からなる第２要素層４２とが交互に積層して形成されることにより、量子井戸構造４０が形成される。量子井戸構造４０の形成は、上記バッファ層３０の形成に引き続いて有機金属気相成長により実施することができる。すなわち、量子井戸構造４０の形成は、バッファ層３０の形成の際に用いた装置内に基板２０を配置した状態で、原料ガスを変更することにより実施することができる。

[0049] $In_xGa_{1-x}As$（ｘは０．３８以上１以下）からなる第１要素層４１の形成では、Ｉｎの原料としてたとえばＴＭＩｎ、ＴＥＩｎなどを用いることができ、Ｇａの原料としてたとえばＴＥＧａ、ＴＭＧａなどを用いることができ、Ｓｂの原料としてたとえばＴＭＳｂ、ＴＥＳｂ、ＴＩＰＳｂ、ＴＤＭＡＳｂ、ＴＴＢＳｂなどを用いることができる。

$GaAs_{1-y}Sb_y$（ｙは０．３６以上１以下）からなる第２要素層４２の形成では、Ｇａの原料としてたとえばＴＥＧａ、ＴＭＧａなどを用いることが

でき、Ａｓの原料としてたとえばＴＢＡｓ（ターシャリーブチルアルシン）、ＴＭＡｓ（トリメチル砒素）などを用いることができ、Ｓｂの原料としてたとえばＴＭＳｂ、ＴＥＳｂ、ＴＩＰＳｂ、ＴＤＭＡＳｂ、ＴＴＢＳｂなどを用いることができる。第１要素層４１および第２要素層４２は、たとえばそれぞれ厚みを５ｎｍとし、第１要素層４１と第２要素層４２とからなる単位構造が、たとえば２５０組積層するように形成することができる。これにより、タイプＩＩ量子井戸である量子井戸構造４０を形成することができる。第１要素層４１におけるＳｂ急峻度は、適切な値、すなわち０．５ｎｍ以上３．０ｎｍ以下となるように調整される。

[0050] ここで、工程（Ｓ２２）における成長温度は、好ましくは５１０℃以上５７０℃以下、より好ましくは５２０℃以上５４０℃以下とすることができる。このように、一般的な上記量子井戸構造の成長温度（５００℃程度）よりも高い温度域を採用することにより、Ｓｂ急峻度を適切な値に調整することが容易となる。

[0051] また、工程（Ｓ２２）における成長速度は０．１μｍ／ｈ以下とすることができる。このように、一般的な上記量子井戸構造の成長速度（１μｍ／ｈ程度）よりも小さい成長速度を採用することにより、Ｓｂ急峻度を適切な値に調整することが容易となる。

[0052] また、工程（Ｓ２２）において、ＩＩＩ族元素の原料の供給量に対するＶ族元素の原料の供給量の比（Ｖ／ＩＩＩ比）は、３以下とすることができる。このように、一般的なＶ／ＩＩＩ比（１０～数１０程度）よりも小さいＶ／ＩＩＩ比を採用することにより、Ｓｂ急峻度を適切な値に調整することが容易となる。

[0053] 次に、工程（Ｓ２３）が実施される。具体的には、図６および図１を参照して、量子井戸構造４０の、バッファ層３０に面する側とは反対側の主面４０Ａ上に接触するように、たとえばＩＩＩ－Ｖ族化合物半導体であるｕｄ－ＩｎＧａＡｓからなるブロック層５０が形成される。ブロック層５０の形成は、上記量子井戸構造４０の形成に引き続いて有機金属気相成長により実施

することができる。すなわち、ブロック層５０の形成は、量子井戸構造４０の形成の際に用いた装置内に基板２０を配置した状態で、原料ガスを変更することにより実施することができる。

[0054] 次に、工程（Ｓ２４）が実施される。具体的には、図１を参照して、ブロック層５０の、量子井戸構造４０に面する側とは反対側の主面５０Ａ上に接触するように、たとえばＩＩＩ－Ｖ族化合物半導体であるｐ－ＩｎＰからなるコンタクト層６０が形成される。コンタクト層６０の形成は、上記ブロック層５０の形成に引き続いて有機金属気相成長により実施することができる。すなわち、コンタクト層６０の形成は、ブロック層５０の形成の際に用いた装置内に基板２０を配置した状態で、原料ガスを変更することにより実施することができる。ｐ型不純物としてＺｎを添加する場合、たとえばＤＭＺｎ（ジメチル亜鉛）、ＤＥＺｎ（ジエチル亜鉛）を原料ガスに添加することができる。

[0055] 以上の手順により、本実施の形態における半導体積層体１０が完成する。上述のように、工程（Ｓ２０）を有機金属気相成長により実施することにより、半導体積層体１０の生産効率を向上させることができる。なお、工程（Ｓ２０）は有機金属原料のみを用いた有機金属気相成長法（全有機金属気相成長法）に限られず、たとえばＡｓの原料にAsH_3（アルシン）、Ｓｉの原料にSiH_4（シラン）などの水素化物を用いた有機金属気相成長法で実施してもよいが、全有機金属気相成長法を採用することにより、高品質な結晶からなる半導体積層体１０を得ることができる。また、有機金属気相成長以外の方法により実施することも可能であって、たとえばＭＢＥ（Ｍｏｌｅｃｕｌａｒ Ｂｅａｍ Ｅｐｉｔａｘｙ）法を用いてもよい。

[0056] また、工程（Ｓ２１）～（Ｓ２４）は、上述のように、装置内に基板２０を配置した状態で、原料ガスを変更することにより連続的に実施されることが好ましい。すなわち、工程（Ｓ２１）～（Ｓ２４）は、バッファ層３０、量子井戸構造４０、ブロック層５０およびコンタクト層６０が再成長界面を形成することなく積層されるように実施されることが好ましい。これにより

、感度の向上に寄与する半導体積層体１０を得ることができる。

[0057] 次に、図３を参照して、工程（Ｓ３０）としてトレンチ形成工程が実施される。この工程（Ｓ３０）では、図１および図７を参照して、上記工程（Ｓ１０）～（Ｓ２０）において作製された半導体積層体１０に、コンタクト層６０、ブロック層５０および量子井戸構造４０を貫通し、バッファ層３０に到達するトレンチ９９が形成される。トレンチ９９は、たとえばコンタクト層６０の主面６０Ａ上にトレンチ９９の形状に対応する開口を有するマスク層を形成した上で、エッチングを実施することにより形成することができる。

[0058] 次に、工程（Ｓ４０）としてパッシベーション膜形成工程が実施される。この工程（Ｓ４０）では、図７および図８を参照して、工程（Ｓ３０）においてトレンチ９９が形成された半導体積層体１０に対し、パッシベーション膜８０が形成される。具体的には、たとえばＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）により酸化珪素、窒化珪素などの絶縁体からなるパッシベーション膜８０が形成される。パッシベーション膜８０は、トレンチ９９の底壁９９Ｂ、トレンチ９９の側壁９９Ａおよびコンタクト層６０においてブロック層５０に面する側とは反対側の主面６０Ａを覆うように形成される。

[0059] 次に、工程（Ｓ５０）として電極形成工程が実施される。この工程（Ｓ５０）では、図８および図２を参照して、工程（Ｓ４０）においてパッシベーション膜８０が形成された半導体積層体１０に、ｎ側電極９１およびｐ側電極９２が形成される。具体的には、たとえばｎ側電極９１およびｐ側電極９２を形成すべき領域に対応する位置に開口を有するマスクをパッシベーション膜８０上に形成し、当該マスクを用いてパッシベーション膜８０に開口部８１，８２を形成する。その後、たとえば蒸着法により適切な導電体からなるｎ側電極９１およびｐ側電極９２を形成する。以上の工程により、本実施の形態における赤外線受光素子１が完成する。その後、たとえばダイシングにより各素子に分離される。

[0060] （実施の形態２）

次に、実施の形態２における受光素子について説明する。図９および図２を参照して、実施の形態２の赤外線受光素子１は、図２に示す構造を単位構造とし、当該単位構造が、基板２０の一方の主面２０Ａが延在する方向に複数繰り返される構造を有している。そして、赤外線受光素子１は、画素に対応する複数のｐ側電極９２を有する。一方、ｎ側電極９１は１つだけ配置される。

[0061] より具体的には、図９を参照して、実施の形態２の赤外線受光素子１のｎ側電極９１は、基板２０が延在する方向における末端に位置するトレンチ９９の底壁に形成されている。また、当該末端に位置するトレンチ９９に隣接するコンタクト層６０上のｐ側電極９２は省略される。本実施の形態における赤外線センサ１００は、このような構造を有する赤外線受光素子１と、赤外線受光素子１に電気的に接続された読み出し回路（Ｒｅａｄ－Ｏｕｔ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ；ＲＯＩＣ）７０とを含んでいる。読み出し回路７０は、たとえばＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）回路である。

[0062] 読み出し回路７０の本体７１に設けられた複数の読み出し電極（図示しない）と赤外線受光素子１において画素電極として機能する複数のｐ側電極９２とが、一対一の関係となるようにバンプ７３を介して電気的に接続されている。また、赤外線受光素子１には、ｎ側電極９１に接触し、ｎ側電極９１が位置するトレンチ９９の底壁および側壁に沿って延在するとともに、コンタクト層６０上にまで到達する配線７５が形成される。そして、配線７５と読み出し回路７０の本体７１に設けられた接地電極（図示しない）とがバンプ７２を介して電気的に接続されている。このような構造を有することにより、赤外線受光素子１の画素ごとの受光情報が各ｐ側電極９２（画素電極）から読み出し回路７０の読み出し電極へと出力され、当該受光情報が読み出し回路７０において集約されて、たとえば二次元の画像を得ることができる。

実施例

[0063] 量子井戸構造の第１要素層におけるＳｂ急峻度とキャリア濃度との関係を調査する実験を行った。実験の手順は以下の通りである。

[0064] まず、上記実施の形態１の場合と同様の手順で半導体積層体１０を作製した。基板２０としては、Ｓを不純物として含むＩｎＰを採用した。バッファ層３０としては、Ｓｉを不純物として含む厚み０．１５μｍのＩｎＧａＡｓ層を採用した。量子井戸構造４０としては、厚み５ｎｍのＩｎＧａＡｓからなる第１要素層４１と厚み５ｎｍのＧａＡｓＳｂからなる第２要素層４２とが交互に２５０組積層したものを採用した。ブロック層５０としては、厚み０．９μｍのｕｄ－ＩｎＧａＡｓ層を採用した。コンタクト層６０としては、不純物としてＺｎを含む厚み０．８μｍのＩｎＰ層を採用した。このとき、工程（Ｓ２２）における成長温度（量子井戸構造４０の成長温度）を変化させることにより、第１要素層４１におけるＳｂ急峻度を変化させた。そして、得られた半導体積層体１０についてＳｂ急峻度およびキャリア濃度を測定し、両者の関係を調査した。

[0065] Ｓｂ急峻度は、たとえば３次元アトムプローブ（３　Ｄｉｍｅｎｓｉｏｎａｌ　Ａｔｏｍ　Ｐｒｏｂｅ）を用いて測定することができる。３次元アトムプローブは、サブナノオーダーの分解能を持つ元素濃度分布の測定装置である。より詳細には、３次元アトムプローブはＡＭＥＴＥＫ社製のＬＥＡＰ４０００ＸＳｉを使用した。測定条件としては、レーザ波長：３５５ｎｍ、レーザパワー：０．１ｐＪ、試料温度：３０Ｋ、Ｄｅｔｅｃｔｉｏｎ　Ｒａｔｅ：０．００３ｉｏｎｓ／Ｐｕｌｓｅ、Ｐｕｌｓｅ　Ｒａｔｅ：５００ｋＨｚである。試料は、先端径５０ｎｍ～１００ｎｍ程度の針形状に加工されたものである。試料の加工にはＦＩＢ（Ｆｏｃｕｓｅｄ　Ｉｏｎ　Ｂｅａｍ）が用いられた。図１０Ａ、図１０Ｂに、３次元アトムプローブを用いたＳｂの濃度プロファイルの測定例を示す。図１０Ａ、図１０Ｂにおいて、横軸は量子井戸構造の表面から基板に向かう厚み方向の距離、縦軸はＳｂの濃度を示している。つまり、図１０A、図１０Bにおいて、距離が小さくなる方向

とは、基板から離れる方向である。図１０Ａは量子井戸構造４０の成長温度を５１０℃としたときの測定結果である。図１０Ｂは量子井戸構造４０の成長温度を５７０℃とした場合の測定結果である。これらの測定結果から、成長温度が５１０℃の場合のＳｂ急峻度は１．０ｎｍ、５７０℃の場合のＳｂ急峻度は３．０ｎｍと評価することができる。

[0066] このようにして評価したＳｂ急峻度と、別途測定したキャリア濃度との関係を図１１に示す。図１１において、横軸は第１要素層４１におけるＳｂ急峻度、縦軸はキャリア濃度に対応する。図１１を参照して、Ｓｂ急峻度が増加するとキャリア濃度が低下した後、急激にキャリア濃度が増大している。そして、Ｓｂ急峻度を０．５ｎｍ以上３．０ｎｍ以下とすることにより、キャリア濃度が$10\times10^{14}cm^{-3}$以下となっている。このことから、本願の半導体積層体および受光素子によれば、量子井戸構造のキャリア濃度を低減することにより感度を上昇させることが可能であることが確認される。また、Ｓｂ急峻度を１ｎｍ以上とすることにより、キャリア濃度を$5\times10^{14}cm^{-3}$以下とすることが可能となっている。したがって、第１要素層４１におけるＳｂ急峻度は１．０ｎｍ以上とすることがより好ましいといえる。

[0067] 今回開示された実施の形態および実施例はすべての点で例示であって、どのような面からも制限的なものではないと理解されるべきである。本発明の範囲は上記した説明ではなく、請求の範囲によって規定され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0068] １　赤外線受光素子

１０　半導体積層体

２０　基板

２０Ａ　主面

３０　バッファ層

３０Ａ　主面

４０　量子井戸構造

４０Ａ　主面

４１　第１要素層

４２　第２要素層

５０　ブロック層

５０Ａ　主面

６０　コンタクト層

６０Ａ　主面

７０　読み出し回路

７１　本体

７２，７３　バンプ

７５　配線

８０　パッシベーション膜

８１　開口部

８２　開口部

９１　ｎ側電極

９２　ｐ側電極

９９　トレンチ

９９Ａ　側壁

９９Ｂ　底壁

１００　赤外線センサ

請求の範囲

[請求項1] ＩＩＩ－Ｖ族化合物半導体からなる基板と、

前記基板上に配置される量子井戸構造と、を備え、

前記量子井戸構造は、

ＩＩＩ－Ｖ族化合物半導体からなり、Ｓｂを含有する第２要素層と、

前記第２要素層上に接触して配置され、ＩＩＩ－Ｖ族化合物半導体からなる第１要素層と、を含み、

前記第１要素層の前記基板から離れる向きにおいて、Ｓｂの含有量が前記第２要素層におけるＳｂの含有量の最大値の８０％から前記最大値の６％にまで減少するまでの厚みが０．５ｎｍ以上３．０ｎｍ以下である、半導体積層体。

[請求項2] 前記量子井戸構造は、タイプＩＩ量子井戸構造である、請求項１に記載の半導体積層体。

[請求項3] 前記第１要素層は$In_xGa_{1-x}As$（ｘは０．３８以上１以下）層、または$Ga_{1-u}In_uN_vAs_{1-v}$（ｕは０．４以上０．８以下、ｖは０を超え０．２以下）層であり、

前記第２要素層は$GaAs_{1-y}Sb_y$（ｙは０．３６以上１以下）層である、請求項１または請求項２に記載の半導体積層体。

[請求項4] 前記第１要素層の前記基板から離れる向きにおいて、Ｓｂの含有量が前記第２要素層におけるＳｂの含有量の最大値の８０％から前記最大値の６％にまで減少するまでの厚みが１．０ｎｍ以上３．０ｎｍ以下である、請求項１から請求項３のいずれか１項に記載の半導体積層体。

[請求項5] ＩＩＩ－Ｖ族化合物半導体からなる基板と、

前記基板上に配置される量子井戸構造と、を備え、

前記量子井戸構造は、

ＩＩＩ－Ｖ族化合物半導体からなり、Ｓｂを含有する第２要素層と、

前記第２要素層上に接触して配置され、ＩＩＩ－Ｖ族化合物半導体

からなる第１要素層と、を含み、

前記第１要素層の前記基板から離れる向きにおいて、Ｓｂの含有量が前記第２要素層におけるＳｂの含有量の最大値の８０％から前記最大値の６％にまで減少するまでの厚みが１．０ｎｍ以上３．０ｎｍ以下であり、

前記量子井戸構造は、タイプＩＩ量子井戸構造であり、

前記第１要素層は$In_xGa_{1-x}As$（ｘは０．３８以上１以下）層、または$Ga_{1-u}In_uN_vAs_{1-v}$（ｕは０．４以上０．８以下、ｖは０を超え０．２以下）層であり、

前記第２要素層は$GaAs_{1-y}Sb_y$（ｙは０．３６以上１以下）層である、半導体積層体。

[請求項6] 前記基板は、ＧａＡｓ、ＧａＰ、ＧａＳｂ、ＩｎＰ、ＩｎＡｓ、ＩｎＳｂ、ＡＩＳｂ、またはＡＩＡｓからなる、請求項１～請求項５のいずれか１項に記載の半導体積層体。

[請求項7] 請求項１～請求項６のいずれか１項に記載の半導体積層体と、

前記半導体積層体上に形成された電極と、を備える、受光素子。

[請求項8] ＩＩＩ－Ｖ族化合物半導体からなる基板を準備する工程と、

前記基板上に、ＩＩＩ－Ｖ族化合物半導体からなるエピ層を形成する工程と、を備え、 前記エピ層を形成する工程は、量子井戸構造を形成する工程を含み、

前記量子井戸構造を形成する工程では、ＩＩＩ－Ｖ族化合物半導体からなり、Ｓｂを含有する第２要素層と、前記第２要素層上に接触して配置され、ＩＩＩ－Ｖ族化合物半導体からなる第１要素層とが、形成され、

さらに前記量子井戸構造を形成する工程では、前記第１要素層の前記基板から離れる向きにおいて、Ｓｂの含有量が前記第２要素層におけるＳｂの含有量の最大値の８０％から前記最大値の６％にまで減少するまでの厚みが０．５ｎｍ以上３．０ｎｍ以下であるように形成され

る、半導体積層体の製造方法。

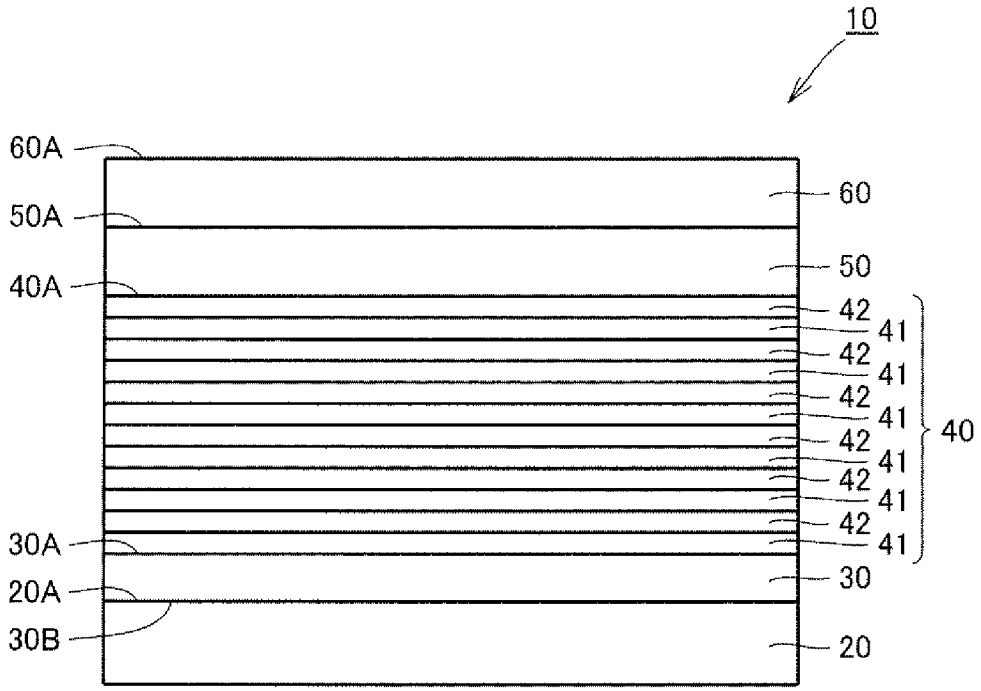
[請求項9] 前記量子井戸構造を形成する工程では、前記第１要素層の前記基板から離れる向きにおいて、Ｓｂの含有量が前記第２要素層におけるＳｂの含有量の最大値の８０％から前記最大値の６％にまで減少するまでの厚みが１．０ｎｍ以上３．０ｎｍ以下であるように形成される、半導体積層体の製造方法。

[請求項10] 前記量子井戸構造を形成する工程では、前記第１要素層と前記第２要素層とが５１０℃以上５７０℃以下の温度域で形成される、請求項９に記載の半導体積層体の製造方法。

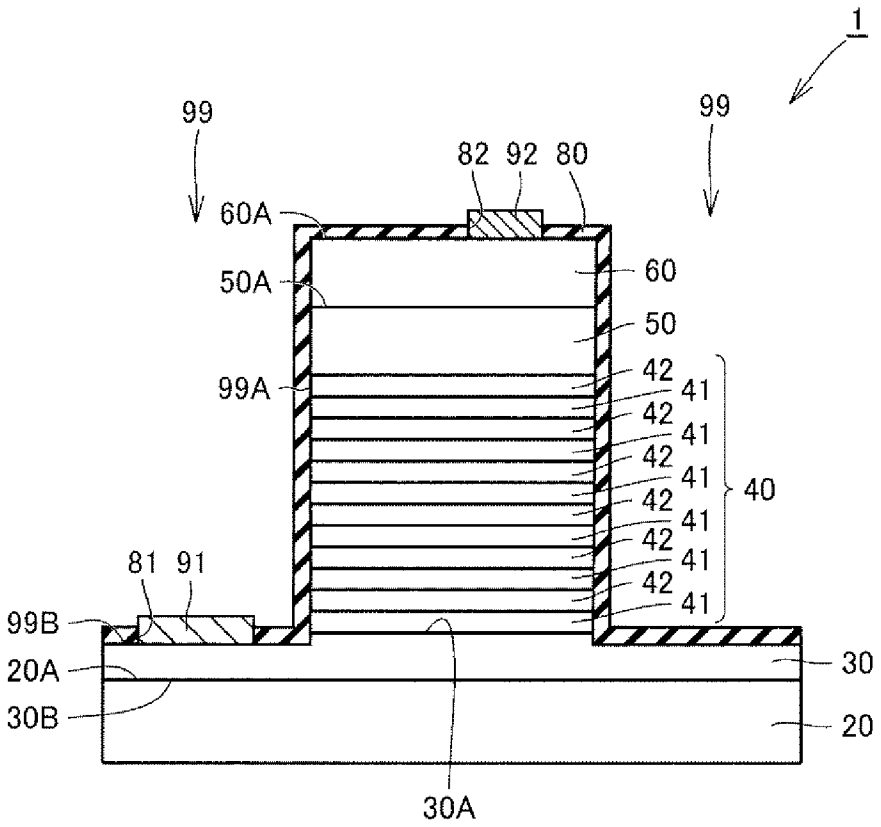
[請求項11] 前記量子井戸構造を形成する工程では、ＩＩＩ族元素の原料の供給量に対するＶ族元素の原料の供給量の比が３以下となる条件下にて前記第１要素層と前記第２要素層とが形成される、請求項８～請求項１０のいずれか１項に記載の半導体積層体の製造方法。

[請求項12] 前記量子井戸構造を形成する工程では、前記第１要素層と前記第２要素層とが０．１μｍ／ｈ以下の成長速度で形成される、請求項８～請求項１１のいずれか１項に記載の半導体積層体の製造方法。

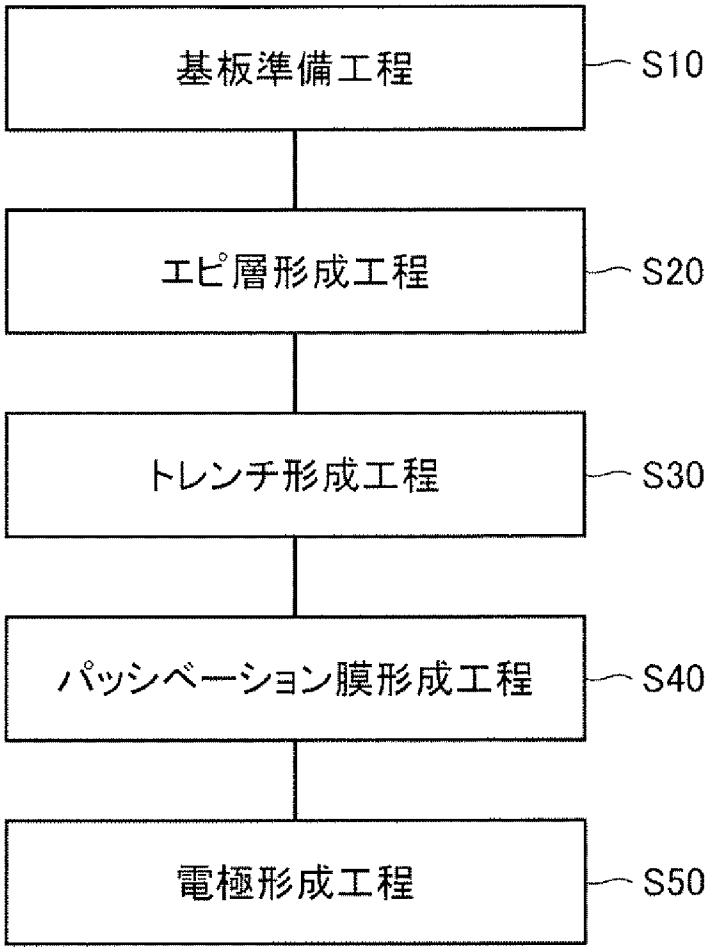
[図1]


10
60A
50A
40A
30A
20A
30B
60
50
42
41
40
30
20

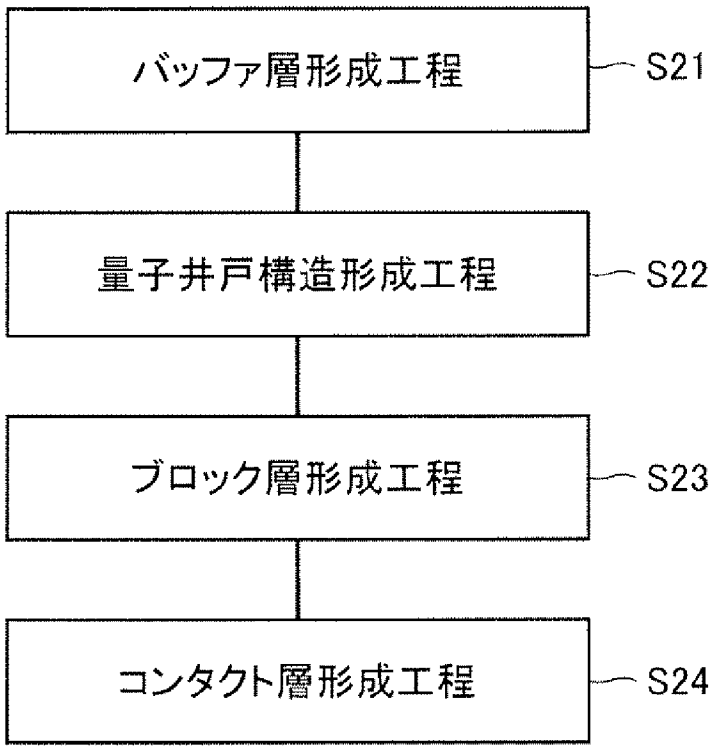
[図2]


1
99
99
82
92
80
60A
50A
99A
60
50
42
41
40
81
91
99B
20A
30B
30
20
30A

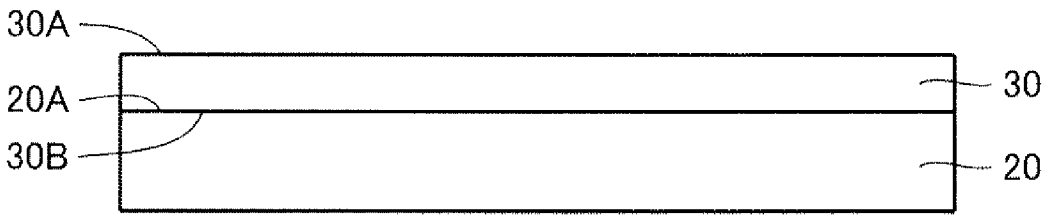
[図3]


基板準備工程
S10
エピ層形成工程
S20
トレンチ形成工程
S30
パッシベーション膜形成工程
S40
電極形成工程
S50

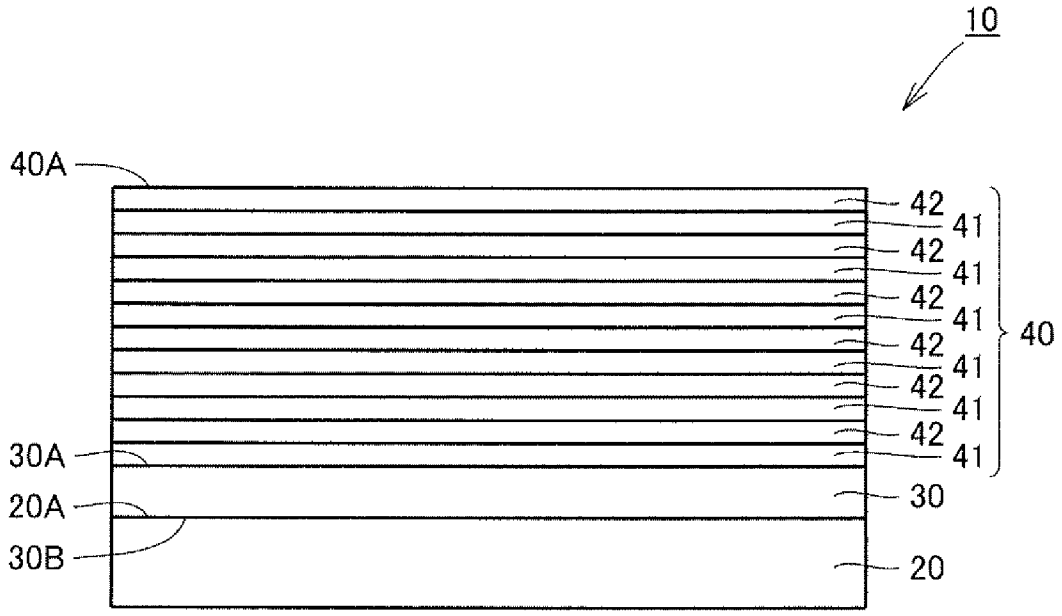
[図4]


バッファ層形成工程
S21
量子井戸構造形成工程
S22
ブロック層形成工程
S23
コンタクト層形成工程
S24

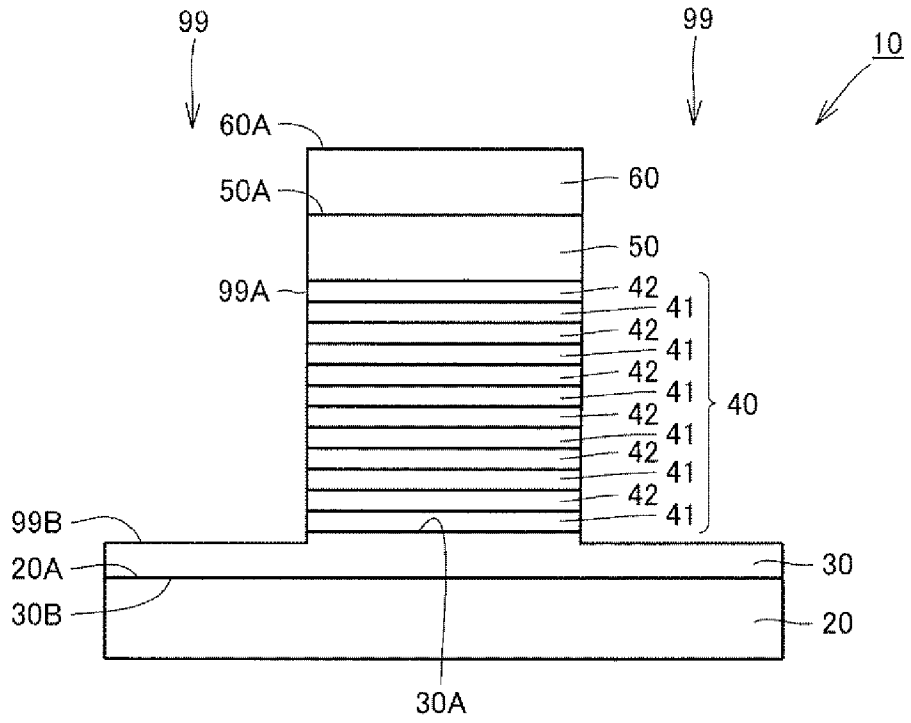
[図5]


30A
20A
30B
30
20

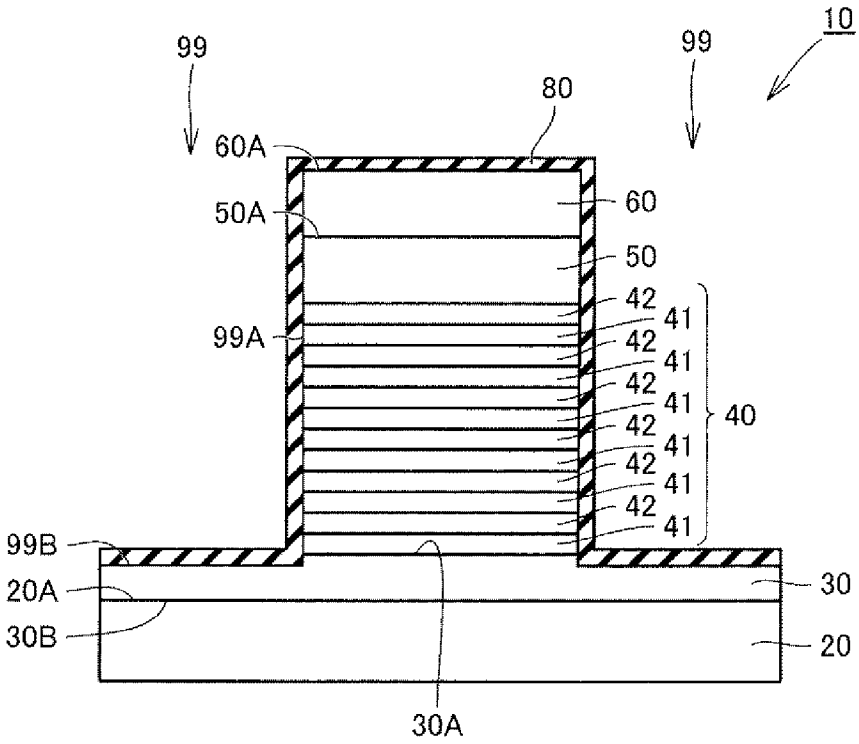
[図6]


10
40A
42
41
42
41
42
41
42
41
42
41
42
41
42
41
40
30A
20A
30B
30
20

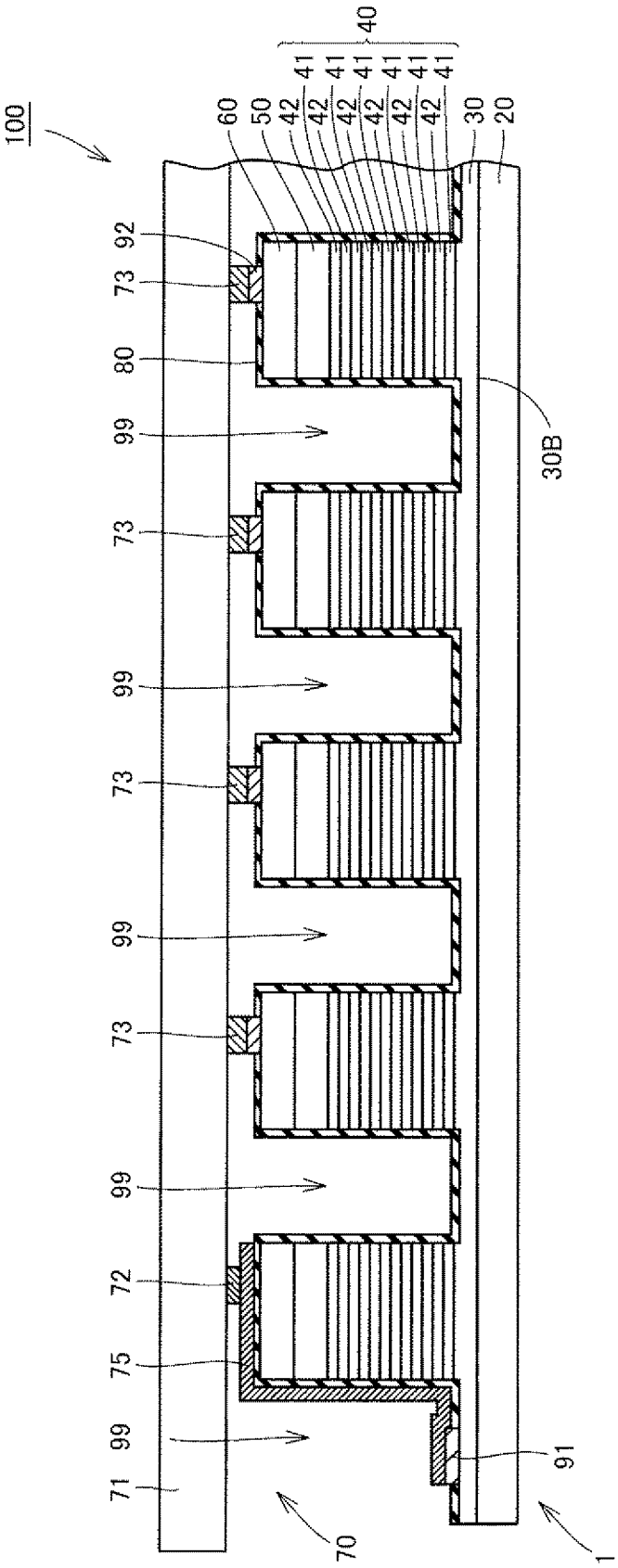
[図7]


99
99
10
60A
50A
60
50
99A
42
41
42
41
42
41
42
41
42
41
42
41
42
41
40
99B
20A
30B
30
20
30A

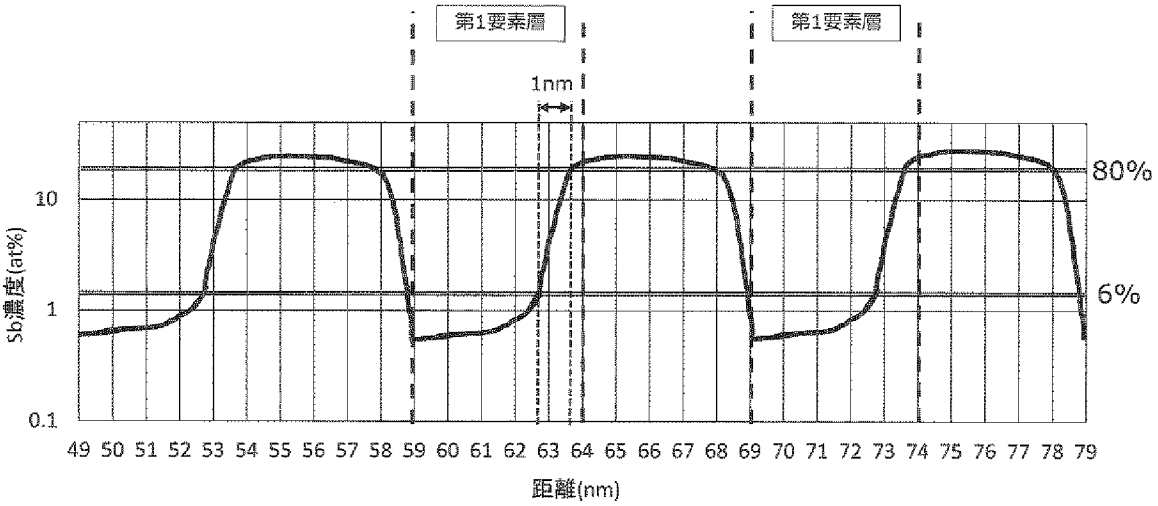
[図8]



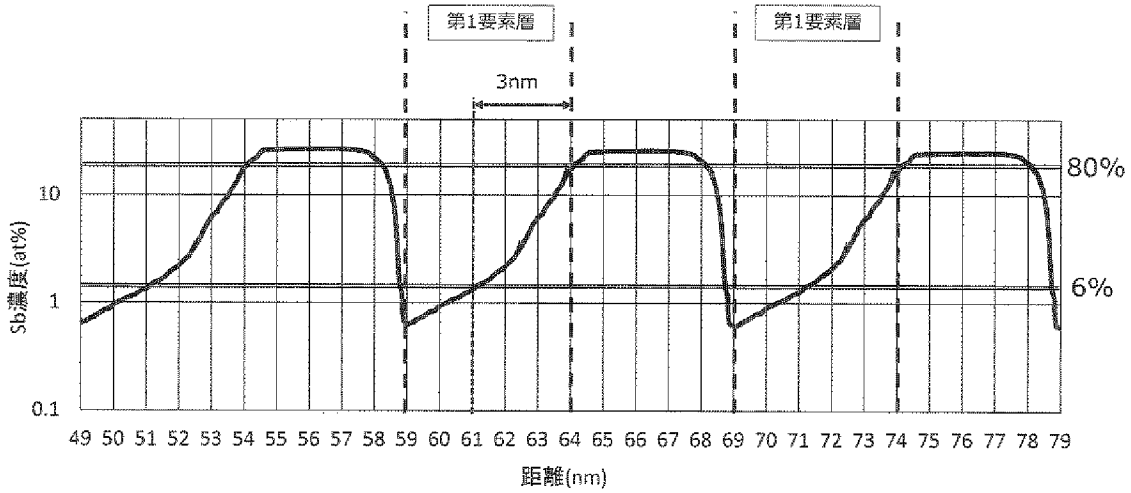
[図9]



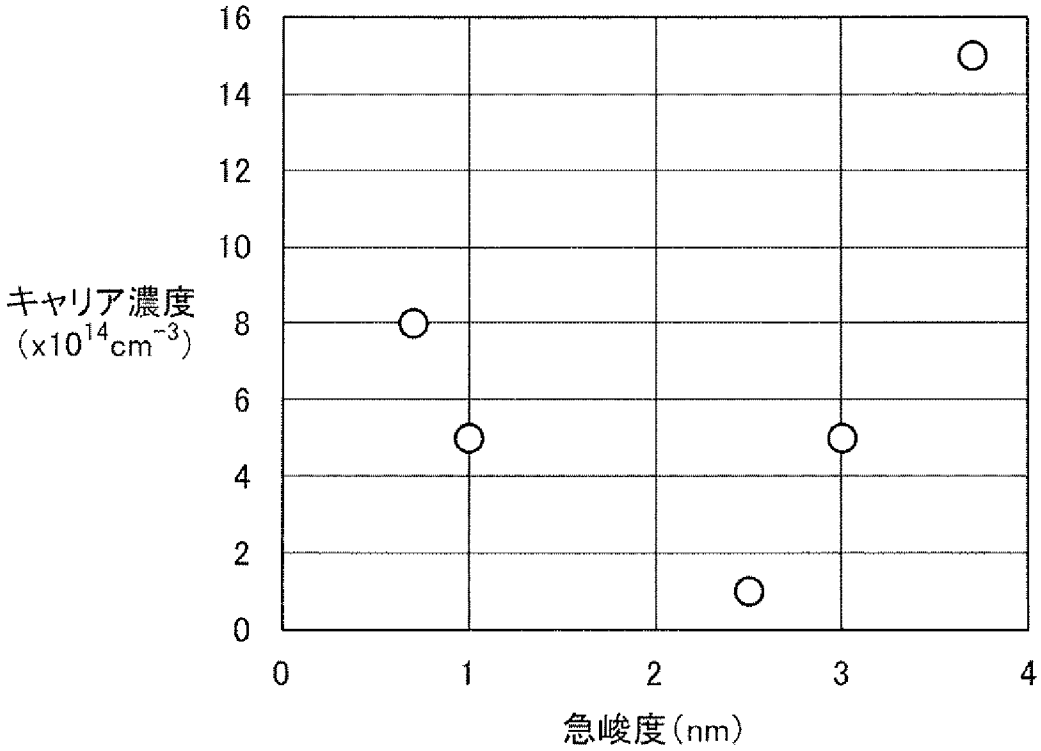
[図10A]


第1要素層
第1要素層
1nm
80%
6%
10
1
0.1
Sb濃度(at%)
49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79
距離(nm)

[図10B]


第1要素層
第1要素層
3nm
80%
6%
10
1
0.1
Sb濃度(at%)
49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79
距離(nm)

[図11]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/031313

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L31/10(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L31/00-31/20, H01S5/00-5/50, H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
Google Scholar

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PETER, M. et al., "Light-emitting diodes and laser diodes based on a $Ga_{1-x}In_xAs/GaAs_{1-Y}Sb_Y$ type II superlattice on InP substrate", Applied Physics Letters, 1999, vol. 74, pp. 1951-1953	1-12
A	JP 2014-216624 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 17 November 2014 & US 2014/0319463 A1 & CN 104134713 A	1-12
A	JP 5-291688 A (ROHM CO., LTD.) 05 November 1993 & US 5471494 A & DE 4311532 A1	1-12
A	JP 2010-258097 A (PANASONIC ELECTRIC WORKS CO., LTD.) 11 November 2010 & US 2010/0270583 A1	1-12
A	JP 2013-187309 A (FUJITSU LTD.) 19 September 2013 (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 September 2018 (26.09.2018)	09 October 2018 (09.10.2018)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/031313

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/114849 A1 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 30 August 2012 & JP 2012-174977 A & US 2013/0313521 A1 & CN 103403884 A	1-12
A	WO 2015/059988 A1 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 30 April 2015 & JP 2015-82573 A & US 2016/0247951 A1	1-12
A	US 2014/0374701 A1 (L-3 COMMUNICATIONS CINCINNATI ELECTRONICS CORPORATION) 25 December 2014 & EP 2819180 A2	1-12

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０３１３１３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/10(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/00-31/20, H01S5/00-5/50, H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Google Scholar

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	PETER, M. et al., "Light-emitting diodes and laser diodes based on a $Ga_{1-x}In_xAs/GaAs_{1-y}Sb_y$ type II superlattice on InP substrate", Applied Physics Letters, 1999, Vol.74, pp.1951-1953	1-12
A	JP 2014-216624 A (住友電気工業株式会社) 2014.11.17, & US 2014/0319463 A1 & CN 104134713 A	1-12
A	JP 5-291688 A (ローム株式会社) 1993.11.05, & US 5471494 A & DE 4311532 A1	1-12

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２６．０９．２０１８	０９．１０．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｋ　１１３２
島田　英昭
電話番号　０３－３５８１－１１０１　内線　３２５５

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-258097 A (パナソニック電工株式会社) 2010.11.11, & US 2010/0270583 A1	1-12
A	JP 2013-187309 A (富士通株式会社) 2013.09.19, (ファミリーなし)	1-12
A	WO 2012/114849 A1 (住友電気工業株式会社) 2012.08.30, & JP 2012-174977 A & US 2013/0313521 A1 & CN 103403884 A	1-12
A	WO 2015/059988 A1 (住友電気工業株式会社) 2015.04.30, & JP 2015-82573 A & US 2016/0247951 A1	1-12
A	US 2014/0374701 A1 (L-3 COMMUNICATIONS CINCINNATI ELECTRONICS CORPORATION) 2014.12.25, & EP 2819180 A2	1-12