

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 12 月 12 日(12.12.2013)

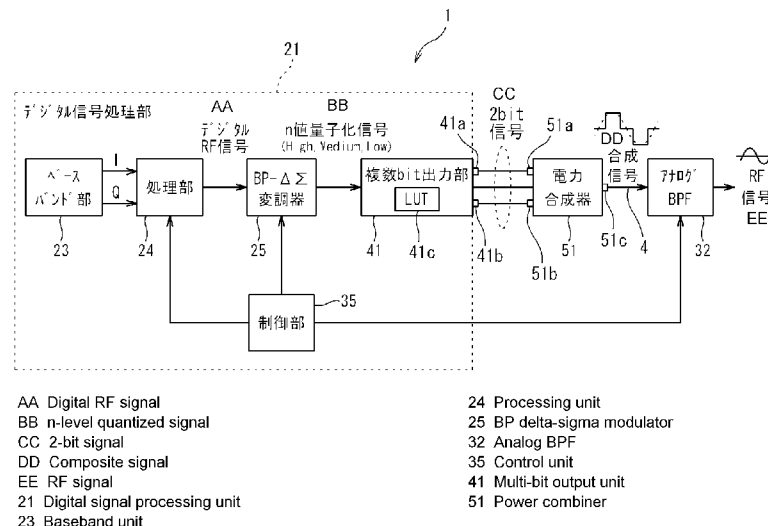


(10) 国際公開番号
WO 2013/183528 A1

- (51) 国際特許分類:
H03M 3/02 (2006.01)
- (21) 国際出願番号: PCT/JP2013/064989
- (22) 国際出願日: 2013 年 5 月 30 日(30.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-127616 2012 年 6 月 5 日(05.06.2012) JP
- (71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者: 前畠 貴(MAEHATA, Takashi); 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 特許業務法人サンクレスト国際特許事務所(SUNCREST PATENT AND TRADEMARK ATTORNEYS); 〒6500023 兵庫県神戸市中央区栄町通四丁目 1 番 1 1 号 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DELTA-SIGMA MODULATION SYSTEM AND DIGITAL SIGNAL PROCESSING DEVICE

(54) 発明の名称: $\Delta\Sigma$ 変調システム及びデジタル信号処理装置



(57) Abstract: A delta-sigma modulation system according to the present invention is provided with a delta-sigma modulator that outputs a n-level (where n is an integer greater than or equal to 3) quantized signal, a multi-bit output unit that converts the n-level quantized signal output from the delta-sigma modulator into a multi-bit signal and then outputs the multi-bit signal, and a power combiner that performs power combining with the multi-bit signal and then generates a composite signal having n signal levels.

(57) 要約: $\Delta\Sigma$ 変調システムは、n 値 (n は 3 以上の整数) の量子化信号を出力する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器から出力された n 値の量子化信号を、複数 bit の信号に変換して出力する複数 bit 出力部と、前記複数 bit の信号を電力合成して、n 個の信号レベルを持つ合成信号を生成する電力合成器と、を備えている。

WO 2013/183528 A1

明 細 書

発明の名称： $\Delta\Sigma$ 変調システム及びデジタル信号処理装置

技術分野

[0001] 本発明は、 $\Delta\Sigma$ 変調器を有する $\Delta\Sigma$ 変調システム及びデジタル信号処理装置に関するものである。

背景技術

[0002] $\Delta\Sigma$ 変調器は、例えば、非特許文献1に記載されているように、ループフィルタと、量子化器とを備えて構成される。

先行技術文献

非特許文献

[0003] 非特許文献1：和保 孝雄、安田 明 監訳（原著者 Richard Schreier, Gabor C. Temes） $\Delta\Sigma$ 型アナログ／デジタル変換器入門（Understanding Delta-Sigma Data Converters）、丸善株式会社、2007、pp1-17

発明の概要

発明が解決しようとする課題

[0004] $\Delta\Sigma$ 変調器が多値の量子化信号を出力する場合、コスト高となる虞がある。

[0005] そこで、本発明は、 $\Delta\Sigma$ 変調器が多値の量子化信号を出力する場合であっても、コスト高となることを防止することを目的とする。

課題を解決するための手段

[0006] 本発明は、 n 値（ n は3以上の整数）の量子化信号を出力する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器から出力された n 値の量子化信号を、複数bitの信号に変換して出力する複数bit出力部と、前記複数bitの信号を電力合成して、 n 個の信号レベルを持つ合成信号を生成する電力合成器と、を備えている $\Delta\Sigma$ 変調システムである。

[0007] 他の観点からみた本発明は、 n 値（ n は3以上の整数）の量子化信号を出力する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器から出力された n 値の量子化信号を、

複数 b i t の信号に変換する複数 b i t 出力部と、を備えているデジタル信号処理装置である。

なお、本発明は、このような特徴的な $\Delta\Sigma$ 変調システムやデジタル信号処理装置として実現することができるだけでなく、かかる $\Delta\Sigma$ 変調システムやデジタル信号処理装置で行われる特徴的な処理をステップとする方法として実現したり、かかるステップをコンピュータに実行させるためのプログラムとして実現したりすることができる。また、上記 $\Delta\Sigma$ 変調システムやデジタル信号処理装置の一部または全部を実現する半導体集積回路として実現できる。更に、上記プログラムは、C D - R O M等の記録媒体に記憶させることができる。

発明の効果

[0008] 本発明によれば、 $\Delta\Sigma$ 変調器が多値の量子化信号を出力する場合であっても、コスト高となることを防止することができる。

図面の簡単な説明

[0009] [図1] $\Delta\Sigma$ 変調システムの構成図である。

[図2] $\Delta\Sigma$ 変調器の構成図である。

[図3] 1次ローパス型 $\Delta\Sigma$ 変調器である。

[図4] 1次ローパス型 $\Delta\Sigma$ 変調器から変換して得られた2次バンドパス型 $\Delta\Sigma$ 変調器である。

[図5] ルックアップテーブルを示す図である。

[図6] Y形電力合成器を示す回路図である。

[図7] Δ 型電力合成器を示す回路図である。

[図8] 電力合成器の入出力を示す図である。

[図9] 複数 b i t 出力部から出力される信号のレベルと電力合成器の出力との関係を示す説明図である。

[図10] 改良されたルックアップテーブルを示す図である。

[図11] M e d i u m 信号の信号レベルの波形図である。

[図12] 2値量子化器の出力のパワースペクトラムである。

[図13] 3 値量子化器の出力のパワースペクトラムである。

[図14] 5 値量子化器の出力のパワースペクトラムである。

[図15] 7 値量子化器の出力のパワースペクトラムである。

発明を実施するための形態

[0010] [実施形態の要旨]

Δ 変調器の出力信号（量子化信号）に含まれる出力雑音は、主に、量子化によって生じる量子化雑音である。量子化雑音は、量子化器のステップ幅を小さくすれば低減することができる。したがって、量子化器が生成する量子化信号は、ステップ幅が小さくなるように、2 値ではなく、3 以上の多値であるほうが、量子化雑音を低減することができる。

[0011] 量子化器から出力される多値の量子化信号を扱うには、多bitのデジタル-アナログ変換器（DAC）が必要となる。なお、DACの出力は、アナログフィルタを通過することで、信号帯域外の雑音が除去される。

[0012] ここで、 $\Delta\Sigma$ 変調器に入力される信号として、搬送帯域伝送信号を想定した場合、 $\Delta\Sigma$ 変調はオーバーサンプリングを用いた処理であるため、DACには、非常に高速なサンプリングレートが要求される。

[0013] 例えば、LTE（Long Term Evolution）及びIEEE 802.11a規格のように、帯域幅が20MHzもあるような広帯域の変調波に対して $\Delta\Sigma$ 変調を行うシステムにおいて、高いSNR（例えば、60dB）を確保しようとすると、オーバーサンプリング比が128程度必要となる。したがって、帯域幅が20MHzであれば、2.56GHz（20MHz×128）という非常に高速なサンプリングレートが必要とされる。

[0014] このように非常に高速なサンプリングレートを有するDACは、高価であり、システムのコスト高を招く。

[0015] 以下、実施形態の内容を（1）～（9）に列記して説明する。

[0016] （1）実施形態に係る $\Delta\Sigma$ 変調システムは、n値（nは3以上の整数）の量子化信号を出力する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器から出力されたn値の量子化信号を、複数bitの信号に変換して出力する複数bit出力部と、前

記複数 $b_i t$ の信号を電力合成して、 n 個の信号レベルを持つ合成信号を生成する電力合成器と、を備えている。

[0017] 上記構成によれば、3 値以上の量子化信号が出力されるため、信号特性が改善される。しかも、3 値以上の量子化信号は、複数 $b_i t$ 出力部によって複数 $b_i t$ の信号として出力される。複数 $b_i t$ の信号は、電力合成器によって合成されることで、 n 個の信号レベルを持つ合成信号になるため、高価な DAC を用いる必要がない。

[0018] (2) 上記複数 $b_i t$ 出力部は、 n 値の量子化信号を、複数 $b_i t$ の信号に変換するためのルックアップテーブルを備え、前記ルックアップテーブルに基づいて、 n 値の量子化信号を、複数 $b_i t$ の信号に変換するのが好ましい。この場合、 n 値の量子化信号を、複数 $b_i t$ の信号に変換するのが容易になる。

[0019] (3) 上記電力合成器は、ハイブリッド結合器であるのが好ましい。電力合成器は、ハイブリッド結合器であると、電力合成器の各ポート間のアイソレーションが確保できる。

[0020] (4) 上記合成信号は、 n 個 (n は 3 以上の奇数) の信号レベルのなかに、最小信号レベルと最大信号レベルとの間の中央信号レベルを有し、時間軸上における複数の前記中央信号レベルの時間平均は、前記電力合成器にて前記最小信号レベルを生成するための前記複数 $b_i t$ の $b_i t$ パターンにおける平均信号レベルと、前記電力合成器にて前記最大信号レベルを生成するための前記複数 $b_i t$ の $b_i t$ パターンにおける平均信号レベルと、の間の中央値に等しくされているのが好ましい。この場合、中央信号レベルが、前記電力合成器にて前記最小信号レベルを生成するための前記複数 $b_i t$ の $b_i t$ パターンにおける平均信号レベルと、前記電力合成器にて前記最大信号レベルを生成するための前記複数 $b_i t$ の $b_i t$ パターンにおける平均信号レベルと、の間の中央値に等しくないことによって生じる信号特性劣化を防止できる。

[0021] (5) 上記複数 $b_i t$ 出力部は、前記電力合成器にて前記中央信号レベルを

生成するための複数 $b i t$ の信号の $b i t$ パターンとして、複数種類の $b i t$ パターンをそれぞれ同頻度で出力するのが好ましい。複数種類の $b i t$ パターンをそれぞれ同頻度で出力することで、中央信号レベルの時間平均が、前記電力合成器にて前記最小信号レベルを生成するための前記複数 $b i t$ の $b i t$ パターンにおける平均信号レベルと、前記電力合成器にて前記最大信号レベルを生成するための前記複数 $b i t$ の $b i t$ パターンにおける平均信号レベルと、の間の中央値に等しくなる。

[0022] (6) 上記中央信号レベルは、ゼロの信号レベルであるのが好ましい。中央信号レベルがゼロの信号レベルであることで、 $\Delta \Sigma$ 変調器への入力信号がゼロであるときには、中央信号レベルの信号を出力すればよく、電力消費を抑えることができ、信号特性も良好となる。

[0023] (7) 上記 $\Delta \Sigma$ 変調器は、バンドパス型 $\Delta \Sigma$ 変調器であるのが好ましい。バンドパス型 $\Delta \Sigma$ 変調器を用いることで、高周波を扱うのが容易となる。

[0024] (8) 上記 $\Delta \Sigma$ 変調器は、帯域伝送方式の変調信号に対する $\Delta \Sigma$ 変調を行って、 n 値の量子化信号を出力するのが好ましい。この場合、帯域伝送方式の変調信号に対して $\Delta \Sigma$ 変調が行われる。

[0025] (9) 他の観点からみた本発明の実施形態に係るデジタル信号処理装置は、 n 値 (n は 3 以上の整数) の量子化信号を出力する $\Delta \Sigma$ 変調器と、前記 $\Delta \Sigma$ 変調器から出力された n 値の量子化信号を、複数 $b i t$ の信号に変換する複数 $b i t$ 出力部と、を備えている。

[実施形態の詳細]

[0026] 以下、実施形態について図面を参照しながら説明する。

[0027] [1. システム構成]

図 1 は、実施形態に係る $\Delta \Sigma$ 変調システムを示している。このシステム 1 は、 $\Delta \Sigma$ 変調器 2 5 を備えたデジタル信号処理部 (デジタル信号処理装置) 2 1 と、電力合成器 5 1 と、アナログフィルタ 3 2 と、を有している。

[0028] デジタル信号処理部 2 1 は、帯域伝送方式の変調信号、例えば、R F (R a d i o F r e q u e n c y) 信号を表現するデジタル信号 (複数 $b i t$

信号)を出力する。RF信号は、無線波として空間に放射されるべき信号であり、例えば、移動体通信のためのRF信号、テレビ／ラジオなどの放送サービスのためのRF信号である。

[0029] デジタル信号処理部21から出力された複数bit信号(本実施形態では2bit信号)は、電力合成器51に与えられる。電力合成器51は、複数bitそれぞれの信号の電力合成をして、合成信号を生成する。

[0030] 合成信号は、アナログフィルタ(バンドパスフィルタ又はローパスフィルタ)32に与えられる。合成信号は、RF信号の信号帯域外に量子化雑音を含んでおり、信号帯域外の量子化雑音(ノイズ成分)は、アナログフィルタ32によって、除去される。

デジタル信号処理部21から出力された複数bit信号は、電力合成器51及びアナログフィルタ32を通過することで、アナログRF信号となる。

このように、合成信号は、信号帯域外にノイズ成分を含んでいるものの、アナログRF信号を表現したものとなっている。

[0031] アナログフィルタ32として、バンドパスフィルタを用いるか、ローパスフィルタを用いるかは、RF信号の周波数によって、適宜決定される。

なお、 $\Delta\Sigma$ 変調器25が、図1に示すように、バンドパス型 $\Delta\Sigma$ 変調器である場合には、アナログフィルタ32としてバンドパスフィルタが用いられ、ローパス型 $\Delta\Sigma$ 変調器である場合には、アナログフィルタ32としてローパスフィルタが用いられる。

[0032] システム1のうち、デジタル信号処理部21は、複数bit信号をRF信号として出力するRF信号送信機とみなすことができる。この場合、電力合成器51及びアナログフィルタ32を有する装置は、RF信号の受信機と考えられる。また、システム1全体を、RF信号を送信する送信機であるとみなしてもよい。

[0033] デジタル信号処理部21は、RF信号によって送信される情報であるベースバンド信号(IQ信号)を出力するベースバンド部23と、デジタル直交変調などの処理を行う処理部24と、 $\Delta\Sigma$ 変調器25と、複数bit出力部

4 1 と、制御部 3 5 と、を備えている。

[0034] ベースバンド部 2 3 は、I Q ベースバンド信号（I 信号、Q 信号それぞれ）をデジタルデータとして出力する。

処理部 2 4 は、I Q ベースバンド信号に対してデジタル直交変調などの処理を行う。したがって、処理部 2 4 からは、多ビットのデジタルデータ（離散値）によって表現されたデジタル信号形式の信号が出力される。

なお、処理部 2 4 における変調は、直交変調に限らず、変調波を生成するための他の方式の変調であってもよい。

[0035] 処理部 2 4 は、直交変調のほか、D P D (Digital Pre-distortion)、C F R (Crest Factor Reduction)、D U C (Digital Up Conversion)などの様々なデジタル信号処理を施す。処理部 2 4 からは、上述のような各種のデジタル信号処理によって生成された R F 信号が出力される。

[0036] 処理部 2 4 から出力されたデジタル R F 信号は、 $\Delta \Sigma$ 変調器 2 5 に与えられる。本実施形態の $\Delta \Sigma$ 変調器 2 5 は、バンドパス型 $\Delta \Sigma$ 変調器として構成されている。なお、 $\Delta \Sigma$ 変調器 2 5 は、ローパス型であってもよいが、高周波の R F 信号を扱う場合には、バンドパス型が有利である。

[0037] $\Delta \Sigma$ 変調器 2 5 は、入力信号である R F 信号に対して、 $\Delta \Sigma$ 変調を行って n 値（ n は 3 以上の整数；好ましくは、3 以上の奇数）の量子化信号を出力する。本実施形態では、 $n = 3$ であるが、 $n = 3$ に限定されるものではない。

[0038] 制御部 3 5 は、周波数の制御などの制御機能を有しており、デジタル信号処理部 2 1 における各部、及びアナログフィルタ 3 2 を制御する。

[0039] [2. $\Delta \Sigma$ 変調]

図 2 に示すように、 $\Delta \Sigma$ 変調器 2 5 は、ループフィルタ 2 7 と、量子化器 2 8 と、を備えている。

図 2 に示す $\Delta \Sigma$ 変調器 2 5 は、入力（本実施形態では、R F 信号） U が、ループフィルタ 2 7 に与えられる。ループフィルタ 2 7 の出力 Y は、量子化器 2 8 に与えられる。量子化器 2 8 の出力（量子化信号） V は、ループフィ

ルタ 27 への他の入力として与えられる。

[0040] 本実施形態の量子化器 28 は、3 値量子化器として構成されており、ループフィルタの出力 Y を、 n 値 = 3 値（例えば、High (+1), Medium (0), Low (-1)）で量子化する。つまり、量子化器 28 は、3 値のうちのいずれかを量子化信号として出力する。 n の値を大きくするほど、量子化器 28 によって生じる量子化雑音を低減することができるため好ましいが、 n 値が大きくなると、量子化器 28 の後段の処理が複雑になるため、 n 値はあまり大きくないほうがよい。かかる観点から、本実施形態では、 $n = 3$ とした。

[0041] 図 12 ~ 図 15 は、量子化器 28 の n 値を 2, 3, 5, 7 値にした場合のパワースペクトラムを示している。図 12 は $n = 2$ であり、図 13 は $n = 3$ であり、図 14 は $n = 5$ であり、図 15 は $n = 7$ である。図 12 ~ 図 15 に示すように、 n の値を大きくするほど量子化雑音を低減することができる。

[0042] $\Delta\Sigma$ 変調器 25 の入力信号が、RF 信号のように、正の値及び負の値をとる場合、量子化器 28 も、正の値及び負の値を量子化できる必要がある。

量子化器 28 は、量子化器 28 への入力信号に対する閾値の数 $n = 3$ であり、奇数となっている。 n が奇数であると、量子化器 28 は、量子化器 28 への入力信号 = 0 の部分が平坦である伝達曲線を持つミッドトレッド型となる。

[0043] デジタル処理においては、正及び負の数を 2 進数で表現する場合、最上位ビットを符号ビットとして正／負を示し（0 が正で、1 が負）、残りのビットで表現したい数の絶対値を 2 の補数で示すのが一般的である。量子化器 28 の出力は、このような一般的な表現方法に依拠している。したがって、 $n = 3$ の場合、量子化器 28 は、High である +1（十進数）を”01”で表し、Medium である 0（十進数）を”00”で表し、Low である -1（十進数）を”11”で表す。

[0044] さて、 $\Delta\Sigma$ 変調器 25 の特性は、信号伝達関数 (STF; Signal Transfer Function) 及び雑音伝達関数 (NTF; Noi

se Transfer Function) によって表すことができる。

つまり、 $\Delta\Sigma$ 変調器 25 の入力を U とし、 $\Delta\Sigma$ 変調器 25 の出力を V とし、量子化雑音を E としたときに、 $\Delta\Sigma$ 変調器 25 の特性を、 z 領域において表すと、次のとおりである。

[数1]

$$V(z) = STF(z)U(z) + NTF(z)E(z) \quad \dots\dots(1)$$

[0045] したがって、所望の NTF と STF とが与えられると、ループフィルタ 27 の伝達関数を得ることができる。

[0046] 図 3 は、1 次ローパス型 $\Delta\Sigma$ 変調器 125 の線形 z 領域モデルのブロック図を示している。符号 127 がループフィルタの部分を示し、符号 128 が量子化器を示している。この $\Delta\Sigma$ 変調器 125 への入力を $U(z)$ とし、出力を $V(z)$ とし、量子化雑音を $E(z)$ としたときに、 $\Delta\Sigma$ 変調器 125 の特性を、 z 領域において表すと、次のとおりである。

$$V(z) = U(z) + (1 - z^{-1}) E(z)$$

[0047] つまり、図 3 に示す 1 次ローパス型 $\Delta\Sigma$ 変調器 125 において、信号伝達関数 $STF(z) = 1$ であり、雑音伝達関数 $NTF(z) = 1 - z^{-1}$ である。

[0048] 非特許文献 1 によれば、ローパス型 $\Delta\Sigma$ 変調器に対して、以下の変換を行うことで、ローパス型 $\Delta\Sigma$ 変調器を、バンドパス型 $\Delta\Sigma$ 変調器に変換できる。

[数2]

$$z \rightarrow -z^2 \quad \dots\dots(2)$$

[0049] 上記変換式に従って、ローパス型 $\Delta\Sigma$ 変調器 125 の z 領域モデルにおける z を、 $z' = -z^2$ に置き換えることでバンドパス型 $\Delta\Sigma$ 変調器が得られる。

[0050] 上記変換式を用いると、 n 次のローパス型 $\Delta\Sigma$ 変調器 (n は 1 以上の整数) を、 $2n$ 次のバンドパス型 Σ 変調器に変換できる。

[0051] 本発明者は、ローパス型 $\Delta\Sigma$ 変調器から、所望の周波数 f_0 ($\theta = \theta_0$) を、中心周波数 f_0 として持つバンドパス型 $\Delta\Sigma$ 変調器を得るための変換式を見出した。当該変換式は、例えば、次の式(3)に示す通りである。

[数3]

$$z \rightarrow z \frac{z - \cos \theta_0}{(\cos \theta_0)z - 1} \quad \dots\dots(3)$$

ここで、

$\theta_0 = 2\pi \times (f_0 / f_s)$ f_s は $\Delta\Sigma$ 変調器のサンプリング周波数

[0052] 式(2)の変換式では、特定の周波数 $\theta_0 = \pi/2$ に関するものであったが、式(3)の変換式では、任意の周波数(θ_0)に一般化されている。

[0053] 図4は、図3に示す1次ローパス型 $\Delta\Sigma$ 変調器125を、式(3)の変換式で変換して得られた2次バンドパス型 $\Delta\Sigma$ 変調器25を示している。

なお、図3から図4への変換では、表記の便宜上、式(3)において、 $a = \cos \theta_0$ とおいた下記の変換式を用いた。

[数4]

$$z \rightarrow z \frac{z - a}{az - 1}$$

[0054] なお、バンドパス型 $\Delta\Sigma$ 変調器への変換は、その他の高次ローパス型 $\Delta\Sigma$ 変調器(例えば、非特許文献1記載のCIFB構造、CRFF構造、CFFF構造など)に対しても適用できる。

[0055] $\Delta\Sigma$ 変調器25は、前述の式(3)に基づいて、 z の値が変換可能となっている。つまり、 $\Delta\Sigma$ 変調器307は、量子化雑音阻止帯域の中心周波数を変更可能となっている。換言すると、量子化雑音阻止帯域が変更可能となっている。

[0056] 制御部35は、 $\Delta\Sigma$ 変調器25に入力される信号の中心周波数(上述の搬送周波数 f_0)に応じて、前述の式(3)に基づいて $\Delta\Sigma$ 変調器25の z を変換することにより、任意の周波数の信号に対して、バンドパス $\Delta\Sigma$ 変調が行える。

このように、RF信号の搬送周波数 f_0 に応じて、上記変換式(3)における $\cos\theta_0$ (係数 a)を変更することで、サンプリング周波数 f_s を変更することなく、任意の周波数 f_0 に対応したバンドパス $\Delta\Sigma$ 変調が行える。 $\cos\theta_0$ を変更すると、式(1)に示すNTFの係数が変更されたことになるが、式の次数は維持される。このため、RF信号の搬送波周波数 f_0 に応じて、バンドパス型 $\Delta\Sigma$ 変調器25の構成を変化させても、式の複雑度(次数)は変化せず、したがって、バンドパス型 $\Delta\Sigma$ 変調器25における信号処理負荷も変化しない。

[0057] このように本実施形態では、搬送波周波数 f_0 を変化させても、バンドパス型 $\Delta\Sigma$ 変調器25における信号処理負荷が変化しないため有利である。本実施形態において、バンドパス型 $\Delta\Sigma$ 変調器25における信号処理負荷は、ナイキストの定理により、信号帯域幅によって決定されるサンプリング周波数 f_s に依存するが、搬送波周波数 f_0 を変化させても信号帯域幅が変化するわけではないためサンプリング周波数 f_s を変更する必要はない。なお、 $\Delta\Sigma$ 変調器がローパス型である場合、搬送波周波数 f_0 の変化に対応するには、サンプリング周波数 f_s を変更する必要がある、この点において、バンドパス型が有利である。

[0058] また、式(3)を利用すると、 $\Delta\Sigma$ 変調器25を任意の周波数(f_0)に対応できるバンドパス型 $\Delta\Sigma$ 変調器として利用できるだけでなく、ローパス型 $\Delta\Sigma$ 変調器として利用することもできる。つまり、 $\Delta\Sigma$ 変調器25は、ローパス型とバンドパス型とに切り替え可能となっている。

[0059] また、制御部35は、処理部24を制御することによって、処理部24から出力されるRF信号の周波数を任意の周波数に変更して $\Delta\Sigma$ 変調器25に与えることができる。

[0060] さらに、制御部35は、変更されたRF信号の周波数を通過させるようにアナログフィルタ32の中心周波数を変更されるように、アナログフィルタ32を制御する。

[0061] [3. 複数bit出力]

複数b i t出力部4 1は、n値（3値）の量子化信号に対する所定の変換を行って、複数b i t（2 b i t）の平行信号として、デジタル信号処理部2 1から出力するためのものである。複数b i t出力部4 1は、2 b i tの信号を平行に出力するため、2 b i tのうち、第1のb i tが出力される第1出力ポート4 1 aと、第2のb i tが出力される第2出力ポート4 1 bと、を備えている。

[0062] 各出力ポート4 1 a, 4 1 bは、電圧がH i g hレベルの信号又はL o wレベルの信号を出力する。以下、H i g hレベルの信号を「V H」で示し、L o wレベルの信号を「V L」で示す。また、各出力ポート4 1 a, 4 1 bから出力される信号を区別する必要がある場合、第1出力ポート4 1 aから出力される信号を「V H₁」又は「V L₁」で示し、第2出力ポート4 1 bから出力される信号を「V H₂」又は「V L₂」で示す。

[0063] 複数b i t出力部4 1は、n値の量子化信号を、複数b i t（2 b i t）の平行信号に変換するため、ルックアップテーブル4 1 cを備えている。複数b i t出力部4 1は、ルックアップテーブル4 1 cを参照することで、n値の量子化信号を、複数b i tの信号に容易に変換することができる。

[0064] 図5に示すように、ルックアップテーブル4 1 cは、複数b i t出力部4 1に入力される $\Delta\Sigma$ 変調器出力（n値量子化信号）と、第1及び第2出力ポート4 1 a, 4 1 bから出力される信号との組み合わせを保持している。

[0065] 複数b i t出力部4 1の出力（複数b i t信号）は、その出力を電力合成器5 1によって合成したときに、量子化器2 8が出力するn値の量子化信号に対応して、n個の信号レベルを持つ合成信号が生成されるb i tパターンとなっている。

すなわち、n値（3値）量子化信号がH i g h（+1）＝”0 1”の場合、第1出力ポート4 1 aからはV H₁（+1）が出力され、第2出力ポート4 1 bからはV H₂（+1）が出力される。

n値（3値）量子化信号がM e d i u m（0）＝”0 0”の場合、第1出力ポート4 1 aからはV H₁（+1）が出力され、第2出力ポート4 1 bから

は $VL_2(-1)$ が出力される。

n 値 (3 値) 量子化信号が $Low(-1) = "11"$ の場合、第 1 出力ポート 41 a からは $VL_1(-1)$ が出力され、第 2 出力ポート 41 b からは $VL_2(-1)$ が出力される。

なお、図 5 では、 VL_1 及び VH_2 の組み合わせは不使用となっている。

[0066] [4. 電力合成器 (Power Combiner)]

電力合成器 51 は、複数 bit 出力部 41 から出力された複数 bit の信号を電力合成して、 n 個の信号レベルを持つ合成信号を生成する。電力合成器 51 は、複数 bit 出力部 41 から出力された $2bit$ の信号が入力される第 1 入力ポート 51 a 及び第 2 入力ポート 51 b を備えるとともに、合成信号を出力する出力ポート 51 c を備えている。

[0067] 図 6 は、電力合成器 51 の第 1 の例を示している。図 6 の電力合成器 51 は、Y 形電力合成器として構成されており、3 つの抵抗 52 a, 52 b, 52 c が Y 形に接続されている。

[0068] 図 6 の電力合成器 51 は、電力合成器 51 の出力ポート 51 c に接続された負荷 (図 1 では、アナログフィルタ 32) に対して、インピーダンス整合するよう構成されている。

具体的には、出力ポート 51 c に接続された負荷の特性インピーダンスを Z_0 とし、第 1 入力ポート 51 a 及び第 2 入力ポート 51 b のインピーダンスも Z_0 とすると、各抵抗 52 a, 52 b, 52 c のインピーダンスは、 $Z_0/3$ に設定すればよい。

[0069] なお、図 6 の電力合成器 51 に代えて、電力合成器 51 として、ハイブリッド結合器 (Hybrid combiner) を用いてもよい。電力合成器 51 が、ハイブリッド結合器として構成されている場合には、ポート間のアイソレーションが取れ、完全に独立して電圧設定が可能となる。

[0070] 図 6 では、入力ポート 51 a, 51 b の数 m は、複数 bit 出力部 41 から出力される bit 数 = 2 にあわせて、2 つであるが、複数 bit 出力部 41 から出力される bit 数が 3 以上となった場合、それに合わせて、入力ポ

ート 5 1 a, 5 1 b の数 m を増やせばよい。

なお、各入力ポート 5 1 a, 5 1 b には、それぞれ、抵抗 5 2 a, 5 2 b が接続される。入力ポート 5 1 a, 5 1 b の数を m とした場合、各抵抗 5 2 a, 5 2 b, 5 2 c のインピーダンスは、 $\{(m-1)/(m+1)\} \times Z_0$ とすることで、インピーダンス整合をとることができる。

[0071] 図 7 は、電力合成器 5 1 の第 2 の例を示している。図 6 の電力合成器 5 1 は、 Δ 形電力合成器として構成されており、3 つの抵抗 5 2 a, 5 2 b, 5 2 c が Y 形に接続されている。

[0072] 図 7 の電力合成器 5 1 においても、電力合成器 5 1 の出力ポート 5 1 c に接続された負荷（図 1 では、アナログフィルタ 3 2）に対して、インピーダンス整合するよう構成されている。

具体的には、出力ポート 5 1 c に接続された負荷の特性インピーダンスを Z_0 とし、第 1 入力ポート 5 1 a 及び第 2 入力ポート 5 1 b のインピーダンスも Z_0 とすると、各抵抗 5 3 a, 5 3 b, 5 3 c のインピーダンスは、 Z_0 に設定すればよい。

[0073] RF 信号のような帯域伝送方式の変調信号を扱う場合、電力合成器 5 1 のようなアナログ回路は、インピーダンス整合がとれていることが必要である。したがって、アナログフィルタ 3 2 から出力される RF 信号に悪影響を与えないために、インピーダンス整合がとれているのが好ましい。

[0074] 図 8 は、電力合成器 5 1 の出力ポート 5 1 c から出力される合成信号（アナログ信号）の信号レベルを示している。なお、図 8 では、理解の容易のため、図 6 に示す Y 形電力合成器 5 1 を示したが、図 7 に示す Δ 形電力合成器 5 1 でも、同様の合成信号が得られる。

[0075] 合成信号は、量子化信号と同様に、 n 個の信号レベル（High, Medium, Low）を持つ。

図 8（a）に示すように、第 1 入力ポート 5 1 a に $V_H (+1 [V])$ が入力され、第 2 入力ポート 5 1 b に $V_H (+1 [V])$ が入力された場合、電力合成によって、出力ポート 5 1 c からは V_H 、つまり、High (+1 [

V])の信号レベル（最大信号レベル）が出力される。

図8（b）に示すように、第1入力ポート51aにVH（+1[V]）が入力され、第2入力ポート51bにVL（−1[V]）が入力された場合、電力合成によって、出力ポート51cからは $(VH+VL)/2$ 、つまり、Medium（0[V]）の信号レベル（中央信号レベル）が出力される。

図8（c）に示すように、第1入力ポート51aにVL（+1[V]）が入力され、第2入力ポート51bにVL（−1[V]）が入力された場合、電力合成によって、出力ポート51cからはVL、つまり、Low（−1[V]）の信号レベル（最小信号レベル）が出力される。

[0076] このように、電力合成器51は、デジタル−アナログ変換器（DAC）のように機能する。本実施形態では、電力合成器51によってDACとしての機能が簡易に得られるため、コストを低減することができる。

[0077] [5. ルックアップテーブルの変形例]

図8（b）に示すMediumの信号は、理想的には、Highの信号とLowの信号の中央値であるゼロの信号レベルとなるべきである。しかし、実際には、Mediumの信号は、厳密には、HighとLowの中央値とにならないことがある。

[0078] 複数bit出力部41の第1出力ポート41aから出力される VH_1 と、第2出力ポート41bから出力される VH_2 とは、本来、同一電圧（ $VH_1=VH_2$ ）となるべきであるが、図9に示すように、 $VH_1 \neq VH_2$ となって、両者に、わずかな差d1が生じることがある。

同様に、複数bit出力部41の第1出力ポート41aから出力される VL_1 と、第2出力ポート41bから出力される VL_2 と、についても、本来、同一電圧（ $VL_1=VL_2$ ）となるべきであるが、図9に示すように、 $VL_1 \neq VL_2$ となって、両者に、わずかな差d2が生じることがある。

[0079] この場合（ $VH_1 \neq VH_2$ 、 $VL_1 \neq VL_2$ ）、電力合成器51から出力される合成信号は、Highの信号の信号レベルが $(VH_1+VH_2)/2$ となり、Lowの信号の信号レベルが $(VL_1+VL_2)/2$ となる。

つまり、H i g h信号の信号レベルは、H i g h信号を生成するためのb i tパターン (VH_1 , VH_2) における平均信号レベル $(VH_1 + VH_2) / 2$ となり、L o w信号の信号レベルは、L o w信号を生成するためのb i tパターン (VL_1 , VL_2) における平均信号レベル $(VL_1 + VL_2) / 2$ となっている。

H i g hの信号とL o wの信号が、このような値をとる場合、H i g hの信号とL o wの信号の中央値は、 $\{ (VH_1 + VH_2) / 2 + (VL_1 + VL_2) / 2 \} / 2$ となるべきである。

しかし、図5のルックアップテーブル41cに従うと、M e d i u mの信号は、 $(VH_1 + VL_2) / 2$ となり、H i g hの信号とL o wの信号の中央値とは、厳密には一致しなくなる。このような中央値のずれは、R F信号におけるノイズ成分となり、R F信号の信号特性を劣化させる要因となる。

[0080] 図10は、このような問題を解決するために改良されたルックアップテーブル41cを示している。

図10のルックアップテーブル41cでは、第1テーブルと第2テーブルとを備えている。第1テーブルは、図5のルックアップテーブル41cと同様のb i tパターンを生成するためのものである。

一方、第2テーブルは、M e d i u m信号について、第1テーブルにおけるb i tパターンとは異なるb i tパターンを生成するためのものである。

[0081] 第1テーブルを使用すると、図5のルックアップテーブル41cと同様に、n値(3値)量子化信号がM e d i u m (0)の場合、第1出力ポート41aからは $VH_1 (+1)$ が出力され、第2出力ポート41bからは $VL_2 (-1)$ が出力される。以下、このb i tパターン (+1, -1)を、「第1b i tパターン」という。

この場合、電力合成器51から出力される合成信号におけるM e d i u mの信号レベルは、 $(VH_1 + VL_2) / 2$ となる。

[0082] 一方、M e d i u m (0)の量子化信号について、第2テーブルを使用した場合、第1出力ポート41aからは $VL_1 (-1)$ が出力され、第2出力ポ

ート41bからは $VH_2(+1)$ が出力される。以下、このbitパターンを、「第2bitパターン」という。

この場合、電力合成器51から出力される合成信号におけるMediumの信号レベルは、 $(VL_1 + VH_2) / 2$ となる。

[0083] 第1bitパターン及び第2bitパターンは、 $VH_1 = VH_2$ かつ $VL_1 = VL_2$ であれば、電力合成器51による電力合成によって、同じ信号レベルの合成信号を生成するようなbitパターンとなっている。

[0084] 複数bit出力部41は、Medium(0)の量子化信号については、第1テーブルと第2テーブルとを交互に参照して、2bit信号を出力する。したがって、Medium(0)の量子化信号については、第1bitパターンと第2bitパターンとが、交互に、複数bit出力部41から出力される。したがって、両bitパターンは、同頻度で発生する。

その結果、電力合成器51からは、Mediumの信号レベルについては、 $(VH_1 + VL_2) / 2$ の信号レベルの信号と、 $(VL_1 + VH_2) / 2$ の信号レベルの信号という2種類の信号が、交互に出力される。

[0085] 図11は、電力合成器51から連続してMedium(0)の信号レベルの信号のみを出力した場合の電圧波形を示している。図11に示すように、 $(VH_1 + VL_2) / 2$ の信号レベルの信号と、 $(VL_1 + VH_2) / 2$ の信号レベルの信号という2種類の信号が、交互に出力される。

[0086] Mediumの信号については、2種類の信号が、交互に出力されるため、2種類の信号は、同頻度で発生する。したがって、図11に示すように、Mediumの信号レベルの時間平均は、 $\{ (VH_1 + VL_2) / 2 + (VL_1 + VH_2) / 2 \} / 2 = (VH_1 + VH_2 + VL_1 + VL_2) / 4$ となり、Highの信号レベルとLowの信号レベルの中央値と等しくなる(図9も参照)。

[0087] この結果、Mediumの信号は、時間平均をとると、Highの信号とLowの信号の中央値と一致し、RF信号におけるノイズ成分を低減することができる。

[0088] [6. 付記]

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味、及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

- [0089] 1 $\Delta\Sigma$ 変調システム
- 2 1 デジタル信号処理部（デジタル信号処理装置）
- 2 5 バンドパス型 $\Delta\Sigma$ 変調器
- 4 1 複数bit出力部
- 5 1 電力合成器

請求の範囲

- [請求項1] n 値（ n は 3 以上の整数）の量子化信号を出力する $\Delta\Sigma$ 変調器と、
前記 $\Delta\Sigma$ 変調器から出力された n 値の量子化信号を、複数 b i t の信号に変換して出力する複数 b i t 出力部と、
前記複数 b i t の信号を電力合成して、 n 個の信号レベルを持つ合成信号を生成する電力合成器と、
を備えている $\Delta\Sigma$ 変調システム。
- [請求項2] 前記複数 b i t 出力部は、 n 値の量子化信号を、複数 b i t の信号に変換するためのルックアップテーブルを備え、前記ルックアップテーブルに基づいて、 n 値の量子化信号を、複数 b i t の信号に変換する
請求項 1 記載の $\Delta\Sigma$ 変調システム。
- [請求項3] 前記電力合成器は、ハイブリッド結合器である
請求項 1 又は 2 記載の $\Delta\Sigma$ 変調システム。
- [請求項4] 前記合成信号は、 n 個（ n は 3 以上の奇数）の信号レベルのなかに、最小信号レベルと最大信号レベルとの間の中央信号レベルを有し、時間軸上における複数の前記中央信号レベルの時間平均は、
前記電力合成器にて前記最小信号レベルを生成するための前記複数 b i t の b i t パターンにおける平均信号レベルと、
前記電力合成器にて前記最大信号レベルを生成するための前記複数 b i t の b i t パターンにおける平均信号レベルと、
の間の中央値に等しくされている
請求項 1 ～ 3 のいずれか 1 項に記載の $\Delta\Sigma$ 変調システム。
- [請求項5] 前記複数 b i t 出力部は、前記電力合成器にて前記中央信号レベルを生成するための複数 b i t の信号の b i t パターンとして、複数種類の b i t パターンをそれぞれ同頻度で出力する
請求項 4 記載の $\Delta\Sigma$ 変調システム。
- [請求項6] 前記中央信号レベルは、ゼロの信号レベルである

請求項4又は5記載の $\Delta\Sigma$ 変調システム。

[請求項7]

前記 $\Delta\Sigma$ 変調器は、バンドパス型 $\Delta\Sigma$ 変調器である

請求項1～6のいずれか1項に記載の $\Delta\Sigma$ 変調システム。

[請求項8]

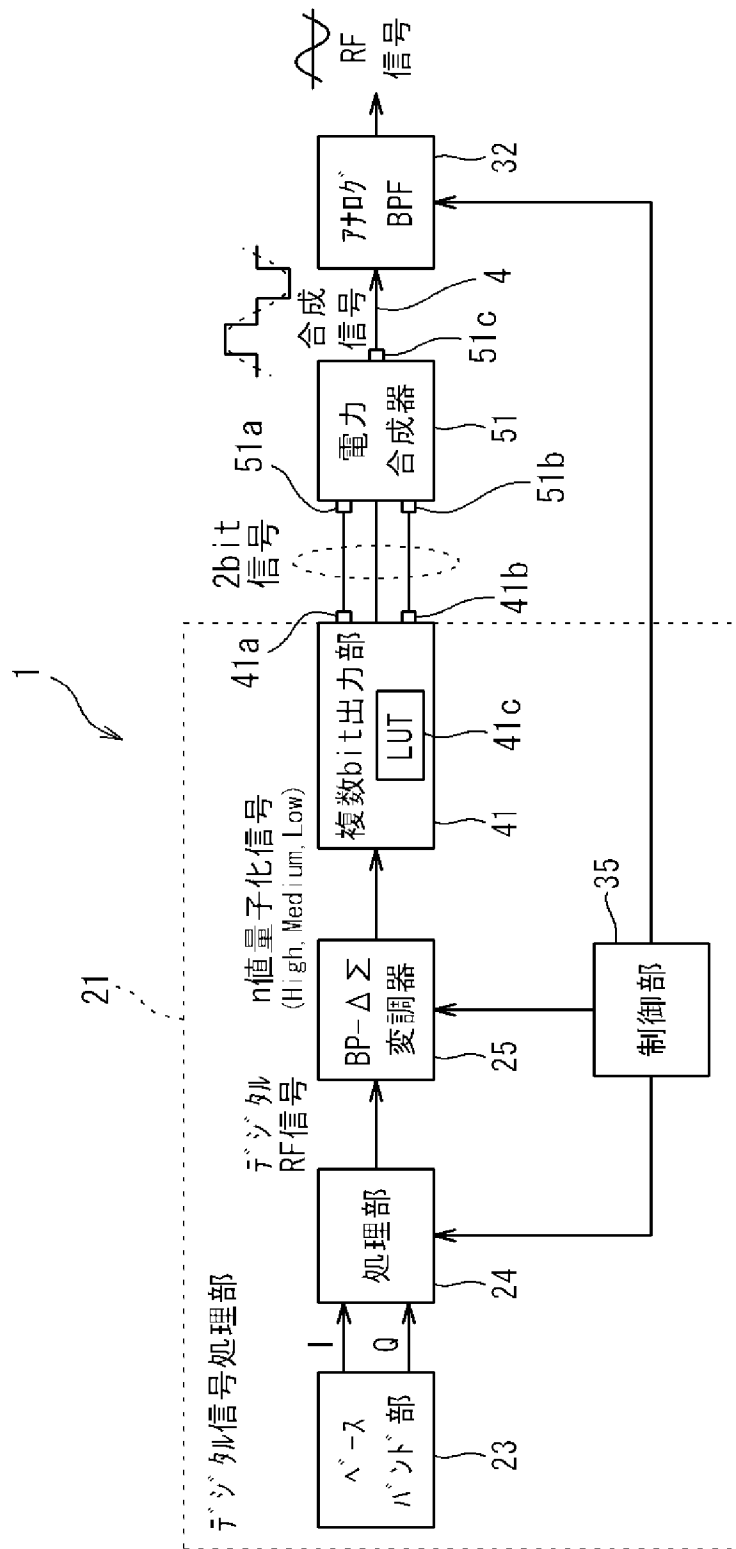
前記 $\Delta\Sigma$ 変調器は、帯域伝送方式の変調信号に対する $\Delta\Sigma$ 変調を行って、 n 値の量子化信号を出力する

請求項1～7のいずれか1項に記載の $\Delta\Sigma$ 変調システム。

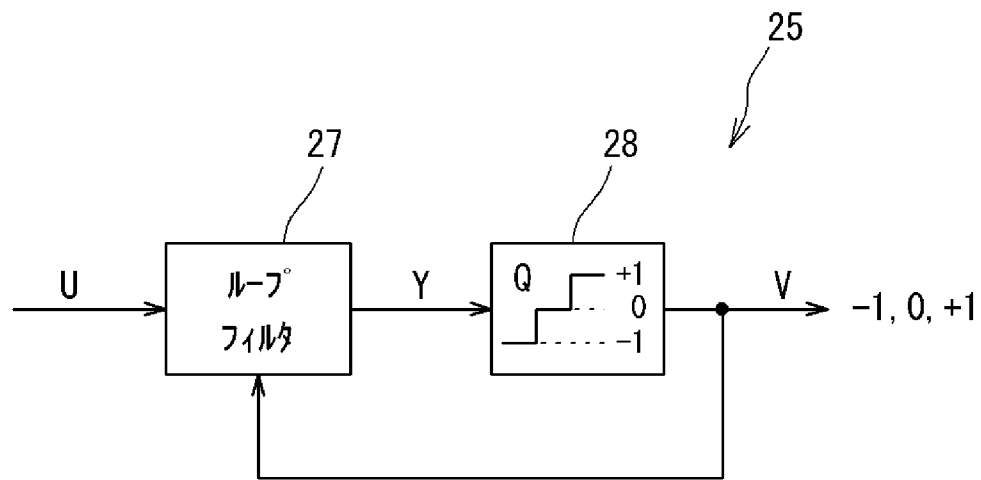
[請求項9]

n 値（ n は3以上の整数）の量子化信号を出力する $\Delta\Sigma$ 変調器と、
前記 $\Delta\Sigma$ 変調器から出力された n 値の量子化信号を、複数bitの信号に変換する複数bit出力部と、
を備えているデジタル信号処理装置。

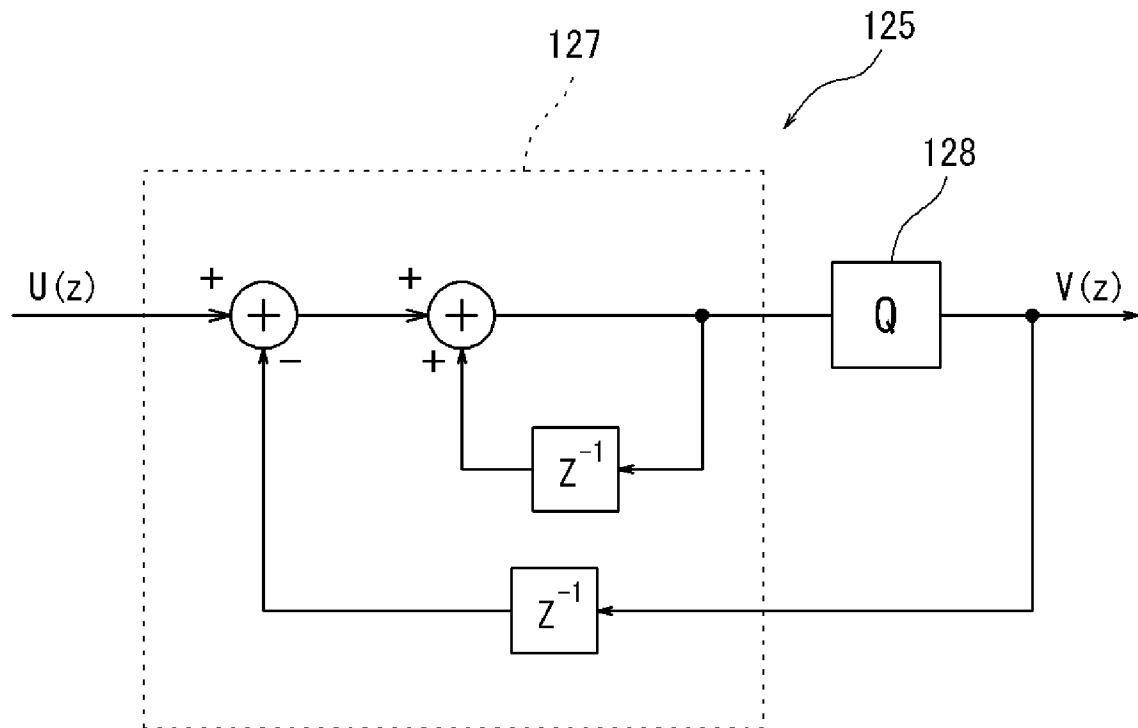
[図1]



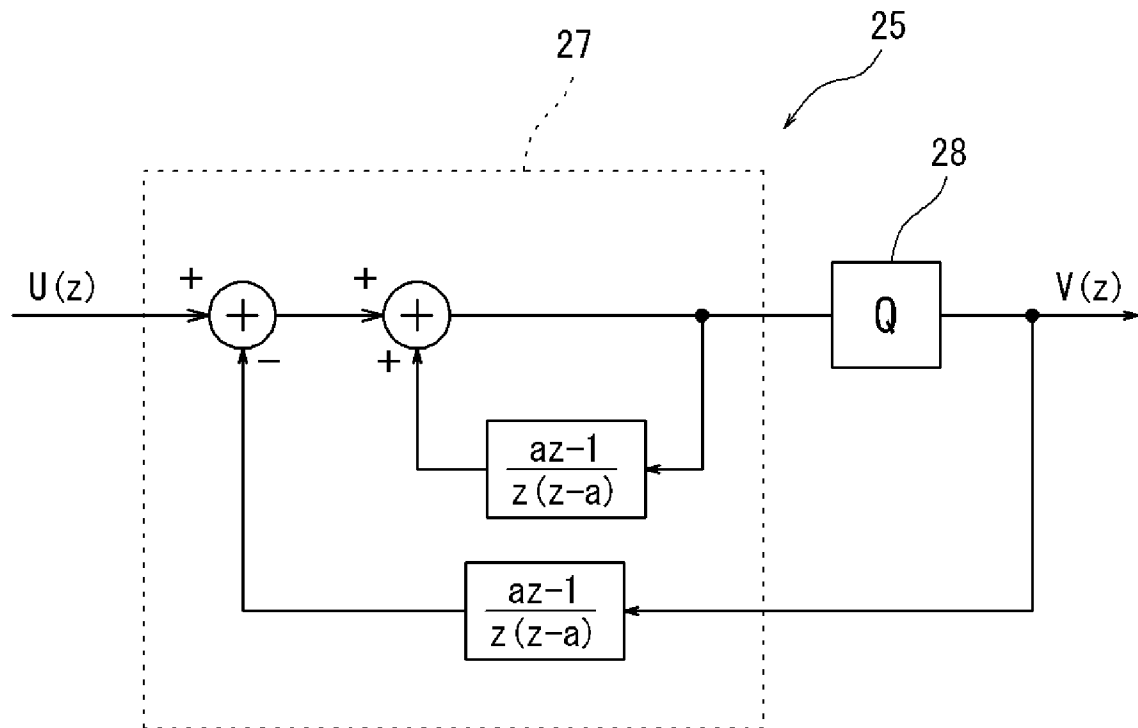
[図2]



[図3]



[図4]



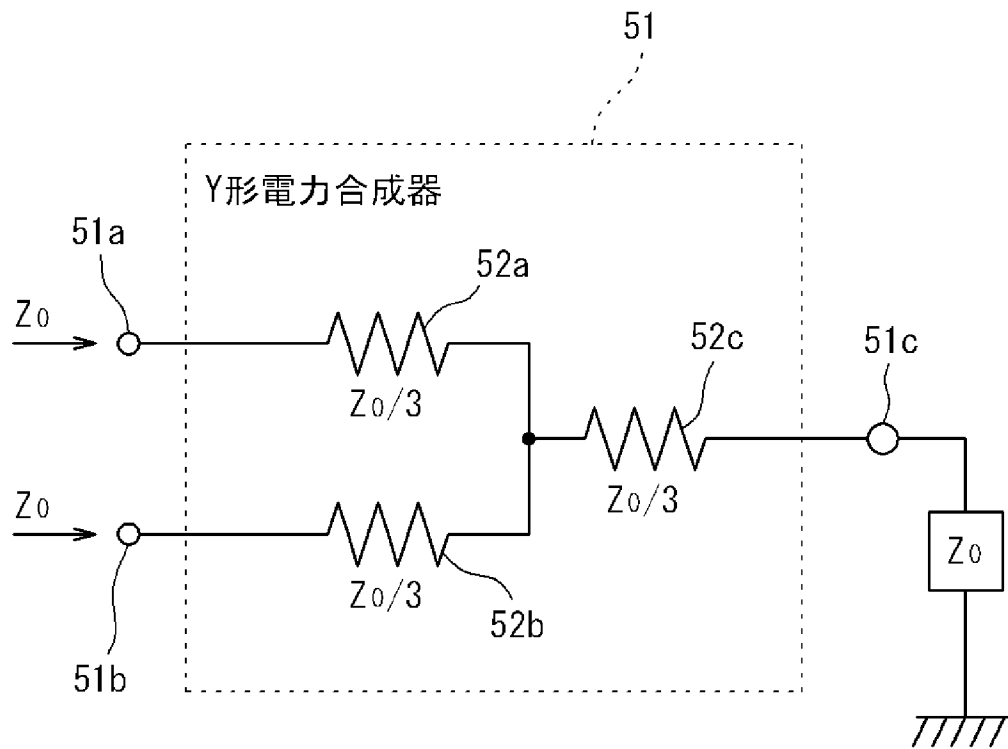
[図5]

ルックアップテーブル

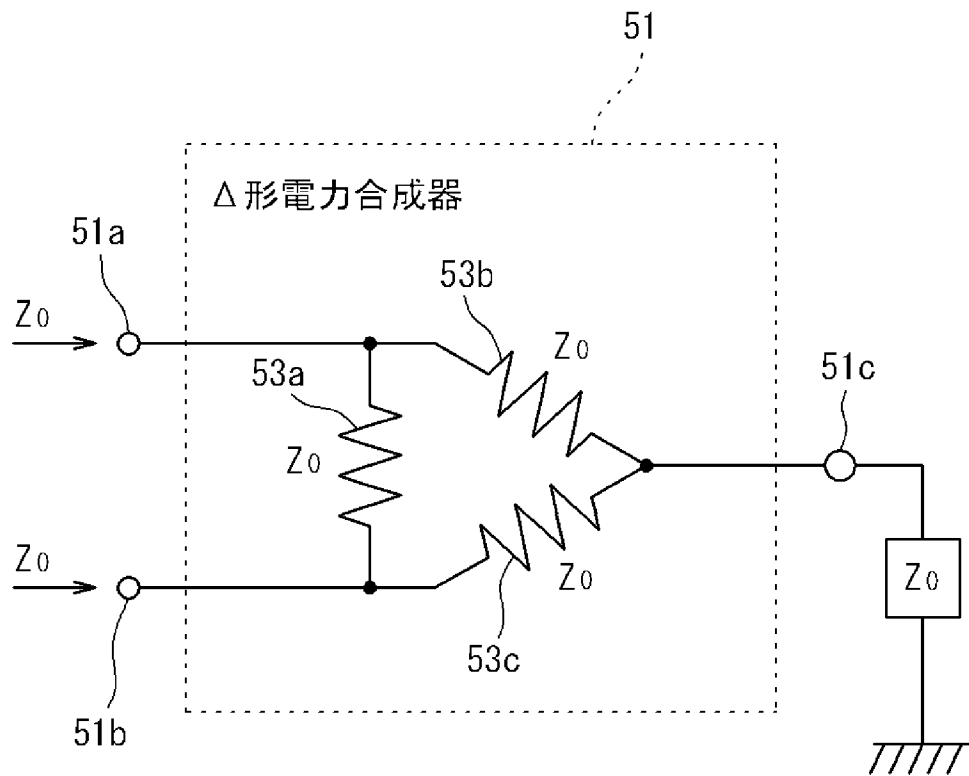
41c

	$\Delta\Sigma$ 変調器出力 (n値量子化信号)	LUT出力 (複数bit信号)	
		第1出力ポート	第2出力ポート
High	"01"	VH ₁ (+1)	VH ₂ (+1)
Medium	"00"	VH ₁ (+1)	VL ₂ (-1)
Low	"11"	VL ₁ (-1)	VL ₂ (-1)

[図6]

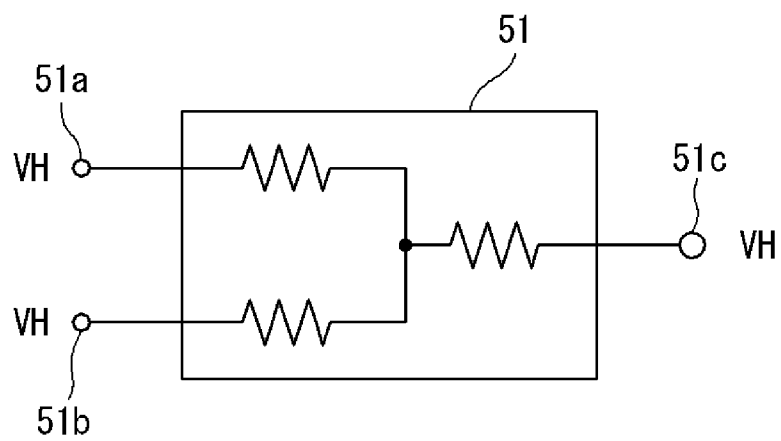


[図7]

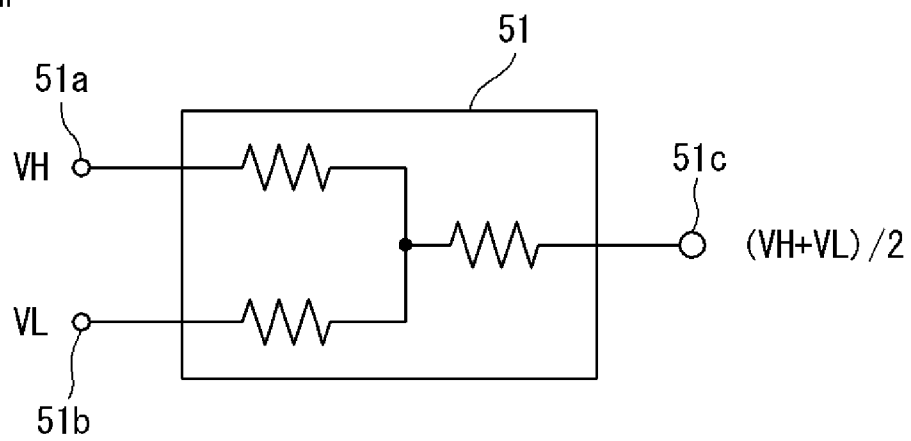


[図8]

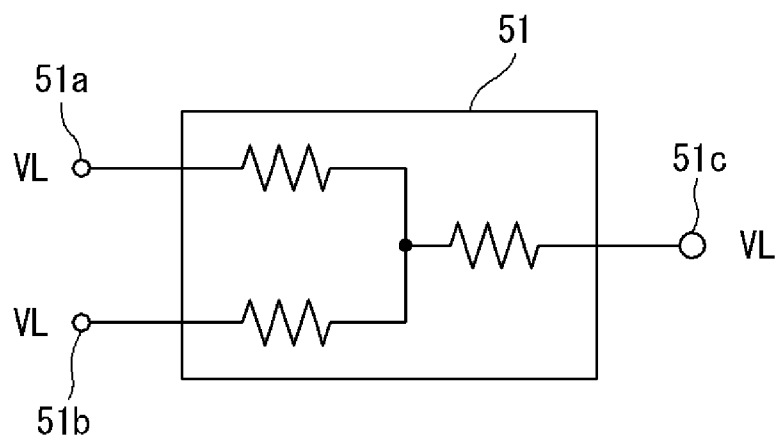
(a) High



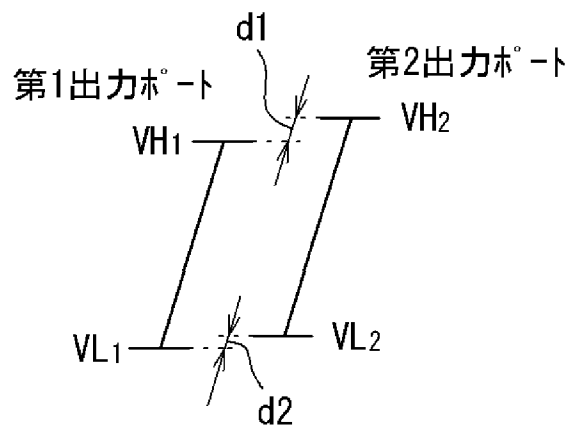
(b) Medium



(c) Low



[図9]



電力合成器出力

$$\text{High: } (VH_1 + VH_2) / 2$$

$$\text{Medium: } (VH_1 + VL_2) / 2$$

$$\text{Low: } (VL_1 + VL_2) / 2$$



$$\text{High: } (VH_1 + VH_2) / 2$$

$$\begin{aligned} \text{Medium: } & \{ (VH_1 + VH_2) / 2 + (VL_1 + VL_2) / 2 \} / 2 \\ & = (VH_1 + VH_2 + VL_1 + VL_2) / 4 \\ & = \{ (VH_1 + VL_2) / 2 + (VL_1 + VH_2) / 2 \} / 2 \end{aligned}$$

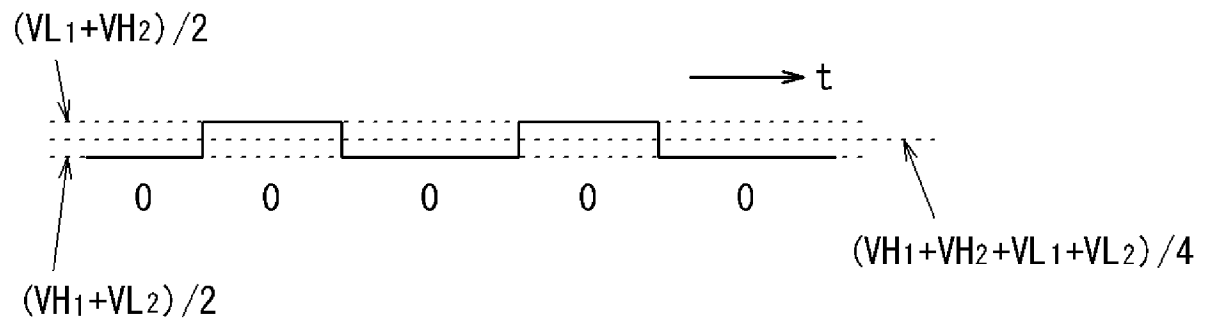
$$\text{Low: } (VL_1 + VL_2) / 2$$

[図10]

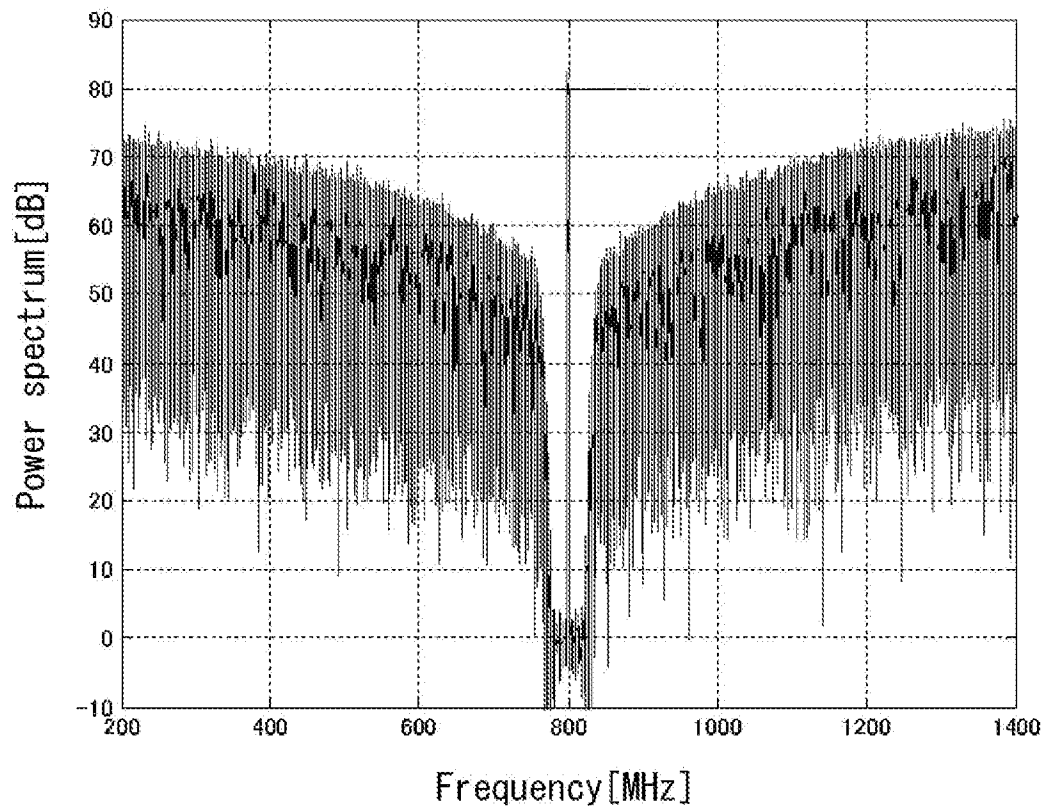
41c

ルックアップテーブル	LUT出力 (複数bit信号)			
	第1テーブル		第2テーブル	
	第1出力ポート	第2出力ポート	第1出力ポート	第2出力ポート
ΔΣ変調器出力 (n値量子化信号)				
High	VH ₁ (+1)	VH ₂ (+1)	—	—
Medium	VH ₁ (+1)	VL ₂ (-1)	VL ₁ (-1)	VH ₂ (+1)
Low	VL ₁ (-1)	VL ₂ (-1)	—	—

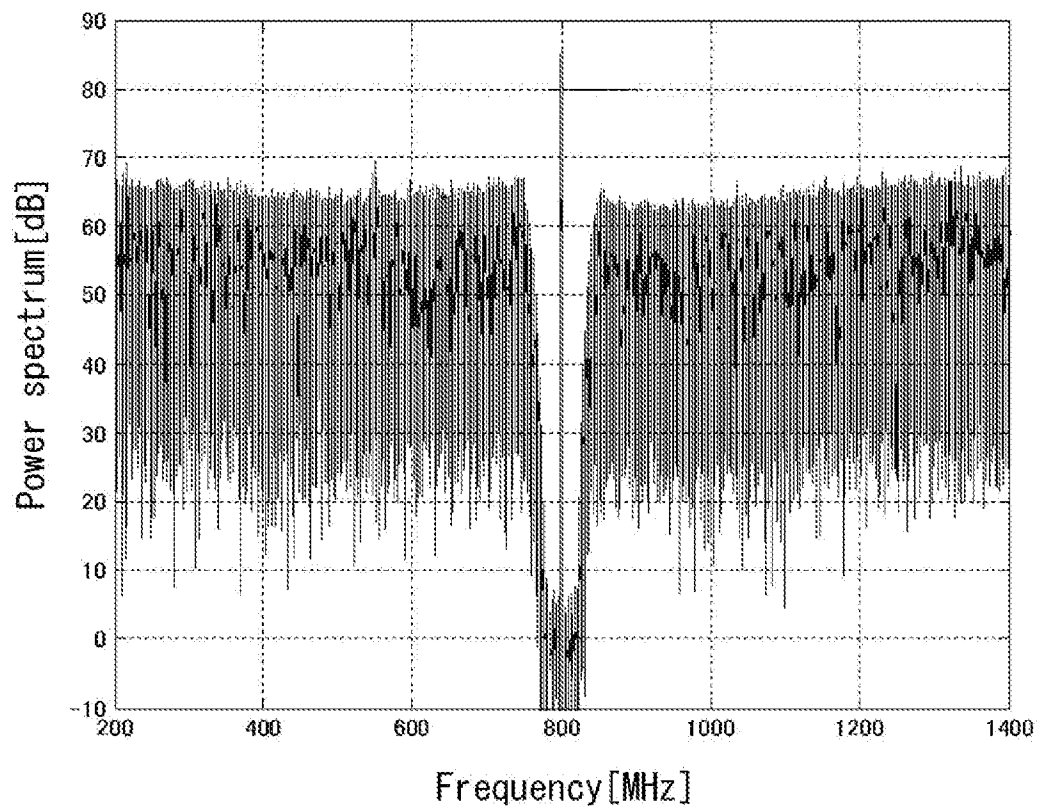
[図11]



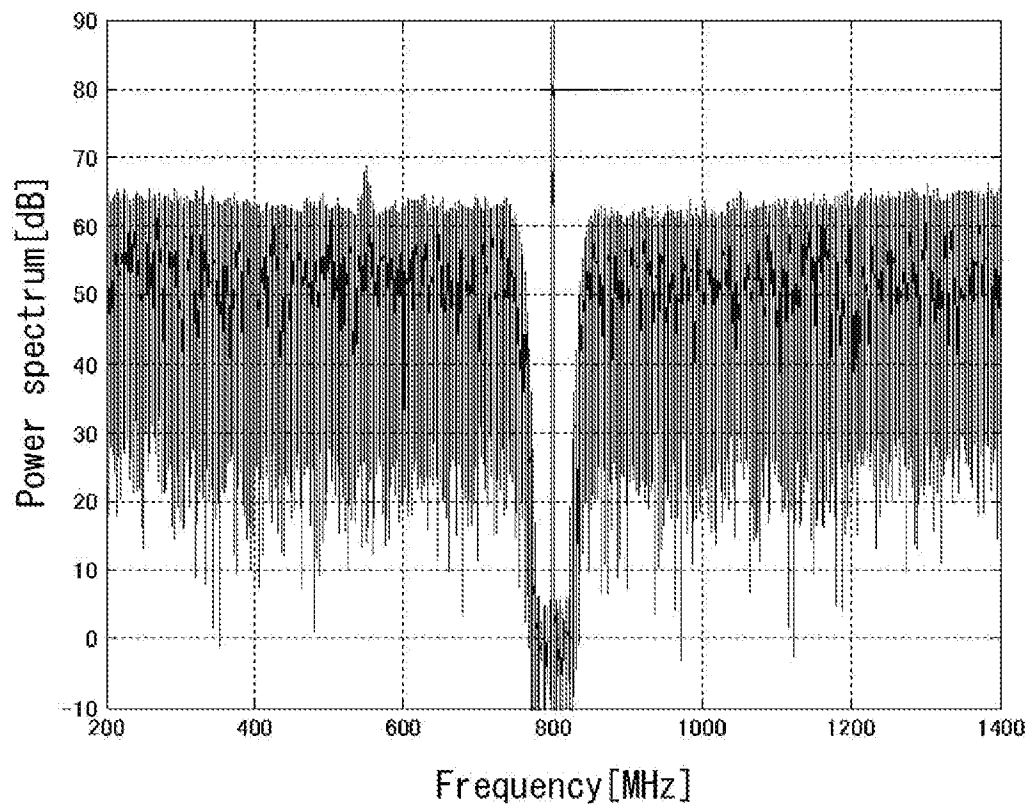
[図12]



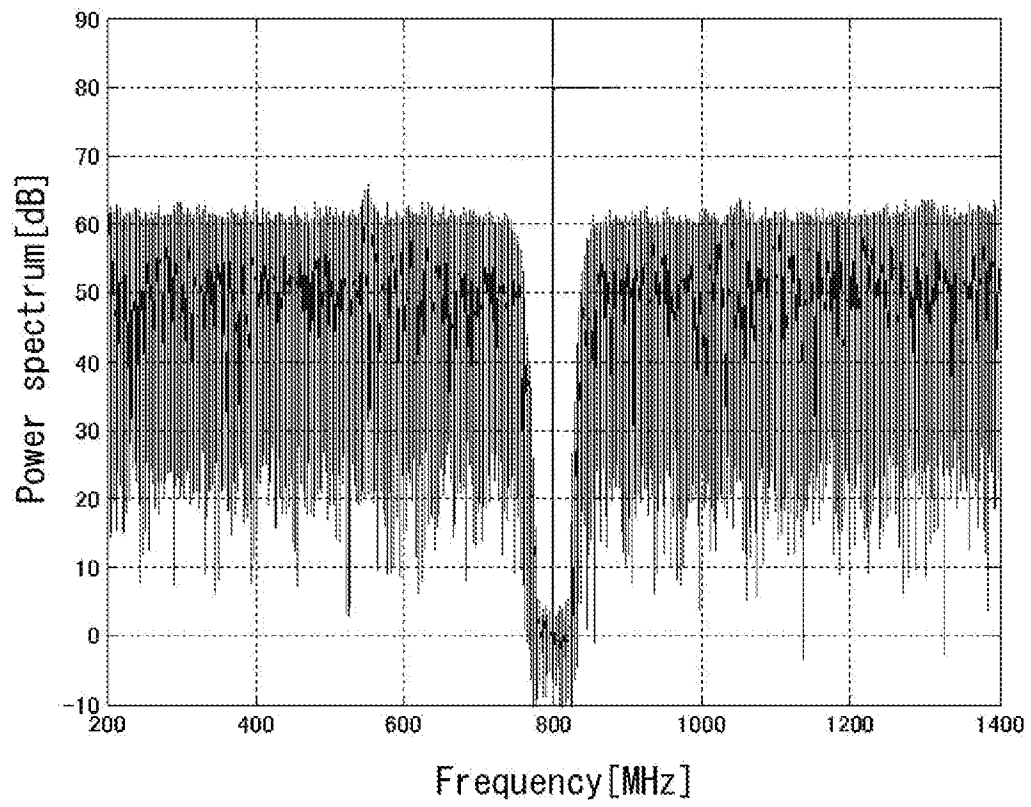
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/064989

A. CLASSIFICATION OF SUBJECT MATTER

H03M3/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M3/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-522874 A (Analog Devices, Inc.), 11 June 2009 (11.06.2009), paragraphs [0003] to [0006]; fig. 1C & JP 4747199 B & US 2007/0159370 A1 & EP 1966894 A & WO 2007/079097 A2 & DE 602006012226 D & CN 101351967 A & AT 457550 T	1-4, 6-9 5
Y A	JP 3-117034 A (NEC Corp.), 17 May 1991 (17.05.1991), page 3, upper right column, line 11 to page 4, upper right column, line 6; fig. 1, 2 (Family: none)	1-4, 6-9 5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 June, 2013 (19.06.13)Date of mailing of the international search report
02 July, 2013 (02.07.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/064989

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-65420 A (Renesas Technology Corp.), 26 March 2009 (26.03.2009), paragraphs [0079] to [0120]; fig. 10 to 16 (Family: none)	1-4, 6-9 5
A	JP 2005-117431 A (NEC Electronics Corp.), 28 April 2005 (28.04.2005), entire text; all drawings & US 2005/0078023 A1 & KR 10-2005-0033851 A & CN 1606240 A	1-9
P, A	WO 2013/051641 A1 (Sumitomo Electric Industries, Ltd.), 11 April 2013 (11.04.2013), entire text; all drawings (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03M3/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03M3/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-522874 A (アナログ デバイスズ インコーポレイテッド) 2009.06.11, 段落【0003】～【0006】, 図1C & JP 4747199 B & US 2007/0159370 A1 & EP 1966894 A & WO 2007/079097 A2 & DE 602006012226 D & CN 101351967 A & AT 457550 T	1-4, 6-9 5
Y A	JP 3-117034 A (日本電気株式会社) 1991.05.17, 第3頁右上欄第1 1行～第4頁右上欄第6行, 第1図, 第2図 (ファミリーなし)	1-4, 6-9 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 6 . 2 0 1 3

国際調査報告の発送日

0 2 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北村 智彦

5 K

9 2 9 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-65420 A (株式会社ルネサステクノロジ) 2009.03.26, 段落【0079】～【0120】, 図10-16 (ファミリーなし)	1-4, 6-9 5
A	JP 2005-117431 A (NECエレクトロニクス株式会社) 2005.04.28, 全文, 全図 & US 2005/0078023 A1 & KR 10-2005-0033851 A & CN 1606240 A	1-9
P, A	WO 2013/051641 A1 (住友電気工業株式会社) 2013.04.11, 全文, 全図 (ファミリーなし)	1-9