

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/012203 A1

- (51) 国际专利分类号:
GI1C 17/18 (2006.01)
- (21) 国际申请号: PCT/CN2021/097918
- (22) 国际申请日: 2021 年 6 月 2 日 (02.06.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010688530.5 2020 年 7 月 16 日 (16.07.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (72) 发明人: 季汝敏 (JI, Rumin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: ANTIFUSE STORAGE UNIT STATE DETECTION CIRCUIT AND MEMORY

(54) 发明名称: 反熔丝存储单元状态检测电路及存储器

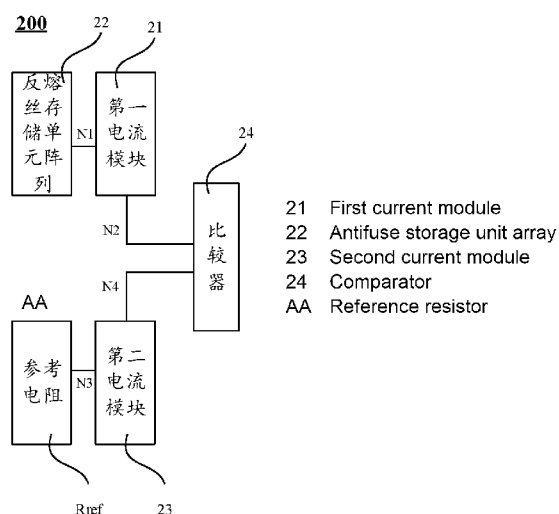


图 2

(57) Abstract: An antifuse storage unit state detection circuit and a memory. The circuit comprises: a first current module (21), having a first end connected to an antifuse storage unit array (22) via a first node (N1), and a second end connected to a second node (N2), the first current module (21) being used for outputting a detection current via the second node (N2), the detection current being related to a resistance value of an antifuse storage unit to be tested in the antifuse storage unit array (22); a second current module (23), having a first end connected to a first end of a reference resistor (Rref) via a third node (N3), and a second end connected to a fourth node (N4), a second end of the reference resistor (Rref) being grounded, the second current module (23) being used for outputting a reference current via the fourth node (N4), the reference current being related to a resistance value of the reference resistor (Rref); a comparator (24), having a first input end connected to the second node (N2), and a second input end connected to the fourth node (N4), and being used for detecting a storage state of the antifuse storage unit to be tested. The circuit increases the accuracy of antifuse storage unit storage state detection.

(57) 摘要：一种反熔丝存储单元状态检测电路及存储器，电路包括：第一电流模块（21），第一端通过第一节点（N1）连接反熔丝存储单元阵列（22），第二端连接第二节点（N2），第一电流模块（21）用于通过第二节点（N2）输出检测电流，检测电流与反熔丝存储单元阵列（22）中待测反熔丝存储单元的阻值相关；第二电流模块（23），第一端通过第三节点（N3）连接参考电阻（Rref）的第一端，第二端连接第四节点（N4），参考电阻（Rref）的第二端接地，第二电流模块（23）用于通过第四节点（N4）输出参考电流，参考电流与参考电阻（Rref）的阻值相关；比较器（24），第一输入端连接第二节点（N2），第二输入端连接第四节点（N4），用于检测待测反熔丝存储单元的存储状态，可以提高反熔丝存储单元存储状态检测的准确度。

反熔丝存储单元状态检测电路及存储器

交叉引用

本公开要求于 2020 年 07 月 16 日提交的申请号为 202010688530.5、名称为“反熔丝存储单元状态检测电路及存储器”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及集成电路技术领域，示例性而言，涉及一种反熔丝存储单元状态检测电路及应用该电路的存储器。

背景技术

一次性可编程存储（One time programmable, OTP）广泛应用于各类存储器中，用于实现损坏存储单元的冗余替换、电路模块的微调整等。常用的一次性可编程存储利用反熔丝存储单元的击穿或未击穿状态来进行信息存储。

通常仅通过简单的逻辑门电路（如反相等）对反熔丝存储单元的击穿状态进行检测。在相关技术中，利用反相器来对反熔丝存储单元的击穿状态进行检测，如图 1 所示。如果待测反熔丝存储单元 11 属于被编程击穿的状态，通路电阻会比较小，那么在进行检测时，Node1 节点上产生的电压较低，使得反相器的输出 D_out 为高；反之，如果待测反熔丝存储单元 11 属于未被编程击穿的状态，通路电阻会较大，Node1 节点上产生的电压较高，超过反相器的翻转点，使得反相器的输出 D_out 为低。由于反熔丝存储单元被击穿后的电阻会在较宽范围内波动，以及工艺、电压、温度等因素对反相等逻辑门电路的翻转点的影响，容易导致反熔丝存储单元的存储状态检测错误，造成芯片良率下降，因此亟需要一种性能更优的反熔丝存储单元状态检测电路。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开的目的在于提供一种反熔丝存储单元状态检测电路及应用该电路的存储器，用于至少在一定程度上克服由于相关技术的限制和缺陷而导致的反熔丝存储单元的存储状态检测结果不准确的问题。

根据本公开的第一方面，提供一种反熔丝存储单元状态检测电路，包括：第一电流模块，第一端通过第一节点连接反熔丝存储单元阵列，第二端连接第二节点，所述反熔丝存储单元阵列包括至少一条位线，每条所述位线连接所述第一节点和多个反熔丝存储单元，所述第一电流模块用于通过所述第二节点输出检测电流，所述检测电流与所述反熔丝存储单元阵列中待测反熔丝存储单元的阻值相关；第二电流模块，第一端通过第三节点连接参

考电阻的第一端，第二端连接第四节点，所述参考电阻的第二端接地，所述第二电流模块用于通过所述第四节点输出参考电流，所述参考电流与所述参考电阻的阻值相关；比较器，第一输入端连接所述第二节点，第二输入端连接所述第四节点，用于检测待测反熔丝存储单元的存储状态。

5 在本公开的一种示例性实施例中，所述第一电流模块包括：第一放大器，第一输入端连接参考电压，第二输入端连接所述第一节点，输出端连接第五节点；第一开关元件，第一端连接电源电压，第二端连接所述第一节点，控制端连接所述第五节点；第二开关元件，第一端连接所述电源电压，第二端连接所述第二节点，控制端连接所述第五节点；第三开关元件，第一端连接所述第二节点，第二端接地，控制端连接控制器。

10 在本公开的一种示例性实施例中，所述第二电流模块包括：第二放大器，第一输入端连接所述参考电压，第二输入端连接所述第三节点，输出端连接第六节点；第四开关元件，第一端连接所述电源电压，第二端连接所述第三节点，控制端连接所述第六节点；第五开关元件，第一端连接所述电源电压，第二端连接所述第四节点，控制端连接所述第六节点；第六开关元件，第一端连接所述第四节点，第二端接地，控制端连接控制器。

15 在本公开的一种示例性实施例中，还包括：第一储能模块，第一端连接所述第二节点，第二端接地；第二储能模块，第一端连接所述第四节点，第二端接地。

在本公开的一种示例性实施例中，还包括：触发器，输入端连接所述比较器的输出端。

20 在本公开的一种示例性实施例中，还包括：控制器，连接所述多个反熔丝存储单元的字线和所述比较器，设置为：在第一时间点通过待测反熔丝存储单元的字线输出第一控制信号以使待测反熔丝存储单元电连接至位线，输出第二控制信号控制所述第一电流模块对所述比较器的第一输入端输入所述检测电流、所述第二电流模块对所述比较器的第二输入端输入所述参考电流；在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；其中，所述第二时间点与所述第一时间点之后。

25 在本公开的一种示例性实施例中，所述第二时间点根据以下方式确定：获取所述第二节点在所述反熔丝存储单元为击穿状态下的第一电压变化线和所述第四节点的第二电压变化线；将所述第一电压变化线与所述第二电压变化线的差值达到预设阈值的时间点作为所述第二时间点。

30 在本公开的一种示例性实施例中，所述第二时间点根据以下方式确定：获取所述第二节点在所述反熔丝存储单元为未击穿状态下的第三电压变化线和所述第四节点的第二电压变化线；将所述第三电压变化线与所述第二电压变化线的差值达到预设阈值的时间点作为所述第二时间点。

在本公开的一种示例性实施例中，所述参考电阻为 ZQ 校准电阻。

35 在本公开的一种示例性实施例中，所述反熔丝存储单元阵列包括：多个反熔丝存储单元子阵列，每个所述反熔丝存储单元子阵列对应一条位线，每个所述反熔丝存储单元子阵列包括多个反熔丝存储单元；与每个反熔丝存储单元子阵列对应的多个第七开关元件，每

个所述第七开关元件的第一端连接对应的反熔丝存储单元子阵列的位线，每个所述第七开关元件的第二端连接所述第一节点，所述第七开关元件的默认状态为关断状态。

在本公开的一种示例性实施例中，每个所述第七开关元件的控制端均连接控制器，所述控制器设置为：在第三时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第七开关元件输出第三控制信号以控制所述第七开关元件导通；在第一时间点对所述待测反熔丝存储单元的字线输出第一控制信号以使待测反熔丝存储单元电连接至位线，输出第二控制信号控制所述第一电流模块对所述比较器的第一输入端输入所述检测电流、所述第二电流模块对所述比较器的第二输入端输入所述参考电流；在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；其中，所述第三时间点在所述第二时间点之前。

根据本公开的一个方面，提供一种反熔丝存储单元状态检测方法，应用于如上述任意一项所述的反熔丝存储单元状态检测电路，包括：在第一时间点对待测反熔丝存储单元的字线输出第一控制信号以使待测反熔丝存储单元电连接至位线，输出第二控制信号控制所述第一电流模块对所述比较器的第一输入端输入所述检测电流、所述第二电流模块对所述比较器的第二输入端输入所述参考电流；在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的击穿状态；其中，所述第二时间点在所述第一时间点之后。

在本公开的一种示例性实施例中，所述反熔丝存储单元阵列包括：多个反熔丝存储单元子阵列，每个所述反熔丝存储单元子阵列对应一条位线，每个所述反熔丝存储单元子阵列包括多个反熔丝存储单元；与所述反熔丝存储单元子阵列对应的多个第七开关元件，每个所述第七开关元件的第一端连接对应的反熔丝存储单元子阵列的位线，每个所述第七开关元件的第二端连接所述第一节点，每个所述第七开关元件的控制端连接所述控制器，所述第七开关元件的默认状态为关断状态；所述方法还包括：在第三时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第七开关元件输出第三控制信号以控制所述第七开关元件导通，所述第三时间点在所述第二时间点之前。

根据本公开的一个方面，提供一种存储器，包括如上述任意一项所述的反熔丝存储单元状态检测电路。

本公开实施例通过使用两个电流模块将待测反熔丝存储单元的电阻与参考电阻反映在第二节点的电压和第四节点的电压上，使用比较器比较第二节点的电压和第四节点的电压以判断待测反熔丝存储单元的电阻，进而判断待测反熔丝存储单元的存储状态，使得翻转点得到精确控制、获得更准确的检测结果，避免由于反熔丝存储单元的击穿状态电阻波动和逻辑门的翻转点偏移导致对反熔丝存储单元的存储状态误判。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是相关技术中反熔丝存储单元状态检测电路的示意图。

图 2 是本公开示例性实施例中反熔丝存储单元状态检测电路的结构示意图。

图 3 是本公开一个实施例中反熔丝存储单元状态检测电路的一种电路示意图。

图 4 是图 3 所示电路的等效电路示意图。

图 5 是本公开另一个实施例中反熔丝存储单元状态检测电路的一种电路示意图。

图 6 是应用于图 5 所示电路的控制器的检测方法的流程图。

图 7 是本公开实施例确定第二时间点的方式的示意图。

图 8 是本公开另一个实施例确定第二时间点的方式的示意图。

图 9 是反熔丝存储单元未击穿状态下的第二节点的电压变化线和第四节点的电压变化线的示意图。

图 10 是反熔丝存储单元击穿状态下的第二节点的电压变化线和第四节点的电压变化线的示意图。

图 11 是本公开又一个实施例中反熔丝存储单元状态检测电路的电路示意图。

图 12 是本公开再一个实施例中反熔丝存储单元状态检测电路的电路示意图。

图 13 是本公开再一个实施例中反熔丝存储单元状态检测电路的结构示意图。

图 14 是图 13 所示电路的控制器的检测方法的流程图。

具体实施方式

以下现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多具体细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

此外，附图仅为本公开的示意性图解，图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体，不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

下面结合附图对本公开示例实施方式进行详细说明。

图 2 是本公开示例性实施例中反熔丝存储单元状态检测电路的结构示意图。

参考图 2，反熔丝存储单元状态检测电路 200 可以包括：

第一电流模块 21，第一端通过第一节点 N1 连接反熔丝存储单元阵列 22，第二端连接第二节点 N2，反熔丝存储单元阵列 22 包括至少一条位线，每条位线连接第一节点 N1 和多个反熔丝存储单元，第一电流模块 21 用于通过第二节点 N2 输出检测电流，检测电流与反熔丝存储单元阵列 22 中待测反熔丝存储单元的阻值相关；

第二电流模块 23，第一端通过第三节点 N3 连接参考电阻 Rref 的第一端，第二端连接第四节点 N4，参考电阻 Rref 的第二端接地，第二电流模块 23 用于通过第四节点 N4 输出参考电流，参考电流与参考电阻 Rref 的阻值相关；

比较器 24，第一输入端连接第二节点 N2，第二输入端连接第四节点 N4，用于检测待测反熔丝存储单元的存储状态。

图 2 所示的反熔丝存储单元阵列 22 和反熔丝存储单元的结构请参见图 1。

图 3 是本公开一个实施例中反熔丝存储单元状态检测电路的一种电路示意图。

参考图 3，在一个实施例中，第一电流模块 21 可以包括：

第一放大器 OP1，第一输入端连接参考电压 Vref，第二输入端连接第一节点 N1，输出端连接第五节点 N5；

第一开关元件 M1，第一端连接电源电压 VDD，第二端连接第一节点 N1，控制端连接第五节点 N5；

第二开关元件 M2，第一端连接电源电压 VDD，第二端连接第二节点 N2，控制端连接第五节点 N5；

第三开关元件 M3，第一端连接第二节点 N2，第二端接地，控制端连接控制器（未示出）。

第二电流模块 23 可以包括：

第二放大器 OP2，第一输入端连接参考电压 Vref，第二输入端连接第三节点 N3，输出端连接第六节点 N6；

第四开关元件 M4，第一端连接电源电压 VDD，第二端连接第三节点 N3，控制端连接第六节点 N6；

第五开关元件 M5，第一端连接电源电压 VDD，第二端连接第四节点 N4，控制端连接第六节点 N6；

第六开关元件 M6，第一端连接第四节点 N4，第二端接地，控制端连接控制器（未示出）。

在图 3 所示实施例中，如果第一开关元件 M1、第二开关元件 M2 均为 N 型晶体管，第一放大器 OP1 的第一输入端为同相输入端，第二输入端为反相输入端。如果第一开关元件 M1、第二开关元件 M2 均为 P 型晶体管，第一放大器 OP2 的第一输入端为反相输入

端，第二输入端为同相输入端。同理，如果第四开关元件 M4、第五开关元件 M5 均为 N 型晶体管，第二放大器 OP2 的第一输入端为同相输入端，第二输入端为反相输入端。如果第四开关元件 M4、第五开关元件 M5 均为 P 型晶体管，第二放大器 OP2 的第一输入端为反相输入端，第二输入端为同相输入端。例如，第一开关元件 M1、第二开关元件 M2、
5 第四开关元件 M4、第五开关元件 M5 均为 P 型晶体管时，连接方式如图 3 所示。本领域技术人员可以根据开关元件的种类自行确定放大器的连接方式，本公开不以此为限。

图 4 是图 3 所示实施例的等效电路示意图。

参考图 4，在本公开实施例中，在第一电流模块 21 中使用第一放大器 OP1、第一开关元件 M1 和第二开关元件 M2，将待测反熔丝存储单元的电阻转换成电流源对第二节点 N2 充电，在第二节点 N2 设置第三开关元件 M3 控制电流源对第二节点 N2 充电的开始时间或对第二节点 N2 电压进行清零；在第二电流模块 23 中，使用第二放大器 OP2、第四开关元件 M4 和第五开关元件 M5 将参考电阻转换成电流源对第四节点 N4 充电，在第四节点 N4 设置第六开关元件 M6 控制电流源对第四节点 N4 充电的开始时间或对第四节点 N4 电压进行清零，以通过对第二节点 N2 和第四节点 N4 的电位的检测 and 比较实现对待测
10 反熔丝存储单元的电阻（即存储状态）的判断。

在一个实施例中，可以利用第二节点 N2 存在的寄生电容 C1 来检测第二节点 N2 的电压、利用第四节点 N4 存在的寄生电容 C2 来检测第四节点 N4 的电压。其中，寄生电容 C1、C2 为综合寄生电容，包括比较器 24 输入端的寄生电容。

图 5 是本公开另一个实施例中反熔丝存储单元状态检测电路的一种电路示意图。

参考图 5，在一个实施例中，反熔丝存储单元阵列 22、比较器 24、第三开关元件 M3、第六开关元件 M6 均连接控制器 CON。示例性可以为，控制器 CON 连接反熔丝存储单元阵列 22 中的各反熔丝存储单元的字线，连接比较器 24 的输出端，连接第三开关元件 M3 和第六开关元件 M6 的控制端。
20

图 6 是图 5 所示实施例中控制器 CON 实现的检测方法的流程图。

参考图 6，控制器 CON 可以设置为执行检测方法 600，检测方法 600 可以包括：
25

步骤 S1，在第一时间点通过待测反熔丝存储单元的字线输出第一控制信号以使待测反熔丝存储单元电连接至位线，输出第二控制信号控制第一电流模块对比较器的第一输入端输入检测电流、第二电流模块对比较器的第二输入端输入参考电流；

步骤 S2，在第二时间点获取比较器的输出信号以确定待测反熔丝存储单元的存储状态；其中，第二时间点在第一时间点之后。
30

下面结合图 2~图 5 对图 6 的控制方法进行说明。

在第一时间点对待测反熔丝存储单元的字线输出第一控制信号后，第一节点 N1 所在通路的电阻会根据反熔丝存储单元的击穿状态变化。通过放大器 OP1 的设置，第一节点 N1 的电压会维持与放大器 OP1 所连接的参考电压 V_{ref} 相同的电压值，从而在第一节点 N1 所在的通路产生第一电流，该第一电流与待测反熔丝存储单元的电阻负相关。同时由
35

于第一开关元件 M1 和第二开关元件 M2 的设置,使得第二节点 N2 所在的通路产生第二电流,该第二电流与第一电流成恒定比例关系,该比例由第一开关元件 M1 和第二开关元件 M2 的尺寸、性能决定。即,第二电流与待测反熔丝存储单元的电阻同样负相关,待测反熔丝存储单元的电阻越大,第二电流越小;待测反熔丝存储单元的电阻越小,第二电流越大。

第二电流对第二节点 N2 充电,第二电流越大,第二节点 N2 的充电速度越快,第二节点 N2 的电压变化速度越快;第二电流越小,第二节点 N2 的充电速度越慢,第二节点 N2 的电压变化速度越慢。通过以上分析可知,待测反熔丝存储单元的电阻越大,第二电流越小,第二节点 N2 的电压变化速度越慢;待测反熔丝存储单元的电阻越小,第二电流越大,第二节点 N2 的电压变化速度越快。

同理,在第二电流模块 23,参考电阻越大,第四节点 N4 的电压变化速度越慢;参考电阻越小,第四节点 N4 的电压变化速度越快。

通过在第一时间点控制第一电流模块 21 和第二电流模块 23 同时对第二节点 N2 和第四节点 N4 充电,在第二时间点使用比较器 24 将第二节点 N2 的电压与第四节点 N4 相比较,可以判断待测反熔丝存储单元的电阻与参考电阻的比较结果,进而判断待测反熔丝存储单元的存储状态。在一个实施例中,比较器 24 可以是差分放大器。

获取比较器 24 的输出信号的方法既可以为在第二时间点读取比较器 24 的输出信号,也可以为通过比较器 24 的使能引脚控制比较器 24 在第二时间点转变为使能状态,输出第二节点 N2 的电压与第四节点 N4 的电压的比较结果。

在合适的时间点使用比较器 24 进行检测,可以使比较器的翻转点得到精确控制,防止反熔丝存储单元的电阻波动或者逻辑门自身翻转点偏移导致的存储状态检测错误。因此,本公开实施例中,对第二时间点的选择是实现精确检测的重要手段。

图 7 是本公开实施例确定第二时间点的方式的示意图。

参考图 7,在本公开的一种示例性实施例中,第二时间点可以根据以下方式确定:

步骤 S71,获取第二节点在反熔丝存储单元的击穿状态下的第一电压变化线和第四节点的第二电压变化线;

步骤 S72,将第一电压变化线与第二电压变化线的差值达到预设阈值的时间点作为第二时间点。

图 8 是本公开另一实施例确定第二时间点的方式的示意图。

参考图 8,在本公开的一种示例性实施例中,第二时间点可以根据以下方式确定:

步骤 S81,获取第二节点在反熔丝存储单元的未击穿状态下的第三电压变化线和第四节点的第二电压变化线;

步骤 S82,将第三电压变化线与第二电压变化线的差值达到预设阈值的时间点作为第二时间点。

在本公开实施例中,上述预设阈值大于比较器的差分输入电压阈值。

下面结合图 9 和图 10 对图 7 和图 8 所示实施例进行说明。

图 9 和图 10 是第一电压变化线、第二电压变化线、第三电压变化线的示意图。

设反熔丝存储单元在未击穿状态下的最小电阻为 $R1$ ，在击穿状态下的最大电阻为 $R2$ 。其中， $R1$ 和 $R2$ 均来自于统计数据，通过在反熔丝存储单元的研发和生产过程中对 $R1$ 和 $R2$ 进行统计分析得出。

参考图 9，在第一电流模块 21 中，当通路电阻包括 $R1$ 时，随时间 t 的变化第二节点 $N2$ 的电压 $V1(t)$ 从第一时间点 $T1$ 开始由 0 上升至 VDD 的第一电压变化线为：

$$V1(t) = I_1(t) * t / C1 \quad (1)$$

其中， $I_1(t)$ 是在通路电阻包括 $R1$ 时第二节点 $N2$ 的电流。

参考图 10，在通路电阻包括 $R2$ 时，随时间 t 的变化第二节点 $N2$ 的电压 $V3(t)$ 从第一时间点 $T1$ 开始由 0 上升至 VDD 的第三电压变化线为：

$$V3(t) = I_3(t) * t / C1 \quad (2)$$

其中， $I_3(t)$ 是在通路电阻包括 $R2$ 时第二节点 $N2$ 的电流。

参考图 9 和图 10，在第二电流模块 23 中，由于参考电阻 $Rref$ 不变，随时间 t 的变化第四节点 $N4$ 的电压 $V2(t)$ 从第一时间点 $T1$ 开始由 0 上升至 VDD 的第二电压变化线为：

$$V2(t) = I_2(t) * t / C2 \quad (3)$$

其中， $I_2(t)$ 是第四节点 $N4$ 处的恒定电流。

由公式 (1) ~ (3) 和图 9、图 10 可知，当设置 $R2 < Rref < R1$ ，假设 $C1 = C2$ 时， $V1(t) < V2(t) < V3(t)$ ，有：

$$\Delta V_1(t) = V2(t) - V1(t) = (I_2(t) - I_1(t)) * t / C1 \quad (4)$$

$$\Delta V_2(t) = V3(t) - V2(t) = (I_3(t) - I_2(t)) * t / C1 \quad (5)$$

接下来，既可以将 $\Delta V_1(t)$ 等于预设阈值的时间设置为第二时间点 $T2$ （如图 9），也可以将 $\Delta V_2(t)$ 等于预设阈值的时间设置为第二时间点 $T2$ （如图 10）。预设阈值可以根据比较器 24 的参数确定，例如，大于比较器 24 的差分输入电压阈值。预设阈值越大，检测准确度越高；预设阈值越小，检测时间越短。本发明实施例中所称的差分输入电压阈值指的是比较器能够检测出的同相输入端和反向输入端的最小电压差，该最小电压差与比较器的设计参数、工艺偏差、温度、输入电压值等有关，因此，本领域技术人员可以根据实际情况自行调整预设阈值的设置数值，以实现检测准确度和检测时间的共同最优方案。

可以理解的是，在开始检测前，为控制第二节点 $N2$ 和第四节点 $N4$ 的电压均为零，第三开关元件 $M3$ 和第六开关元件 $M6$ 的默认状态均为导通状态。第三开关元件 $M3$ 和第六开关元件 $M6$ 例如均可以为 N 型晶体管。在检测开始时，第三开关元件 $M3$ 和第六开关元件 $M6$ 受控制器控制关断，第二节点 $N2$ 和第四节点 $N4$ 的电压开始上升。通过使用第三开关元件 $M3$ 和第六开关元件 $M6$ 控制第二节点 $N2$ 和第四节点 $N4$ 的充电开始时间，可以获得更加准确的检测结果，有效提高检测精度。

在一些实施例中，可以使用 ZQ 校准电阻作为参考电阻 $Rref$ 。

图 11 是本公开又一个实施例中反熔丝存储单元状态检测电路的电路示意图。

参考图 11, 为了减小第二节点 N2 和第四节点 N4 的寄生电容容值偏差造成的电压变化线随机偏差, 可以对第二节点 N2 和第四节点 N4 分别添加额外的储能模块。即, 检测电路 200 还可以包括:

- 5 第一储能模块 25, 第一端连接第二节点 N2, 第二端接地;
 第二储能模块 26, 第一端连接第四节点 N4, 第二端接地。

第一储能模块 25 和第二储能模块 26 例如可以设置为第一检测电容 C3 和第二检测电容 C4 (如图 12 所示)。第一检测电容 C3 的作用与寄生电容 C1 相同, 均是为了检测第二节点 N2 的电压; 第二检测电容 C4 的作用与寄生电容 C2 相同, 均是为了检测第四节点 N4 的电压。此时公式 (1) ~ (5) 涉及的 C1 可以替换为 C3, 公式 (1) ~ (5) 涉及的 C2 可以替换为 C4。

为了方便计算, 可以将第一检测电容 C3 与第二检测电容 C4 的容值设置为相等。在本公开的其他实施例中, 也可以对第二节点 N2 和第四节点 N4 使用其他储能方案, 本公开对此不作特殊限制。

15 图 12 是本公开再一个实施例中反熔丝存储单元状态检测电路的电路示意图。

参考图 12, 在本公开的其他实施例中, 检测电路 200 还可以包括:

触发器 27, 输入端连接比较器 24 的输出端, 第一输出端和第二输出端均连接控制器 CON。

20 触发器 27 例如可以为 D 触发器, 用于对比较器 27 的输出信号进行锁存, 以方便控制器 CON 读取。本领域技术人员可以自行设置触发器 24 的型号, 本公开不以此为限。

可以理解的是, 第一储能模块 25、第二储能模块 26 或触发器 27 的设置不影响图 6 所示控制方法的实施, 不影响第二时间点的选取逻辑。

图 13 是本公开再一个实施例中反熔丝存储单元状态检测电路的电路示意图。

25 参考图 13, 在一个实施例中, 第一节点 N1 连接多个位线, 反熔丝存储单元阵列 22 可以包括:

多个反熔丝存储单元子阵列 22m (m 为位线序号), 每个反熔丝存储单元子阵列 22m 对应一条位线 BLm, 每个反熔丝存储单元子阵列 22m 包括多个反熔丝存储单元;

30 与反熔丝存储单元子阵列 22m 对应的多个第七开关元件 M7m, 每个第七开关元件 M7m 的第一端连接对应的反熔丝存储单元子阵列 22m 的位线 BLm, 每个第七开关元件 M7m 的第二端连接第三节点 N3, 每个第七开关元件 M7m 的控制端连接控制器 CON, 第七开关元件 M7m 的默认状态为关断状态。

35 通过在第一节点连接多个反熔丝存储单元子阵列 22m, 共享反熔丝存储状态检测电路, 来对多个反熔丝存储单元子阵列 22m 中的反熔丝存储单元的存储状态进行检测, 可以极大的节省电路面积, 在一个实施例中, 第一节点 N1 可以同时连接 16 个位线, 具体方式如图 13 所示。

图 14 是图 13 所示电路对应的检测方法的流程图。

参考图 14，在图 13 所示电路中，控制器 CON 可以设置为执行以下方法：

步骤 S141，在第三时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第七开关元件输出第三控制信号以控制第七开关元件导通；

5 步骤 S1，在第一时间点对待测反熔丝存储单元的字线输出第一控制信号以使待测反熔丝存储单元电连接至位线，输出第二控制信号控制第一电流模块对比较器的第一输入端输入检测电流、第二电流模块对比较器的第二输入端输入参考电流；

步骤 S2，在第二时间点获取比较器的输出信号以确定待测反熔丝存储单元的存储状态；

10 其中，第一时间点和第三时间点均在第二时间点之前。

即图 6 所示的方法还可以包括步骤 S141，步骤 S141 与步骤 S1 的顺序可以调换。

在图 14 所示实施例中，第三时间点可以在第一时间点之前，也可以在第一时间点之后，还可以与第一时间点相等，只要第三时间点和第一时间点均在第二时间点之前即可，以在第二时间点开始检测第二节点 N2 的电压前开启充电通路。

15 当第七开关元件为 P 型晶体管时，第三控制信号为低电平；当第七开关元件为 N 型晶体管时，第三控制信号为高电平。当第七开关元件为其他类型的元件时，第三控制信号也可以为其他类型的信号，本公开对此不作特殊限制。

本公开实施例提供的反熔丝存储单元状态检测电路和反熔丝存储单元状态检测方法，通过在第一时间点使用第一电流模块产生与待测反熔丝存储单元的电阻相关的电流对第二节点 N2 充电，使用第二电流模块产生与参考电阻相关的电流对第四节点 N4 充电，在
20 第二时间点使用比较器将第二节点 N2 和第四节点 N4 的电压进行比较，可以精确控制比较器的输出翻转点。通过使用第二节点 N2 的电压变化线和第四节点 N4 的电压变化线的差值判断用于检测的第二时间点，可以尽量降低电压误判概率，使比较器的输出更为准确，避免相关技术中由于反熔丝存储单元的电阻波动和逻辑门的翻转电压偏移导致的反熔丝
25 存储单元的存储状态误判。

根据本公开的一个方面，提供一种存储器，包括如上述任意一实施例所示的反熔丝存储单元状态检测电路。该存储器例如可以是 DRAM 存储器。

应当注意，尽管在上文详细描述中提及了用于动作执行的设备的若干模块或者单元，但是这种划分并非强制性的。实际上，根据本公开的实施方式，上文描述的两个或更多模块或者单元的特征和功能可以在一个模块或者单元中具体化。反之，上文描述的一个模块或者单元的特征和功能可以进一步划分为由多个模块或者单元来具体化。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或
35 惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和构思由权利要求

指出。

工业实用性

- 5 本公开实施例通过使用两个电流模块将待测反熔丝存储单元的电阻与参考电阻反映在第二节点的电压和第四节点的电压上,使用比较器比较第二节点的电压和第四节点的电压以判断待测反熔丝存储单元的电阻,进而判断待测反熔丝存储单元的存储状态,可以使
- 得翻转点得到精确控制、获得更准确的检测结果,避免由于反熔丝存储单元的击穿状态电阻波动和逻辑门的翻转点偏移导致对反熔丝存储单元的存储状态误判。

权利要求

1.一种反熔丝存储单元状态检测电路，其中，包括：

第一电流模块，第一端通过第一节点连接反熔丝存储单元阵列，第二端连接第二节点，所述反熔丝存储单元阵列包括至少一条位线，每条所述位线连接所述第一节点和多个反熔
5 丝存储单元，所述第一电流模块用于通过所述第二节点输出检测电流，所述检测电流与所
述反熔丝存储单元阵列中待测反熔丝存储单元的阻值相关；

第二电流模块，第一端通过第三节点连接参考电阻的第一端，第二端连接第四节点，
所述参考电阻的第二端接地，所述第二电流模块用于通过所述第四节点输出参考电流，所
述参考电流与所述参考电阻的阻值相关；

10 比较器，第一输入端连接所述第二节点，第二输入端连接所述第四节点，用于检测待
测反熔丝存储单元的存储状态。

2.如权利要求1所述的反熔丝存储单元状态检测电路，其中，所述第一电流模块包括：

第一放大器，第一输入端连接参考电压，第二输入端连接所述第一节点，输出端连接
第五节点；

15 第一开关元件，第一端连接电源电压，第二端连接所述第一节点，控制端连接所述第
五节点；

第二开关元件，第一端连接所述电源电压，第二端连接所述第二节点，控制端连接所
述第五节点；

第三开关元件，第一端连接所述第二节点，第二端接地，控制端连接控制器。

20 3.如权利要求1或2所述的反熔丝存储单元状态检测电路，其中，所述第二电流模块
包括：

第二放大器，第一输入端连接参考电压，第二输入端连接所述第三节点，输出端连接
第六节点；

25 第四开关元件，第一端连接电源电压，第二端连接所述第三节点，控制端连接所述第
六节点；

第五开关元件，第一端连接所述电源电压，第二端连接所述第四节点，控制端连接所
述第六节点；

第六开关元件，第一端连接所述第四节点，第二端接地，控制端连接控制器。

4.如权利要求1所述的反熔丝存储单元状态检测电路，其中，还包括：

30 第一储能模块，第一端连接所述第二节点，第二端接地；

第二储能模块，第一端连接所述第四节点，第二端接地。

5.如权利要求1所述的反熔丝存储单元状态检测电路，其中，还包括：

触发器，输入端连接所述比较器的输出端。

6.如权利要求1所述的反熔丝存储单元状态检测电路，其中，还包括：

35 控制器，连接所述多个反熔丝存储单元的字线和所述比较器，设置为：

在第一时间点通过待测反熔丝存储单元的字线输出第一控制信号以使所述待测反熔丝存储单元电连接至位线,输出第二控制信号控制所述第一电流模块对所述比较器的第一输入端输入所述检测电流、所述第二电流模块对所述比较器的第二输入端输入所述参考电流;

5 在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态;

其中,所述第二时间点在所述第一时间点之后。

7.如权利要求6所述的反熔丝存储单元状态检测电路,其中,所述第二时间点根据以下方式确定:

10 获取所述第二节点在所述反熔丝存储单元为击穿状态下的第一电压变化线和所述第四节点的第二电压变化线;

将所述第一电压变化线与所述第二电压变化线的差值达到预设阈值的时间点作为所述第二时间点。

15 8.如权利要求6所述的反熔丝存储单元状态检测电路,其中,所述第二时间点根据以下方式确定:

获取所述第二节点在所述反熔丝存储单元为未击穿状态下的第三电压变化线和所述第四节点的第二电压变化线;

将所述第三电压变化线与所述第二电压变化线的差值达到预设阈值的时间点作为所述第二时间点。

20 9.如权利要求1所述的反熔丝存储单元状态检测电路,其中,所述参考电阻为ZQ校准电阻。

10.如权利要求1所述的反熔丝存储单元状态检测电路,其中,所述反熔丝存储单元阵列包括:

25 多个反熔丝存储单元子阵列,每个所述反熔丝存储单元子阵列对应一条位线,每个所述反熔丝存储单元子阵列包括多个反熔丝存储单元;

与所述反熔丝存储单元子阵列对应的多个第七开关元件,每个所述第七开关元件的第一端连接对应的反熔丝存储单元子阵列的位线,每个所述第七开关元件的第二端连接所述第一节点,所述第七开关元件的默认状态为关断状态。

30 11.如权利要求10所述的反熔丝存储单元状态检测电路,其中,每个所述第七开关元件的控制端均连接控制器,所述控制器设置为:

在第三时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第七开关元件输出第三控制信号以控制所述第七开关元件导通;

35 在第一时间点对所述待测反熔丝存储单元的字线输出第一控制信号以使待测反熔丝存储单元电连接至位线,输出第二控制信号控制所述第一电流模块对所述比较器的第一输入端输入所述检测电流、所述第二电流模块对所述比较器的第二输入端输入所述参考电

流；

在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；

其中，所述第三时间点在所述第二时间点之前。

- 5 12.一种反熔丝存储单元状态检测方法，其中，应用于如权利要求 1~9 任一项所述的反熔丝存储单元状态检测电路，包括：

在第一时间点对待测反熔丝存储单元的字线输出第一控制信号以使待测反熔丝存储单元电连接至位线，输出第二控制信号控制所述第一电流模块对所述比较器的第一输入端输入所述检测电流、所述第二电流模块对所述比较器的第二输入端输入所述参考电流；

- 10 在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；

其中，所述第二时间点在所述第一时间点之后。

- 15 13.如权利要求 12 所述的反熔丝存储单元状态检测方法，其中，所述反熔丝存储单元阵列包括：多个反熔丝存储单元子阵列，每个所述反熔丝存储单元子阵列对应一条位线，每个所述反熔丝存储单元子阵列包括多个反熔丝存储单元；与所述反熔丝存储单元子阵列对应的多个第七开关元件，每个所述第七开关元件的第一端连接对应的反熔丝存储单元子阵列的位线，每个所述第七开关元件的第二端连接所述第一节点，每个所述第七开关元件的控制端连接控制器，所述第七开关元件的默认状态为关断状态；

所述方法还包括：

- 20 在第三时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第七开关元件输出第三控制信号以控制所述第七开关元件导通，所述第三时间点在所述第二时间点之前。

14.一种存储器，其中，包括如权利要求 1~11 任一项所述的反熔丝存储单元状态检测电路。

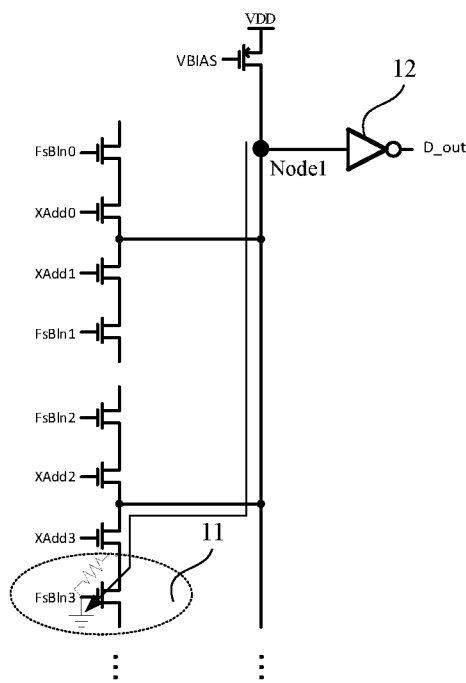


图 1

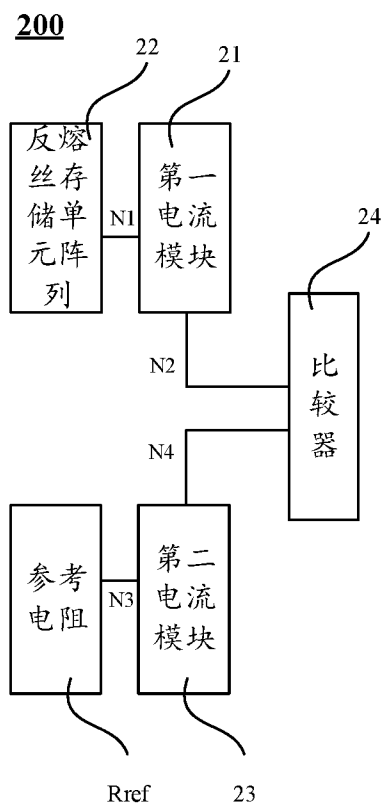


图 2

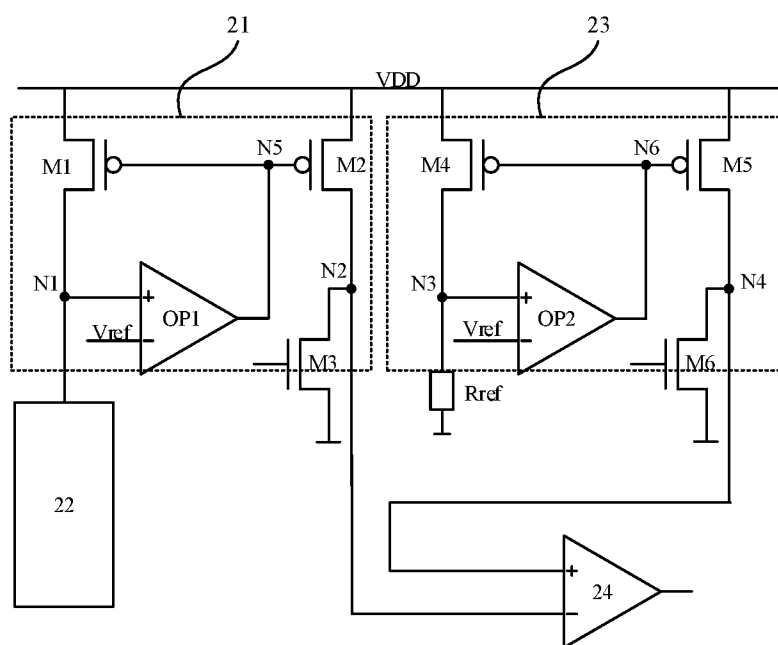


图 3

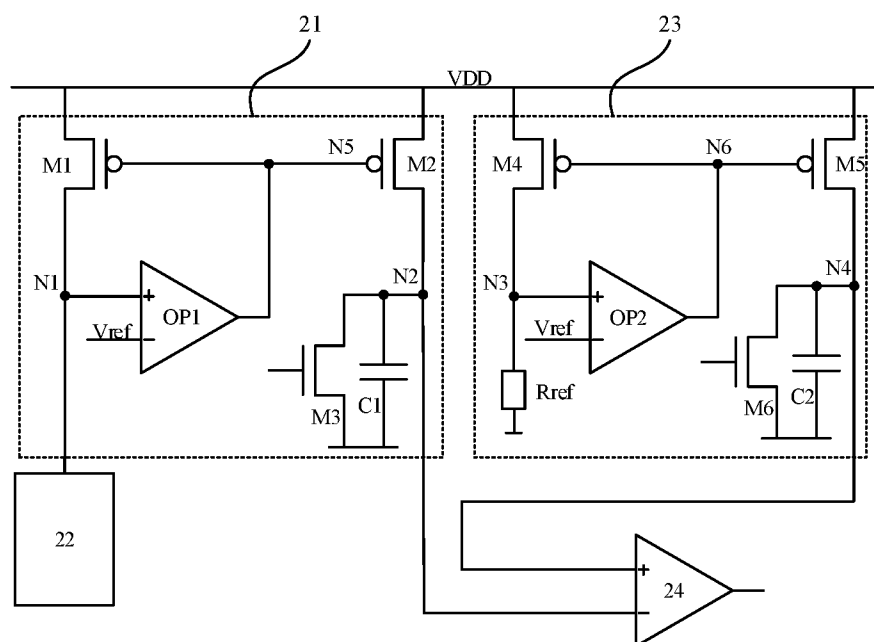


图 4

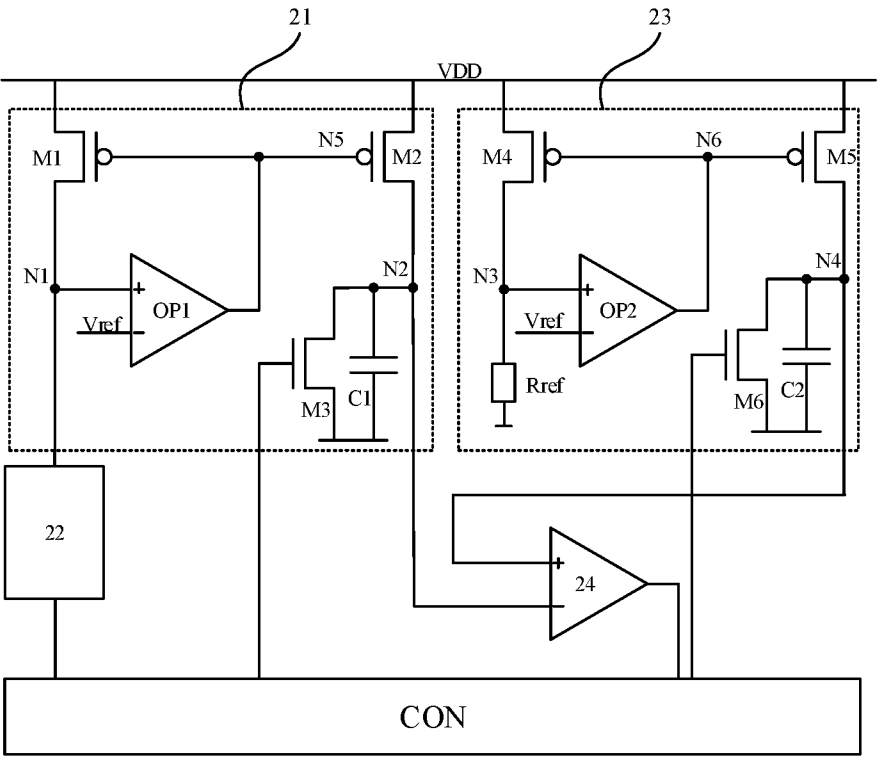


图 5

600

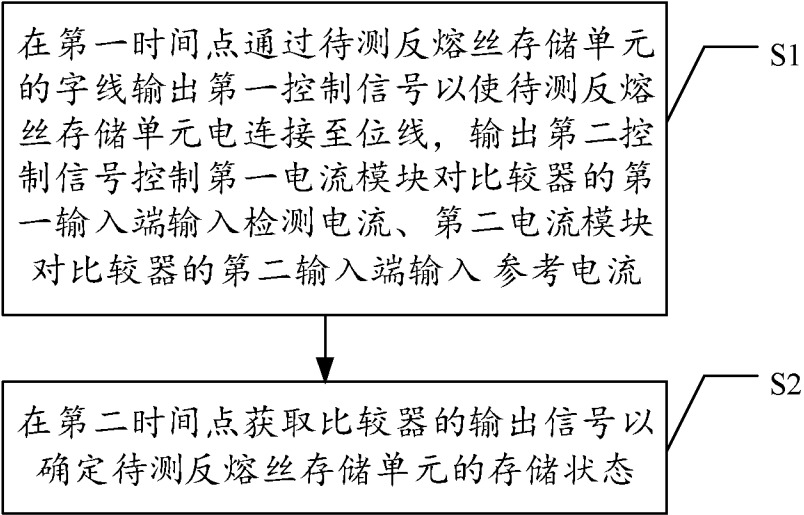


图 6

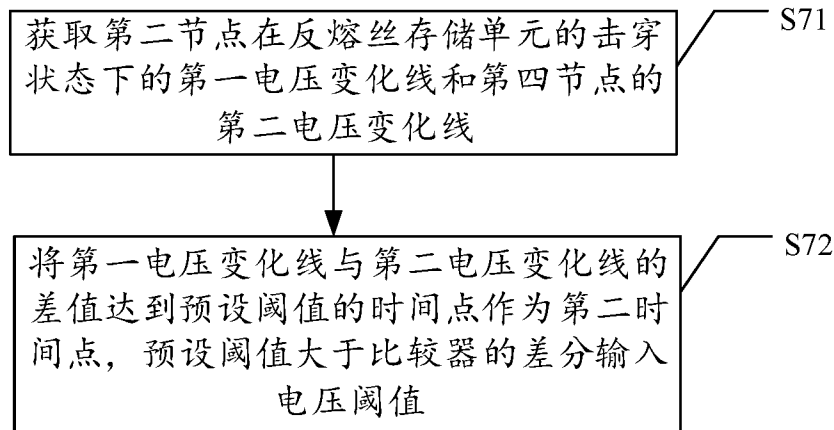


图 7

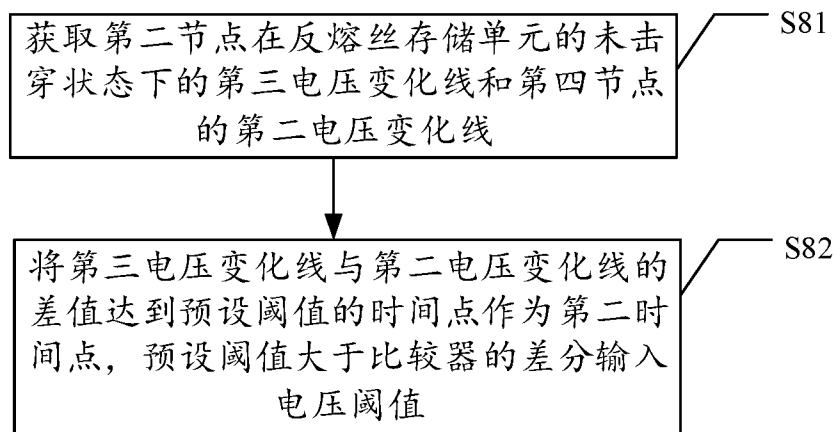


图 8

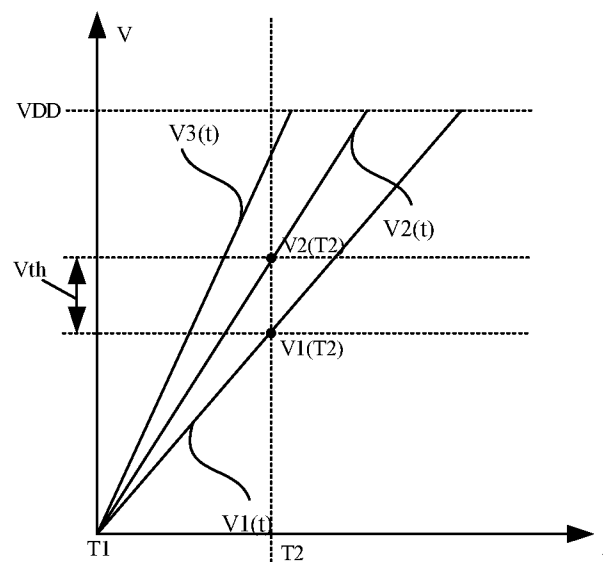


图 9

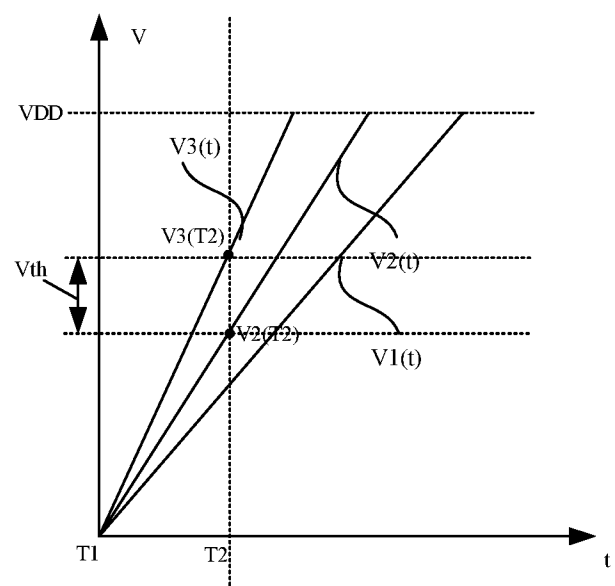


图 10

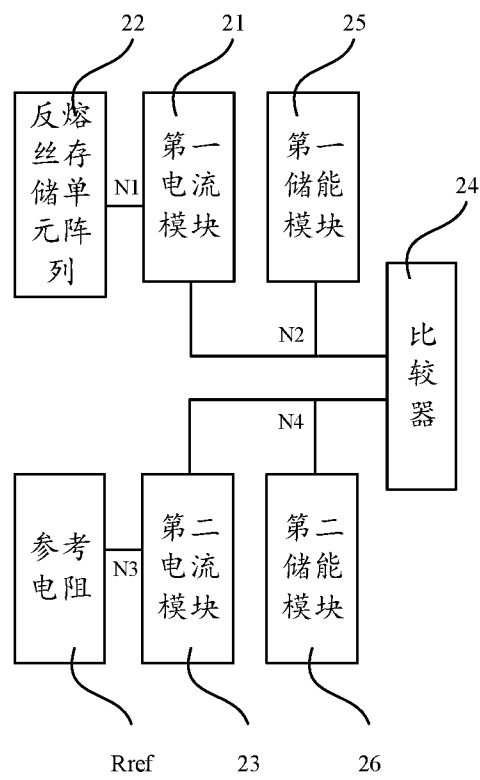


图 11

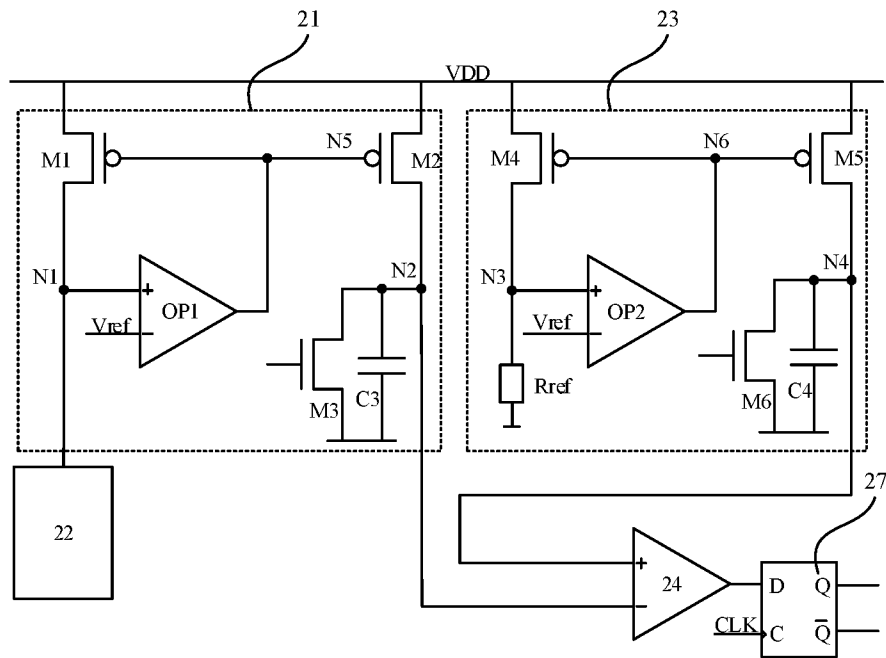


图 12

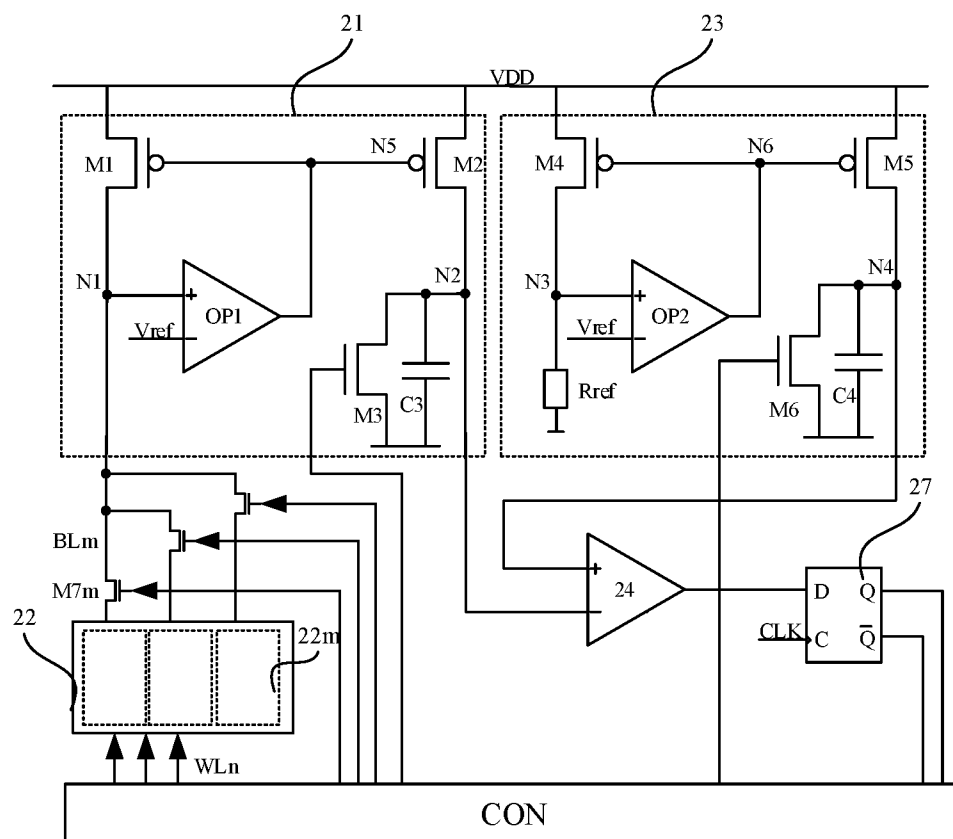


图 13

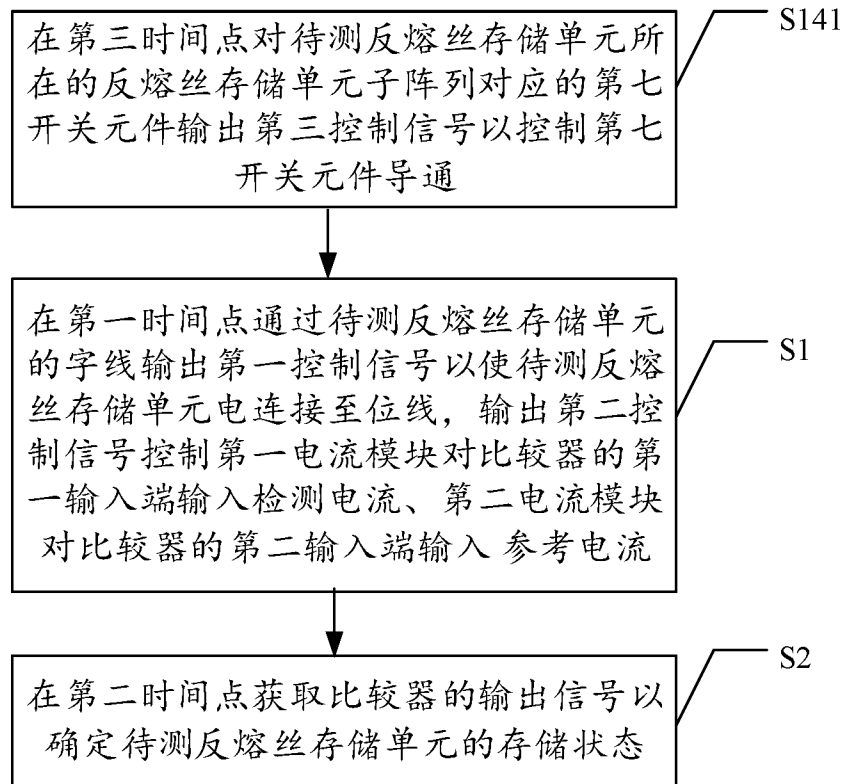


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/097918

A. CLASSIFICATION OF SUBJECT MATTER

G11C 17/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC: 反熔丝, 熔丝, 存储, 电阻, 电流, 比较, anti-fuse, fuse, storage, resistor, current, compare

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108630265 A (TOSHIBA K. K.) 09 October 2018 (2018-10-09) description paragraphs [0062]-[0065], [0105]-[0110], figures 2, 7	1-6, 9-14
X	CN 108288479 A (SK HYNIX INC.) 17 July 2018 (2018-07-17) description, paragraphs [0054]-[0063], figure 3	1-6, 9-14
X	CN 108154894 A (SK HYNIX INC.) 12 June 2018 (2018-06-12) description, paragraphs [0046]-[0051], figure 3	1-6, 9-14
A	CN 104505123 A (SHENZHEN STATEMICRO ELECTRONICS CO., LTD.) 08 April 2015 (2015-04-08) entire document	1-14
A	US 2010118595 A1 (SAMSUNG ELECTRONICS CO., LTD.) 13 May 2010 (2010-05-13) entire document	1-14
A	JP 2001319488 A (TOSHIBA CORP.) 16 November 2001 (2001-11-16) entire document	1-14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 July 2021

Date of mailing of the international search report

26 July 2021

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/097918

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108630265	A	09 October 2018	JP	2018160296	A	11 October 2018
				TW	I655633	B	01 April 2019
				US	2018277182	A1	27 September 2018
				TW	201835923	A	01 October 2018
				US	10446204	B2	15 October 2019
CN	108288479	A	17 July 2018	US	10403344	B2	03 September 2019
				US	2018197590	A1	12 July 2018
				TW	201841156	A	16 November 2018
				KR	20180082138	A	18 July 2018
CN	108154894	A	12 June 2018	US	2018158523	A1	07 June 2018
				US	10121537	B2	06 November 2018
				KR	20180063514	A	12 June 2018
CN	104505123	A	08 April 2015	CN	104505123	B	20 April 2018
US	2010118595	A1	13 May 2010	US	8243542	B2	14 August 2012
JP	2001319488	A	16 November 2001	JP	3866481	B2	10 January 2007

国际检索报告

国际申请号

PCT/CN2021/097918

A. 主题的分类 G11C 17/18 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, WPI, EPDOC: 反熔丝, 熔丝, 存储, 电阻, 电流, 比较, anti-fuse, fuse, storage, resistor, current, compare																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 108630265 A (东芝存储器株式会社) 2018年 10月 9日 (2018 - 10 - 09) 说明书第[0062]-[0065]、[0105]-[0110]段, 图2、7</td> <td>1-6, 9-14</td> </tr> <tr> <td>X</td> <td>CN 108288479 A (爱思开海力士有限公司) 2018年 7月 17日 (2018 - 07 - 17) 说明书第[0054]-[0063]段、图3</td> <td>1-6, 9-14</td> </tr> <tr> <td>X</td> <td>CN 108154894 A (爱思开海力士有限公司) 2018年 6月 12日 (2018 - 06 - 12) 说明书第[0046]-[0051]段、图3</td> <td>1-6, 9-14</td> </tr> <tr> <td>A</td> <td>CN 104505123 A (深圳市国微电子有限公司) 2015年 4月 8日 (2015 - 04 - 08) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2010118595 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2010年 5月 13日 (2010 - 05 - 13) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2001319488 A (TOSHIBA CORP.) 2001年 11月 16日 (2001 - 11 - 16) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 108630265 A (东芝存储器株式会社) 2018年 10月 9日 (2018 - 10 - 09) 说明书第[0062]-[0065]、[0105]-[0110]段, 图2、7	1-6, 9-14	X	CN 108288479 A (爱思开海力士有限公司) 2018年 7月 17日 (2018 - 07 - 17) 说明书第[0054]-[0063]段、图3	1-6, 9-14	X	CN 108154894 A (爱思开海力士有限公司) 2018年 6月 12日 (2018 - 06 - 12) 说明书第[0046]-[0051]段、图3	1-6, 9-14	A	CN 104505123 A (深圳市国微电子有限公司) 2015年 4月 8日 (2015 - 04 - 08) 全文	1-14	A	US 2010118595 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2010年 5月 13日 (2010 - 05 - 13) 全文	1-14	A	JP 2001319488 A (TOSHIBA CORP.) 2001年 11月 16日 (2001 - 11 - 16) 全文	1-14
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 108630265 A (东芝存储器株式会社) 2018年 10月 9日 (2018 - 10 - 09) 说明书第[0062]-[0065]、[0105]-[0110]段, 图2、7	1-6, 9-14																					
X	CN 108288479 A (爱思开海力士有限公司) 2018年 7月 17日 (2018 - 07 - 17) 说明书第[0054]-[0063]段、图3	1-6, 9-14																					
X	CN 108154894 A (爱思开海力士有限公司) 2018年 6月 12日 (2018 - 06 - 12) 说明书第[0046]-[0051]段、图3	1-6, 9-14																					
A	CN 104505123 A (深圳市国微电子有限公司) 2015年 4月 8日 (2015 - 04 - 08) 全文	1-14																					
A	US 2010118595 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2010年 5月 13日 (2010 - 05 - 13) 全文	1-14																					
A	JP 2001319488 A (TOSHIBA CORP.) 2001年 11月 16日 (2001 - 11 - 16) 全文	1-14																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2021年 7月 13日		国际检索报告邮寄日期 2021年 7月 26日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 梁雪峰 电话号码 86-(10)-53961263																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/097918

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108630265	A	2018年 10月 9日	JP	2018160296	A	2018年 10月 11日
				TW	1655633	B	2019年 4月 1日
				US	2018277182	A1	2018年 9月 27日
				TW	201835923	A	2018年 10月 1日
				US	10446204	B2	2019年 10月 15日
CN	108288479	A	2018年 7月 17日	US	10403344	B2	2019年 9月 3日
				US	2018197590	A1	2018年 7月 12日
				TW	201841156	A	2018年 11月 16日
				KR	20180082138	A	2018年 7月 18日
CN	108154894	A	2018年 6月 12日	US	2018158523	A1	2018年 6月 7日
				US	10121537	B2	2018年 11月 6日
				KR	20180063514	A	2018年 6月 12日
CN	104505123	A	2015年 4月 8日	CN	104505123	B	2018年 4月 20日
US	2010118595	A1	2010年 5月 13日	US	8243542	B2	2012年 8月 14日
JP	2001319488	A	2001年 11月 16日	JP	3866481	B2	2007年 1月 10日