

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-107383

(P2014-107383A)

(43) 公開日 平成26年6月9日(2014.6.9)

(51) Int.Cl.

H01L 27/146	(2006.01)
H01L 27/14	(2006.01)
G03F 1/00	(2012.01)

F 1

HO1L	27/14
HO1L	27/14
GO3F	1/00

テーマコード(参考)

A	2H095
D	4M118
Z	

審査請求 未請求 請求項の数 12 O L (全 27 頁)

(21) 出願番号

特願2012-258646 (P2012-258646)

(22) 出願日

平成24年11月27日 (2012.11.27)

(71) 出願人 302062931

ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地

(74) 代理人 110001195

特許業務法人深見特許事務所

(72) 発明者 百濃 寛之

神奈川県川崎市中原区下沼部1753番地
ルネサスエレクトロニクス株式会社内

F ターム(参考) 2H095 BB02 BC09 BE08

4M118	AB01	BA14	CA02	EA01	EA14
GB03	GB06	GB07	GB09	GB19	

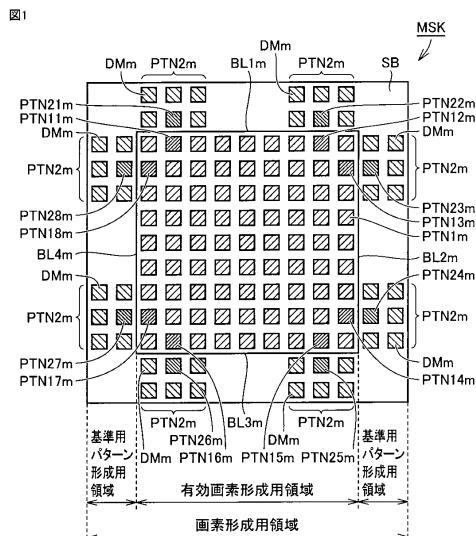
(54) 【発明の名称】マスクおよびその製造方法、ならびに半導体装置

(57) 【要約】

【課題】シューリングされた画素用パターンの、基準位置に対するずれの量を、より高精度に管理することができるマスクおよびその製造方法、ならびに半導体装置を提供する。

【解決手段】マスクMSKは、基板SBと、有効画素形成用領域と、基準用パターン形成用領域とを備える。有効画素形成用領域には、画素を構成する画素構成部材を形成するための画素用パターンPTN1mが配置される。基準用パターン形成用領域には、有効画素形成用領域において画素用パターンPTN1mが本来配置される基準位置を示すための基準用パターンPTN21m～PTN28mが配置される。画素用パターンPTN1mは、基準位置よりも有効画素形成用領域の中央側にずれるように配置される。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

主表面を有する基板と、
前記基板の前記主表面上に配置された有効画素形成用領域と、
前記主表面上において前記有効画素形成用領域を取り囲む基準用パターン形成用領域とを備え、
前記有効画素形成用領域には、画素を構成する画素構成部材を形成するための画素用パターンが配置され、
前記基準用パターン形成用領域には、前記有効画素形成用領域において前記画素用パターンが本来配置される基準位置を示すための基準用パターンが配置され、

前記画素用パターンは、前記基準位置よりも前記有効画素形成用領域の中央側にずれるように配置される、マスク。

【請求項 2】

前記基準用パターンは、前記有効画素形成用領域の外周線を介在して、前記画素用パターンと対向するように配置され、

前記基準用パターンは、前記基準用パターンに対向する前記画素用パターンが本来配置される、前記外周線に沿う方向に関する前記基準位置を示すように配置される、請求項 1 に記載のマスク。

【請求項 3】

前記基準用パターン形成用領域において、前記基準用パターンの周囲に、前記基準用パターンと間隔をあけてダミー形成用パターンが形成されている、請求項 1 に記載のマスク。

【請求項 4】

前記基準用パターンは、前記主表面上において前記外周線に対して垂直に延びる仮想の直線を対称線とする対称な平面形状を有する、請求項 2 に記載のマスク。

【請求項 5】

主表面を有する半導体基板と、
前記半導体基板の前記主表面上に配置された有効画素領域と、
前記主表面上において前記有効画素領域を取り囲む基準部配置領域とを備え、
前記有効画素領域には、画素を構成する画素構成部材が配置され、
前記基準部配置領域には、前記有効画素領域において前記画素構成部材が本来配置される基準位置を示すための基準部が配置され、
前記画素構成部材は、前記基準位置よりも前記有効画素領域の中央側にずれるように配置される、半導体装置。

【請求項 6】

前記基準部は、前記有効画素領域の外周線を介在して、前記画素構成部材と対向するように配置され、

前記基準部は、前記基準部に対向する前記画素構成部材が本来配置される、前記外周線に沿う方向に関する前記基準位置を示すように配置される、請求項 5 に記載の半導体装置。

【請求項 7】

前記基準部配置領域において、前記基準部の周囲に、前記基準部と間隔をあけてダミー構造が形成されている、請求項 5 に記載の半導体装置。

【請求項 8】

前記基準部は、前記主表面上において前記外周線に対して垂直に延びる仮想の直線を対称線とする対称な平面形状を有する、請求項 6 に記載の半導体装置。

【請求項 9】

主表面を有する基板を準備する工程と、
前記基板の前記主表面上のうち、画素を構成する画素構成部材を形成するための画素用パターンが形成される有効画素形成用領域に前記画素用パターンを描画するための、第 1 の

10

20

30

40

50

レイヤに描かれた第1のデータを準備する工程と、

前記基板の前記主表面のうち、前記有効画素形成用領域を取り囲み、前記有効画素形成用領域において前記画素用パターンが本来配置される基準位置を示すための基準用パターンが形成される基準用パターン形成用領域に前記基準用パターンを描画するための、前記第1のレイヤとは異なる第2のレイヤに描かれた第2のデータを準備する工程と、

前記第1のデータを用いて前記有効画素形成用領域に前記画素用パターンを、前記基準位置よりも前記有効画素形成用領域の中央側にずれるように描画する工程と、

前記第2のデータを用いて前記基準用パターン形成用領域に前記基準用パターンを描画する工程とを備える、マスクの製造方法。

【請求項10】

主表面を有する基板を準備する工程と、

前記基板の前記主表面のうち、画素を構成する画素構成部材を形成するための画素用パターンが形成される有効画素形成用領域に前記画素用パターンを描画するための第1のデータと、前記基板の前記主表面のうち、前記有効画素形成用領域を取り囲み、前記有効画素形成用領域において前記画素用パターンが本来配置される基準位置を示すための基準用パターンが形成される基準用パターン形成用領域に前記基準用パターンを描画するための第2のデータとを準備する工程と、

前記有効画素形成用領域と、前記基準用パターン形成用領域とを識別するための識別データを準備する工程と、

前記第1のデータに前記識別データを重畠させた状態で、前記第1のデータを用いて前記有効画素形成用領域に前記画素用パターンを、前記基準位置よりも前記有効画素形成用領域の中央側にずれるように描画する工程と、

前記第2のデータを用いて前記基準用パターン形成用領域に前記基準用パターンを描画する工程とを備える、マスクの製造方法。

【請求項11】

主表面を有する基板を準備する工程と、

前記基板の前記主表面のうち、画素を構成する画素構成部材を形成するための画素用パターンが形成される有効画素形成用領域に前記画素用パターンを描画するための、第1のセルに描かれた第1のデータを準備する工程と、

前記基板の前記主表面のうち、前記有効画素形成用領域を取り囲み、前記有効画素形成用領域において前記画素用パターンが本来配置される基準位置を示すための基準用パターンが形成される基準用パターン形成用領域に前記基準用パターンを描画するための、前記第1のセルとは異なる第2のセルに描かれた第2のデータを準備する工程と、

前記第1のデータを用いて前記有効画素形成用領域に前記画素用パターンを、前記基準位置よりも前記有効画素形成用領域の中央側にずれるように描画する工程と、

前記第2のデータを用いて前記基準用パターン形成用領域に前記基準用パターンを描画する工程とを備え、

前記第1のセルと前記第2のセルとは同一のレイヤで描かれる、マスクの製造方法。

【請求項12】

主表面を有する基板を準備する工程と、

前記基板の前記主表面のうち、画素を構成する画素構成部材を形成するための画素用パターンが形成される有効画素形成用領域と、前記基板の前記主表面のうち、前記有効画素形成用領域を取り囲み、前記有効画素形成用領域において前記画素用パターンが本来配置される基準位置を示すための基準用パターンが形成される基準用パターン形成用領域との、前記基板の前記主表面における座標の範囲を特定する工程と、

前記有効画素形成用領域に前記画素用パターンを描画するための第1のデータと、前記基準用パターン形成用領域に前記基準用パターンを描画するための第2のデータとを準備する工程と、

前記座標の範囲を識別しながら、前記第1のデータを用いて前記有効画素形成用領域に前記画素用パターンを、前記基準位置よりも前記有効画素形成用領域の中央側にずれるよ

10

20

30

40

50

うに描画する工程と、

前記座標の範囲を識別しながら、前記第2のデータを用いて前記基準用パターン形成用領域に前記基準用パターンを描画する工程とを備える、マスクの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マスクおよびその製造方法、ならびに半導体装置に関し、特に、いわゆるシユリンク領域を有する半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

半導体装置の形成において、異なる2つのパターンを重ね合わせ形成するプロセスの際の重ね合わせ位置のずれを抑制する観点から、ずれの量を検証するためのパターンが用いられることがある。このパターンとしては、たとえば特開平10-335205号公報(特許文献1)、特開平9-17715号公報(特許文献2)、特開平11-145047号公報(特許文献3)および特開2008-205312号公報(特許文献4)に開示されるいわゆるノギスパターンがある。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平10-335205号公報

【特許文献2】特開平9-17715号公報

【特許文献3】特開平11-145047号公報

【特許文献4】特開2008-205312号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

たとえばCMOS(Complementary Metal Oxide Semiconductor)イメージセンサにおいては、複数の画素が配置される有効画素領域において、当該複数の画素を構成する遮光膜などが、有効画素領域の外側の有効外領域の遮光膜などに比べて、有効画素領域の中央側にずれるように配置されることが好ましい。このようにすれば、遮光膜は所望の画素以外の画素に入ろうとする光などの遮光すべき光のみを遮光し、所望の画素に入ろうとする光の遮光を抑制する効果が高まり、結果として遮光膜が適正に遮光する効率が高まる。

【0005】

しかしながら現状、有効画素領域に画素が配置されるべき位置を高精度に示す手法が確立されていない。上記の各特許文献が示すノギスパターンの思想を応用して、有効画素領域と有効画素領域の外部の領域とのそれを形成する際の重ね合わせのずれの量を管理することが考えられるが、上記の各特許文献はいずれも、異なる2つのパターン間のずれの相対量を管理する手法であるにすぎない。

【0006】

したがって、上記の各特許文献の開示する手法によっては、上記重ね合わせのずれの量を高精度に管理することはできても、有効画素領域とその外部の領域とのそれが形成されるべき基準位置に対するずれの量を検証することができない。具体的には、たとえば2つのパターンの位置が双方とも同じ位相となるようにずれた場合には、さも重ね合わせ精度が極めて高くなるよう加工できたかのように錯覚する可能性がある。

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

一実施の形態によれば、マスクは、基板と、有効画素形成用領域と、基準用パターン形

10

20

30

40

50

成用領域とを備える。基準用パターン形成用領域には、有効画素形成用領域において画素用パターンが本来配置される基準位置を示すための基準用パターンが配置される。画素用パターンは、基準位置よりも有効画素形成用領域の中央側にずれるように配置される。

【0009】

他の実施の形態によれば、半導体装置は、半導体基板と、有効画素領域と、基準部配置領域とを備える。基準部配置領域には、有効画素領域において画素構成部材が本来配置される基準位置を示すための基準部が配置される。画素構成部材は、基準位置よりも有効画素形成用領域の中央側にずれるように配置される。

【0010】

さらに他の実施の形態のマスクの製造方法によれば、まず主表面を有する基板が準備される。基板の主表面のうち、画素を構成する画素構成部材を形成するための画素用パターンが形成される有効画素形成用領域に画素用パターンを描画するための、第1のレイヤに描かれた第1のデータが準備される。有効画素形成用領域を取り囲み、有効画素形成用領域において画素用パターンが本来配置される基準位置を示すための基準用パターンが形成される基準用パターン形成用領域に基準用パターンを描画するための、第1のレイヤとは異なる第2のレイヤに描かれた第2のデータが準備される。第1のデータを用いた描画がなされる。第2のデータを用いて基準用パターン形成用領域に基準用パターンが描画される。

【0011】

さらに他の実施の形態のマスクの製造方法によれば、まず主表面を有する基板が準備される。有効画素形成用領域に画素用パターンを描画するための第1のデータが準備される。有効画素形成用領域を取り囲み、有効画素形成用領域において画素用パターンが本来配置される基準位置を示すための基準用パターンが形成される基準用パターン形成用領域に基準用パターンを描画するための第2のデータが準備される。有効画素形成用領域と、基準用パターン形成用領域とを識別するための識別データが準備される。第1のデータに識別データを重畳させた状態で第1のデータを用いた描画がなされる。第2のデータを用いて基準用パターン形成用領域に基準用パターンが描画される。

【0012】

さらに他の実施の形態のマスクの製造方法によれば、まず上記のマスクの製造方法と同様に基板が準備される。有効画素形成用領域に画素用パターンを描画するための第1のセルに描かれた第1のデータが準備され、基準用パターン形成用領域に基準用パターンを描画するための第2のセルに書かれた第2のデータが準備される。第2のデータを用いて基準用パターン形成用領域に基準用パターンが描画される。第1のセルと第2のセルとは同一のレイヤで描かれる。

【0013】

さらに他の実施の形態のマスクの製造方法によれば、まず上記のマスクの製造方法と同様に基板が準備され、有効画素形成用領域と基準用パターン形成用領域との、基板の主表面における座標の範囲が特定される。有効画素形成用領域に画素用パターンを描画するための第1のデータと、基準用パターン形成用領域に基準用パターンを描画するための第2のデータとが準備される。座標の範囲を特定しながら第1のデータを用いた描画がなされる。座標の範囲を特定しながら第2のデータを用いて基準用パターン形成用領域に基準用パターンが描画される。

【発明の効果】

【0014】

一実施の形態によれば、基準用パターンにより、画素用パターンの基準位置に対するずれの量をより高精度に管理することができるマスクを提供することができる。

【0015】

他の実施の形態によれば、基準部により、画素構成部材の基準位置に対するずれの量をより高精度に管理することができる半導体装置を提供することができる。

【0016】

10

20

30

40

50

さらに他の実施の形態のマスクの製造方法によれば、基準用パターンにより、画素用パターンの基準位置に対するずれの量をより高精度に管理することができるマスクを提供することができる。その他の各実施の形態のマスクの製造方法についても基本的に上記のマスクの製造方法と同様の効果を奏する。

【図面の簡単な説明】

【0017】

【図1】実施の形態1のマスクの概略平面図である。

【図2】実施の形態1のマスクの有効画素形成用領域の、基準用パターン形成用領域に対する位置のずれを説明するための概略平面図である。

【図3】実施の形態1のマスクを用いて形成された半導体チップの概略平面図である。 10

【図4】半導体チップの有効画素領域に光が入射される様子を示す概略断面図である。

【図5】実施の形態2のマスクの第1例の概略平面図である。

【図6】実施の形態2のマスクの第2例の概略平面図である。

【図7】実施の形態2(図5)のマスクの有効画素形成用領域の、基準用パターン形成用領域に対する位置のずれを説明するための概略平面図である。

【図8】実施の形態2のマスクの第3例の概略平面図である。

【図9】実施の形態2(図5)のマスクを用いて形成された半導体チップの概略平面図である。

【図10】実施の形態3の製造方法において用いられる、実施の形態1のマスクを形成するためのレイヤを説明するための概略平面図である。 20

【図11】実施の形態3の製造方法において用いられる、実施の形態2のマスクを形成するためのレイヤを説明するための概略平面図である。

【図12】実施の形態3の製造方法を説明するためのフローチャートである。

【図13】実施の形態4の製造方法において用いられる、実施の形態1のマスクを形成するためのレイヤを説明するための概略平面図である。

【図14】実施の形態4の製造方法において用いられる、実施の形態2のマスクを形成するためのレイヤを説明するための概略平面図である。

【図15】実施の形態4の製造方法を説明するためのフローチャートである。

【図16】実施の形態5の製造方法において用いられる、実施の形態1のマスクを形成するためのセルを説明するための概略平面図である。 30

【図17】実施の形態5の製造方法において用いられる、実施の形態2のマスクを形成するためのセルを説明するための概略平面図である。

【図18】実施の形態5の製造方法を説明するためのフローチャートである。

【図19】実施の形態6の製造方法において用いられる、実施の形態1のマスクを形成するためのレイヤを説明するための概略平面図である。

【図20】実施の形態6の製造方法において用いられる、実施の形態2のマスクを形成するためのレイヤを説明するための概略平面図である。

【図21】実施の形態6の製造方法を説明するためのフローチャートである。

【発明を実施するための形態】

【0018】

以下、一実施の形態について図に基づいて説明する。

(実施の形態1)

まず一実施の形態の半導体装置の加工に用いられるマスクの構成について、図1、図2を用いて説明する。

【0019】

図1を参照して、一実施の形態のマスクMSKは、たとえばCMOSイメージセンサを形成するために用いられるマスクである。マスクMSKは、たとえばCMOSイメージセンサに形成されるフォトダイオードなどの画素を構成する遮光膜、インナーレンズまたはカラーフィルタの薄膜を形成するために用いられる。

【0020】

10

20

30

40

50

マスク M S K は、上記の遮光膜やインナーレンズ、カラーフィルタなどを形成するためのパターンが、一般公知の材料（ガラスなど）により形成された基板 S B の一方の主表面上に複数配置された構成を有している。

【 0 0 2 1 】

具体的には、マスク M S K の主表面はいわゆる画素形成用領域であり、C M O S イメージセンサの画素領域を形成するための領域である。画素形成用領域には、有効画素形成用領域と、基準用パターン形成用領域とを有している。

【 0 0 2 2 】

有効画素形成用領域は、C M O S イメージセンサを構成する実際の画素が形成される有効画素領域を形成するための領域である。たとえばマスク M S K が矩形の平面形状を有する場合、その矩形の主表面の中央部に有効画素形成用領域が配置される。

【 0 0 2 3 】

基準用パターン形成用領域は、基板 S B の主表面において有効画素形成用領域を取り囲むように、言い換えれば基板 S B の主表面における有効画素形成用領域の外周部に配置されている。有効画素形成用領域と基準用パターン形成用領域との境界は、有効画素形成用領域の外周線としての境界線 B L 1 m , B L 2 m , B L 3 m , B L 4 m であり、これらの境界線 B L 1 m ~ B L 4 m を形成する矩形に囲まれるように有効画素形成用領域が、これらの境界線 B L 1 m ~ B L 4 m の外側に基準用パターン形成用領域が、それぞれ配置されている。

【 0 0 2 4 】

有効画素形成用領域には、複数の画素用パターン P T N 1 m が配置されている。ここでは画素用パターン P T N 1 m として、たとえば遮光膜などの、画素を構成する画素構成部材を形成するためのパターンが、一般公知の材料（クロムなど）により形成されたものが複数、行列状に配置されている。この画素用パターン P T N 1 m により、C M O S イメージセンサの画素構成部材が形成される。

【 0 0 2 5 】

基準用パターン形成用領域には、複数の非画素用パターン P T N 2 m が配置されている。非画素用パターン P T N 2 m は、画素用パターン P T N 1 m 以外のパターンであり、画素構成部材以外の部材（たとえば後述する基準部など）を形成するためのパターンである。

【 0 0 2 6 】

非画素用パターン P T N 2 m は、境界線 B L 1 m ~ B L 4 m の両端の近傍に対向する領域に配置されており、言い換えれば非画素用パターン P T N 2 m のグループが、各境界線 B L 1 m ~ B L 4 m のそれぞれに対向する領域に 2 か所ずつ、合計 8 か所に配置されている。

【 0 0 2 7 】

それぞれの非画素用パターン P T N 2 m のグループは、1 つの基準用パターン P T N 2 1 m ~ P T N 2 8 m と、複数（ここでは 5 つ）のダミー形成用パターン D M m とから構成されている。

【 0 0 2 8 】

基準用パターン P T N 2 1 m , P T N 2 2 m は境界線 B L 1 m に対向する領域に、基準用パターン P T N 2 3 m , P T N 2 4 m は境界線 B L 2 m に対向する領域に、それぞれ配置されている。また基準用パターン P T N 2 5 m , P T N 2 6 m は境界線 B L 3 m に対向する領域に、基準用パターン P T N 2 7 m , P T N 2 8 m は境界線 B L 4 m に対向する領域に、それぞれ配置されている。すなわち基準用パターン P T N 2 1 m ~ P T N 2 8 m は、有効画素形成用領域の境界線 B L 1 m ~ B L 4 m を介在して、画素用パターン P T N 1 m と対向するように配置されている。

【 0 0 2 9 】

図 1においては有効画素形成用領域の複数の画素用パターン P T N 1 m 同士の間隔と基準用パターン形成用領域の非画素用パターン P T N 2 m 同士の間隔とはほぼ等しい態様で

10

20

30

40

50

示されている。そして画素用パターン P T N 1 m と非画素用パターン P T N 2 m とは平面的にすべて同じ大きさであり、境界線 B L 1 m ~ B L 4 m を介在して互いに対向する画素用パターン P T N 1 m と非画素用パターン P T N 2 m とは互いにツライチになるように(互いに境界線 B L 1 m ~ B L 4 m に沿う方向に関する座標が等しくなるように)配置されている。

【0030】

たとえば基準用パターン P T N 2 1 m と、境界線 B L 1 m を介在して基準用パターン P T N 2 1 m と対向する画素用パターン P T N 1 m (画素用パターン P T N 1 1 m) とは、境界線 B L 1 m に沿う図の左右方向に関する座標が等しくなるように配置されている。画素用パターン P T N 1 1 m (基準用パターン P T N 2 1 m) は、たとえば図 1 の横方向に 9 行並ぶ画素用パターン P T N 1 m のうち左端から 2 番目の行の位置に配置される。他の基準用パターン P T N 2 2 m ~ P T N 2 8 m についても同様に、たとえば画素用パターン P T N 1 m の行(または列)の端から 2 番目の行(または列)と等しい座標の位置に配置されている。

10

【0031】

しかし実際には、隣り合う画素用パターン P T N 1 m 同士の間隔と隣り合う非画素用パターン P T N 2 m 同士の(図の行方向または列方向に関する)間隔とは等しくない。具体的には、図 2 を参照して、画素用パターン P T N 1 m は非画素用パターン P T N 2 m に対して全体的に有効画素形成用領域の中央側にずれるよう(中央側に集中するよう)に配置されている。すなわち隣り合う 1 対の画素用パターン P T N 1 m の間隔は、隣り合う 1 対の非画素用パターン P T N 2 m の間隔より短くなっている。その結果、たとえば基準用パターン P T N 2 1 m と、境界線 B L 1 m を介在して基準用パターン P T N 2 1 m と対向する画素用パターン P T N 1 1 m とは、境界線 B L 1 m に沿う図の左右方向に関する座標が異なる。

20

【0032】

基準用パターン P T N 2 1 m ~ P T N 2 8 m は、それぞれが境界線 B L 1 m ~ B L 4 m を介在して対向する有効画素形成用領域の画素用パターン P T N 1 1 m ~ P T N 1 8 m が、境界線 B L 1 m ~ B L 4 m に沿う方向に関して本来配置される基準位置を示すように配置されている。具体的には、たとえば基準用パターン P T N 2 1 m は、画素用パターン P T N 1 1 m が境界線 B L K 1 m に沿う図の左右方向に関して本来配置される基準位置と等しい位置に配置されている。ここで本来配置される基準位置とは、有効画素形成用領域の画素用パターン P T N 1 m の(境界線を介在して対向する)非画素用パターン P T N 2 m に対する位置のずれを考慮する必要がない(画素用パターン P T N 1 m に全くずれが存在しない)場合における画素用パターン P T N 1 m の配置される位置を意味する。したがって図 1 における画素用パターン P T N 1 1 m ~ P T N 1 8 m は、これが本来存在すべき基準位置(基準用パターン P T N 2 1 m ~ P T N 2 8 m が配置される位置)よりも中央側に集中するようずれて配置されている。

30

【0033】

基準用パターン形成用領域において、基準用パターン P T N 2 1 m ~ P T N 2 8 m の周囲には、基準用パターン P T N 2 1 m ~ P T N 2 8 m と間隔をあけてダミー形成用パターン D M m が形成されている。ダミー形成用パターン D M m はここでは平面視における基準用パターン P T N 2 1 m ~ P T N 2 8 m の第 1 の方向(たとえば図の行方向)、第 2 の方向(たとえば図の列方向)および第 3 の方向(たとえば図の約 45° 斜め方向)に配置される。ただし基準用パターン P T N 2 1 m ~ P T N 2 8 m は、境界線 B L 1 m ~ B L 4 m を介在してそれが対向する画素用パターン P T N 1 1 m ~ P T N 1 8 m との、境界線 B L 1 m ~ B L 4 m に交差する方向の間隔が、隣り合う 1 対の画素用パターン P T N 1 m の間隔とほぼ等しくなるように配置される。このため各基準用パターン P T N 2 1 m ~ P T N 2 8 m の、境界線 B L 1 m ~ B L 4 m 側にはダミー形成用パターン D M m が配置されるスペースがなく、ダミー形成用パターン D M m は配置されない。その結果ここでは、各基準用パターンの周囲には 5 つのダミー形成用パターン D M m が配置される。ただしこれ

40

50

に限らず、より多数のダミー形成用パターン D M m が配置されてもよい。

【0034】

ダミー形成用パターン D M m と基準用パターンとの、上記第1または第2の方向に関する間隔は、隣り合う1対の画素用パターン P T N 1 m の上記第1または第2の方向に関する間隔よりも長く、画素用パターン P T N 1 m が基準用パターンに対して全くずれないように配置される場合と同じ間隔となっている。

【0035】

画素用パターン P T N 1 1 m ~ P T N 1 8 m の基準用パターン P T N 2 1 m ~ P T N 2 8 m に対する位置のずれは、以下の2つの要因により生じる。1つ目は上記のように、画素用パターン P T N 1 m が、非画素用パターン P T N 2 m に対して全体的に有効画素形成用領域の中央側にずれるように配置されるためである。全体的に有効画素形成用領域の中央側に詰め寄るように配置されるため、各画素用パターン P T N 1 m の間隔がたとえば各非画素用パターン P T N 2 m の間隔に比べて小さくなる。

10

【0036】

複数の画素用パターン P T N 1 m が全体的に有効画素形成用領域の中央側にずれるように配置されることから、あたかも有効画素形成用領域がこのように中央側にずれない場合に比べて基板 S B の主表面の中央側にシュリンクしたように見える。このため以下において画素用パターン P T N 1 m が中央側に集中した状態をシュリンクということにする。

20

【0037】

位置のずれの要因の2つ目は、加工の精度により、有効画素形成用領域の画素用パターン P T N 1 m を形成する際に、非画素用パターン P T N 2 m の位置に対する誤差が発生するためである。これは手作業や設備の寸法精度など多種の要因により発生するものである。これらの要因が組み合わさることにより図2に示すように、有効画素形成用領域において、たとえば本来の位置が c 1 である点が c 2 へと図の右方向に z だけ位置ずれする。

20

【0038】

また図2に示すように、画素用パターン P T N 1 1 m の左側の縁部は、基準用パターン P T N 2 1 m に対して図の右方向に a だけずれており、画素用パターン P T N 1 2 m の右側の縁部は、基準用パターン P T N 2 2 m に対して図の右方向に b だけずれている。

【0039】

基準用パターン P T N 2 1 m の左側の縁部と基準用パターン P T N 2 2 m の右側の縁部との、図の左右方向に関する距離を L とする。このとき、シュリンク率を S とすれば

30

【0040】

【数1】

$$a = \frac{L}{2} \cdot S + z \quad \cdots (1)$$

【0041】

【数2】

40

$$b = \frac{L}{2} \cdot S - z \quad \cdots (2)$$

【0042】

となる。これらの数式は、上記の位置のずれの2つの要因を組み合わせることにより導き出される。

【0043】

また、上記の数式より、シュリンク率 S は

【0044】

【数3】

$$S = \frac{a+b}{L} \quad \cdots (3)$$

【0045】

となりかつ、ずれ量zは

【0046】

【数4】

$$z = \frac{a-b}{2} \quad \cdots (4)$$

10

【0047】

となる。

なおここでは画素用パターンPTN1mおよび非画素用パターンPTN2m（基準用パターンPTN21m～PTN28mおよびダミー形成用パターンDMm）は図を簡略化するために矩形の平面形状を有しているが、これに限らず、これらのパターンは任意の平面形状を取り得る。

【0048】

図3を参照して、一実施の形態の半導体チップCHPは、図1および図2のマスクMSKを用いて形成される半導体装置としてのCMOSイメージセンサである。半導体チップCHPは、一般公知の材料（たとえばシリコンの単結晶）により形成された半導体基板SUBの一方の主表面に配置されている。

20

【0049】

半導体基板SUBの一方の主表面には、画素領域と、周辺回路領域とを有している。画素領域はCMOSイメージセンサのフォトダイオードなどの画素が配置される、半導体チップCHPの主要部分である。たとえば半導体チップCHPが矩形の平面形状を有する場合、その矩形の主表面の中央部に画素領域が配置される。

30

【0050】

また周辺回路領域は、たとえば半導体チップCHPの外部の回路との電気信号の入出力などを行なうための回路が配置される領域である。周辺回路領域は、半導体基板SUBの主表面において画素領域を取り囲むように、言い換えれば半導体基板SUBの主表面における画素領域の外周部に配置されている。画素領域と周辺回路領域との境界は、画素領域の外周線としての境界線B1c, B2c, B3c, B4cであり、これらの境界線B1c～B4cを形成する矩形に囲まれるように画素領域が、これらの境界線B1c～B4cの外側に周辺回路領域が、それぞれ配置されている。

40

【0051】

画素領域には、有効画素領域と、基準部配置領域とを有している。有効画素領域は、たとえば画素領域が矩形の平面形状を有する場合、その矩形の主表面の中央部に配置される。有効画素領域は画素が光を吸収して電気信号に変換する、フォトダイオードとして有効な機能を有する、画素領域の主要部分である。

【0052】

基準部配置領域は、画素領域の主表面において有効画素領域を取り囲むように、言い換えれば半導体基板SUBの主表面における有効画素領域の外周部に配置されている。有効画素領域と基準部配置領域との境界は、有効画素領域の外周線としての境界線BL1c, BL2c, BL3c, BL4cであり、これらの境界線BL1c～BL4cを形成する矩形に囲まれるように有効画素領域が、これらの境界線BL1c～BL4cの外側に基準部配置領域が、それぞれ配置されている。

50

【0053】

有効画素領域には、複数の画素構成部材 P T N 1 c が配置されている。画素構成部材 P T N 1 c はマスク M S K の画素用パターン P T N 1 m により形成される、遮光膜やインナーレンズ、カラーフィルタなどの画素の構成要素であり、これが画素用パターン P T N 1 m と同様に複数、行列状に配置されている。

【 0 0 5 4 】

図 3 の有効画素領域には、画素としてのフォトダイオード P D が配置されている。ここでは一例として、行列状に配置される 1 対の画素構成部材 P T N 1 c の間に挟まれる位置にフォトダイオード P D が図示されるが、これは図を簡略化するためであり、フォトダイオード P D の構成はこのような態様に限られない。

【 0 0 5 5 】

基準部配置領域には、複数の非画素構成部材 P T N 2 c が配置されている。非画素構成部材 P T N 2 c は、画素構成部材 P T N 1 c と同一の層として配置されるが画素の構成要素ではない部材である。

【 0 0 5 6 】

非画素構成部材 P T N 2 c は、境界線 B L 1 c ~ B L 4 c の両端の近傍に対向する領域に配置されており、言い換えれば非画素構成部材 P T N 2 c のグループが、各境界線 B L 1 c ~ B L 4 c のそれぞれに対向する領域に 2 か所ずつ、合計 8 か所配置されている。

【 0 0 5 7 】

それぞれの非画素構成部材 P T N 2 c のグループは、1 つの基準部 P T N 2 1 c ~ P T N 2 8 c と、複数（ここでは 5 つ）のダミー構造 D M c とから構成されている。基準部 P T N 2 1 c ~ P T N 2 8 c は基準用パターン P T N 2 1 m ~ P T N 2 8 m により、ダミー構造 D M c はダミー形成用パターン D M m により、それぞれ形成される。

【 0 0 5 8 】

このように画素構成部材 P T N 1 c はマスク M S K の画素用パターン P T N 1 m により、非画素構成部材 P T N 2 c はマスク M S K の非画素用パターン P T N 2 m により形成される。このため、画素構成部材 P T N 1 c および非画素構成部材 P T N 2 c は基本的に画素用パターン P T N 1 m および非画素用パターン P T N 2 m と同様の構成となっている。

【 0 0 5 9 】

具体的には、画素構成部材 P T N 1 c（画素構成部材 P T N 1 1 c ~ P T N 1 8 c を含む）は、非画素構成部材 P T N 2 c に対して全体的に有効画素領域の中央側にずれるように、すなわちシューイングするように配置されている。一方、非画素構成部材 P T N 2 c の特に基準部 P T N 2 1 c ~ P T N 2 8 c は、それぞれが境界線 B L 1 c ~ B L 4 c を介在して、有効画素領域の画素構成部材 P T N 1 1 c ~ P T N 1 8 c と対向するように配置されている。基準部 P T N 2 1 c ~ P T N 2 8 c のそれぞれは、有効画素領域の画素構成部材 P T N 1 1 c ~ P T N 1 8 c が、境界線 B L 1 m ~ B L 4 m に沿う方向に関して本来配置される基準位置を示すように配置されている。

【 0 0 6 0 】

また基準部配置領域において、基準部 P T N 2 1 c ~ P T N 2 8 c の周囲には、基準部 P T N 2 1 c ~ P T N 2 8 c と間隔をあけてダミー構造 D M c が形成されている。

【 0 0 6 1 】

その他の画素構成部材 P T N 1 c および非画素構成部材 P T N 2 c の各部の構成は、基本的に上記の画素用パターン P T N 1 m および非画素用パターン P T N 2 m の各部と同様の構成である。

【 0 0 6 2 】

なおここでは画素構成部材 P T N 1 c および非画素構成部材 P T N 2 c（基準部 P T N 2 1 c ~ P T N 2 8 c およびダミー構造 D M c）は図を簡略化するために矩形の平面形状を有しているが、これに限らず、これらのパターンは任意の平面形状を取り得る。

【 0 0 6 3 】

次に一実施の形態の作用効果について説明する。まず図 4 を参照して、一実施の形態のマスク M S K および半導体チップ C H P の有効画素（形成用）領域においてパターンなど

をシュリンクさせる意義について説明する。

【0064】

図4を参照して、たとえば半導体チップCHPの上方に配置されたレンズLNSを通って半導体チップCHP(CMOSイメージセンサ)の特にフォトダイオードPD(有効画素領域)に入射する、レンズLNSの真上からの光は、以下のようにレンズLNSを透過する。レンズLNSの中央部を通る光は、レンズLNSによる屈折をほとんど受けずに有効画素領域の中央部のフォトダイオードPDに入射する。これに対して、レンズLNSの端部からレンズLNSに入射する光は、レンズLNSにより屈折して、図4の上下方向に對して大きな角度を有する方向に進行する。このように、光がレンズLNSに入射する位置がレンズLNSの中央部から離れるにつれて、当該光がレンズLNSにより大きく屈折する。

10

【0065】

ここで有効画素領域に配置される個々のフォトダイオードPDには、その上方に遮光膜が配置されている。この遮光膜は、半導体チップCHPの主表面において、所望のフォトダイオードPDの隣りに配置されるフォトダイオードPDに意図せず光が入射することを抑制するものであり、図4中に遮光膜PTNとして示される。たとえば図3の画素構成部材PTN1cが図4の遮光膜PTNに相当する。したがって遮光膜PTNは、たとえばフォトダイオードPDと平面的に隣り合う領域に配置されることがある。

20

【0066】

ところが上記のようにレンズLNSの作用により入射する光が大きく屈折すれば、特に有効画素領域の端部において、遮光膜PTNが、遮光すべき光のみならず、所望のフォトダイオードPDに入射されるべき光の一部までも遮光する可能性がある。

【0067】

このような問題を解決するためには、半導体チップCHP内の遮光膜PTNを有効画素領域において平面的に中心側にずれるようにシュリンクさせることが好ましい。このようすれば、有効画素領域の平面視における比較的外側に遮光膜PTNが配置されなくなるため、有効画素領域の端部のレンズLNSにより大きく屈折した光が意図せず遮光膜PTNにより遮られる可能性を低減することができる。上記においてマスクMSKの画素用パターンPTN1mおよび半導体チップCHPの画素構成部材PTN1cがシュリンクされることはこのような意義を有する。

30

【0068】

ところがたとえばマスクMSKの画素用パターンPTN1mが本来配置される基準位置に対してシュリンクによりずれる量が高精度に把握できなければ、当該ずれる量を高精度に管理することが困難となる。しかしながらこれまで、本来配置される基準位置を示す手段が確立されていなかった。

【0069】

そこで一実施の形態において、シュリンクされない場合の基準位置を示す基準用パターンPTN21m～PTN28mが設けられる。基準用パターンPTN21m～PTN28mはシュリンクを考慮せずに形成することができるため、通常の設計仕様により容易に形成可能である。このため、画素用パターンPTN11m～PTN18mの基準用パターンPTN21m～PTN28mに対する位置のずれを測定することにより、画素用パターンPTN11m～PTN18mの基準位置からのずれの量を高精度に把握し、当該ずれの量を所望の値となるよう制御することができる。

40

【0070】

基準用パターンPTN21m～PTN28mは境界線BL1m～BL4mを介在して、画素用パターンPTN11mと対向するように配置される。そして基準用パターンPTN21m～PTN28mは、境界線BLに沿う方向に關して本来配置される基準位置を示す。画素用パターンPTN11m～PTN18mと基準用パターンPTN21m～PTN28mとの距離が短くなるため、画素用パターンPTN11m～PTN18mの位置をより正確に把握することができる。

50

【0071】

一実施の形態においては、ダミー形成用パターンD M mが基準用パターンP T N 2 1 m ~ P T N 2 8 mの周りを囲むように配置される。このため、基準用パターンP T N 2 1 m ~ P T N 2 8 mがパターニングにより形成される際に光近接効果やマイクロローディング効果などにより形状が変動する可能性を低減することができる。

【0072】

すなわち、平面視における端部に存在し周囲にダミーパターンが形成されないパターンは、光近接効果やマイクロローディング効果などにより形状が変動する可能性がある。ところがマスクM S Kにおいて基準位置を示す重要な役割を担う基準用パターンP T N 2 1 m ~ 2 8 mの周りをダミー形成用パターンD M mで囲むことにより、基準用パターンP T N 2 1 m ~ 2 8 mを平面視における中央部に配置することができる。このようにすれば、周囲のダミー形成用パターンD M mが基準用パターンP T N 2 1 m ~ P T N 2 8 mのダメージから保護する役割を果たすことにより、基準用パターンP T N 2 1 m ~ P T N 2 8 mの形状変化を抑制することができる。10

【0073】

なお上記のように、各基準用パターンP T N 2 1 m ~ P T N 2 8 mの、境界線B L 1 m ~ B L 4 m側にはダミー形成用パターンD M mが配置されるスペースがなく、ダミー形成用パターンD M mは配置されない。しかし各基準用パターンP T N 2 1 m ~ P T N 2 8 mの境界線B L 1 m ~ B L 4 m側には、境界線B L 1 m ~ B L 4 mを超えた有効画素形成用領域に、基準用パターンP T N 2 1 m ~ P T N 2 8 mと同様の構成を有する画素用パターンP T N 1 mが配置される。すなわち基準用パターンP T N 2 1 m ~ P T N 2 8 mは境界線B L 1 m ~ B L 4 m側の方向についてはこの画素用パターンP T N 1 mに囲まれる。この画素用パターンP T N 1 mはダミー形成用パターンD M mと同様の役割を有するため、上記の基準用パターンP T N 2 1 m ~ P T N 2 8 mの形状変化を抑制する効果をより高めることができる。20

【0074】

また半導体チップC H Pにおいて上記のマスクM S Kと同様の構成を有することにより、上記のマスクM S Kが有する作用効果と同様の作用効果を奏する。

【0075】

(実施の形態2)

本実施の形態は、実施の形態1と比較して、基準用パターンおよび基準部の平面形状において異なっている。まず本実施の形態のマスクの構成について、図5、図6を用いて説明する。30

【0076】

図5を参照して、本実施の形態のマスクM S Kは、基本的に実施の形態1のマスクM S Kと同様の構成を有している。しかし図5のマスクM S Kは、基準用パターン形成用領域に配置される非画素用パターンP T N 2 mの平面形状が矢印状(楔形形状)となっている。

【0077】

具体的には、非画素用パターンP T N 2 mは、境界線B L 1 m ~ B L 4 mの両端の近傍に対向する領域に配置されており、各境界線B L 1 m ~ B L 4 mのそれぞれに対向する領域に非画素用パターンP T N 2 mが2つずつ、合計8つ配置されている。ただしそれぞれの非画素用パターンP T M 2 mには単一の基準用パターンP T N 2 1 m ~ P T N 2 8 mのみが配置されている。したがって図5のマスクM S Kにおいてはダミー形成用パターンD M mが配置されていない。ただし図5のマスクM S Kにおいて基準用パターンP T N 2 1 m ~ P T N 2 8 mが配置される場所は、図1のマスクM S Kと同じであり、具体的には、画素用パターンP T N 1 mの行(または列)の端から2番目の行(または列)と等しい座標の位置に配置されている。40

【0078】

基準用パターンP T N 2 m(P T N 2 1 m ~ P T N 2 8 m)は、マスクM S Kの基板S

10

20

30

40

50

B の主表面において、境界線 B L 1 m ~ B L 4 m のそれぞれに対して垂直に延びる仮想の直線 1 を対称線とする対称な平面形状を有している。図 5 の基準用パターン P T N 2 1 m ~ P T N 2 8 m が示す楔形の平面形状は、上記の対称の条件を満たす形状の一例として用いられている。したがって、たとえば図 6 を参照して、本実施の形態の基準用パターン P T N 2 1 m ~ P T N 2 8 m は、図 5 に示す楔形形状の代わりに、菱形の平面形状を有していてもよい。この場合も、当該菱形の基準用パターン P T N 2 1 m ~ P T N 2 8 m は、境界線 B L 1 m ~ B L 4 m に垂直な仮想の直線を対称線として対称な平面形状を有する。

【0079】

図 5 および図 6 は、有効画素形成用領域の画素用パターン P T N 1 1 m のシュリンクおよび有効画素形成用領域の位置ずれを考慮していない。しかし実際には、図 7 を参照して、本実施の形態においても実施の形態 1 と同様に、画素用パターン P T N 1 m は非画素用パターン P T N 2 m に対して全体的に有効画素形成用領域の中央側にずれるように（中央側に集中するように）配置されている。10

【0080】

なお図 6 のように菱形の基準用パターン P T N 2 1 m ~ P T N 2 8 m についても実際には図 7 に示すようなシュリンクおよび位置ずれが存在するがここではその図示が省略されている。

【0081】

基準用パターン P T N 2 1 m の中央部（仮想の直線 1 ）と基準用パターン P T N 2 2 m の中央部（仮想の直線 1 ）との、図の左右方向に関する距離を L とする。このとき、シュリンク率を S とすれば、基準用パターン P T N 2 1 m の中央部と画素用パターン P T N 1 1 m の中央部との距離 a 0 は20

【0082】

【数 5】

$$a_0 = \frac{a_1 + a_2}{2} \quad \cdots (5)$$

【0083】

となり、基準用パターン P T N 2 2 m の中央部と画素用パターン P T N 1 2 m の中央部との距離 b 0 は30

【0084】

【数 6】

$$b_0 = \frac{b_1 + b_2}{2} \quad \cdots (6)$$

【0085】

となる。ここで a 1 は基準用パターン P T N 2 1 m の中央部と画素用パターン P T N 1 1 m の縁部との距離であり、 b 1 は基準用パターン P T N 2 2 m の中央部と画素用パターン P T N 1 2 m の縁部との距離である。40

【0086】

図 5 ~ 図 7 においてはダミー形状用パターン D M m が配置されていないが、図 8 を参照して、本実施の形態においても実施の形態 1 と同様に基準用パターン P T N 2 1 m ~ P T N 2 8 m の周りにこれらを取り囲むようにダミー形状用パターン D M m が配置されてもよい。

【0087】

図 9 を参照して、図 5 のマスク M S K を用いて形成される本実施の形態の半導体チップ C H P は、基本的に実施の形態 1 の半導体チップ C H P と同様の構成を有している。しかし図 9 の半導体チップ C H P は、基準部配置領域に配置される非画素構成部材 P T N 2 c が存在する。50

(基準部 P T N 2 1 c ~ P T N 2 8 c)の平面形状が矢印状(楔形形状)となっている。図9の半導体チップC H Pは図5のマスクM S Kにより形成されるため、画素構成部材P T N 1 cおよび非画素構成部材P T N 2 cは基本的に画素用パターンP T N 1 mおよび非画素用パターンP T N 2 mと同様の構成となっている。本実施の形態の半導体チップC H Pは、たとえば図6のマスクM S Kにより形成された、菱形の非画素構成部材P T N 2 c(基準部P T N 2 1 c ~ P T N 2 8 c)を有するものであってもよい。

【0088】

次に本実施の形態の作用効果について説明する。

本実施の形態のマスクM S Kの非画素用パターンP T N 2 mは、境界線B L 1 m ~ B L 4 mに対して垂直に延びる仮想の直線1を対称線とする対称な平面形状を有する。すなわち非画素用パターンP T N 2 mは、仮想の直線1に垂直な方向について、仮想の直線1の左側および右側の双方において同じ距離だけパターンが配置された態様となっている。したがって本実施の形態の非画素用パターンP T N 2 mには、仮想の直線1の左側と右側との双方に、光近接効果およびマイクロローディング効果がほぼ同様に加わる。このため本実施の形態の非画素用パターンP T N 2 mには、仮想の直線1の左側と右側との双方において、光近接効果およびマイクロローディング効果に起因する変形などが互いに逆方向に発生する。

【0089】

したがって、たとえ非画素用パターンP T N 2 mの仮想の直線1の左側および右側において光近接効果などにより形状が変化したとしても、非画素用パターンP T N 2 mの中央部である仮想の直線1においては仮想の直線1の左側の形状変化と右側の形状変化とが互いに相殺され、形状や位置の変化が起こらなくなる。つまり少なくとも仮想の直線1が所望の位置に確保されることにより、たとえば図5に示す楔形の非画素用パターンP T N 2 mおよび図6に示す菱形の非画素用パターンP T N 2 mの先端部(尖った部分)の位置は基準位置としての信頼性が高くなり、この位置を利用して画素用パターンP T N 1 1 m ~ P T N 1 8 mの基準用パターンP T N 2 1 m ~ P T N 2 8 mに対する位置のずれを高精度に測定することができる。

【0090】

上記のように本実施の形態においては、少なくとも仮想の直線1上の非画素用パターンP T N 2 mの位置が確保できればよく、仮想の直線1上以外の領域の非画素用パターンP T N 2 mが変形等しても問題はない。このため図5などに示すように、本実施の形態の非画素用パターンP T N 2 mのグループにはダミー形成用パターンD M mが配置されなくてよい。ただし図8のように本実施の形態の非画素用パターンP T N 2 mのグループについても実施の形態1と同様に、1つの基準用パターンP T N 2 1 m ~ P T N 2 8 mと、複数(ここでは5つ)のダミー形成用パターンD M mとから構成されれば、基準用パターンP T N 2 1 mの変形を抑制することができるため、さらに高精度に基準位置を示すことができる。

【0091】

また半導体チップC H Pにおいて上記のマスクM S Kと同様の構成を有することにより、上記のマスクM S Kが有する作用効果と同様の作用効果を奏する。

【0092】

(実施の形態3)

実施の形態1~2のマスクM S Kの第1の製造方法は以下のとおりである。ここでは特に、C A D上における設計(レイアウト)の手法について述べる。

【0093】

図10および図11を参照して、本実施の形態においては、マスクM S Kに有効画素形成用領域(およびそのパターン)を形成するためのC A D上のデータの集まりであるレイヤと、マスクM S Kに基準用パターン形成用領域(およびそのパターン)を形成するためのC A D上のレイヤとが別のレイヤとして準備される。

【0094】

10

20

30

40

50

すなわち、有効画素形成用領域を形成するためのレイヤはシュリンク領域のレイヤLYR 1であり、基準用パターン形成用領域を形成するためのレイヤは非シュリンク領域のレイヤLYR 2である。これは有効画素形成用領域に形成される画素用パターンPTN 1mはシュリンクされるのに対し、基準用パターン形成用領域に形成される非画素用パターンPTN 2mはシュリンクされないためである。

【0095】

シュリンク領域のレイヤには、画素用パターンPTN 1m（画素用パターンPTN 11m～PTN 18mを含む）を形成するための画素用データPTN 1が含まれており、画素用データPTN 1には画素用データPTN 11～PTN 18が含まれている。画素用データPTN 11～PTN 18のそれぞれは、画素用パターンPTN 11m～PTN 18mを形成するためのデータに対応する。10

【0096】

非シュリンク領域のレイヤには、非画素用パターンPTN 2mすなわち基準用パターンPTN 21m～PTN 28mと、ダミー形成用パターンDMMとを形成するための非画素用データPTN 2が含まれており、非画素用データPTN 2には基準用データPTN 21～PTN 28およびダミー形成用パターンDMMを形成するためのデータが含まれている。基準用データPTN 21～PTN 28のそれぞれは、基準用パターンPTN 21m～PTN 28mを形成するためのデータに対応する。

【0097】

図10に示す図1（実施の形態1）のマスクMSK、および図11に示す図5（実施の形態2）のマスクMSKの双方ともに、本実施の形態のようにシュリンク領域のレイヤと非シュリンク領域のレイヤとの2つのレイヤを用いることにより形成することができる。20

【0098】

なおここでは、レイヤLYR 1, LYR 2に存在するデータの集まりをイメージしやすくするために、各データをマスクMSKなどと同様に行列状に配置されるように図示している。

【0099】

次に、図12を参照しながら、本実施の形態のマスクMSKの製造方法（CADを用いた設計手法）について説明する。

【0100】

図12を参照して、まずマスク用の基板SBが準備される（S00）。次に図10および図11に示すようなシュリンク領域のデータ（第1のデータ）が集まることができる第1のレイヤと、非シュリンク領域のデータ（第2のデータ）が集まることができる第2のレイヤとのそれぞれが準備される（S10）。

【0101】

次に第1のレイヤには、画素構成部材PTN 1c（図3、図9参照）を形成するための画素用パターンPTN 1mが形成される有効画素形成用領域に画素用パターンPTN 1mを描画するための、シュリンクデータPTN 1（第1のデータ）が描かれる（S20）。

【0102】

次に第2のレイヤには、画素用パターンPTN 1mが本来配置される基準位置を示すための（基準部PTN 21c～PTN 28cを形成するための）基準用パターンPTN 21m～PTN 28mが形成される基準用パターン形成用領域に基準用パターンPTN 21m～PTN 28mを描画するための、非シュリンクデータPTN 2（第2のデータ）が描かれる（S30）。

【0103】

以上をより簡潔に言い換えれば、シュリンク領域のレイヤである第1のレイヤにシュリンク領域のデータである第1のデータPTN 1（PTN 11～PTN 18）が描かれ、非シュリンク領域のレイヤである第2のレイヤに非シュリンク領域のデータである第2のデータPTN 2（PTN 21～PTN 28）が描かれる。ここで第2のデータPTN 2には、ダミー形成用パターンDMMを形成するためのデータが含まれる。

10

20

30

40

50

【0104】

なお工程(S20)と工程(S30)との順序は不問であり、工程(S30)が工程(S20)より先になされてもよいし、工程(S20)と工程(S30)とが同時になされてもよい。

【0105】

次に、シュリンク領域のデータである第1のデータを用いて、マスク用基板SBへの画素用パターンPTN1m(PTN11m～PTN18m)の描画がなされる(S40)。このとき、画素用パターンPTN1mは、シュリンクがない場合に本来配置される位置よりも有効画素形成用領域の中央側にずれるようにシュリンクするよう制御される(S41)。

10

【0106】

次に、非シュリンク領域のデータである第2のデータを用いて、マスク用基板SBへの非画素用パターンPTN2m(基準用パターンPTN21m～PTN28mおよびダミー形成用パターンDMm)の描画がなされる(S50)。ここでの描画はシュリンクされずに、基準位置を示すことが可能となるように、通常の手法により容易に描画される。

【0107】

なお工程(S40)と工程(S50)との順序は不問であり、工程(S50)が工程(S40)より先になされてもよいし、工程(S40)と工程(S50)とが同時になされてもよい。

20

【0108】

本実施の形態のようにシュリンク領域のデータと非シュリンク領域のデータとを異なるレイヤに描くことにより、実際のマスクMSKの基板SBへの描画の際にシュリンク領域のデータのみを非シュリンク領域のデータに対してシュリンクさせることができる。また非シュリンク領域のデータは通常の基準位置を示すように描画することができるので、特別な手法を用いずに容易に形成することができる。したがって、実施の形態1～2に示す高精度なマスクMSKを提供することができる。

【0109】

(実施の形態4)

実施の形態1～2のマスクMSKの第2の製造方法は以下のとおりである。ここでも特に、CAD上における設計(レイアウト)の手法について述べる。

30

【0110】

図13および図14を参照して、本実施の形態においては、たとえば単一のレイヤ内に、有効画素形成用領域の画素用パターンPTN1mを形成するためのデータと、基準用パターン形成用領域の非画素用パターンPTN2mを形成するためのデータとが混在している。しかしこれらのデータのうちたとえば画素用パターンPTN1mを形成するためのデータのみに、当該データをシュリンクさせたうえでマスクMSKの基板SBに形成すべきことを示す識別データが重畳される。この識別データの存在により、実際に基板SBにパターンPTN1m, PTN2mが描画される際には、シュリンク領域用のデータのみ、非シュリンク領域用のデータに対してシュリンクするよう制御されたうえで描画される。

40

【0111】

以上の点において本実施の形態は、上記の実施の形態3と異なっており、他の構成要素などは実施の形態3と同様であるため、その説明を省略する。

【0112】

次に、図15を参照しながら、本実施の形態のマスクMSKの製造方法(CADを用いた設計手法)について説明する。

【0113】

図15を参照して、まずマスク用の基板SBが準備される(S00)。

次に図13および図14に示すように、有効画素形成用領域(シュリンク領域)に画素用パターンPTN1mを描画するための第1のデータと、基準用パターン形成用領域(非シュリンク領域)に非画素用パターンPTN2mを描画するための第2のデータとが描か

50

れるための、たとえば単一のレイヤが準備される（S10）。

【0114】

次に、工程（S10）において準備されたレイヤに描かれる、上記の第1のデータと第2のデータとが準備される（S20）。

【0115】

次に、有効画素形成用領域（シュリンク領域）に画素用パターンPTN1mを描画するための第1のデータと、基準用パターン形成用領域（非シュリンク領域）に非画素用パターンPTN2mを描画するための第2のデータとを識別するための識別データが準備される（S30）。識別データとは具体的には、たとえば第1のデータのみに重畳するためのデータである。このようにすれば、識別データが重畳されていれば第1のデータであり、識別データが重畳されていなければ第2のデータであることを識別することができる。ただし逆に、第2のデータのみに重畳するための識別データが準備されてもよい。この場合は、識別データが重畳されていれば第2のデータであり、識別データが重畳されていなければ第1のデータであることを識別することができる。ただし以下においては、第1のデータに識別データが重畳されたものとして説明を進める。

10

【0116】

次に、シュリンク領域の第1のデータのみに、工程（S30）において準備された識別データが重畳される（S40）。すなわち第1のデータに識別データが、重ね合わせるように描画される。このようにすれば、たとえ第1のデータと第2のデータとが混在しても、識別データが重畳されたデータは第1のデータであり、識別データが重畳されないデータは第2のデータであることを容易に判別することができる。

20

【0117】

次に、上記第1のデータのみに識別データが重畳された状態で、図12の工程（S40）と同様に、マスク用基板SBへの画素用パターンPTN1m（PTN11m～PTN18m）の描画がなされる（S50）。このとき、図12の工程（S41）と同様にシュリンクするよう制御される（S51）。

20

【0118】

次に、非シュリンク領域のデータである第2のデータを用いて、図12の工程（S50）と同様に、マスク用基板SBへの非画素用パターンPTN2m（基準用パターンPTN21m～PTN28mおよびダミー形成用パターンDMm）の描画がなされる（S60）。

30

【0119】

なおここでも工程（S50）と工程（S60）との順序は不問であり、工程（S60）が工程（S50）より先になされてもよいし、工程（S50）と工程（S60）とが同時になされてもよい。

40

【0120】

本実施の形態のようにシュリンク領域のデータに、これを非シュリンク領域のデータと識別するための識別データを重畳させることにより、シュリンク領域のデータと非シュリンク領域のデータとを同一のレイヤに描いたとしても、実際のマスクMSKの基板SBへの描画の際にシュリンク領域のデータのみを非シュリンク領域のデータに対してシュリンクさせることができる。その結果、実施の形態1～2に示す高精度なマスクMSKを提供することができる。

【0121】

（実施の形態5）

実施の形態1～2のマスクMSKの第3の製造方法は以下のとおりである。ここでも特に、CAD上における設計（レイアウト）の手法について述べる。

【0122】

図15および図16を参照して、本実施の形態においては、たとえば単一のレイヤ内に、第1のセルCE1と第2のセルCE2との2つのセルが含まれている。このうち第1のセルには、有効画素形成用領域（シュリンク領域）の画素用パターンPTN1mを描画す

50

るためのデータ（画素用データPTN1）が含まれており、第2のセルには、基準用パターン形成用領域（非シュリンク領域）に基準用パターンPTN2mを描画するためのデータ（非画素用データPTN2）が含まれている。

【0123】

すなわち、有効画素形成用領域を形成するためのセルはシュリンク領域のセルCE1であり、基準用パターン形成用領域を形成するためのセルは非シュリンク領域のセルCE2である。

【0124】

このように本実施の形態においては、CAD上のデータの集まりであるレイヤの中に、さらに小さいデータの集まりの単位であるセルが含まれている。

10

【0125】

以上の点において本実施の形態は、上記の実施の形態3と異なっており、他の構成要素などは実施の形態3と同様であるため、その説明を省略する。

【0126】

次に、図18を参照しながら、本実施の形態のマスクMSKの製造方法（CADを用いた設計手法）について説明する。

【0127】

図18を参照して、まずマスク用の基板SBが準備される（S00）。

次に、図16および図17に示すように、有効画素形成用領域（シュリンク領域）に画素用パターンPTN1mを描画するための第1のデータと、基準用パターン形成用領域（非シュリンク領域）に基準用パターンPTN2mを描画するための第2のデータとが描かれるための、たとえば単一のレイヤが準備される（S10）。この工程は図15の工程（S10）と同様である。

20

【0128】

次に上記レイヤに、有効画素形成用領域（シュリンク領域）のセルとしての第1のセルCE1と、基準用パターン形成用領域（非シュリンク領域）のセルとしての第2のセルCE2とが描かれる。またシュリンク領域のセルCE1には、有効画素形成用領域（シュリンク領域）に画素用パターンPTN1mを描画するための第1のデータが描画される（S20）。

【0129】

また非シュリンク領域のセルCE2には、基準用パターン形成用領域（非シュリンク領域）に非画素用パターンPTN2mを描画するための第2のデータが描画される（S30）。

30

【0130】

以下、たとえば実施の形態3（図12）の工程（S40）、（S41）、（S50）と同様の処理により、マスク用基板への描画がなされる（S40～S50）。

【0131】

本実施の形態のようにシュリンク領域のデータと非シュリンク領域のデータとを、同一のレイヤ内の異なるセルに描いた場合においても、たとえば実施の形態3のようにシュリンク領域のデータと非シュリンク領域のデータとが異なるレイヤに描かれた場合と同様の効果を奏する。すなわち実際のマスクMSKの基板SBへの描画の際にシュリンク領域のデータのみを非シュリンク領域のデータに対してシュリンクさせることができ、実施の形態1～2に示す高精度なマスクMSKを提供することができる。

40

【0132】

なお本実施の形態を応用し、たとえば実施の形態4においてレイヤ内のデータにシュリンク領域または非シュリンク領域を認識するためのデータを重畠させているが、そのようにする代わりに、单一のセル内のデータにシュリンク領域または非シュリンク領域を認識するためのデータを重畠させてもよい。

【0133】

（実施の形態6）

50

実施の形態 1 ~ 2 のマスク M S K の第 4 の製造方法は以下のとおりである。ここでも特に、C A D 上における設計（レイアウト）の手法について述べる。

【 0 1 3 4 】

図 1 9 および図 2 0 を参照して、本実施の形態においては、たとえば単一のレイヤ内に、有効画素形成用領域の画素用パターン P T N 1 m を形成するためのデータと、基準用パターン形成用領域の非画素用パターン P T N 2 m を形成するためのデータとが混在している。そしてそれぞれのデータがマスク M S K の基板 S B 上において描画されるべき位置の座標が決められている。

【 0 1 3 5 】

本実施の形態においては、有効画素形成用領域の画素用パターン P T N 1 m を描画するための第 1 のデータ（シュリンク領域のデータ）と、基準用パターン形成用領域の非画素用パターン P T N 2 m を描画するための第 2 のデータ（非シュリンク領域のデータ）とを、それぞれのデータが描画される位置の座標により識別する。そしてシュリンク領域のデータのみ、非シュリンク領域用のデータに対してシュリンクするよう制御されたうえで描画される。

10

【 0 1 3 6 】

たとえば図 1 9 および図 2 0 に示すように、当該レイヤがマスク M S K の x_1 x_2 でありかつ y_1 y_2 である座標範囲内に描画される場合には、これはシュリンク領域内に描画されるため、その元のデータは第 1 のデータ（シュリンク領域のデータ）であるといえる。また当該レイヤがマスク M S K の上記の座標範囲外に描画される場合には、その元のデータは第 2 のデータ（非シュリンク領域のデータ）であるといえる。

20

【 0 1 3 7 】

すなわち実施の形態 4 においては各データに重畠された識別データによりシュリンク領域のデータか否かを識別するのに対し、本実施の形態においては各データが描画される位置の座標を識別することによりシュリンク領域のデータか否かを識別する。

【 0 1 3 8 】

以上の点において本実施の形態は、上記の実施の形態 4 と異なっており、他の構成要素などは実施の形態 4 と同様であるため、その説明を省略する。

30

【 0 1 3 9 】

次に、図 2 1 を参照しながら、本実施の形態のマスク M S K の製造方法（C A D を用いた設計手法）について説明する。

【 0 1 4 0 】

図 2 1 を参照して、まずマスク用の基板 S B が準備される（S 0 0）。

次に図 2 1 に示すように、マスク用の基板 S B において、有効画素形成用領域（シュリンク領域）と基準用パターン形成用領域（非シュリンク領域）との座標の範囲が特定される（S 1 0）。ここでは上記のように、 x_1 x_2 でありかつ y_1 y_2 である座標範囲内がシュリンク領域であり、それ以外の座標範囲が非シュリンク領域であると特定される。

40

【 0 1 4 1 】

次に、有効画素形成用領域（シュリンク領域）に画素用パターン P T N 1 m を描画するための第 1 のデータと、基準用パターン形成用領域（非シュリンク領域）に非画素用パターン P T N 2 m を描画するための第 2 のデータとが描かれるため、たとえば単一のレイヤが準備される（S 2 0）。この工程は図 1 5 の工程（S 1 0）と同様である。

【 0 1 4 2 】

次に、工程（S 2 0）において準備されたレイヤに描かれる、上記の第 1 のデータと第 2 のデータとが準備される（S 3 0）。この工程は図 1 5 の工程（S 2 0）と同様である。

50

【 0 1 4 3 】

以下、たとえば実施の形態 3（図 1 2）の工程（S 4 0）、（S 4 1）、（S 5 0）と同様の処理により、マスク用基板への描画がなされる（S 4 0 ~ S 5 0）。このとき、座

50

標の範囲を識別しながら、シュリンク領域または非シュリンク領域のいずれの領域のデータであるかを識別し、シュリンク領域のデータのみシュリンクしながら描画される。

【0144】

本実施の形態のようにシュリンク領域と非シュリンク領域との座標の範囲を特定してこれを識別させることによっても、他の実施の形態と同様に、実際のマスクMSKの基板SBへの描画の際にシュリンク領域のデータのみを非シュリンク領域のデータに対してシュリンクさせることができる。その結果、実施の形態1～2に示す高精度なマスクMSKを提供することができる。

【0145】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

10

【0146】

上述した実施の形態と一部重複する部分もあるが、実施の形態に記載された内容の一部を以下に記載する。

【0147】

(1) マスクの製造方法は、主表面を有する基板を準備する工程を備える。基板の主表面のうち、画素を構成する画素構成部材を形成するための画素用パターンが形成される有効画素形成用領域に画素用パターンを描画するための第1のデータを準備する工程を備える。基板の主表面のうち、有効画素形成用領域を取り囲み、有効画素形成用領域において画素用パターンが本来配置される基準位置を示すための基準用パターンが形成される基準用パターン形成用領域に基準用パターンを描画するための第2のデータを準備する工程を備える。有効画素形成用領域と、基準用パターン形成用領域とを識別するための識別データを準備する工程を備える。第1のデータに識別データを重畠させた状態で、第1のデータを用いて有効画素形成用領域に画素用パターンを、基準位置よりも有効画素形成用領域の中央側にずれるように描画する工程を備える。第2のデータを用いて基準用パターン形成用領域に基準用パターンを描画する工程を備える。

20

【0148】

(2) マスクの製造方法は、主表面を有する基板を準備する工程を備える。基板の主表面のうち、画素を構成する画素構成部材を形成するための画素用パターンが形成される有効画素形成用領域に画素用パターンを描画するため、第1のセルに描かれた第1のデータを準備する工程を備える。基板の主表面のうち、有効画素形成用領域を取り囲み、有効画素形成用領域において画素用パターンが本来配置される基準位置を示すための基準用パターンが形成される基準用パターン形成用領域に基準用パターンを描画するため、第1のセルとは異なる第2のセルに描かれた第2のデータを準備する工程を備える。第1のデータを用いて有効画素形成用領域に画素用パターンを、基準位置よりも有効画素形成用領域の中央側にずれるように描画する工程を備える。第2のデータを用いて基準用パターン形成用領域に基準用パターンを描画する工程を備える。第1のセルと第2のセルとは同一のレイヤで描かれる。

30

【0149】

(3) マスクの製造方法は、主表面を有する基板を準備する工程を備える。基板の主表面のうち、画素を構成する画素構成部材を形成するための画素用パターンが形成される有効画素形成用領域と、基板の主表面のうち、有効画素形成用領域を取り囲み、有効画素形成用領域において画素用パターンが本来配置される基準位置を示すための基準用パターンが形成される基準用パターン形成用領域との、基板の主表面における座標の範囲を特定する工程を備える。有効画素形成用領域に画素用パターンを描画するための第1のデータと、基準用パターン形成用領域に基準用パターンを描画するための第2のデータとを準備する工程を備える。座標の範囲を識別しながら、第1のデータを用いて有効画素形成用領域に画素用パターンを、基準位置よりも有効画素形成用領域の中央側にずれるように描画する工程を備える。座標の範囲を識別しながら、第2のデータを用いて基準用パターン形成

40

50

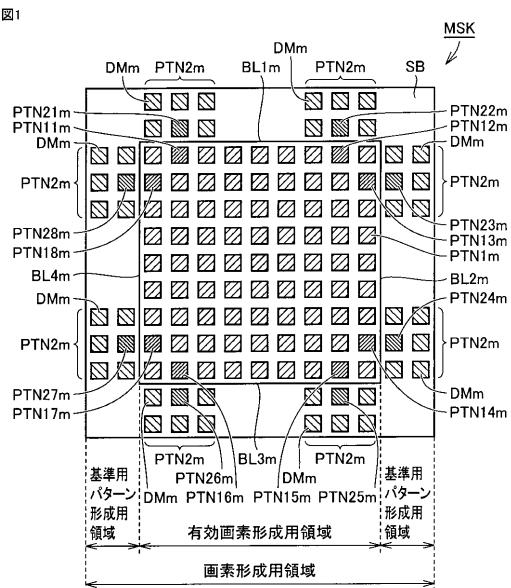
用領域に基準用パターンを描画する工程を備える。

【符号の説明】

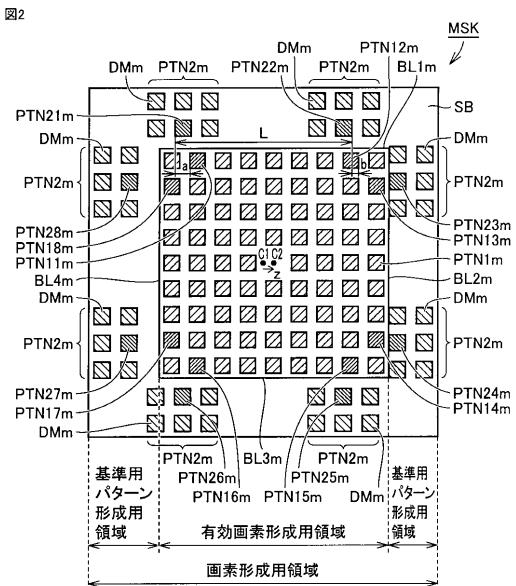
【0150】

B1c, B2c, B3c, B4c, BL1c, BL2c, BL3c, BL4c, BL1m, BL2m, BL3m, BL4m 境界線、CE1, CE2 セル、CHP 半導体チップ、DMc ダミー構造、DMm ダミー形成用パターン、LNS レンズ、LYR1 シュリンク領域のレイヤ、LYR2 非シュリンク領域のレイヤ、MSK マスク、PD フォトダイオード、PTN1, PTN11, PTN12, PTN13, PTN14, PTN15, PTN16, PTN17, PTN18 画素用データ、PTN2 非画素用データ、PTN21, PTN22, PTN23, PTN24, PTN25, PTN26, PTN27, PTN28 基準用データ、PTN1c 画素構成部材、PTN2c 非画素構成部材、PTN21c, PTN22c, PTN23c, PTN24c, PTN25c, PTN26c, PTN27c, PTN28c 基準部、PTN1m, PTN11m, PTN12m, PTN13m, PTN14m, PTN15m, PTN16m, PTN17m, PTN18m 画素用パターン、PTN2m 非画素用パターン、PTN21m, PTN22m, PTN23m, PTN24m, PTN25m, PTN26m, PTN27m, PTN28m 基準用パターン、SB 基板、SUB 半導体基板。
10

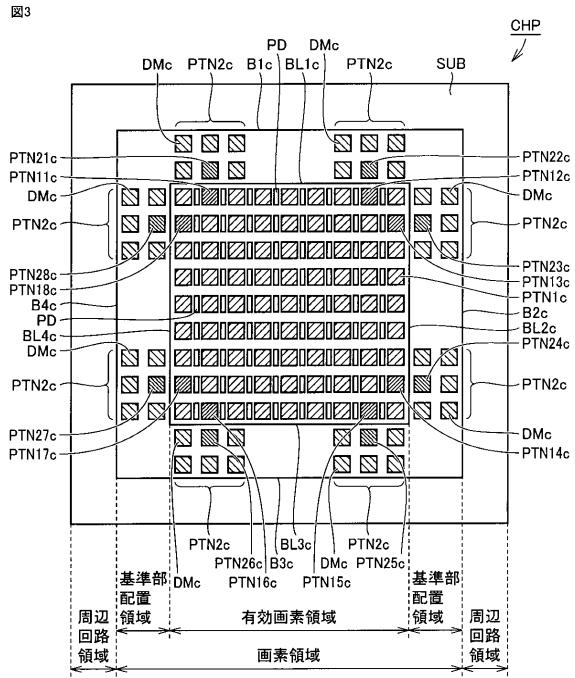
【図1】



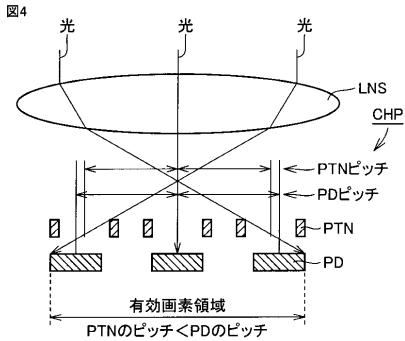
【図2】



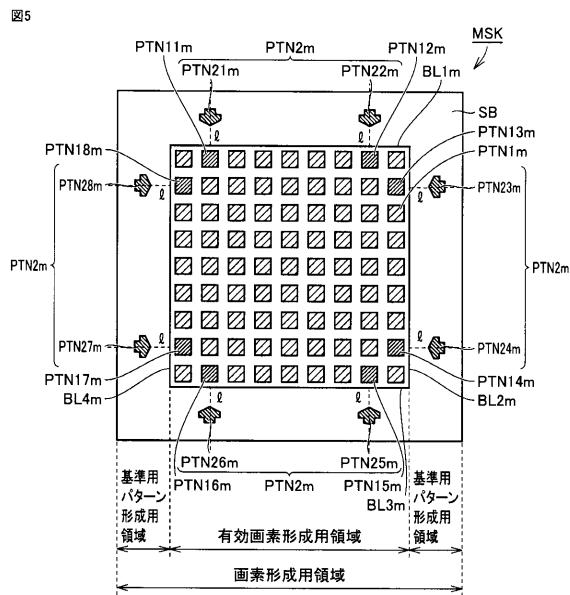
【図3】



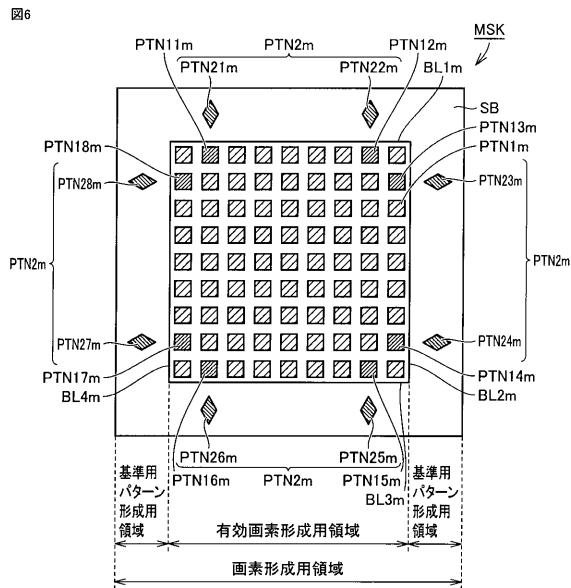
【図4】



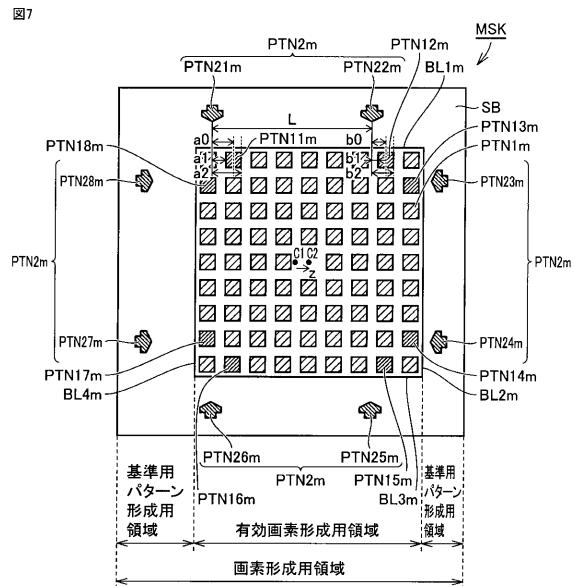
【図5】



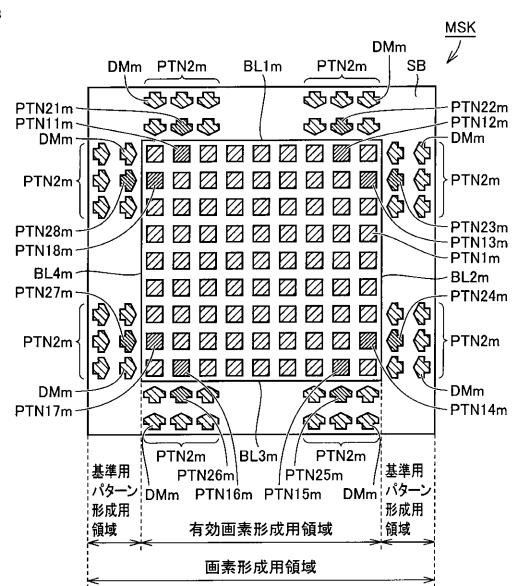
【図6】



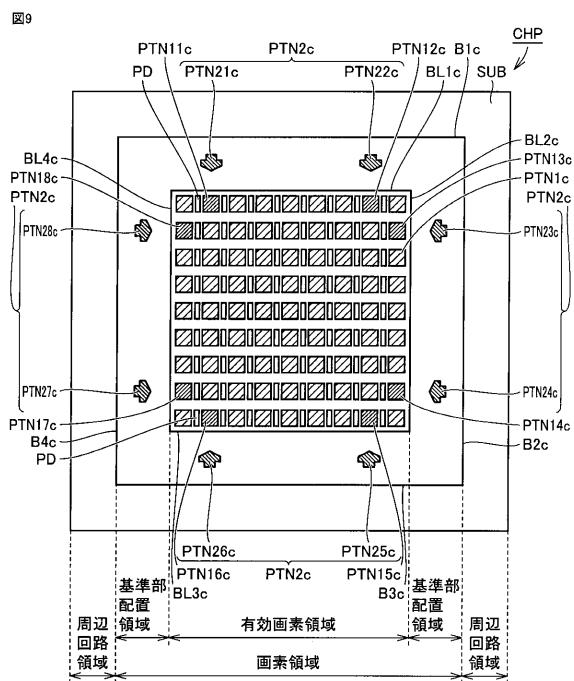
【図7】



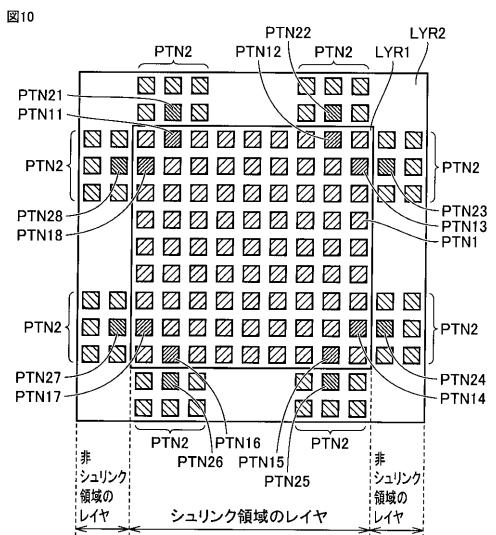
【図8】



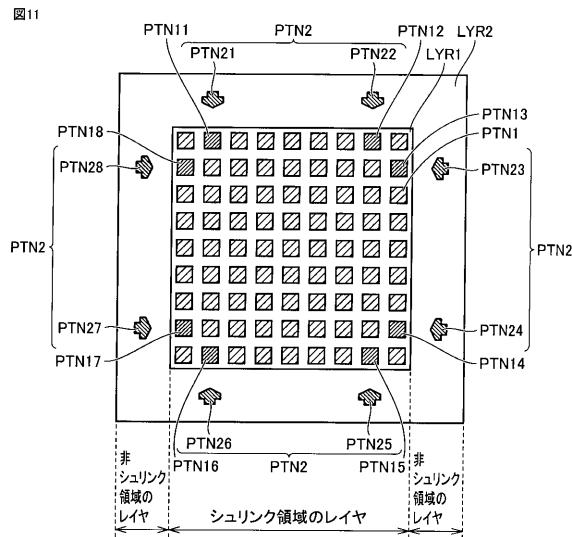
【図9】



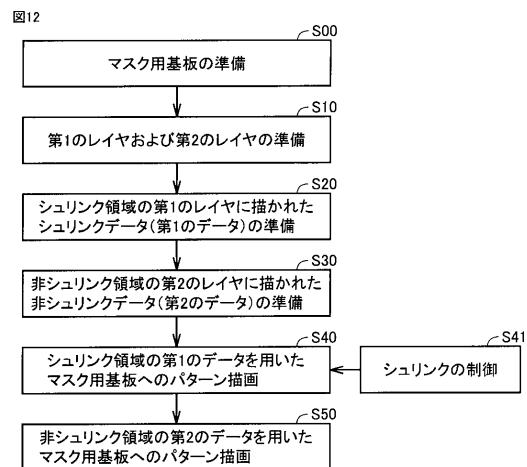
【図10】



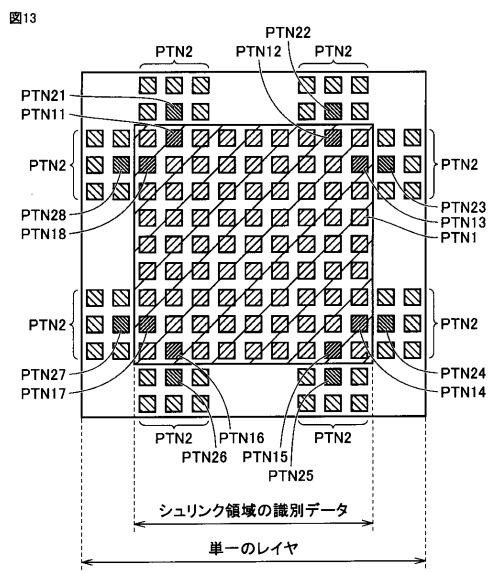
【 図 1 1 】



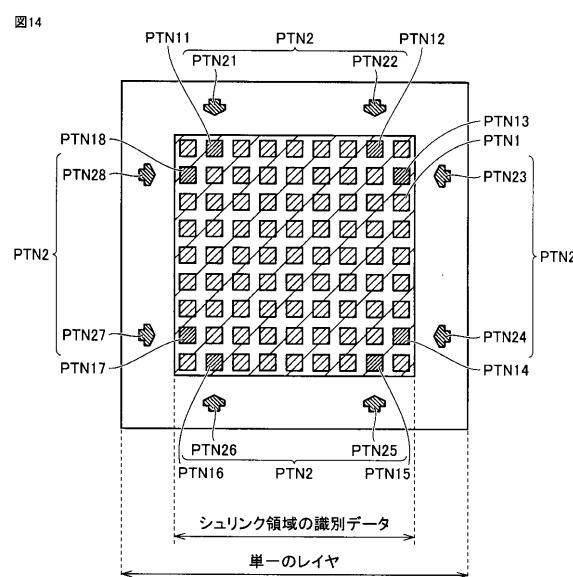
【 図 1 2 】



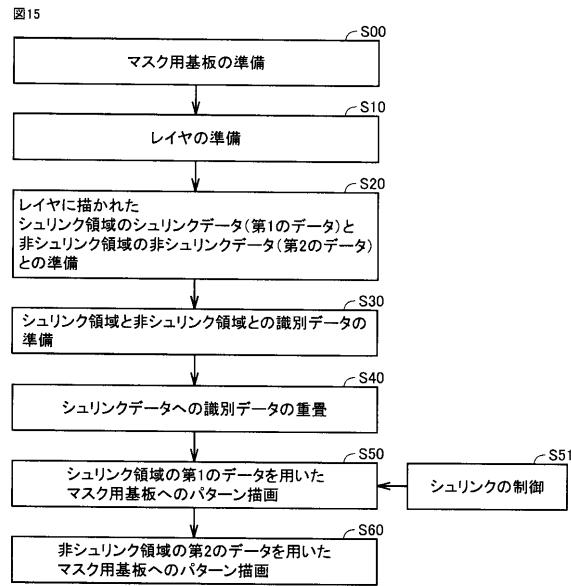
【図 1 3】



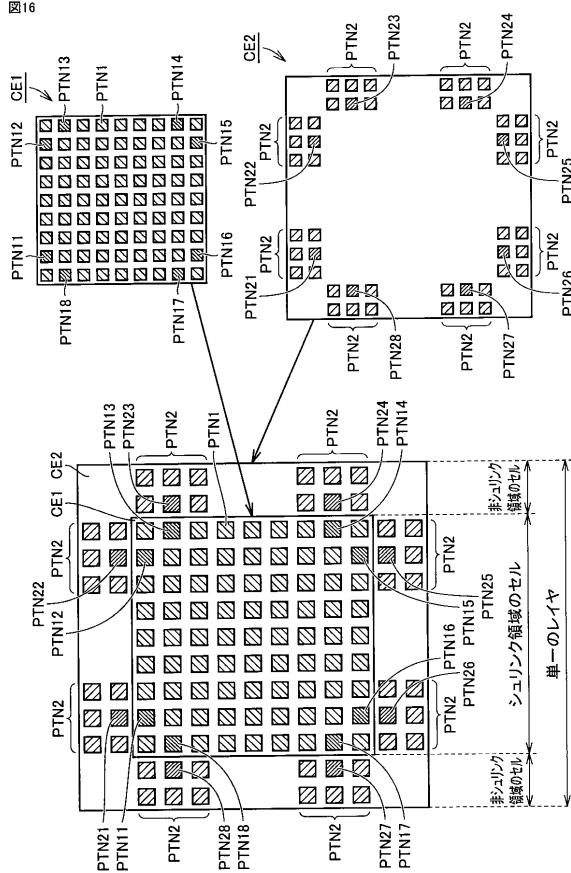
【 図 1 4 】



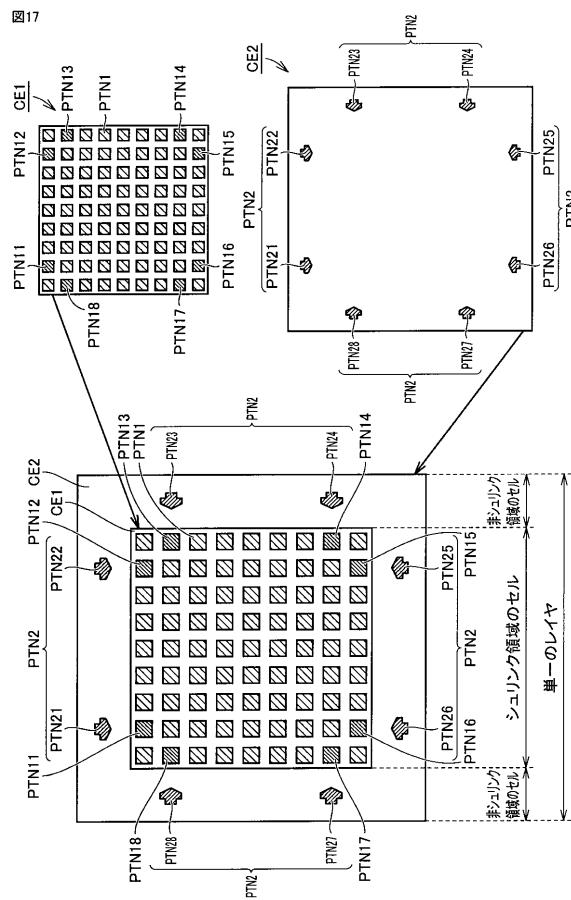
【図15】



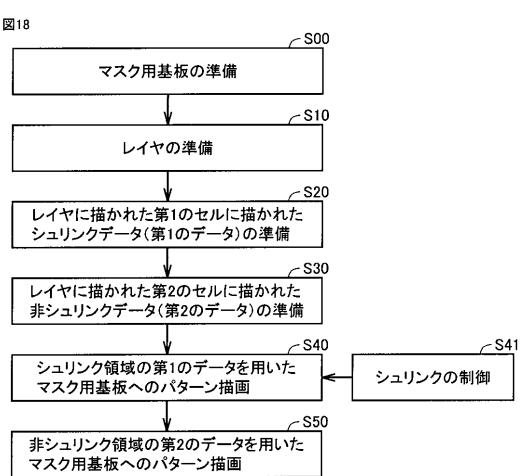
【図16】



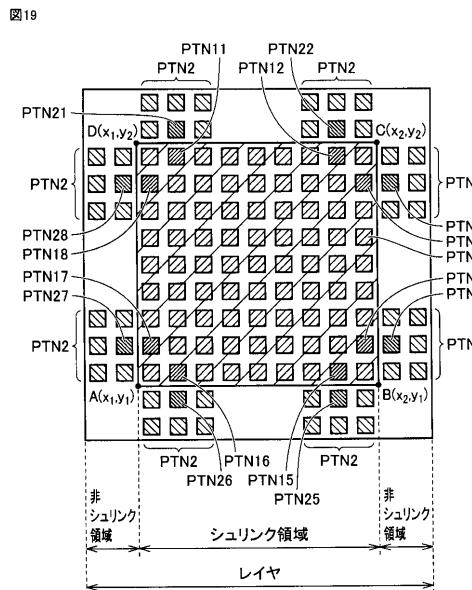
【図17】



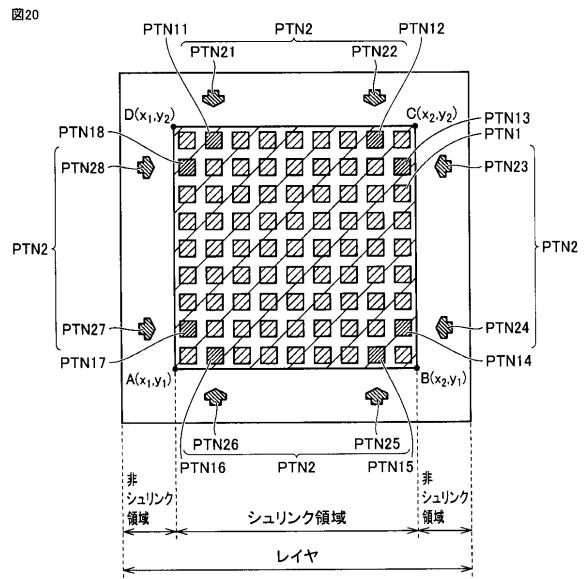
【図18】



【図19】



【図20】



【図21】

