



(12) 发明专利

(10) 授权公告号 CN 102598246 B

(45) 授权公告日 2016. 03. 16

(21) 申请号 201080049673. 6

H01L 27/088(2006. 01)

(22) 申请日 2010. 10. 07

H01L 29/786(2006. 01)

(30) 优先权数据

2009-249330 2009. 10. 29 JP

2010-012619 2010. 01. 22 JP

(56) 对比文件

CN 101335276 A, 2008. 12. 31,

JP 特开 2002-368226 A, 2002. 12. 20,

WO 2007/029844 A1, 2007. 03. 15,

US 4902637 A, 1990. 02. 20,

(85) PCT国际申请进入国家阶段日

2012. 04. 28

审查员 黎欣

(86) PCT国际申请的申请数据

PCT/JP2010/068103 2010. 10. 07

(87) PCT国际申请的公布数据

W02011/052396 EN 2011. 05. 05

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 钱孟清

(51) Int. Cl.

H01L 21/8234(2006. 01)

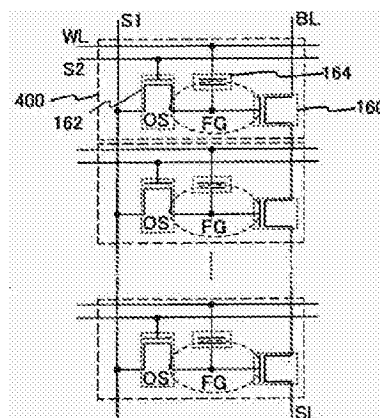
权利要求书5页 说明书36页 附图30页

(54) 发明名称

半导体器件

(57) 摘要

揭示了一种能够用作存储器件的半导体器件。存储器件包括多个存储单元，并且各个存储单元包含第一晶体管和第二晶体管。第一晶体管设置在包含半导体材料的衬底上并具有在衬底中的沟道形成区。第二晶体管具有氧化物半导体层。第一晶体管的栅电极与第二晶体管的源电极和漏电极中的一个彼此电连接。第二晶体管的极低的截止电流允许存储在存储单元中的数据即使在不供电的情况下也能保持相当长的时间。



1. 一种半导体器件,包括:  
包括在单晶硅衬底上的第一栅电极的单晶硅晶体管;  
所述单晶硅晶体管上的绝缘层;以及  
所述绝缘层上的第二晶体管,所述第二晶体管包括第二源电极、第二漏电极以及电连接到所述第二源电极和所述第二漏电极的氧化物半导体层,  
其中,所述第一栅电极与所述第二源电极和所述第二漏电极中的一个彼此电连接。
2. 如权利要求 1 所述的半导体器件,其特征在于,  
所述单晶硅晶体管包括在所述单晶硅衬底中的沟道形成区。
3. 如权利要求 1 所述的半导体器件,其特征在于,  
所述第二晶体管与所述单晶硅晶体管重叠。
4. 如权利要求 1 所述的半导体器件,其特征在于,还包括电连接到所述第一栅电极的电容器。
5. 一种包括存储单元的半导体器件,所述存储单元包括:  
包括在单晶硅衬底上的第一栅电极的单晶硅晶体管;  
所述单晶硅晶体管上的绝缘层;以及  
所述绝缘层上的第二晶体管,所述第二晶体管包括:  
第二栅电极;  
所述第二栅电极上的栅绝缘层;  
所述栅绝缘层上的氧化物半导体层;以及  
所述栅绝缘层上并与所述氧化物半导体层电连接的第二源电极和第二漏电极,  
其中,所述第一栅电极与所述第二源电极和所述第二漏电极中的一个彼此电连接。
6. 如权利要求 5 所述的半导体器件,其特征在于,  
所述单晶硅晶体管包括在所述单晶硅衬底中的沟道形成区。
7. 如权利要求 5 所述的半导体器件,其特征在于,  
所述第二晶体管与所述单晶硅晶体管重叠。
8. 如权利要求 5 所述的半导体器件,其特征在于,还包括电连接到所述第一栅电极的电容器。
9. 如权利要求 5 所述的半导体器件,其特征在于,还包括所述氧化物半导体层上的并与所述氧化物半导体层接触的保护绝缘层。
10. 如权利要求 5 所述的半导体器件,其特征在于,  
所述氧化物半导体层的顶表面与所述第二源电极和所述第二漏电极接触。
11. 如权利要求 5 所述的半导体器件,其特征在于,  
所述氧化物半导体层的底表面与所述第二源电极和所述第二漏电极接触。
12. 一种包括存储单元的半导体器件,所述存储单元包括:  
包括在单晶硅衬底上的第一栅电极的单晶硅晶体管;  
所述单晶硅晶体管上的层间绝缘层;以及  
第二晶体管,包括:  
所述层间绝缘层上的氧化物半导体层;  
所述氧化物半导体层上的栅绝缘层;

所述栅绝缘层上的第二栅电极 ;以及  
所述层间绝缘层上并与所述氧化物半导体层电连接的第二源电极和第二漏电极,  
其中,所述第一栅电极与所述第二源电极和所述第二漏电极中的一个彼此电连接。

13. 如权利要求 12 所述的半导体器件,其特征在于,  
所述单晶硅晶体管包括在所述单晶硅衬底中的沟道形成区。

14. 如权利要求 12 所述的半导体器件,其特征在于,  
还包括电连接到所述第一栅电极的电容器。

15. 如权利要求 12 所述的半导体器件,其特征在于,  
所述氧化物半导体层的顶表面与所述第二源电极和所述第二漏电极接触。

16. 如权利要求 12 所述的半导体器件,其特征在于,  
所述氧化物半导体层的底表面与所述第二源电极和所述第二漏电极接触。

17. 如权利要求 12 所述的半导体器件,其特征在于,  
所述第二晶体管与所述单晶硅晶体管重叠。

18. 如权利要求 12 所述的半导体器件,其特征在于,所述第二源电极和所述第二漏电极介于所述层间绝缘层和所述氧化物半导体层之间。

19. 一种制造半导体装置的方法,该方法包括以下步骤:

使用单晶硅衬底而形成单晶硅晶体管,该单晶硅晶体管包括第一栅电极、第一源电极以及第一漏电极;

在所述单晶硅晶体管上形成第一绝缘层 ;以及

在所述第一绝缘层上形成第二晶体管,该第二晶体管包括第二栅电极、第二源电极、第二漏电极以及接触于所述第二源电极和所述第二漏电极的氧化物半导体层,

其中所述第二源电极和第二漏电极中的一个电连接到所述第一栅电极。

20. 如权利要求 19 所述的方法,其特征在于,所述氧化物半导体层在加热所述单晶硅衬底的同时通过溅射法而形成。

21. 如权利要求 19 所述的方法,还包括加热第二晶体管中的氧化物半导体层的步骤。

22. 如权利要求 21 所述的方法,其特征在于,所述加热氧化物半导体层的步骤在 300°C 以上并且 750°C 以下的温度下进行。

23. 如权利要求 21 所述的方法,其特征在于,所述加热氧化物半导体层的步骤在从中去除水分和氢的气氛中进行。

24. 如权利要求 19 所述的方法,其特征在于,所述氧化物半导体层包括微晶,该微晶的 c 轴排列成垂直于所述单晶硅衬底的表面的方向。

25. 如权利要求 19 所述的方法,还包括在所述氧化物半导体层、所述第二源电极以及所述第二漏电极上形成与所述氧化物半导体、所述第二源电极以及所述第二漏电极接触的第二绝缘层的步骤,其中所述第二绝缘层包括选自氧化硅、氮化硅、氧氮化硅以及氮氧化硅中的材料。

26. 如权利要求 25 所述的方法,还包括在形成所述第二绝缘层之后加热所述氧化物半导体层的步骤。

27. 如权利要求 26 所述的方法,其特征在于,所述加热氧化物半导体层的步骤在 200°C 以上并且 400°C 以下的温度下进行。

28. 如权利要求 19 所述的方法,其特征在于,所述氧化物半导体层以 5nm 以上并且 30nm 以下的厚度形成。

29. 如权利要求 19 所述的方法,其特征在于,所述氧化物半导体层的氢浓度为  $5 \times 10^{19}$  原子/cm<sup>3</sup>以下。

30. 如权利要求 19 所述的方法,其特征在于,所述氧化物半导体层在从中去除包含氢的化合物的气体中形成。

31. 如权利要求 19 所述的方法,其特征在于,所述第二源电极和所述第二漏电极形成在所述氧化物半导体层上。

32. 如权利要求 19 所述的方法,其特征在于,所述氧化物半导体层形成在所述第二源电极和所述第二漏电极上。

33. 如权利要求 19 所述的方法,其特征在于,形成所述第二晶体管以使所述单晶硅晶体管的沟道长度方向垂直于所述第二晶体管的沟道长度方向。

34. 一种制造半导体装置的方法,该方法包括以下步骤:

使用单晶硅衬底而形成单晶硅晶体管,该单晶硅晶体管包括第一栅电极、第一源电极以及第一漏电极;

在所述单晶硅晶体管上形成第一绝缘层;以及

在所述第一绝缘层上形成第二晶体管,形成该第二晶体管的步骤包括:

在所述第一绝缘层中形成第二栅电极;

在所述第二栅电极上形成栅绝缘层;以及

在所述栅绝缘层上形成氧化物半导体层、第二源电极以及第二漏电极,该氧化物半导体层连接到所述第二源电极和所述第二漏电极。

35. 如权利要求 34 所述的方法,其特征在于,所述氧化物半导体层在加热所述单晶硅衬底的同时通过溅射法而形成。

36. 如权利要求 35 所述的方法,其特征在于,对所述单晶硅衬底的加热在 100°C 以上并且 600°C 以下的温度下进行。

37. 如权利要求 34 所述的方法,还包括加热所述第二晶体管中的氧化物半导体层的步骤。

38. 如权利要求 37 所述的方法,其特征在于,所述加热氧化物半导体层的步骤在 300°C 以上并且 750°C 以下的温度下进行。

39. 如权利要求 37 所述的方法,其特征在于,所述加热氧化物半导体层的步骤在从中去除水分和氢的气氛中进行。

40. 如权利要求 34 所述的方法,其特征在于,所述氧化物半导体层包括微晶,该微晶的 c 轴排列成垂直于所述单晶硅衬底的表面的方向。

41. 如权利要求 34 所述的方法,还包括在所述氧化物半导体层、所述第二源电极以及所述第二漏电极上形成与所述氧化物半导体、所述第二源电极以及所述第二漏电极接触的第二绝缘层的步骤,其中所述第二绝缘层包括选自氧化硅、氮化硅、氧氮化硅以及氮氧化硅中的材料。

42. 如权利要求 41 所述的方法,还包括在形成所述第二绝缘层之后加热所述氧化物半导体层的步骤。

43. 如权利要求 42 所述的方法,其特征在于,所述加热氧化物半导体层的步骤在 200°C 以上并且 400°C 以下的温度下进行。

44. 如权利要求 34 所述的方法,其特征在于,所述氧化物半导体层以 5nm 以上并且 30nm 以下的厚度形成。

45. 如权利要求 34 所述的方法,其特征在于,所述氧化物半导体层的氢浓度为  $5 \times 10^{19}$  原子/cm<sup>3</sup> 以下。

46. 如权利要求 34 所述的方法,其特征在于,所述形成氧化物半导体层的步骤在从中去除包含氢的化合物的气体中进行。

47. 如权利要求 34 所述的方法,其特征在于,所述第二源电极和所述第二漏电极形成在所述氧化物半导体层上。

48. 如权利要求 34 所述的方法,其特征在于,所述氧化物半导体层形成在所述第二源电极和所述第二漏电极上。

49. 如权利要求 34 所述的方法,其特征在于,形成所述第二晶体管以使所述单晶硅晶体管的沟道长度方向垂直于所述第二晶体管的沟道长度方向。

50. 一种制造半导体装置的方法,该方法包括以下步骤:

使用单晶硅衬底而形成单晶硅晶体管,该单晶硅晶体管包括第一栅电极、第一源电极以及第一漏电极;

在所述单晶硅晶体管上形成第一绝缘层;以及

在所述第一绝缘层上形成第二晶体管,形成该第二晶体管的步骤包括:

在所述第一绝缘层上形成第二栅电极;

在所述第二栅电极上形成栅绝缘层;以及

在所述栅绝缘层上形成氧化物半导体层、第二源电极以及第二漏电极,该氧化物半导体层连接到所述第二源电极和所述第二漏电极。

51. 如权利要求 50 所述的方法,其特征在于,所述氧化物半导体层在加热所述单晶硅衬底时通过溅射法而形成。

52. 如权利要求 51 所述的方法,其特征在于,对所述单晶硅衬底的加热在 100°C 以上并且 600°C 以下的温度下进行。

53. 如权利要求 50 所述的方法,还包括加热第二晶体管中的氧化物半导体层的步骤。

54. 如权利要求 53 所述的方法,其特征在于,所述加热氧化物半导体层的步骤在 300°C 以上并且 750°C 以下的温度下进行。

55. 如权利要求 53 所述的方法,其特征在于,所述加热氧化物半导体层的步骤在从中去除水分和氢的气氛中进行。

56. 如权利要求 50 所述的方法,其特征在于,所述氧化物半导体层包括微晶,该微晶的 c 轴排列成垂直于所述单晶硅衬底的表面的方向。

57. 如权利要求 50 所述的方法,还包括在所述氧化物半导体层、所述第二源电极以及所述第二漏电极上形成与所述氧化物半导体、所述第二源电极以及所述第二漏电极接触的第二绝缘层的步骤,其中所述第二绝缘层包括选自氧化硅、氮化硅、氧氮化硅以及氮氧化硅中的材料。

58. 如权利要求 57 所述的方法,还包括在形成所述第二绝缘层之后加热所述氧化物半

导体层的步骤。

59. 如权利要求 58 所述的方法,其特征在于,所述加热氧化物半导体层的步骤在 200°C 以上并且 400°C 以下的温度下进行。

60. 如权利要求 50 所述的方法,其特征在于,所述氧化物半导体层以 5nm 以上并且 30nm 以下的厚度形成。

61. 如权利要求 50 所述的方法,其特征在于,所述氧化物半导体层的氢浓度为  $5 \times 10^{19}$  原子/cm<sup>3</sup> 以下。

62. 如权利要求 50 所述的方法,其特征在于,所述形成氧化物半导体层的步骤在从中去除包含氢的化合物的气体中进行。

63. 如权利要求 50 所述的方法,其特征在于,所述第二源电极和所述第二漏电极形成在所述氧化物半导体层上。

64. 如权利要求 50 所述的方法,其特征在于,所述氧化物半导体层形成在所述第二源电极和所述第二漏电极上。

65. 如权利要求 50 所述的方法,其特征在于,形成所述第二晶体管以使所述单晶硅晶体管的沟道长度方向垂直于所述第二晶体管的沟道长度方向。

## 半导体器件

### 技术领域

[0001] 本文所揭示的发明涉及使用半导体元件的半导体器件、以及用于制造半导体器件的方法。

### 背景技术

[0002] 使用半导体元件的存储器件被宽泛地分成两类：当停止供电时丢失所存储数据的易失性器件、以及即使在不供电时也保持所存储数据的非易失性器件。

[0003] 易失性存储元件的典型示例是 DRAM（动态随机存取存储器）。DRAM 以选择存储元件中所包括的晶体管，并且电荷被存储在电容器中的方式存储数据。

[0004] 当从 DRAM 读取数据时，电容器中的电荷根据上述原理而丢失；由此，每当读出数据时就必需进行另一写入操作。此外，存储元件中所包括的晶体管具有漏电流，并且电荷即使在不选择晶体管时也流入或流出电容器，从而数据保持时间较短。由此，另一写入操作（刷新操作）以预定间隔进行是必要的，并且难以充分地降低功耗。此外，由于所存储数据在停止供电时丢失，因此需要使用磁性材料或光学材料的附加存储元件以使数据保持较长时间。

[0005] 易失性存储元件的另一示例是 SRAM（静态随机存取存储器）。SRAM 通过使用诸如触发器之类的电路来保持所存储数据，并且由此不需要刷新操作。这意味着 SRAM 具有优于 DRAM 的优点。然而，由于使用诸如触发器之类的电路，每存储容量的成本增大。此外，如在 DRAM 中，SRAM 中的所存储数据在停止供电时丢失。

[0006] 非易失性存储元件的典型示例是闪存。闪存包括晶体管中的栅电极和沟道形成区之间的浮动栅，并且通过将电荷保持在浮动栅中来存储数据。因此，闪存的优点在于，数据保持时间极长（几乎是永久的），并且不需要在易失性存储器件中是必要的刷新操作（例如，参见专利文献 1）。

[0007] 然而，存储元件中所包括的栅绝缘层因写入时所生成的隧穿电流而劣化，从而存储元件在多次写入操作之后停止其功能。为了避免该问题，例如采用补偿对存储元件的写入操作的次数的方法。然而，额外需要复杂的辅助电路来实现该方法。此外，采用这种方法不解决寿命的基本问题。换句话说，闪存不适合于其中频繁地重写数据的应用。

[0008] 另外，高电压对于将电荷注入至浮动栅或去除电荷是必要的。此外，要花费相对较长的时间来注入或去除电荷，并且不易以更高的速度执行写入和擦除。

[0009] [参考文献]

[0010] 专利文献 1：日本公开专利申请 No. S57-105889

### 发明内容

[0011] 鉴于上述问题，本文所揭示发明的一个实施例的目的在于提供具有新颖结构的半导体器件，其中即使在不供电时也可保持所存储数据，且其中对于写入的次数没有限制。

[0012] 本发明的一个实施例是一种半导体器件，其具有使用氧化物半导体形成的晶体管

和使用非氧化物半导体的材料形成的晶体管的分层结构。例如可采用以下结构。

[0013] 本发明的实施例是一种半导体器件,其包括第一线(源极线);第二线(位线);第三线(第一信号线);第四线(第二信号线);具有第一栅电极、第一源电极和第一漏电极的第一晶体管;以及具有第二栅电极、第二源电极和第二漏电极的第二晶体管。第一晶体管设置在包含半导体材料的衬底上。第二晶体管包括氧化物半导体层。第一栅电极与第二源电极和第二漏电极之一彼此电连接。第一线(源极线)与第一源电极彼此电连接。第二线(位线)与第一漏电极彼此电连接。第三线(第一信号线)与第二源电极和第二漏电极中的另一个彼此电连接。第四线(第二信号线)与第二栅电极彼此电连接。

[0014] 在上述结构中,第一晶体管包括设置在包含半导体材料的衬底上的沟道形成区;设置成夹持沟道形成区的杂质区;沟道形成区上的第一栅绝缘层;第一栅绝缘层上的第一栅电极;以及电连接至杂质区的第一源电极和第一漏电极。

[0015] 在上述结构中,第二晶体管包括在包含半导体材料的衬底上的第二栅电极;第二栅电极上的第二栅绝缘层;第二栅绝缘层上的氧化物半导体层;以及电连接至氧化物半导体层的第二源电极和第二漏电极。

[0016] 在上述结构中,包含半导体材料的衬底优选是单晶半导体衬底或 SOI 衬底。具体而言,半导体材料优选为硅。

[0017] 在上述结构中,氧化物半导体层优选包含 In-Ga-Zn-O 基氧化物半导体材料。具体而言,氧化物半导体层优选包含  $\text{In}_2\text{Ga}_2\text{ZnO}_7$  晶体。此外,氧化物半导体层的氢浓度优选为小于或等于  $5 \times 10^{19}$  原子/cm<sup>3</sup>。第二晶体管的截止电流优选为小于或等于  $1 \times 10^{-13}$  A,更优选为小于或等于  $1 \times 10^{-20}$  A。

[0018] 在上述结构中,第二晶体管可设置在与第一晶体管重叠的区域中。

[0019] 注意,在本说明书中,诸如“上”或“下”之类的术语不一定是指组件直接置于另一组件上或直接置于另一组件下。例如,表述“栅绝缘层上的第一栅电极”不排除有组件置于栅绝缘层和栅电极之间的情况。此外,诸如“上”和“下”之类的术语只是为了方便描述,并且可包括组件的位置关系颠倒的情况,除非另外指明。

[0020] 另外,在本说明书中,诸如“电极”或“线”之类的术语不限制组件的功能。例如,“电极”有时用作“线”的一部分,反之亦然。此外,术语“电极”或“线”可包括以集成的方式形成多个“电极”或“线”的情况。

[0021] 例如,当使用相反极性的晶体管时、或当在电路操作中改变电流流动方向时,“源极”和“漏极”的功能有时可彼此替代。因此,在本说明书等中,术语“源极”和“漏极”可彼此替代。

[0022] 要注意,在本说明书中,术语“电连接”包括组件通过具有任何电功能的物体连接的情况。对具有任何电功能的物体没有具体限制,只要可在通过该物体连接的组件之间发射和接收电信号。

[0023] 具有任何电功能的物体的示例是诸如晶体管之类的开关元件、电阻器、电感器、电容器、和具有各种功能的元件、以及电极和线。

[0024] 一般而言,术语“SOI 衬底”是指其中硅半导体层设置在绝缘表面上的衬底。在本说明书中,术语“SOI 衬底”在其范畴内还包括其中使用除硅以外的材料形成的半导体层设置在绝缘表面上的衬底。即,“SOI 衬底”中所包括的半导体层不限于硅半导体层。“SOI 衬



底”中的衬底不限于诸如硅晶片之类的半导体衬底,并且可以是诸如玻璃衬底、石英衬底、蓝宝石衬底、或金属衬底之类的非半导体衬底。换句话说,“SOI 衬底”在其范畴内还包括具有绝缘表面的导电衬底或设置有由半导体材料形成的层的绝缘衬底。另外,在本说明书中,术语“半导体衬底”不仅指只使用半导体材料形成的衬底,而且指包含半导体材料的所有衬底。即,在本说明书中,“SOI 衬底”也被包括在“半导体衬底”的范畴内。

[0025] 本发明的一个实施例提供一种半导体器件,其中包含除氧化物半导体以外的材料的晶体管置于下部,而包含氧化物半导体的晶体管置于上部。

[0026] 由于包含氧化物半导体的晶体管的截止电流极低,因此通过使用该晶体管可保持所存储数据达极长时间。换言之,可显著地降低功耗,因为刷新操作变得不必要,或者刷新操作的频率可极低。此外,即使在不供电时,也可保持所存储数据达较长时间。

[0027] 此外,无需高电压来写入数据,并且元件的劣化是可忽略的。此外,通过在晶体管的导通状态和截止状态之间的切换来写入数据,由此可容易地实现高速操作。此外,由于可通过控制对晶体管的电位输入来重写数据,因此无需擦除数据的操作,这是另一优点。

[0028] 由于包含除氧化物半导体外的材料的晶体管可以高于包含氧化物半导体的晶体管的速度操作,因此通过使用该晶体管可以高速读出所存储数据。

[0029] 具有新颖特征的半导体器件可通过包括包含除氧化物半导体以外的材料的晶体管、以及包含氧化物半导体的晶体管两者来实现。

[0030] 附图简述

[0031] 在附图中:

[0032] 图 1 是半导体器件的电路图;

[0033] 图 2A 和 2B 是用于示出半导体器件的截面图和平面图;

[0034] 图 3A 到 3H 是示出用于制造半导体器件的步骤的截面图;

[0035] 图 4A 到 4G 是示出用于制造半导体器件的步骤的截面图;

[0036] 图 5A 到 5D 是示出用于制造半导体器件的步骤的截面图;

[0037] 图 6 是半导体器件的截面图;

[0038] 图 7A 和 7B 是各自示出半导体器件的截面图;

[0039] 图 8A 和 8B 是各自示出半导体器件的截面图;

[0040] 图 9A 和 9B 是各自示出半导体器件的截面图;

[0041] 图 10A 至 10F 各自示出电子设备;

[0042] 图 11 是包含氧化物半导体的倒交错晶体管的截面图;

[0043] 图 12A 和 12B 是图 11 中的截面 A-A' 的能带图(示意图);

[0044] 图 13A 示出正电位(+V<sub>G</sub>)被施加到栅极(GE1)的状态,而图 13B 示出负电位(-V<sub>G</sub>)被施加到栅极(GE1)的状态;以及

[0045] 图 14 示出真空能级、金属的功函数( $\phi_M$ )、以及氧化物半导体的电子亲和性( $\chi$ )之间的关系;

[0046] 图 15A 和 15B 是半导体器件的电路图;

[0047] 图 16 是半导体器件的电路图;

[0048] 图 17A 和 17B 是半导体器件的电路图;

[0049] 图 18A 至 18C 是半导体器件的电路图;

- [0050] 图 19 是半导体器件的电路图；
- [0051] 图 20 是用于示出电位的关系的时序图；
- [0052] 图 21 是半导体器件的电路图；
- [0053] 图 22A 和 22B 是用于示出半导体器件的截面图和平面图；
- [0054] 图 23A 至 23D 是示出半导体器件的截面图；
- [0055] 图 24A 至 24C 是示出半导体器件的截面图；
- [0056] 图 25 是示出包含氧化物半导体的晶体管的特性的曲线图；
- [0057] 图 26 是用于评估包含氧化物半导体的晶体管的特性的电路图；
- [0058] 图 27 是用于评估包含氧化物半导体的晶体管的特性的时序图；
- [0059] 图 28 是示出包含氧化物半导体的晶体管的特性的曲线图；
- [0060] 图 29 是示出包含氧化物半导体的晶体管的特性的曲线图；以及
- [0061] 图 30 是示出包含氧化物半导体的晶体管的特性的曲线图。
- [0062] 图 31 是示出存储器窗宽度的评估结果的曲线图。

[0063] 用于实现本发明的最佳模式

[0064] 以下将参考附图描述本发明的实施例的示例。注意，本发明不限于以下描述，而且本领域技术人员容易理解，本文公开的模式和细节可以各种方式修改，而不背离本发明的范围和精神。因此，本发明不被解释为限于本文所包括的诸实施例的内容。

[0065] 注意，为了容易理解，附图所示的各个结构的位置、尺寸、范围等在一些情况下未准确地表示。因此，本发明的实施例不一定限于附图中所揭示的该位置、尺寸、范围等。

[0066] 在本说明书中，为了避免组件之间的混淆使用诸如“第一”、“第二”和“第三”的序数，并且这些术语并不意味组件数量的限制。

[0067] (实施例 1)

[0068] 在本实施例中，将参考图 1、图 2A 和 2B、图 3A 到 3H、图 4A 到 4G、图 5A 到 5D、图 6、图 7A 和 7B、图 8A 和 8B 以及图 9A 和 9B 来描述根据本文所揭示发明的一个实施例的半导体器件的结构和制造方法。

[0069] < 半导体器件的电路构造 >

[0070] 图 1 示出半导体器件的电路构造的示例。半导体器件包括使用除氧化物半导体之外的材料（如，硅）形成的晶体管 160 以及使用氧化物半导体形成的晶体管 162。注意，在以下描述中，在某些情况下将图 1 所示的半导体器件称为存储单元。

[0071] 此处，晶体管 160 的栅电极电连接至晶体管 162 的源电极和漏电极中的一个。第一线（也称为源极线 SL）电连接至晶体管 160 的源电极。第二线（也称为位线 BL）电连接至晶体管 160 的漏电极。第三线（也称为第一信号线）电连接至晶体管 162 的源电极和漏电极中的另一个。第四线（也称为第二信号线）电连接至晶体管 162 的栅电极。

[0072] 由于包含除氧化物半导体外的材料的晶体管 160 可以高于包含氧化物半导体的晶体管的速度操作，因此通过使用该晶体管 160 可以高速读出所存储数据。此外，包含氧化物半导体的晶体管 162 具有超低的截止电流。由于这些原因，可通过使晶体管 162 截止来将晶体管 160 的栅电极的电位保持极长时间。此外，在包含氧化物半导体的晶体管 162 中，不会发生短沟道效应，这是另一个优点。

[0073] 使用可保持栅电极的电位的优点，可用以下方式来执行数据的写入、保持和读取。

[0074] 首先,将描述数据的写入和保持。首先,将第四线的电位设定为使晶体管 162 导通电位,并使晶体管 162 导通。因此,将第三线的电位供应至晶体管 160 的栅电极(写入)。之后,将第四线的电位设定为使晶体管 162 截止的电位,并使晶体管 162 截止,由此保持晶体管 160 的栅电极的电位(保持)。

[0075] 由于晶体管 162 的截止电流极低,因此晶体管 160 的栅电极的电位被保持较长时间。例如,当晶体管 160 的栅电极的电位是使晶体管 160 导通电位时,晶体管 160 的导通状态保持较长时间。此外,当晶体管 160 的栅电极的电位是使晶体管 160 截止的电位时,晶体管 160 的截止状态保持较长时间。

[0076] 其次,将描述数据的读取。当在如上所述地保持晶体管 160 的导通状态或截止状态的状态下将预定电位(低电位)供应至第一线时,第二线的电位取决于晶体管 160 的导通状态或截止状态而变化。例如,当晶体管 160 导通时,第二线的电位在第一线的电位的影响下变得较低。相反,当晶体管 160 截止时,第二线的电位不改变。

[0077] 以这种方式,在保持数据的状态下将第二线的电位与预定电位彼此比较,由此可读出数据。

[0078] 再次,将描述数据的重写。数据的重写以与数据的写入和保持相似的方式执行。即,将第四线的电位设定为使晶体管 162 导通电位,并使晶体管 162 导通。由此,将第三线的电位(新数据的电位)供应至晶体管 160 的栅电极。之后,将第四线的电位设定为使晶体管 162 截止的电位,并使晶体管 162 截止,由此存储新数据。

[0079] 在根据本文所揭示发明的半导体器件中,可通过如上所述的另一数据写入来直接重写数据。由于该原因,不需要对闪存等必要的擦除操作,从而可防止由擦除操作造成的操作速度的降低。换言之,可实现半导体器件的高速操作。

[0080] 由于用于写入的包含氧化物半导体的晶体管 162 的截止电流极低,因此晶体管 160 的栅电极的电位被保持较长时间。因此,例如,常规 DRAM 所需的刷新操作可以是不必要的,或者刷新操作的频率可相当低(例如,约一个月或一年一次)。因此,根据所揭示发明的半导体器件基本上具有非易失性存储器件的特征。

[0081] 此外,在所揭示发明的半导体器件中,与常规 DRAM 不同,在读取数据时数据不丢失;因此,在每次读取操作中不必重写数据。如上所述,与 DRAM 相比,数据写入的频率可显著降低,这实现了功耗的充分降低。

[0082] 此外,对于根据所揭示发明的半导体器件,可通过将新数据盖写至半导体器件来直接重写数据。因此,不需要对闪存等来说必要的擦除操作,并且可抑制由擦除操作引起的操作速度的降低。换言之,可实现半导体器件的高速操作。此外,对于常规浮动栅晶体管写入和擦除数据必要的高电压并非是必需的;由此,可进一步降低半导体器件的功耗。

[0083] 根据所揭示发明的半导体器件可包括至少写入晶体管和读取晶体管;因此,与每个存储单元中需要六个晶体管的 SRAM 等相比,每个存储单元的面积可足够小。换言之,每个半导体器件可以高密度排列。

[0084] 在常规浮动栅晶体管中,在写入操作期间电荷在栅绝缘膜(隧道绝缘膜)中行进,从而无法避免栅绝缘膜(隧道绝缘膜)的劣化。相反,在根据本发明一实施例的存储单元中,通过写入晶体管的开关操作来写入数据;因此,通常被视为是问题的栅绝缘膜的劣化可被忽略。这意味着原则上对写入的次数没有限制,并且写入耐久性很高。例如,即使在数据

写入  $1 \times 10^9$  次或以上 (10 亿次或以上) 之后, 电流 - 电压特性也不会退化。

[0085] 注意, 用于写入的包含氧化物半导体的晶体管 162 的场效应迁移率在导通状态下为大于或等于  $3\text{cm}^2/\text{Vs}$  且小于或等于  $250\text{cm}^2/\text{Vs}$ , 优选为大于或等于  $5\text{cm}^2/\text{Vs}$  且小于或等于  $200\text{cm}^2/\text{Vs}$ , 更优选为大于或等于  $10\text{cm}^2/\text{Vs}$  且小于或等于  $150\text{cm}^2/\text{Vs}$ 。此外, 包含氧化物半导体的晶体管的亚阈值摆幅 (S 值) 设定为小于或等于  $0.1\text{V}/\text{dec.}$ 。通过使用这种晶体管, 数据写入所需的时间可足够短。

[0086] 用于写入的包含氧化物半导体的晶体管 162 的沟道长度 L 优选为大于或等于  $10\text{nm}$  且小于或等于  $400\text{nm}$ 。利用这种沟道大小, 可获得诸如晶体管的高速操作、低功耗和高集成度之类的各种效果。

[0087] 注意, 包含结晶硅的晶体管优选用于读取的晶体管 160。具体而言, 就加快读取操作的速度而言, 优选使用包含单晶硅的 n 沟道晶体管。这种单晶硅晶体管可使用例如体硅 (所谓的硅晶片) 来形成。

[0088] 注意, 以上描述中使用 n 沟道晶体管; 毋庸赘言, 可使用 p 沟道晶体管来代替 n 沟道晶体管。

[0089] < 半导体器件的平面结构和截面结构 >

[0090] 图 2A 和 2B 示出半导体器件的结构示例。图 2A 示出半导体器件的截面, 而图 2B 示出半导体器件的平面图。在此, 图 2A 对应于沿图 2B 中的线 A1-A2 和线 B1-B2 的截面。图 2A 和 2B 中所示的半导体器件包括在下部的包含氧化物半导体之外的材料的晶体管 160 和在上部的包含氧化物半导体的晶体管 162。注意, 在此晶体管 160 和 162 是 n 沟道晶体管; 或者, 可使用 p 沟道晶体管。具体而言, 很容易使用 p 沟道晶体管作为晶体管 160。

[0091] 晶体管 160 包括设置在包含半导体材料的衬底 100 中的沟道形成区 116、设置成夹持沟道形成区 116 的杂质区 114 和高浓度杂质区 120 (这两个区域可简单地统称为杂质区)、设置在沟道形成区 116 上的栅绝缘层 108、设置在栅绝缘层 108 上的栅电极 110、以及电连接到杂质区 114 的源电极或漏电极 (在下文中称为源电极 / 漏电极) 130a 和源电极 / 漏电极 130b。

[0092] 侧壁绝缘层 118 设置在栅电极 110 的侧表面上。如截面图中所示, 高浓度杂质区 120 置于衬底 100 的不与侧壁绝缘层 118 重叠的区域中。金属化合物区 124 置于高浓度杂质区 120 上。元件隔离绝缘层 106 设置在衬底 100 上以包围晶体管 160。层间绝缘层 126 和层间绝缘层 128 被设置成覆盖晶体管 160。源电极 / 漏电极 130a 以及源电极 / 漏电极 130b 各自通过在层间绝缘层 126 和 128 中形成的开口电连接到金属化合物区 124。即, 源电极 / 漏电极 130a 和 130b 各自通过金属化合物区 124 电连接到高浓度杂质区 120 和杂质区 114。以类似于源电极 / 漏电极 130a 和 130b 的方式形成的电极 130c 电连接到栅电极 110。

[0093] 晶体管 162 包括设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅绝缘层 138、设置在栅绝缘层 138 上的氧化物半导体层 140、以及设置在氧化物半导体层 140 上且电连接到氧化物半导体层 140 的源电极 / 漏电极 142a 和源电极 / 漏电极 142b。

[0094] 在此, 栅电极 136d 被设置成嵌入在层间绝缘层 128 上形成的绝缘层 132。类似于栅电极 136d, 电极 136a、电极 136b、以及电极 136c 被形成为分别与源电极 / 漏电极 130a、源电极 / 漏电极 130b、以及电极 130c 接触。

[0095] 保护绝缘层 144 设置在晶体管 162 上,从而与氧化物半导体层 140 的一部分接触。层间绝缘层 146 设置在保护绝缘层 144 上。在保护绝缘层 144 和层间绝缘层 146 中形成到达源电极 / 漏电极 142a 以及源电极 / 漏电极 142b 的开口。电极 150d 和电极 150e 被形成为分别通过相应开口与源电极 / 漏电极 142a 和源电极 / 漏电极 142b 接触。类似于电极 150d 和电极 150e, 电极 150a、电极 150b、以及电极 150c 被形成为分别通过设置在栅绝缘层 138、保护绝缘层 144、以及层间绝缘层 146 中的开口与电极 136a、电极 136b、以及电极 136c 接触。

[0096] 在此,氧化物半导体层 140 优选是其中充分去除诸如氢之类的杂质的高度提纯的氧化物半导体层。具体地,氧化物半导体层 140 中的氢浓度为小于或等于  $5 \times 10^{19}$  原子 /  $\text{cm}^3$ 、优选为小于或等于  $5 \times 10^{18}$  原子 /  $\text{cm}^3$ 、更优选为小于或等于  $5 \times 10^{17}$  原子 /  $\text{cm}^3$ 。与载流子浓度约为  $1 \times 10^{14} / \text{cm}^3$  的一般硅晶片 (添加有诸如微量的磷或硼之类的杂质的硅晶片) 相比,这种极低的氢浓度导致足够低的载流子浓度 (例如,小于  $1 \times 10^{12} / \text{cm}^3$  或小于  $1.45 \times 10^{10} / \text{cm}^3$ )。利用通过充分降低氢浓度来高度提纯并成为本征 (i 型) 或基本本征 (i 型) 的氧化物半导体,可获得具有显著优异的截止电流特性的晶体管 162。例如,室温 (25°C) 下晶体管 162 的截止电流 (在此为每单位沟道宽度 (1  $\mu\text{m}$ ) 为小于或等于  $10\text{zA} / \mu\text{m}$  ( $1\text{zA}$  (仄普托安培) 是  $1 \times 10^{-21}\text{A}$ ), 优选为小于或等于  $1\text{zA} / \mu\text{m}$ 。在 85°C 晶体管 162 的截止电流为小于或等于  $100\text{zA} / \mu\text{m}$  ( $1 \times 10^{-19}\text{A} / \mu\text{m}$ ), 优选为小于或等于  $10\text{zA} / \mu\text{m}$  ( $1 \times 10^{-20}\text{A} / \mu\text{m}$ )。使用通过充分降低氢浓度而成为本征或基本本征的氧化物半导体层 140 以使晶体管 162 的截止电流减小,由此可实现具有新颖结构的半导体器件。注意,氧化物半导体层 140 中的氢浓度通过二次离子质谱法 (SIMS) 来测量。

[0097] 绝缘层 152 设置在层间绝缘层 146 上。设置电极 154a、电极 154b、电极 154c 以及电极 154d 以嵌入绝缘层 152 中。电极 154a 与电极 150a 接触。电极 154b 与电极 150b 接触。电极 154c 与电极 150c 和电极 150d 接触。电极 154d 与电极 150e 接触。

[0098] 即,在图 2A 和 2B 所示的半导体器件中,晶体管 160 的栅电极 110 与晶体管 162 的源电极 / 漏电极 142a 经由电极 130c、136c、150c、154c 和 150d 电连接。

[0099] < 用于制造半导体器件的方法 >

[0100] 接着,将描述用于制造半导体器件的方法的示例。首先,以下将参考图 3A 到 3H 描述用于制造下部的晶体管 160 的方法,然后将参考图 4A 到 4G 和图 5A 到 5D 描述用于制造上部的晶体管 162 的方法。

[0101] < 用于制造下部晶体管的方法 >

[0102] 首先,制备包含半导体材料的衬底 100 (参见图 3A)。可使用由硅、碳化硅等制成的单晶半导体衬底或多晶半导体衬底、由硅锗等制成的化合物半导体衬底、SOI 衬底等作为包含半导体材料的衬底 100。在此,描述使用单晶硅衬底作为包含半导体材料的衬底 100 的示例。

[0103] 在衬底 100 上形成用作用于形成元件隔离绝缘层的掩模的保护层 102 (参见图 3A)。例如,可使用利用氧化硅、氮化硅、氮氧化硅等形成的绝缘层作为保护层 102。注意,在该步骤之前或之后,可将赋予 n 型导电性的杂质元素或者赋予 p 型导电性的杂质元素添加到衬底 100 以控制晶体管的阈值电压。当衬底 100 中包含的半导体材料是硅时,可使用磷、砷等作为赋予 n 型导电性的杂质。可使用硼、铝、镓等作为赋予 p 型导电性的杂质。

[0104] 接着,通过使用保护层 102 作为掩模来蚀刻,去除衬底 100 在未被保护层 102 覆盖的区域中(即,露出区域中)的部分。由此,形成隔离的半导体区 104(参见图 3B)。作为蚀刻,优选执行干法蚀刻,但是可执行湿法蚀刻。可根据要蚀刻的层的材料来适当地选择蚀刻气体和蚀刻剂。

[0105] 然后,绝缘层被形成为覆盖半导体区 104,并且选择性地去除与半导体区 104 重叠的区域中的绝缘层,从而形成元件隔离绝缘层 106(参见图 3B)。使用氧化硅、氮化硅、氮氧化硅等形成绝缘层。可采用蚀刻处理和抛光处理(诸如 CMP)中的任一种作为用于去除绝缘层的方法。注意,在形成半导体区 104 之后或者在形成元件隔离绝缘层 106 之后,去除保护层 102。

[0106] 接着,在半导体区 104 上形成绝缘层,并且在该绝缘层上形成包含导电材料的层。

[0107] 由于绝缘层稍后用作栅绝缘层,因此绝缘层优选具有使用通过 CVD 法、溅射法等形成的包含氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、氧化钽等的膜的单层结构或分层结构。替换地,绝缘层可以通过高密度等离子体处理或热氧化处理来氧化或氮化半导体区 104 的表面的方式来形成。例如,可使用诸如 He、Ar、Kr、或 Xe 之类的稀有气体、以及诸如氧、氧化氮、氨、氮、或氢之类的气体的混合气体来执行高密度等离子体处理。对绝缘层的厚度没有具体限制;例如,绝缘层的厚度可以大于或等于 1nm 且小于或等于 100nm。

[0108] 可使用诸如铝、铜、钛、钽、或钨之类的金属材料来形成包含导电材料的层。可使用诸如包含导电材料的多晶硅之类的半导体材料来形成包含导电材料的层。对用于形成包含导电材料的层的方法没有具体限制,并且可采用各种膜形成方法,诸如蒸镀法、CVD 法、溅射法、或旋涂法。注意,本实施例示出其中使用金属材料来形成包含导电材料的层的情况的示例。

[0109] 此后,选择性地蚀刻绝缘层以及包含导电材料的层,从而形成栅绝缘层 108 和栅电极 110(参见图 3C)。

[0110] 接着,形成覆盖栅电极 110 的绝缘层 112(见图 3C)。然后,通过将磷(P)、砷(As)等添加到半导体区 104 来形成相对于衬底 100 具有浅结深度的杂质区 114(参见图 3C)。注意,此处添加了磷或砷以形成 n 沟道晶体管;在形成 p 沟道晶体管的情况下,可添加诸如硼(B)或铝(Al)之类的杂质元素。通过形成杂质区 114,在栅绝缘层 108 下的半导体区 104 中形成沟道形成区 116(参见图 3C)。在此,可适当地设置所添加杂质的浓度;该浓度优选在半导体元件的尺寸极大地减小时增加。在此采用其中在形成绝缘层 112 之后形成杂质区 114 的步骤;或者,可在形成杂质区 114 之后形成绝缘层 112。

[0111] 接着,形成侧壁绝缘层 118(参见图 3D)。形成绝缘层以覆盖绝缘层 112,然后该绝缘层经受高度各向异性的蚀刻,由此可以自对准方式形成侧壁绝缘层 118。此时,优选部分地蚀刻绝缘层 112,以露出栅电极 110 的顶表面和杂质区 114 的顶表面。

[0112] 接着,形成绝缘层以覆盖栅电极 110、杂质区 114、侧壁绝缘层 118 等。接着,将磷(P)、砷(As)等添加到其中绝缘层与杂质区 114 接触的区域,从而形成高浓度杂质区 120(参见图 3E)。接着,去除绝缘层,且形成金属层 122 以覆盖栅电极 110、侧壁绝缘层 118、高浓度杂质区 120 等(见图 3E)。可采用诸如真空蒸镀法、溅射法、或旋涂法之类的各种膜形成方法来形成金属层 122。金属层 122 优选使用与半导体区 104 中所包括的半导体材料反应以成为低电阻金属化合物的金属材料来形成。这种金属材料的示例是钛、钽、钨、镍、

钴、以及铂。

[0113] 接着,执行热处理以使金属层 122 与半导体材料反应。由此,形成与高浓度杂质区 120 接触的金属化合物区 124(参见图 3F)。注意,当使用多晶硅等来形成栅电极 110 时,同样在栅电极 110 与金属层 122 接触的区域中形成金属化合物区。

[0114] 例如,可采用闪光灯的照射来作为热处理。虽然毋庸赘言可使用另一种热处理方法,但是优选使用可实现极短时间热处理的方法,从而改进在形成金属化合物时的化学反应的可控性。注意,金属化合物区通过金属材料 and 半导体材料的反应形成,并且具有足够高的导电性。金属化合物区的形成可适当地减小电阻,并且改进元件特性。注意,在形成金属化合物区 124 之后,去除金属层 122。

[0115] 然后,形成层间绝缘层 126 和层间绝缘层 128 以覆盖在以上步骤中形成的组件(参见图 3G)。可使用包含无机绝缘材料(诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、或氧化钽)的材料来形成层间绝缘层 126 和 128。此外,可使用诸如聚酰亚胺或丙烯酸树脂之类的有机绝缘材料来形成层间绝缘层 126 和 128。注意,在此采用层间绝缘层 126 和层间绝缘层 128 的双层结构;然而,层间绝缘层的结构不限于该结构。在形成层间绝缘层 128 之后,优选通过 CMP、蚀刻等来使层间绝缘层 128 的表面平面化。

[0116] 然后,在层间绝缘层 126 和 128 中形成到达金属化合物区 124 的开口,并且在开口中形成源电极/漏电极 130a 以及源电极/漏电极 130b(参见图 3H)。源电极/漏电极 130a 和 130b 可用例如以下方式形成:在包括开口的区域中通过 PVD 法、CVD 法形成导电层、并且随后通过蚀刻、CMP 等来去除导电层的一部分。

[0117] 注意,在通过去除导电层的一部分来形成源电极/漏电极 130a 和 130b 的情况下,优选执行该工艺以使表面平面化。例如,当在包括开口的区域中形成钛薄膜或氮化钛薄膜、并且随后形成钨膜以嵌入开口中时,可去除过量的钨、钛、氮化钛等,并且可通过后续的 CMP 来改进表面的平面度。以这种方式使包括源电极/漏电极 130a 和 130b 的表面平面化,从而可在后来的步骤中顺利地形成电极、布线、绝缘层、半导体层等。

[0118] 注意,在此仅示出与金属化合物区 124 接触的源电极/漏电极 130a 和 130b;然而,在该步骤中也可形成与栅电极 110 接触的电极(例如,图 2A 中的电极 130c)等。对于源电极/漏电极 130a 和 130b 的材料没有具体限制,并且可使用各种导电材料。例如,可使用诸如钼、钛、铬、钽、钨、铝、铜、钨、或钽之类的导电材料。

[0119] 通过以上步骤,形成使用包含半导体材料的衬底 100 的晶体管 160。注意,可在以上步骤之后进一步形成电极、布线、绝缘层等。当布线具有包括层间绝缘层和导电层的分层结构的多层结构时,可提供高度集成的半导体器件。

[0120] <用于制造上部晶体管的方法>

[0121] 接着,将参考图 4A 至 4G 以及图 5A 至 5D 来描述用于制造层间绝缘层 128 上的晶体管 162 的步骤。注意,图 4A 至 4G 以及图 5A 至 5D 示出用于制造层间绝缘层 128 上的电极、晶体管 162 等的步骤;因此,省略置于晶体管 162 下的晶体管 160 等。

[0122] 首先,在层间绝缘层 128、源电极/漏电极 130a 和 130b、以及电极 130c 上形成绝缘层 132(参见图 4A)。绝缘层 132 可通过 PVD 法、CVD 法形成。可使用包括无机绝缘材料(诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、或氧化钽)的材料来形成绝缘层 132。

[0123] 接着,在绝缘层 132 中形成到达源电极/漏电极 130a 和 130b 以及电极 130c 的开口

口。此时,同样在稍后要形成栅电极 136d 的区域中形成开口。然后,形成导电层 134 以嵌入这些开口中(参见图 4B)。这些开口可通过诸如使用掩模的蚀刻之类的方法来形成。该掩模可通过诸如使用光掩模的曝光之类的方法来形成。湿法蚀刻或干法蚀刻可被用作蚀刻;在微型制造方面优选使用干法蚀刻。可通过诸如 PVD 法或 CVD 法之类的膜形成方法来形成导电层 134。例如,可使用诸如钼、钛、铬、钽、钨、铝、铜、钹、或钷、或者这些材料中的任一种的合金或化合物(例如,氮化物)之类的导电材料来形成导电层 134。

[0124] 具体地,有可能采用例如其中在包括开口的区域中通过 PVD 法形成钛薄膜且通过 CVD 法形成氮化钛薄膜、并且随后形成钨膜以嵌入开口中的方法。在此,通过 PVD 法形成的钛膜具有减小在下电极(在此为源电极/漏电极 130a 和 130b、电极 130c 等)的表面上形成的氧化膜、以减小与下电极的接触电阻的功能。在形成钛膜之后形成的氮化钛膜具有防止导电材料扩散的阻挡功能。在形成钛、氮化钛等的阻挡膜之后,可通过电镀法形成铜膜。

[0125] 在形成导电层 134 之后,通过蚀刻、CMP 等去除导电层 134 的一部分,从而露出绝缘层 132,并且形成电极 136a、136b 和 136c、以及栅电极 136d(参见图 4C)。注意,当通过去除导电层 134 的一部分来形成电极 136a、136b 和 136c,以及栅电极 136d 时,优选执行该工艺以使这些表面平面化。以这种方式使绝缘层 132,电极 136a、136b 和 136c,以及栅电极 136d 的表面平面化,由此可在后来的步骤中顺利地形成电极、布线、绝缘层、半导体层等。

[0126] 接着,形成栅绝缘层 138 以覆盖绝缘层 132,电极 136a、136b 和 136c,以及栅电极 136d(参见图 4D)。栅绝缘层 138 可通过 CVD 法、溅射法等形式形成。优选使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氧化钪、氧化钽等来形成栅绝缘层 138。注意,栅绝缘层 138 可具有单层结构或分层结构。例如,可通过使用硅烷( $\text{SiH}_4$ )、氧气、以及氮气作为源气的等离子体 CVD 法来形成由氧氮化硅制成的栅绝缘层 138。对栅绝缘层 138 的厚度没有具体限制;例如,栅绝缘层 138 的厚度可以是大于或等于 10nm 且小于或等于 500nm。在采用分层结构的情况下,例如,栅绝缘层 138 优选是厚度为大于或等于 50nm 且小于或等于 200nm 的第一栅绝缘层、以及在第一栅绝缘层上的厚度为大于或等于 5nm 且小于或等于 300nm 的第二栅绝缘层的叠层。

[0127] 注意,通过去除杂质而变成本征或基本本征的氧化物半导体(高度提纯的氧化物半导体)相当易受界面能级和界面电荷的影响;因此,当这种氧化物半导体用于氧化物半导体层时,与栅绝缘层间的界面是重要的。换句话说,与高度纯化的氧化物半导体层接触的栅绝缘层 138 需要具有高质量。

[0128] 例如,优选通过使用微波(2.45GHz)的高密度等离子体 CVD 法来形成栅绝缘层 138,因为栅绝缘层 238 可以是致密的并且具有高耐压和高质量。当高度提纯的氧化物半导体层和高质量的栅绝缘层彼此接触时,可降低界面能级,并且界面特性可以是良好的。

[0129] 毋庸置疑,即使当使用高度纯化的氧化物半导体层时,也可采用诸如溅射法等等离子体 CVD 法之类的另一种方法,只要可形成高质量的绝缘层作为栅绝缘层。此外,有可能使用绝缘层,其与氧化物半导体层的界面的质量和特性通过在形成绝缘层之后执行的热处理而得以改进。在任何情况下,形成作为栅绝缘层 138 具有良好膜质量且可减小与氧化物半导体层间的界面能级密度以形成良好界面的绝缘层作为栅绝缘层 138。

[0130] 如果氧化物半导体中包含杂质,则通过诸如高电场或高温之类的应力解理杂质和氧化物半导体的主要组分之间的键合以造成悬空键,这引起阈值电压( $V_{th}$ )的偏移。



[0131] 如上所述,氧化物半导体中包括的杂质(尤其是氢和水)被减少到最小值、并且使氧化物半导体和栅绝缘层之间的界面特性成为良好,由此可获得相对于诸如高电场和高温之类的应力稳定的晶体管。

[0132] 接着,氧化物半导体层在栅绝缘层 138 上形成,并且通过诸如使用掩模的蚀刻之类的方法来处理,从而形成岛状氧化物半导体层 140(参见图 4E)。

[0133] 作为氧化物半导体层,优选使用 In-Ga-Zn-O 基氧化物半导体层、In-Sn-Zn-O 基氧化物半导体层、In-Al-Zn-O 基氧化物半导体层、Sn-Ga-Zn-O 基氧化物半导体层、Al-Ga-Zn-O 基氧化物半导体层、Sn-Al-Zn-O 基氧化物半导体层、In-Zn-O 基氧化物半导体层、Sn-Zn-O 基氧化物半导体层、Al-Zn-O 基氧化物半导体层、In-O 基氧化物半导体层、Sn-O 基氧化物半导体层、或 Zn-O 基氧化物半导体层。尤其优选的是,这些氧化物半导体层以非晶状态存在。在本实施例中,通过使用用于沉积 In-Ga-Zn-O 基氧化物半导体的靶的溅射法来形成非晶氧化物半导体层作为该氧化物半导体层。注意,由于可通过将硅添加到非晶氧化物半导体层来抑制非晶氧化物半导体层的结晶,因此例如可使用包含大于或等于 2wt% 且小于或等于 10wt% 的 SiO<sub>2</sub> 的靶来形成氧化物半导体层。

[0134] 例如,可使用包含氧化锌作为其主要组分的氧化物半导体沉积靶,作为用于通过溅射法形成氧化物半导体层的靶。此外,例如,可使用用于沉积包含 In、Ga 以及 Zn 的氧化物半导体的靶(In<sub>2</sub>O<sub>3</sub>: Ga<sub>2</sub>O<sub>3</sub>: ZnO 的组分比=1:1:1[摩尔比])。此外,可使用用于沉积包含 In、Ga 以及 Zn 的氧化物半导体的靶(In<sub>2</sub>O<sub>3</sub>: Ga<sub>2</sub>O<sub>3</sub>: ZnO 的组分比=1:1:2[摩尔比]、或者 In<sub>2</sub>O<sub>3</sub>: Ga<sub>2</sub>O<sub>3</sub>: ZnO 的组分比=1:1:4[摩尔比])。用于沉积氧化物半导体的靶的填充率为大于或等于 90% 且小于或等于 100%,优选为大于或等于 95%(例如,99.9%)。通过使用具有高填充率的用于沉积氧化物半导体的靶来形成致密的氧化物半导体层。

[0135] 其中形成氧化物半导体层的气氛优选是稀有气体(通常是氩气)气氛、氧气气氛、或者包含稀有气体(通常是氩气)和氧气的混合气氛。具体地,优选使用例如从中去除诸如氢、水、具有羟基的化合物、或氢化物之类的杂质以使浓度为几 ppm(优选为几 ppb)的高纯度气体。

[0136] 在形成氧化物半导体层时,将衬底保持在维持在减小压力的处理室中,并且衬底温度被设定为大于或等于 100°C 且小于或等于 600°C,优选为大于或等于 200°C 且小于或等于 400°C。氧化物半导体层在加热衬底时形成,从而可降低氧化物半导体层的杂质浓度。此外,减少了由溅射引起的氧化物半导体层的损坏。然后,将去除氢和水的溅射气体引入正在去除剩余水分的处理室中,并且使用金属氧化物作为靶来形成氧化物半导体层。优选使用捕集真空泵来去除处理室中剩余的水分。例如,可使用低温泵、离子泵、或钛升华泵。排气单元可以是设置有冷阱的涡轮泵。在通过低温泵排气的沉积室中,除了包含碳原子的化合物,还去除氢原子、包含氢原子的化合物(诸如 H<sub>2</sub>O)等,由此可降低在沉积室中形成的氧化物半导体层的杂质浓度。

[0137] 氧化物半导体层可在以下条件下形成,例如:衬底和靶之间的距离为 100mm;压强为 0.6Pa;直流(DC)电源为 0.5kW;以及气氛是氧气(氧气的流速为 100%)气氛。注意,优选使用脉冲直流(DC)电源,因为可减少在膜沉积时生成的粉末物质(也称为颗粒或灰尘),并且厚度分布可以较小。氧化物半导体层的厚度优选为大于或等于 2nm 且小于或等于

200nm、优选为大于或等于 5nm 且小于或等于 30nm。注意,适当的厚度根据氧化物半导体材料而不同,并且厚度根据要使用的材料适当地设定。

[0138] 注意,在通过溅射法形成氧化物半导体层之前,优选通过引入氩气并生成等离子体的反溅射来去除栅绝缘层 138 的表面上的灰尘。在此,不同于离子与溅射靶碰撞的正常溅射,反溅射是离子与要处理的表面碰撞以使该表面改性的方法。用于使离子与要处理的表面碰撞的方法的示例是在氩气气氛中将高频电压施加到该表面从而在衬底附近生成等离子体的方法。注意,可使用氮气气氛、氦气气氛、氧气气氛等来替代氩气气氛。

[0139] 可采用干法蚀刻或湿法蚀刻作为氧化物半导体层的蚀刻方法。毋庸赘言,干法蚀刻和湿法蚀刻可组合使用。蚀刻条件(例如,蚀刻气体或蚀刻溶液、蚀刻时间、以及温度)根据材料适当地设定,从而可将氧化物半导体层蚀刻成期望形状。

[0140] 用于干法蚀刻的蚀刻气体的示例是含氯气体(诸如氯气(Cl<sub>2</sub>)、氯化硼(BCl<sub>3</sub>)、氯化硅(SiCl<sub>4</sub>)、或四氯化碳(CCl<sub>4</sub>)之类的氯基气体)。此外,可使用含氟气体(诸如四氟化碳(CF<sub>4</sub>)、氟化硫(SF<sub>6</sub>)、氟化氮(NF<sub>3</sub>)、或三氟甲烷(CHF<sub>3</sub>)之类的氟基气体)、溴化氢(HBr)、氧气(O<sub>2</sub>)、添加有诸如氦气(He)或氩气(Ar)之类的稀有气体的这些气体中的任何一种等。

[0141] 可使用平行板 RIE(反应离子蚀刻)法或 ICP(感应耦合等离子体)蚀刻法作为干法蚀刻法。为了将氧化物半导体层蚀刻成期望形状,适当地设定蚀刻条件(例如,施加到盘绕电极的电功率量、施加到衬底侧上的电极的电功率量、以及衬底侧上的电极温度)。

[0142] 可使用磷酸、醋酸、以及硝酸的混合溶液等作为用于湿法蚀刻的蚀刻剂。还可使用诸如 IT007N(由 KANTO 化学公司(KANTO CHEMICAL CO., INC.)生产)之类的蚀刻剂。

[0143] 然后,优选对氧化物半导体层执行第一热处理。可用第一热处理来对氧化物半导体层进行脱水或脱氢。第一热处理的温度高于或等于 300℃且低于或等于 750℃、优选高于或等于 400℃且低于衬底的应变点。例如,衬底被引入其中使用电阻加热元件等的电炉,并且氧化物半导体层 140 在 450℃下在氮气气氛中进行热处理达 1 小时。氧化物半导体层 140 在热处理期间不暴露于空气,从而可防止水和氢进入。

[0144] 热处理装置不限于电炉,并且可以是用于通过来自诸如经加热气体之类的介质的热传导或热辐射对物体加热的装置。例如,可使用诸如气体快速热退火(GRTA)装置或灯快速热退火(LRTA)装置之类的快速热退火(RTA)装置。LRTA 装置是用于通过从诸如卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)辐射来对要处理的物体加热的装置。GRTA 装置是用于使用高温气体来进行热处理的装置。可使用通过热处理不与物体反应的惰性气体(例如,氮气或诸如氩气之类的稀有气体)作为该气体。

[0145] 例如,作为第一热处理,GRTA 工艺可如下地执行。将衬底放在已加热到 650℃至 700℃的高温的惰性气体中,加热几分钟,并从惰性气体中取出。GRTA 工艺实现短时间的高温热处理。此外,即使当温度超过衬底的应变点时也可采用 GRTA 工艺,因为它是短时间的热处理。

[0146] 注意,第一热处理优选在包含氮气或稀有气体(例如,氦气、氖气、或氩气)作为其主要组分且不包含水、氢等的气氛中进行。例如,被引入热处理装置的氮气、或者诸如氦气、氖气、或氩气之类的稀有气体的纯度大于或等于 6N(99.9999%)、优选大于或等于 7N(99.99999%)(即,杂质浓度小于或等于 1ppm、优选小于或等于 0.1ppm)。

[0147] 根据第一热处理的条件或氧化物半导体层的材料,使氧化物半导体层有时结晶成微晶或多晶。例如,氧化物半导体层有时变成结晶度为大于或等于 90%、或者大于或等于 80%的微晶氧化物半导体层。此外,根据第一热处理的条件或氧化物半导体层的材料,氧化物半导体层可以是不含结晶组分的非晶氧化物半导体层。

[0148] 此外,氧化物半导体层有时变成其中将微晶体(其粒度为大于或等于 1nm 且小于或等于 20nm、通常为大于或等于 2nm 且小于或等于 4nm)混合到非晶氧化物半导体(例如,氧化物半导体层的表面)中的层。

[0149] 可通过对准氧化物半导体层的非晶区域中的微晶体来改变氧化物半导体层的电特性。例如,当使用用于沉积 In-Ga-Zn-O 基氧化物半导体的靶来形成氧化物半导体层时,可通过形成其中具有电各向异性的  $\text{In}_2\text{Ga}_2\text{ZnO}_7$  的晶粒对准的微晶部分来改变氧化物半导体层的电特性。

[0150] 更具体地,例如,当晶粒被排列成使  $\text{In}_2\text{Ga}_2\text{ZnO}_7$  的 c 轴垂直于氧化物半导体层的表面时,可改进在与氧化物半导体层的表面平行的方向上的导电性,并且可改进在与氧化物半导体层的表面垂直的方向上的绝缘性质。此外,这种微晶部分具有抑制诸如水或氢之类的杂质进入氧化物半导体层的功能。

[0151] 注意,可通过 GRTA 工艺对氧化物半导体层加热来形成包括微晶部分的氧化物半导体层。此外,氧化物半导体层可以更优选的方式通过使用其中 Zn 的量小于 In 或 Ga 的量的溅射靶来形成。

[0152] 可对尚未处理成岛状氧化物半导体层 140 的氧化物半导体层执行氧化物半导体层 140 的第一热处理。在此情况下,在第一热处理之后,从加热装置中取出衬底,并且执行光刻步骤。

[0153] 注意,第一热处理可因其对氧化物半导体层 140 的脱水或脱氢效果而被称为脱水处理、脱氢处理等。例如,可在形成氧化物半导体层之后、在源电极和漏电极堆叠在氧化物半导体层 140 上之后、或者在源电极和漏电极上形成保护绝缘层之后执行这种脱水处理或脱氢处理。这种脱水处理或脱氢处理可执行一次或多次。

[0154] 接着,源电极/漏电极 142a、以及源电极/漏电极 142b 被形成为与氧化物半导体层 140 接触(参见图 4F)。源电极/漏电极 142a 和 142b 可用如下方式形成:形成导电层以覆盖氧化物半导体层 140,并且随后选择性地蚀刻该导电层。

[0155] 导电层可通过诸如溅射法之类的 PVD 法、或者诸如等离子体 CVD 法之类的 CVD 法形成。作为导电层的材料,可使用从铝、铬、铜、钽、钛、钼或钨中选择的元素;包含这些元素中的任一种作为组分的合金等。此外,可使用从锰、镁、锆、铍或钪中选择的一种或多种材料。可使用与选自钛、钽、钨、钼、铬、钽、和钪中的一种或多种元素的组合的铝。导电层可具有单层结构、或者包含两层或更多层的分层结构。例如,导电层可具有含硅铝膜的单层结构、其中在铝膜上堆叠钛膜的双层结构、或者其中钛膜、铝膜、以及钛膜按该次序堆叠的三层结构。

[0156] 在此,紫外光、KrF 激光、或 ArF 激光优选在形成用于蚀刻的掩模时被用于曝光。

[0157] 晶体管的沟道长度(L)根据源电极/漏电极 142a 的下端部与源电极/漏电极 142b 的下端部之间的距离来确定。注意,对于在沟道长度(L)小于 25nm 的情况下的曝光,用其波长为极短的几纳米至几百纳米的远紫外线来执行用于形成掩模的曝光。用远紫外线的曝

光的分辨率较高,并且聚焦的深度较大。出于这些原因,后来形成的晶体管的沟道长度(L)可以在10nm至1000nm的范围内,并且该电路可以更高的速度操作。此外,截止电流极低,这防止功耗增加。

[0158] 适当地调节导电层和氧化物半导体层140的材料和蚀刻条件,从而在蚀刻导电层时不去除氧化物半导体层140。注意,在一些情况下,氧化物半导体层140根据材料和蚀刻条件在蚀刻步骤中部分地蚀刻,并且由此具有凹槽部分(凹陷部分)。

[0159] 可在氧化物半导体层140与源电极/漏电极142a之间、以及在氧化物半导体层140与源电极/漏电极142b之间形成氧化物导电层。可连续地形成氧化物导电层、以及用于形成源电极/漏电极142a和142b的金属层。氧化物导电层可用作源区和漏区。这种氧化物导电层的放置可减小源区和漏区的电阻,从而晶体管可以高速操作。

[0160] 为了减少所使用的掩模的数量并减少步骤的数量,蚀刻步骤可使用通过使用多色调掩模而形成的抗蚀剂掩模来执行,该多色调掩模是光透射从而具有多个强度的曝光掩模。通过使用多色调掩模而形成的抗蚀剂掩模具有多个厚度(具有阶梯式的形状),并且还可通过灰化来改变形状;因此,抗蚀剂掩模可在用于处理成不同图案的多个蚀刻步骤中使用。即,可通过使用多色调掩模来形成与至少两种不同的图案相对应的抗蚀剂掩模。由此,可减少曝光掩模的数量,并且还可减少相应的光刻步骤的数量,由此可简化工艺。

[0161] 注意,优选在以上步骤之后通过使用诸如 $N_2O$ 、 $N_2$ 、或Ar之类的气体来执行等离子体处理。该等离子体处理去除附着到氧化物半导体层的露出表面的水等。可使用氧气和氩气的混合气体来执行等离子体处理。

[0162] 接着,保护绝缘层144被形成为与氧化物半导体层140的一部分接触,而不暴露于空气(参见图4G)。

[0163] 保护绝缘层144可通过适当地防止诸如水和氢之类的杂质混合到保护绝缘层144的方法(如,溅射法)形成。保护绝缘层144的厚度为至少1nm。可使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等来形成保护绝缘层144。保护绝缘层144可具有单层结构或分层结构。形成保护绝缘层144时的衬底温度优选高于或等于室温且低于或等于 $300^{\circ}C$ 。用于形成保护绝缘层144的气氛优选是稀有气体(通常是氩气)气氛、氧气气氛、或者包含稀有气体(通常是氩气)和氧气的混合气氛。

[0164] 如果保护绝缘层144中含氢,则氢可进入氧化物半导体层或提取氧化物半导体层中的氧,由此可减小背沟道侧上的氧化物半导体层的电阻,并且可形成寄生沟道。因此,重要的是在形成保护绝缘层144时不使用氢以使氧化物绝缘层140包含尽可能少的氢。

[0165] 此外,优选在去除留在处理室中的水的同时形成保护绝缘层144,以使在氧化物半导体层140和保护绝缘层144中不包含氢、羟基、或水分。

[0166] 优选使用捕集真空泵来去除处理室中剩余的水分。例如,优选地使用低温泵、离子泵、或钛升华泵。排气单元可以是设置有冷阱的涡轮泵。在用低温泵排气的沉积室中,例如,去除氢原子、以及诸如水( $H_2O$ )之类的包含氢原子的化合物;由此,可降低在沉积室中形成的保护绝缘层144中的杂质浓度。

[0167] 优选使用从中去除诸如氢、水、具有羟基的化合物、或氢化物之类的杂质以使杂质浓度减小至几ppm(优选为,几ppb)的高纯度气体,作为用于形成保护绝缘层144的溅射气体。

[0168] 接着,优选在惰性气体气氛或氧气气氛中(在大于或等于 200℃且小于或等于 400℃下,例如,在大于或等于 250℃且小于或等于 350℃下)进行第二热处理。例如,在氮气气氛中,在 250℃下进行第二热处理达 1 小时。第二热处理可减少晶体管的电特性的变化。

[0169] 此外,可在空气中,在 100℃至 200℃下进行热处理达 1 小时。该热处理可在固定加热温度下进行;或者,加热温度的以下改变可重复进行多次:加热温度从室温上升到 100℃到 200℃的温度,并且随后下降到室温。在形成保护绝缘层之前,该热处理可在减小的压力下下进行。在减小的压力下,可缩短热处理时间。例如,在减小的压力下的该热处理可代替第二热处理来执行,或者可在第二热处理之前或之后执行。

[0170] 接着,在保护绝缘层 144 上形成层间绝缘层 146(参见图 5A)。层间绝缘层 146 可通过 PVD 法、CVD 法等形式形成。可使用包括无机绝缘材料(诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、或氧化钽)的材料来形成层间绝缘层 146。在形成层间绝缘层 146 之后,优选通过 CMP、蚀刻等来平面化层间绝缘层 146 的表面。

[0171] 接着,在层间绝缘层 146、保护绝缘层 144、以及栅绝缘层 138 中形成到达电极 136a、136b 和 136c、以及源电极/漏电极 142a 和 142b 的开口。然后,形成导电层 148 以嵌入这些开口中(参见图 5B)。这些开口可通过诸如使用掩模的蚀刻之类的方法来形成。该掩模可通过诸如使用光掩模的曝光之类的方法来形成。湿法蚀刻或干法蚀刻可被用作该蚀刻;在微型制造方面优选使用干法蚀刻。可通过诸如 PVD 法或 CVD 法之类的膜形成方法来形成导电层 148。例如,可使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钐、或者这些材料中的任一种的合金或化合物(例如,氮化物)之类的导电材料来形成导电层 148。

[0172] 具体地,有可能采用例如其中在包括开口的区域中通过 PVD 法形成钛薄膜且通过 CVD 法形成氮化钛薄膜、并且随后形成钨膜以嵌入开口中的方法。在此,通过 PVD 法形成的钛膜具有减小在下电极(在此为电极 136a、136b、和 136c、以及源电极/漏电极 142a 和 142b)的表面上形成的氧化膜以减小与下电极的接触电阻的功能。在形成钛膜之后形成的氮化钛膜具有防止导电材料扩散的阻挡功能。在形成钛、氮化钛等的阻挡膜之后,可通过电镀法形成铜膜。

[0173] 在形成导电层 148 之后,通过蚀刻、CMP 等去除导电层 148 的一部分,从而露出层间绝缘层 146,并且形成电极 150a、150b、150c、150d 和 150e(参见图 5C)。注意,当通过去除导电层 148 的一部分来形成电极 150a、150b、150c、150d 和 150e 时,优选执行该工艺以使这些表面平面化。以这种方式使层间绝缘层 146、以及电极 150a、150b、150c、150d 和 150e 的表面平面化,由此可在后来的步骤中顺利地形成电极、布线、绝缘层等。

[0174] 然后,形成绝缘层 152,并且在绝缘层 152 中形成到达电极 150a、150b、150c、150d 和 150e 的开口。在形成导电层以嵌入开口中之后,通过蚀刻、CMP 等来去除导电层的一部分。由此,露出绝缘层 152,并且形成电极 154a、154b、154c 和 154d(参见图 5D)。该步骤类似于形成电极 150a 等的步骤;因此,不再重复详细描述。

[0175] 在晶体管 162 通过上述方法形成的情况下,氧化物半导体层 140 中的氢浓度为小于或等于  $5 \times 10^{19}$  原子/cm<sup>3</sup>,且晶体管 162 的截止电流为小于或等于 100zA/ $\mu$ m。如上所述,可通过施加通过氢浓度的充分降低而高度提纯的氧化物半导体层 140 来获取具有优异特性的晶体管 162。此外,有可能制造具有优异特性、且包括下部的使用除氧化物半导体以外

的材料形成的晶体管 160、以及上部的使用氧化物半导体形成的晶体管 162 的半导体器件。

[0176] 注意,给出碳化硅(例如,4H-SiC)作为可与氧化物半导体比拟的半导体材料。氧化物半导体和 4H-SiC 具有若干共同特征。载流子密度是其中之一。常温下氧化物半导体中的本征载流子密度估计为约  $10^7/\text{cm}^3$ 。本征载流子密度的该值极小,与 4H-SiC 中的类似,为  $6.7 \times 10^{11}/\text{cm}^3$ 。当氧化物半导体的本载流子密度与硅的本征载流子密度(约  $1.4 \times 10^{10}/\text{cm}^3$ ) 比较时,可容易理解氧化物半导体的本征载流子密度相当低。

[0177] 此外,氧化物半导体的能带隙为 3.0eV 至 3.5eV,而 4H-SiC 的能带隙为 3.26eV。由此,氧化物半导体和碳化硅的相似之处在于,它们都是宽带隙半导体。

[0178] 另一方面,氧化物半导体和碳化硅之间存在主要区别,即,工艺温度。由于碳化硅一般需要在 1500°C 至 2000°C 进行热处理,因此难以形成碳化硅以及使用除碳化硅以外的半导体材料形成的半导体元件的叠层。这是因为在这种高温下损坏了半导体衬底、半导体元件等。同时,氧化物半导体可通过在 300°C 至 500°C (小于或等于玻璃转变温度,高达约 700°C) 的热处理来形成;因此,有可能通过使用除氧化物半导体以外的半导体材料来形成集成电路,并且随后形成包含氧化物半导体的半导体元件。

[0179] 另外,与碳化硅不同,氧化物半导体是有利的,因为可使用诸如玻璃衬底之类的低耐热性衬底。此外,氧化物半导体不需要在高温下进行热处理,从而与碳化硅相比可充分地降低能量成本,这是另一优点。

[0180] 虽然已进行了对氧化物半导体的性质的许多研究,但是它们不包括充分降低能隙中的局部能级本身的想法。根据所揭示发明的实施例,通过去除可能是局部能级的形成原因的水或氢来形成高度提纯的氧化物半导体。这基于充分降低能隙中的局部能级的想法。这种高度提纯的氧化物半导体实现非常优异的工业产品的制造。

[0181] 此外,也有可能通过将氧供应到由氧空位生成的金属的悬空键以降低由氧空位引起的局部能级来形成更加高度提纯(i型)的氧化物半导体。例如,包含过量氧的氧化膜被形成为与沟道形成区接触,并且随后将氧从氧化膜供应到沟道形成区,从而可降低由氧空位引起的局部能级。

[0182] 氧化物半导体的缺陷据说归因于由过量氢造成的导带下的浅能级、由缺氧造成的深能级等。为了消除这些缺陷,执行氢的彻底去除和氧的充分供应。

[0183] <包含氧化物半导体的晶体管的传导机构>

[0184] 接着,将参考图 11、图 12A 和 12B、图 13A 和 13B、以及图 14 来描述包含氧化物半导体的晶体管的传导机构。注意,为了简化,以下描述基于理想情形的假设。

[0185] 图 11 是包含氧化物半导体的倒交错晶体管的截面图。氧化物半导体层(OS)隔着栅绝缘层(GI)设置在栅电极层(GE1)上,并且源电极(S)和漏电极(D)设置在氧化物半导体层上。

[0186] 图 12A 和 12B 是沿图 11 中的 A-A' 的能带结构的示意图。图 12A 示出电压未施加到栅电极层( $V_g = 0$ ),且无电压或相同电压施加到漏电极和源电极( $V_D = V_S = 0$  或者  $V_D = V_S$ )的情况。图 12B 示出正电压( $V_D > 0$ )施加到漏电极而电压未施加到栅电极层( $V_g = 0$ )的情况(由虚线示出)、以及正电压( $V_D > 0$ )施加到漏电极而正电压  $+V_g$  ( $V_g > 0$ )施加到栅电极层的情况(由实线示出)。在电压未施加到栅电极层的情况下,由于高电位势垒,载流子(电子)不从源电极注入氧化物半导体侧,从而电流不流动,这意味着截止状态。另一方

面,当正电压施加到栅电极层时,电位垒势减小,并且由此电流流动,这意味着导通状态。

[0187] 图 13A 和 13B 是沿图 11 中的 B-B' 的能带图(示意图)。图 13A 示出正电位 ( $V_g > 0$ ) 供应到栅电极层 (GE1) 的状态,即,载流子(电子)在源电极和漏电极之间流动的导通状态。图 13B 示出负电位  $-V_g (V_g > 0)$  供应到栅极 (GE1) 的状态,即,截止状态(其中少数载流子不流动)。

[0188] 图 14 示出真空能级、金属的功函数( $\phi_M$ )、以及氧化物半导体的电子亲和性( $\chi$ )之间的关系。

[0189] 金属简并,并且费米能级存在于导带中。同时,常规的氧化物半导体是 n 型,并且费米能级 ( $E_f$ ) 远离带隙中心的本征费米能级 ( $E_i$ ) 并位于导带附近。已知氧化物半导体中的氢部分地变成施主,并且是产生 n 型氧化物半导体的原因之一。此外,已知氧空位是产生 n 型氧化物半导体的原因之一。

[0190] 相反,根据所揭示发明的实施例的氧化物半导体是以以下方式成为本征(i 型)或接近本征的氧化物半导体:通过高度提纯从氧化物半导体去除作为产生 n 型氧化物半导体的原因的氢,从而氧化物半导体包括尽可能少的除氧化物半导体的主要组分之外的元素(杂质元素),并且消除氧空位。即,本发明的一个实施例的特征在于,不是通过添加杂质元素而是通过尽可能地消除诸如氢和水之类的杂质以及氧空位来使得氧化物半导体成为或接近高度提纯的 i 型(本征)半导体。由此,费米能级 ( $E_f$ ) 可与本征费米能级 ( $E_i$ ) 相当。

[0191] 氧化物半导体的带隙 ( $E_g$ ) 和电子亲和性 ( $\chi$ ) 据说分别为 3.15eV 和 4.3eV。源电极或漏电极中所包含的钛 (Ti) 的功函数基本上等于氧化物半导体的电子亲和性 ( $\chi$ )。在此情况下,在金属和氧化物半导体之间的界面处不形成对电子的肖特基势垒。

[0192] 在金属的功函数( $\phi_M$ )等于氧化物半导体的电子亲和性 ( $\chi$ ) 的情况下,当金属和氧化物半导体彼此接触时,获得图 12A 中的能带图(示意图)。

[0193] 在图 12B 中,黑点 (●) 表示电子。当正电位供应至漏电极时,电子穿过势垒 (h) 以注入氧化物半导体并流向漏电极。势垒 (h) 的高度取决于栅电压 ( $V_g$ )。当正漏电压施加到漏电极时,势垒 (h) 的高度低于其中不施加电压的图 12A 中势垒的高度,即带隙 ( $E_g$ ) 的一半。

[0194] 此时,如图 13A 所示,电子在栅绝缘层和高度提纯的氧化物半导体之间的界面附近(其中氧化物半导体在能量方面是稳定的底部)行进。

[0195] 如图 13B 所示,在负电位供应至栅电极 (GE1) 的情况下,由于作为少数载流子的空穴基本上不存在,因此电流值尽可能地接近 0。

[0196] 例如,在室温 (25°C) 下截止电流为小于或等于  $10\text{zA}/\mu\text{m} (1 \times 10^{-20}\text{A}/\mu\text{m})$ , 或者小于或等于  $1\text{zA}/\mu\text{m} (1 \times 10^{-21}\text{A}/\mu\text{m})$ 。结果,可获得亚阈值摆幅 (S 值) 为 0.1V/dec. 的晶体管。

[0197] 以此方式,高度提纯氧化物半导体以包含尽可能少的除氧化物半导体的主要组分之外的杂质,由此晶体管的操作可以是良好的。

[0198] < 变体示例 >

[0199] 图 6、图 7A 和 7B、图 8A 和 8B、以及图 9B 和 9B 示出半导体器件的结构变体示例。以下将描述其中晶体管 162 具有不同于上述结构的各个半导体器件作为变体示例。即,晶体管 160 的结构与以上结构相同。

[0200] 图 6 示出包括晶体管 162 的半导体器件的示例,在该晶体管 162 中栅电极 136d 置于氧化物半导体层 140 下,而源电极 / 漏电极 142a 和 142b 与氧化物半导体层 140 的底表面接触。注意,平面结构可适当地改变以对应于截面;因此,在此只示出截面。

[0201] 图 6 的结构和图 2A 的结构之间的重大区别在于,氧化物半导体层 140 连接到源电极 / 漏电极 142a 和 142b 的位置。即,在图 2A 中的结构中,氧化物半导体层 140 的顶表面与源电极 / 漏电极 142a 和 142b 接触,而在图 6 中的结构中,氧化物半导体层 140 的底表面与源电极 / 漏电极 142a 和 142b 接触。此外,接触位置的不同导致其它电极、绝缘层等的不同排列。每一组件的细节与图 2A 和 2B 的相同。

[0202] 具体地,图 6 所示的半导体器件包括设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅绝缘层 138、设置在栅绝缘层 138 上的源电极 / 漏电极 142a 和 142b、以及与源电极 / 漏电极 142a 和 142b 的顶表面接触的氧化物半导体层 140。

[0203] 在此,栅电极 136d 被设置成嵌入在层间绝缘层 128 上形成的绝缘层 132 中。类似于栅电极 136d,电极 136a、电极 136b、以及电极 136c 被形成为分别与源电极 / 漏电极 130a、源电极 / 漏电极 130b、以及电极 130c 接触。

[0204] 保护绝缘层 144 设置在晶体管 162 上,从而与氧化物半导体层 140 的一部分接触。层间绝缘层 146 设置在保护绝缘层 144 上。在保护绝缘层 144 和层间绝缘层 146 中形成到达源电极 / 漏电极 142a 以及源电极 / 漏电极 142b 的开口。电极 150d 和电极 150e 被形成为分别通过相应开口与源电极 / 漏电极 142a 和源电极 / 漏电极 142b 接触。类似于电极 150d 和 150e,电极 150a、150b 和 150c 被形成为分别通过设置在栅绝缘层 138、保护绝缘层 144、以及层间绝缘层 146 中的开口与电极 136a、136b 和 136c 接触。

[0205] 绝缘层 152 设置在层间绝缘层 146 上。电极 154a、154b、154c 和 154d 被设置成嵌入绝缘层 152 中。电极 154a 与电极 150a 接触。电极 154b 与电极 150b 接触。电极 154c 与电极 150c 和电极 150d 接触。电极 154d 与电极 150e 接触。

[0206] 图 7A 和 7B 各自示出其中栅电极 136d 置于氧化物半导体层 140 上的半导体器件的结构示例。图 7A 示出其中源电极 / 漏电极 142a 和 142b 与氧化物半导体层 140 的底表面接触的结构示例。图 7B 示出其中源电极 / 漏电极 142a 和 142b 与氧化物半导体层 140 的顶表面接触的结构示例。

[0207] 图 7A 和 7B 的结构与图 2A 和图 6 的结构之间的重大区别在于,栅电极 136d 置于氧化物半导体层 140 上。此外,图 7A 中的结构和图 7B 中的结构的重大区别在于,源电极 / 漏电极 142a 和 142b 与氧化物半导体层 140 的底表面或者顶表面接触。此外,这些区别导致其他电极、绝缘层等的不同排列。每一组件的细节与图 2A 和 2B 等的相同。

[0208] 具体地,图 7A 所示的半导体器件包括设置在层间绝缘层 128 上的源电极 / 漏电极 142a 和 142b、与源电极 / 漏电极 142a 和 142b 的顶表面接触的氧化物半导体层 140、设置在氧化物半导体层 140 上的栅绝缘层 138、以及在与氧化物半导体层 140 重叠的区域中在栅绝缘层 138 上的栅电极 136d。

[0209] 图 7B 中的半导体器件包括设置在层间绝缘层 128 上的氧化物半导体层 140、设置成与氧化物半导体层 140 的顶表面接触的源电极 / 漏电极 142a 和 142b、设置在氧化物半导体层 140 以及源电极 / 漏电极 142a 和 142b 上的栅绝缘层 138、以及在与氧化物半导体层 140 重叠的区域中在栅绝缘层 138 上的栅电极 136d。



[0210] 注意,在图 7A 和 7B 中的结构中,在某些情况下可从图 2A 和 2B 等中的结构中省略组件(例如,电极 150a 或电极 154a)。在此情况下,可获取诸如简化制造工艺之类的辅助效果。毋庸赘言,在图 2A 和 2B 等中的结构中,可省略非必要的组件。

[0211] 图 8A 和 8B 各自示出其中元件的尺寸相对较大且栅电极 136d 置于氧化物半导体层 140 下的情况的示例。在此情况下,对表面的平面度和覆盖率的要求相对适中,从而不一定必需形成嵌入绝缘层的布线、电极等。例如,可在形成导电层之后通过图案化来形成栅电极 136d 等。注意,虽然在此未示出,但是晶体管 160 可以类似的方式形成。

[0212] 图 8A 中的结构和图 8B 中的结构的重大区别在于,源电极/漏电极 142a 和 142b 与氧化物半导体层 140 的底表面或者顶表面接触。此外,这些区别导致其他电极、绝缘层等以不同的方式排列。每一组件的细节与图 2A 和 2B 等的相同。

[0213] 具体地,图 8A 中的半导体器件包括设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅绝缘层 138、设置在栅绝缘层 138 上的源电极/漏电极 142a 和 142b、以及与源电极/漏电极 142a 和 142b 的顶表面接触的氧化物半导体层 140。

[0214] 图 8B 中的半导体器件包括设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅绝缘层 138、在与栅电极 136d 重叠的区域中设置在栅绝缘层 138 上的氧化物半导体层 140、以及设置成与氧化物半导体层 140 的顶表面接触的源电极/漏电极 142a 和 142b。

[0215] 注意,同样在图 8A 和 8B 中的结构中,在某些情况下可从图 2A 和 2B 等中的结构中省略组件。同样,在此情况下,可获取诸如简化制造工艺之类的辅助效果。

[0216] 图 9A 和 9B 各自示出其中元件的尺寸相对较大且栅电极 136d 置于氧化物半导体层 140 上的情况的示例。同样在此情况下,对表面的平面度和覆盖率的要求相对适中,从而不一定形成嵌入绝缘层的布线、电极等。例如,可在形成导电层之后通过图案化来形成栅电极 136d 等。注意,虽然在此未示出,但是晶体管 160 可以类似的方式形成。

[0217] 图 9A 中的结构和图 9B 中的结构的重大区别在于,源电极/漏电极 142a 和 142b 与氧化物半导体层 140 的底表面或者顶表面接触。此外,该区别导致其他电极、绝缘层等以不同的方式排列。每一组件的细节与图 2A 和 2B 等的相同。

[0218] 具体地,图 9A 中的半导体器件包括设置在层间绝缘层 128 上的源电极/漏电极 142a 和 142b、与源电极/漏电极 142a 和 142b 的顶表面接触的氧化物半导体层 140、设置在源电极/漏电极 142a 和 142b 以及氧化物半导体层 140 上的栅绝缘层 138、以及在与氧化物半导体层 140 重叠的区域中设置在栅绝缘层 138 上的栅电极 136d。

[0219] 图 9B 中的半导体器件包括设置在层间绝缘层 128 上的氧化物半导体层 140、设置成与氧化物半导体层 140 的顶表面接触的源电极/漏电极 142a 和 142b、设置在源电极/漏电极 142a 和 142b 以及氧化物半导体层 140 上的栅绝缘层 138、以及在与氧化物半导体层 140 重叠的区域中设置在栅绝缘层 138 上的栅电极 136d。

[0220] 注意,同样在图 9A 和 9B 中的结构中,在某些情况下可从图 2A 和 2B 等中的结构中省略组件。同样,在此情况下,可获取诸如简化制造工艺之类的辅助效果。

[0221] 如上所述,根据所揭示发明的一个实施例可实现具有新颖结构的半导体器件。在该实施例中,描述其中通过堆叠晶体管 160 和晶体管 162 来形成半导体器件的各个示例;然而,半导体器件的结构不限于该结构。此外,本实施例示出其中晶体管 160 的沟道长度方向

与晶体管 162 的沟道长度方向垂直的示例；然而，晶体管 160 和 162 之间的位置关系不限于该示例。另外，晶体管 160 和晶体管 162 可被设置成彼此重叠。

[0222] 在本实施例中，为了简化，描述具有最小存储单位（1 位）的半导体器件；然而，半导体器件的结构不限于此。可通过适当地连接多个半导体器件来形成更高级的半导体器件。例如，可通过使用多个上述半导体器件来形成 NAND 型或 NOR 型半导体器件。布线配置不限于图 1 中的布线配置，并且可适当地改变。

[0223] 根据本实施例的半导体器件可存储数据达极长的时间，因为晶体管 162 具有低截止电流。即，不需要在 DRAM 等中必要的刷新操作，从而可抑制功耗。此外，根据本实施例的半导体器件可用作基本上非易失性的半导体器件。

[0224] 由于用晶体管 162 的开关操作来执行数据的写入等，因此高电压是不必要的，并且可忽略元件的劣化。此外，根据晶体管的导通状态和截止状态而写入和擦除数据，由此可轻易地实现高速操作。此外，同样有利的是不需要擦除数据的操作，因为可通过控制要输入到晶体管的电位来直接重写数据，该操作在闪存等中是必要的。

[0225] 由于包含除氧化物半导体外的材料的晶体管可以高于包括氧化物半导体的晶体管的速度操作，因此通过使用该晶体管可以高速读出所存储数据。

[0226] 本实施例中所描述的结构和方法可与其他实施例中所描述的任一种结构和方法适当地组合。

[0227] （实施例 2）

[0228] 在该实施例中，将参考图 15A 和 15B 来描述根据所揭示发明的另一实施例的半导体器件的结构和制造方法。

[0229] 图 15A 示出半导体器件的电路构造的示例。图 15A 与图 1 的区别在于设置了电容器 164。即，在图 15A 中，晶体管 162 的源电极和漏电极中的一个、电容器 164 的电极中的一个、以及晶体管 160 的栅电极彼此电连接。第一线（也称为源极线 BL）与晶体管 160 的源电极彼此电连接，并且第二线（也称为位线 BL）与晶体管 160 的漏电极彼此电连接。第三线（也称为第一信号线 S1）与晶体管 162 的源电极和漏电极中的另一个彼此电连接，并且第四线（也称为第二信号线 S2）与晶体管 162 的栅电极彼此电连接。第五线（也称为字线 WL）与晶体管 164 的电极中的另一个彼此电连接。注意，在图 15A 和 15B 的每一个中，“OS”写在晶体管旁以表示该晶体管包括氧化物半导体。

[0230] 在此，上述包含氧化物半导体的晶体管用作晶体管 162。包含氧化物半导体的晶体管具有相当小的截止电流的特性。因此，当晶体管 162 截止时，晶体管 160 的栅电极的电位可保持很长时间。电容器 164 的设置便于保持给予晶体管 160 的栅电极的电荷以及读取所存储数据。

[0231] 注意，对晶体管 160 没有具体限制。在提高读取数据的速度方面，优选使用例如具有高开关速率的晶体管，诸如使用单晶硅形成的晶体管。

[0232] 图 15A 中的半导体器件利用可保持晶体管 160 的栅电极的电位的特性，由此如下地写入、存储和读取数据。

[0233] 首先，将描述数据的写入和存储。首先，将第四线的电位设定为使晶体管 162 导通的电位，从而使晶体管 162 导通。因此，将第三线的电位供应至晶体管 160 的栅电极以及电容器 164。即，将预定电荷给予晶体管 160 的栅电极（写入）。在此，将用于供应两种不同

电位的电荷之一（在下文中，用于供应低电位的电荷称为电荷  $Q_L$ ，而用于供应高电位的电荷称为电荷  $Q_H$ ）给予晶体管 160 的栅电极。注意，可施加给予三种或更多种不同电位的电荷以改进存储电容器。此后，将第四线的电位设定为使晶体管 162 截止的电位，从而使晶体管 162 截止。由此，给予晶体管 160 的栅电极的电荷得以保持（存储）。

[0234] 由于晶体管 162 的截止电流相当小，因此晶体管 160 的栅电极的电荷被保持较长时间。

[0235] 接着，将描述数据读取的操作。通过在将预定电位（恒定电位）供应至第一线的同时将适当电位（读取电位）供应至第五线，第二线的电位取决于晶体管 160 的栅电极中保持的电荷的量而变化。这是因为通常当晶体管 160 为 n 沟道晶体管时，在将  $Q_H$  给予晶体管 160 的栅电极的情况下的视在阈值电压  $V_{th\_H}$  低于在将  $Q_L$  给予晶体管 160 的栅电极的情况下的视在阈值电压  $V_{th\_L}$ 。在此，视在阈值电压是指第五线的电位，该电位是使晶体管 160 导通所需的。因此，将第五线的电位设定为  $V_{th\_H}$  和  $V_{th\_L}$  之间的中间电位  $V_0$ ，由此可确定给予晶体管 160 的栅电极的电荷。例如，在写入时给予  $Q_H$  的情况下，当第五线的电位设定为  $V_0 (> V_{th\_H})$  时，晶体管 160 导通。在写入时给予  $Q_L$  的情况下，即使当第五线的电位被设定为  $V_0 (> V_{th\_L})$  时，晶体管 160 也保持为截止状态。由此，可通过第二线的电位来读取所存储数据。

[0236] 注意，在存储单元排列成阵列以供使用的情况下，只需要读取所需存储单元的数据。由此，在读取预定存储单元的数据而不读取其它存储单元的数据的情况下，允许晶体管 160 截止而不管栅电极的状态如何的电位，即低于  $V_{th\_H}$  的电位，可施加到其数据不被读取的存储单元的第五线。或者，允许晶体管 160 导通而不管栅电极的状态如何的电位，即高于  $V_{th\_L}$  的电位，可施加到第五线。

[0237] 接着，将描述数据的重写。与数据的写入或存储类似地来执行数据重写。即，将第四线的电位设定为使晶体管 162 导通的电位，由此使晶体管 162 导通。因此，将第三线的电位（与新数据相关的电位）供应至晶体管 160 的栅电极以及电容器 164。之后，将第四线的电位设定为使晶体管 162 截止的电位，由此使晶体管 162 截止。因此，将与新数据相关的电荷给予晶体管 160 的栅电极。

[0238] 由此，在根据所揭示发明的半导体器件中，可通过新数据的盖写来直接重写数据。因此，闪存等中所需的利用高电压从浮动栅的电荷提取不是必需的，并且因此可抑制归因于擦除操作的操作速度的降低。即，可实现半导体器件的高速操作。

[0239] 注意，晶体管 162 的源电极或漏电极电连接至晶体管 160 的栅电极，由此具有类似于用于非易失性存储元件的浮动栅晶体管的浮动栅的效果。因此，在某些情况下，图中晶体管 162 的源电极或漏电极电连接至晶体管 160 的栅电极的部分称为浮动栅部分 FG。当晶体管 162 截止时，浮动栅部分 FG 可被视为嵌入绝缘体中，因此将电荷保持在浮动栅部分 FG 中。包含氧化物半导体的晶体管 162 的截止电流的量小于或等于包含硅半导体的晶体管的截止电流死亡量的十万分之一；由此，由晶体管 162 的漏电流引起的浮动栅部分 FG 中累积的电荷的丢失是可忽略的。即，利用包含氧化物半导体的晶体管 162，可实现在不供电情况下存储数据的非易失性存储器件。

[0240] 例如，当晶体管 162 的截止电流在室温（25℃）下为小于或等于 10zA（1zA（仄普托安培）为  $1 \times 10^{-21}$ A），且电容器 164 的电容值为约 10fF 时，数据可存储达  $10^4$  秒或更长。毋

庸赘言,存储时间取决于晶体管特性和电容值。

[0241] 此外,在此情况下,在常规浮动栅晶体管中指出的栅绝缘膜(隧道绝缘膜)劣化的问题不存在。也就是说,通常被视为是问题的由电子注入浮动栅引起的栅绝缘膜的劣化可被忽略。这意味着,原则上对写入的次数没有限制。此外,常规浮动栅晶体管中写入或擦除所需的高电压也是不必要的。

[0242] 图 15A 中的半导体器件中诸如晶体管之类的组件可被视为由图 15B 所示的电阻器和电容器构成。即,在图 15B 中,晶体管 160 和电容器 164 各自被视为包括电阻器和电容器。 $R_1$  和  $C_1$  分别表示电容器 164 的电阻值和电容值。电阻值  $R_1$  与取决于电容器 164 中包括的绝缘层的电阻值相对应。 $R_2$  和  $C_2$  分别表示晶体管 160 的电阻值和电容值。电阻值  $R_2$  与取决于晶体管 160 导通时栅绝缘层的电阻值相对应。电容值  $C_2$  对应于所谓栅极电容的电容值(在栅电极和源电极或漏电极之间形成的电容以及在栅电极和沟道形成区之间形成的电容)。

[0243] 在晶体管 162 的栅极泄漏足够小且满足  $R_1 \geq R_{OS}$  和  $R_2 \geq R_{OS}$  的条件下,电子保持周期(也称为数据存储周期)主要由晶体管 162 的截止电流确定,其中在晶体管 162 截止的情况下的源电极和漏电极之间的电阻值(也称为有效电阻)为  $R_{OS}$ 。

[0244] 另一方面,在不满足上述条件时,即使晶体管 162 的截止电流足够小,也难以充分确保保持周期。这是因为晶体管 162 的除截止电流之外的漏电流(如在源电极和栅电极之间生成的漏电流)较大。因而,可以说本实施例揭示的半导体器件理想地满足了上述关系。

[0245] 理想的是满足  $C_1 \geq C_2$ 。如果  $C_1$  较大,则在由第五线控制浮动栅部分 FG 的电位时(例如,在读取时),可抑制第五线的电位的变化。

[0246] 当满足上述关系时,可实现更优选的半导体器件。注意, $R_1$  和  $R_2$  由晶体管 160 的栅绝缘层和电容器 164 的绝缘层来控制。同样的关系适用于  $C_1$  和  $C_2$ 。因此,按需理想地设定栅绝缘层的材料、厚度等以满足上述关系。

[0247] 在本实施例中所述的半导体器件中,浮动栅部分 FG 具有类似于闪存等的浮动栅晶体管的浮动栅的效果,但是本实施例的浮动栅部分 FG 具有与闪存等的浮动栅本质上不同的特征。在闪存的情况下,由于施加到控制栅极的电压较高,因此必需保持单元间的适当距离以防止电位影响邻近单元的浮动栅。对于半导体器件的高度集成,这是抑制因素之一。该因素归因于闪存的基本原理,其中隧穿电流在施加高电场时流动。

[0248] 此外,由于闪存的上述原理,发生绝缘膜的劣化,并且因此出现限制重写次数(约  $10^4$  至  $10^5$  次)的另一问题。

[0249] 根据所揭示发明的半导体器件通过开关包含氧化物半导体的晶体管来操作,而不使用由隧穿电流的电荷注入的上述原理。即,与闪存不同,不需要用于电荷注入的高电场。因此,无需考虑来自控制栅极的高电场对邻近单元的影响,这便于高度集成。

[0250] 此外,不利用隧穿电流的电荷注入,这意味着不存在使存储单元劣化的原因。换言之,根据所揭示发明的半导体器件具有比闪存更高的耐久性和可靠性。

[0251] 此外,同样有利的是,与闪存相比,不需要高电场并且不需要大型辅助电路(如升压电路)。

[0252] 在  $C_1$  中包括的绝缘层的介电常数  $\epsilon_{r1}$  与  $C_2$  中包括的绝缘层的介电常数  $\epsilon_{r2}$  不同的情况下,在满足  $2 \cdot S_2 \geq S_1$  (合乎需要的是  $S_2 \geq S_1$ ) 的同时容易满足  $C_1 \geq C_2$ ,其中

S1 是 C1 的面积, 而 S2 是 C2 的面积。具体而言, 例如, 诸如氧化铪之类的高 k 材料形成的膜或诸如氧化铪之类的高 k 材料形成的叠层以及氧化物半导体形成的膜用于 C1 以使  $\epsilon_{r1}$  可设为大于或等于 10, 优选为大于或等于 15, 并且氧化硅用于 C2 以使  $\epsilon_{r2}$  可设为 3 至 4。这种结构的组合使得根据所揭示发明的半导体器件的高度集成成为可能。

[0253] 注意, 在以上描述中, 使用 n 沟道晶体管。然而, 毋庸赘言, 可使用 p 沟道晶体管来代替 n 沟道晶体管。

[0254] 如上所述, 根据所揭示发明的实施例的半导体器件具有非易失性存储单元, 其包括其中在截止状态下源极和漏极之间的漏电流 (截止电流) 较小的写入晶体管、由与写入晶体管不同的半导体材料形成的读取晶体管、以及电容器。

[0255] 写入晶体管的截止电流为小于或等于  $100\text{zA}$  ( $1 \times 10^{-19}\text{A}$ ), 优选为在室温 (如  $25^\circ\text{C}$ ) 下小于或等于  $10\text{zA}$  ( $1 \times 10^{-20}\text{A}$ ), 更优选为在室温 (如  $25^\circ\text{C}$ ) 下小于或等于  $1\text{zA}$  ( $1 \times 10^{-21}\text{A}$ )。在一般硅半导体的情况下, 难以获得上述的小截止电流。然而, 在通过在适当条件下处理氧化物半导体获得的晶体管中, 可获得小截止电流。因此, 优选将包含氧化物半导体的晶体管用作写入晶体管。

[0256] 此外, 包含氧化物半导体的晶体管具有小亚阈值摆幅 (S 值), 从而即使迁移率相当低, 开关速率也可足够高。因此, 通过将该晶体管用作写入晶体管, 给予浮动栅部分 FG 的写入脉冲的上升可以非常陡。此外, 截止电流较小, 并且由此浮动栅部分 FG 中保持的电荷量可减少。即, 通过使用包含氧化物半导体的晶体管, 可以高速执行数据的重写。

[0257] 至于读取晶体管, 使用以高速操作的晶体管以提高读取速率是合乎需要的。例如, 优选将开关速率为小于或等于 1 纳秒的晶体管用作读取晶体管。

[0258] 通过使写入晶体管导通以使电位供应至其中写入晶体管的源电极和漏电极之一、电容器的电极之一、以及读取晶体管的栅电极电连接的浮动栅部分 FG, 并且然后使写入晶体管截止以使预定量的电荷保持在浮动栅部分 FG 中, 来将数据写入存储单元。在此, 写入晶体管的截止电流非常小; 由此, 供应至浮动栅部分 FG 的电荷保持达较长时间。当截止电流例如基本上为 0 时, 常规 DRAM 所需的刷新操作可以是不必要的, 或者刷新操作的频率可相当低 (例如, 约一个月或一年一次)。因此, 可充分降低半导体器件的功耗。

[0259] 此外, 可通过将新数据盖写至存储单元而直接重写数据。因此, 不需要对闪存等来说必要的擦除操作, 并且可抑制由擦除操作引起的操作速度的降低。换言之, 可实现半导体器件的高速操作。此外, 常规浮动栅晶体管写入和擦除数据所需的高电压是不必要的; 由此, 可进一步降低半导体器件的功耗。根据本实施例施加到存储单元的最高电压 (同时施加到存储单元的各个端子的最高电位与最低电位之差) 在写入二阶数据 (1 位) 的情况下在每个存储单元中可为小于或等于 5V, 或者小于或等于 3V。

[0260] 根据所揭示发明的半导体器件中所设置的存储单元可包括至少写入晶体管和读取晶体管; 因此, 例如, 与需要每个存储单元中六个晶体管的 SRAM 相比, 每个存储单元的面积可足够小。换言之, 存储单元可以高密度排列在半导体器件中。

[0261] 在常规浮动栅晶体管中, 在写入操作期间电荷在栅绝缘膜 (隧道绝缘膜) 中行进, 从而无法避免栅绝缘膜 (隧道绝缘膜) 的劣化。相反, 在根据本发明的实施例的存储单元中, 通过写入晶体管的开关操作写入数据; 因此, 不存在栅绝缘膜的劣化。这意味着原则上对写入的次数没有限制, 并且重写耐久性很高。例如, 在根据本发明的一个实施例的存储单

元中,即使在数据写入  $1 \times 10^9$  次或更多次(十亿次或更多次)之后,电流-电压特性也不会退化。

[0262] 此外,在使用包含氧化物半导体的晶体管作为存储单元的写入晶体管的情况下,即使在例如  $150^\circ\text{C}$  的高温下存储单元的电流-电压特性也不会退化,因为氧化物半导体一般具有宽带隙(例如,在 In-Ga-Zn-O 基氧化物半导体的情况下为 3.0 至 3.5eV)以及极少数的热激发载流子。

[0263] 通过使用这种具有优异特性的晶体管作为存储单元的写入晶体管,可提供具有新颖特征的半导体器件。

[0264] 本实施例中所描述的方法和结构可与其他实施例中所描述的任一种方法和结构适当地组合。

[0265] (实施例 3)

[0266] 在本实施例中,将参考图 16、图 17A 和 17B、图 18A 至 18C、图 19、图 20 和图 21 来描述根据所揭示发明的另一实施例的半导体器件的应用示例。

[0267] 图 16 示出根据本实施例的半导体器件的示意图。

[0268] 图 16 是包括图 1 或图 15A 所示的多个半导体器件(下文中也称为存储单元 1200)的半导体器件的电路图的示例。

[0269] 图 16 中的半导体器件包括其中多个存储单元 1200 排列成矩阵的存储单元阵列、第一驱动电路 1211、第二驱动电路 1212、第三驱动电路 1213、第四驱动电路 1214、电连接至第一驱动电路 1211 的多条线 L1、电连接至第二驱动电路 1212 的多条线 L2、电连接至第三驱动电路 1213 的多条线 L3、以及电连接至第四驱动电路 1214 的多条线 L4。

[0270] 如图 16 所示,线 L1、L2、L3、和 L4 电连接至各个存储单元 1200。因此,可使用第一驱动电路 1211、第二驱动电路 1212、第三驱动电路 1213、和第四驱动电路 1214 来控制各个存储单元 1200 的操作。存储单元 1200 排列成矩阵,并且线 L1、L2、L3、和 L4 设置在网格图案的行方向和列方向,由此可在存储单元 1200 的各行或各列执行半导体器件的写入操作和读取操作。

[0271] 注意,在图 16 中从第一驱动电路 1211 至第四驱动电路 1214 中的每一个的一条线电连接到存储单元 1200;然而,所揭示发明不限于此。来自驱动电路中的任一个或一部分的多条线可电连接到存储单元 1200。或者,可采用其中任一驱动电路的线或部分驱动电路的线不电连接到存储单元 1200 中的任一个或一部分的结构。

[0272] 在图 16 中的半导体器件中,第一驱动电路 1211、第二驱动电路 1212、第三驱动电路 1213、和第四驱动电路 1214 分开设置;然而,所揭示发明不限于此。可替换地使用具有该些功能中的任一种或一部分的驱动电路。注意,合乎需要的是驱动电路使用单晶半导体材料来形成,以确保足够的操作速度。例如,优选使用体硅(所谓的硅晶片)。

[0273] 接着,将描述更具体的配置示例。

[0274] 图 17A 和 17B 是各自包括图 15A 所示的多个半导体器件(下文中也称为存储单元 400)的半导体器件的电路图的示例。图 17A 是其中存储单元 400 串联连接的所谓 NAND 半导体器件的电路图,而图 17B 是其中存储单元 400 并联连接的所谓 NOR 半导体器件的电路图。

[0275] 图 17A 中的半导体器件包括源极线 SL、位线 BL、第一信号线 S1、多条第二信号线

S2、多条字线 WL、和多个存储单元 400。在图 17A 中，一条源极线 SL 和一条位线 BL 被设置在半导体器件中；然而，所揭示发明的实施例不限于此。可设置多条源极线 SL 和多位线 BL。

[0276] 在各个存储单元 400 中，晶体管 160 的栅电极、晶体管 162 的源电极和漏电极之一、以及电容器 164 的电极之一彼此电连接。第一信号线 S1 与晶体管 162 的源电极和漏电极中的另一个彼此电连接，并且第二信号线 S2 与晶体管 162 的栅电极彼此电连接。字线 WL 与电容器 164 的电极中的另一个彼此电连接。

[0277] 此外，存储单元 400 中包括的晶体管 160 的源电极电连接到邻近存储单元 400 中的晶体管 160 的漏电极。存储单元 400 中包括的晶体管 160 的漏电极电连接到邻近存储单元 400 中的晶体管 160 的源电极。注意，串联连接的多个存储单元中设置在一端的存储单元 400 中所包括的晶体管 160 的漏电极电连接到位线 BL。串联连接的多个存储单元中设置在另一端的存储单元 400 中所包括的晶体管 160 的源电极电连接到源极线 SL。

[0278] 在图 17A 中的半导体器件中，在各行中进行写入操作和读取操作。写入操作执行如下。将使晶体管 162 导通电位供应至要执行写入的行的第二信号线 S2，从而使要执行写入的该行的晶体管 162 导通。因此，将第一信号线 S1 的电位供应至指定行的晶体管 160 的栅电极，从而将预定电荷给予栅电极。由此，数据可被写入指定行的存储单元。

[0279] 此外，读取操作执行如下。首先，将使晶体管 160 导通而不管给予其栅电极的电荷多少的电位供应至除了要执行读取的行以外的行的字线 WL，从而使除了要执行读取的行以外的行的晶体管 160 导通。然后，将取决于晶体管 160 的栅电极的电荷确定晶体管 160 的导通状态或截止状态的电位（读取电位）供应至要执行读取的行的字线 WL。之后，将恒定电位供应至源极线 SL，从而操作连接至位线 BL 的读取电路（未示出）。在此，除了要执行读取的行的晶体管 160，源极线 SL 和位线 BL 之间的多个晶体管 160 导通；因此，源极线 SL 和位线 BL 之间的导电性由要执行读取的行的晶体管 160 的状态（导通状态或截止状态）确定。执行读取的晶体管 160 的导电性取决于其栅电极中的电荷。因此，位线 BL 的电位相应地变化。通过由读取电路读取位线 BL 的电位，可从指定行的存储单元读取数据。

[0280] 图 17B 中的半导体器件包括多条源极线 SL、多位线 BL、多条第一信号线 S1、多条第二信号线 S2、多条字线 WL、以及多个存储单元 400。晶体管 160 的栅电极、晶体管 162 的源电极和漏电极之一、以及电容器 164 的电极之一彼此电连接。源极线 SL 和晶体管 160 的源电极彼此电连接。位线 BL 和晶体管 160 的漏电极彼此电连接。第一信号线 S1 与晶体管 162 的源电极和漏电极中的另一个彼此电连接，并且第二信号线 S2 与晶体管 162 的栅电极彼此电连接。字线 WL 与电容器 164 的电极中的另一个彼此电连接。

[0281] 在图 17B 中的半导体器件中，在各行中进行写入操作和读取操作。写入操作以与图 17A 中的半导体器件类似的方式执行。读取操作执行如下。首先，将使晶体管 160 截止而不管给予其栅电极的电荷多少的电位供应至除了要执行读取的行以外的行的字线 WL，从而使除了要执行读取的行以外的行的晶体管 160 截止。然后，将取决于晶体管 160 的栅电极的电荷确定晶体管 160 的导通状态或截止状态的电位（读取电位）供应至要执行读取的行的字线 WL。之后，将恒定电位供应至源极线 SL，从而操作连接至位线 BL 的读取电路（未示出）。在此，源极线 SL 和位线 BL 之间的导电性由要执行读取的行的晶体管 160 的状态（导通状态或截止状态）确定。即，位线 BL 的电位取决于要执行读取的行的晶体管 160 的

栅电极中的电荷。通过由读取电路读取位线 BL 的电位,可从指定行的存储单元读取数据。

[0282] 虽然在以上描述中可存储在每个存储单元 400 中的数据的数据的量是 1 位,但是本实施例的存储器件的结构不限于此。通过准备三个或更多个的供应至晶体管 160 的栅电极的电位,存储在每个存储单元 400 中的数据的数据的量可增加。例如,在供应至晶体管 160 的栅电极的电位的数量为 4 的情况下,在每个存储单元中可存储两位数据。

[0283] 接着,将参考图 18A 至 18C 描述可用于图 17A 和 17B 等中的半导体器件的读取电路的示例。

[0284] 图 18A 示出读取电路的示意图。读取电路包括晶体管和读出放大器电路。

[0285] 在读取数据时,端子 A 连接至位线 BL,该位线 BL 与从中读取数据的存储单元连接。此外,将偏压电位  $V_{bias}$  施加到晶体管的栅电极,从而控制端子 A 的电位。

[0286] 存储单元 400 的电阻取决于所存储数据而变化。具体而言,当所选存储单元 400 的晶体管 160 导通时,存储单元 400 具有低电阻,而当所选存储单元 400 的晶体管 160 截止时,存储单元 400 具有高电阻。

[0287] 当存储单元具有高电阻时,端子 A 的电位高于参考电位  $V_{ref}$ ,并且读出放大器电路输出与端子 A 的电位相对应的电位。另一方面,当存储单元具有低电阻时,端子 A 的电位低于参考电位  $V_{ref}$ ,并且读出放大器电路输出与端子 A 的电位相对应的电位。

[0288] 由此,通过使用读取电路,可从存储单元读取数据。注意,本实施例的读取电路是一个示例。可使用另一电路。读取电路可进一步包括预充电电路。代替参考电位  $V_{ref}$ ,参考位线 BL 可连接到读出放大器电路。

[0289] 图 18B 示出作为读出放大器电路的示例的差分读出放大器。差分读出放大器具有输入端子  $V_{in}(+)$  和  $V_{in}(-)$  以及输出端子  $V_{out}$ ,并且放大  $V_{in}(+)$  和  $V_{in}(-)$  之间的电位差。如果  $V_{in}(+)$  的电位高于  $V_{in}(-)$  的电位,则  $V_{out}$  输出信号 High(高),而如果  $V_{in}(+)$  的电位低于  $V_{in}(-)$  的电位,则  $V_{out}$  输出信号 Low(低)。在差分读出放大器用于读取电路的情况下, $V_{in}(+)$  和  $V_{in}(-)$  中的一个连接到端子 A,并且参考电位  $V_{ref}$  供应至  $V_{in}(+)$  和  $V_{in}(-)$  中的另一个。

[0290] 图 18C 示出作为读出放大器电路的示例的锁存读出放大器。锁存读出放大器具有输入/输出端子  $V_1$  和  $V_2$  以及控制信号  $S_p$  和  $S_n$  的输入端子。首先,将控制信号  $S_p$  和  $S_n$  分别设定为信号 High 和信号 Low,并且中断电源电位 ( $V_{dd}$ )。之后,将用于比较的各个电位  $V_{1in}$  和  $V_{2in}$  分别供应至  $V_1$  和  $V_2$ 。之后,将控制信号  $S_p$  和  $S_n$  分别设定为信号 Low 和信号 High,并且供应电源电位 ( $V_{dd}$ )。如果对于用于比较的电位  $V_{1in}$  和  $V_{2in}$  满足  $V_{1in} > V_{2in}$ ,则  $V_1$  的输出是信号 High, $V_2$  的输出的是信号 Low,而如果满足  $V_{1in} < V_{2in}$ ,则  $V_1$  的输出是信号 Low, $V_2$  的输出的是信号 High。通过利用这种关系,可放大  $V_{1in}$  和  $V_{2in}$  之差。在锁存读出放大器用于读取电路的情况下, $V_1$  和  $V_2$  中的一个通过开关连接至端子 A 和输出端子,并且参考电位  $V_{ref}$  供应至  $V_1$  和  $V_2$  中的另一个。

[0291] 图 19 是包括图 15A 中的多个半导体器件的半导体器件的电路图的示例。图 19 中的半导体器件具有  $m \times n$  位的存储容量。

[0292] 图 19 中的半导体器件包括其中  $m$  条字线 WL、 $m$  条第二信号线  $S_2$ 、 $n$  条位线 BL、 $n$  条源极线 SL、 $n$  条第一信号线  $S_1$  和多个存储单元 1100 排列成  $m$ (行)(垂直方向)  $\times$   $n$ (列)(水平方向)( $m$  和  $n$  是自然数)的矩阵的存储单元阵列,以及第一驱动电路 1111、第二驱动



电路 1112、第三驱动电路 1113、和第四驱动电路 1114 的外围电路。在此,任一上述实施例中描述的配置(例如,图 15A 中的配置)应用于存储单元 1100。

[0293] 即,各个存储单元 1100 包括第一晶体管 160、第二晶体管 162 和电容器 164。第一晶体管 160 的栅电极、第二晶体管 162 的源电极和漏电极之一、以及电容器 164 的电极之一彼此连接。源极线 SL 与第一晶体管 160 的源电极彼此连接。位线 BL 与第一晶体管 160 的漏电极彼此连接。第一信号线 S1 与第二晶体管 162 的源电极和漏电极中的另一个彼此连接。第二信号线 S2 与第二晶体管 162 的栅电极彼此连接。字线 WL 与电容器 164 的电极中的另一个彼此连接。

[0294] 此外,存储单元 1100 在源极线 SL 和位线 BL 之间并联连接。例如,第  $i$  行第  $j$  列 ( $i, j$ ) ( $i$  是大于或等于 1 且小于或等于  $m$  的整数,且  $j$  是大于或等于 1 且小于或等于  $n$  的整数) 的存储单元 1100 连接到源极线 SL( $j$ )、位线 BL( $j$ )、第一信号线 S1( $j$ )、字线 WL( $i$ )、以及第二信号线 S2( $i$ )。

[0295] 源极线 SL 和位线 BL 连接到第一驱动电路 1111。第一信号线 S1 连接到第二驱动电路 1112。第二信号线 S2 连接到第三驱动电路 1113。字线 WL 连接到第四驱动电路 1114。注意,在此,第一驱动电路 1111、第二驱动电路 1112、第三驱动电路 1113、和第四驱动电路 1114 分开设置;然而,所揭示发明不限于此。可替换地使用具有该些功能中的任一种或一部分的解码器。

[0296] 接着,将参考图 20 的时序图描述图 19 中的半导体器件的写入操作和读取操作。

[0297] 虽然,为了简化起见将描述两行和两列的半导体器件的操作,但是所揭示发明不限于此。

[0298] 图 20 是示出图 19 的半导体器件的操作的图表。在图 20 中,S1(1) 和 S1(2) 是第一信号线 S1 的电位;S2(1) 和 S2(2) 是第二信号线 S2 的电位;BL(1) 和 BL(2) 是位线 BL 的电位;WL(1) 和 WL(2) 是字线 WL 的电位;并且 SL(1) 和 SL(2) 是源极线 SL 的电位。

[0299] 首先,将要描述将数据写入第一行中的存储单元 (1,1) 和存储单元 (1,2) 以及从第一行中的存储单元 (1,1) 和存储单元 (1,2) 读取数据。注意,在以下描述中,假设要写入存储单元 (1,1) 的数据是“1”,而要写入存储单元 (1,2) 的数据是“0”。

[0300] 首先,将描述写入。在第一行的写入周期中,将电位  $V_H$  供应至第一行的第二信号线 S2(1),从而使第一行的第二晶体管 162 导通。此外,将 0V 电位供应至第二行的第二信号线 S2(2),从而使第二行的第二晶体管 162 截止。

[0301] 接着,将电位  $V_2$  和电位 0V 分别施加到第一列的第一信号线 S1(1) 和第二列的第一信号线 S1(2)。

[0302] 结果,将电位  $V_2$  和电位 0V 分别施加到存储单元 (1,1) 的浮动栅部分 FG 和存储单元 (1,2) 的浮动栅部分 FG。在此,电位  $V_2$  高于第一晶体管 160 的阈值电压。此后,将第一行的第二信号线 S2(1) 的电位设为 0V,从而使第一行的第二晶体管 162 截止。由此,完成写入。

[0303] 注意,字线 WL(1) 和 WL(2) 为 0V 电位。此外,在第一行的第一信号线 S1(1) 的电位改变之前,将第一行的第二信号线 S2(1) 的电位设为 0V。假设在存储元件中连接到字线 WL 的端子是控制栅电极、第一晶体管 160 的源电极是源电极、且第二晶体管 162 的漏电极是漏电极,则已写入数据的存储元件的阈值电压在数据“0”的情况下为  $V_{w0}$ ,并且在数据“1”

的情况下为  $V_{w1}$ 。在此,存储单元的阈值电压表示连接到字线 WL 的端子的电压,其改变第一晶体管 160 的源电极和漏电极之间的电阻。注意,满足  $V_{w0} > 0 > V_{w1}$ 。

[0304] 接着,将描述读取。在第一行的读取周期中,将电位 0V 和电位 VL 分别供应至第一行的字线 WL(1) 和第二行的字线 WL(2)。电位 VL 低于阈值电压  $V_{w1}$ 。当 WL(1) 处于 0V 电位时,在第一行中,其中存储数据“0”的存储单元 (1,2) 的第一晶体管 160 截止,而其中存储数据“1”的存储单元 (1,1) 的第一晶体管 160 导通。当 WL(2) 处于电位 VL 时,在第二行中,其中存储数据“0”或数据“1”的存储单元 (2,1) 和 (2,2) 的第一晶体管 160 截止。

[0305] 接着,将 0V 电位供应至第一列的源极线 SL(1) 和第二列的源极线 SL(2)。

[0306] 结果,位线 BL(1) 和源极线 SL(1) 之间的存储单元 (1,1) 的第一晶体管 160 导通,由此具有低电阻,而位线 BL(2) 和源极线 SL(2) 之间的存储单元 (1,2) 的第一晶体管 160 截止,由此具有高电阻。连接到位线 BL(1) 和位线 BL(2) 的读取电路可基于位线间电阻的不同来读取数据。

[0307] 此外,将 0V 电位和电位 VL 分别供应至第二信号线 S2(1) 和第二信号线 S2(2),从而所有第二晶体管 162 截止。第一行的浮动栅部分 FG 的电位为 0V 或  $V_2$ ;由此,第二信号线的电位 S2(1) 设为 0V,由此可使第一行的所有第二晶体管 162 截止。另一方面,如果将电位 VL 供应至字线 WL(2),则第二行的浮动栅部分 FG 的电位低于在数据写入之后即刻的电位。因此,为了防止第二晶体管 162 导通,类似于字线 WL(2) 的电位将第二信号线 S2(2) 的电位设为低。由此,可使所有第二晶体管 162 截止。

[0308] 接着,将描述在图 21 中的电路用作读取电路的情况下的输出电位。由于位线 BL(1) 和源极线 SL(1) 之间的电阻为低,因此低电位被供应至时控反相器,并且输出 D(1) 是信号 High。由于位线 BL(2) 和源极线 SL(2) 之间的电阻为高,因此高电位被供应至时控反相器,并且输出 D(2) 是信号 Low。

[0309] 对于操作电压,可以假设,例如满足  $V_{DD} = 2V, V_2 = 1.5V, V_H = 2V$ , 以及  $V_L = -2V$ 。

[0310] 如本实施例中所述,通过设置多个存储单元,可增加半导体器件的存储容量。注意,可适当地设计存储单元的数量和排列、线的数量和排列、驱动电路的数量和排列等;因此,它们不限于上述结构。

[0311] 本实施例中所述的方法和结构可与其他实施例中所述的任一种方法和结构适当地组合。

[0312] (实施例 4)

[0313] 在本实施例中,将参考图 22A 和 22B、图 23A 至 23D、以及图 24A 至 24C 来描述不同于实施例 1 和 2 的、根据所揭示发明的另一实施例的半导体器件的结构和制造方法。注意,该实施例中将描述的晶体管 260、晶体管 262 和电容器 264 可分别用作上述实施例的电路图 中的晶体管 160、晶体管 162 和电容器 164。

[0314] < 半导体器件的截面结构和平面结构 >

[0315] 图 22A 和 22B 示出半导体器件的结构示例。图 22A 示出半导体器件的截面,而图 22B 示出半导体器件的平面图。在此,图 22A 对应于沿图 22B 中的线 C1-C2 和线 D1-D2 的截面。在图 22B 的平面图中,省略诸如源电极 / 漏电极 254 和线 256 之类的一些组件以避免复杂。图 22A 和 22B 中所示的半导体器件包括在下部的包含氧化物半导体之外的半导体材料的晶体管 260 和在上部的包含氧化物半导体的晶体管 262。使用除氧化物半导体以

外的半导体材料形成的晶体管可容易地以高速操作。另一方面,包含氧化物半导体的晶体管归因于其特性可保持电荷达较长时间。

[0316] 虽然在此所有晶体管都是 n 沟道晶体管,但是毋庸赘言可使用 p 沟道晶体管。由于所揭示发明的技术本质是在晶体管 262 中使用氧化物半导体从而能够存储数据,因此无需将半导体器件的具体结构限制于此处所述的结构。

[0317] 在图 22A 和 22B 中的半导体器件中,晶体管 262 和电容器 264 被设置成与晶体管 260 重叠。通过采用图 22B 中的这种平面布局,高度集成是可能的。例如,给定最小处理尺寸为 F,则存储单元所占面积可以是  $15F^2$  至  $25F^2$ 。

[0318] 图 22A 和 22B 中的半导体器件与上述实施例中描述的半导体器件的不同之处在于晶体管 260 中不设置侧壁绝缘层。即,图 22A 和 22B 中的半导体器件不包括侧壁绝缘层。由于不形成侧壁绝缘层,因此不形成杂质区 114(例如,参见图 2A 和 2B)。由此,在不设置侧壁绝缘层的情况下,与设置侧壁绝缘层的情况相比更容易高度集成。此外,与设置侧壁绝缘层的情况相比,可简化制造工艺。

[0319] 图 22A 和 22B 中的半导体器件与上述实施例中描述的半导体器件的不同之处还在于晶体管 260 中设置的层间绝缘层。即,图 22A 和 22B 中的半导体器件包括与晶体管 260 的金属化合物区 224 接触的含氢的层间绝缘层 225。通过设置含氢的层间绝缘层 225 以与金属化合物区 224 接触,可将氢供应至晶体管 260 以改进晶体管 260 的特性。作为层间绝缘层 225,例如给出通过等离子体 CVD 法形成的含氢的氮化硅层。此外,通过将其中氢浓度较低的绝缘层用作层间绝缘层 226,可防止可不利地影响晶体管 262 的氢进入晶体管 262。作为层间绝缘层 226,例如给出在没有氢的情况下通过溅射法形成的氮化硅层。当采用这种结构时,可充分地改进晶体管 260 和 262 的特性。注意,在图 22A 和 22B 中,衬底 200、元件隔离绝缘层 206、栅绝缘层 208、栅电极 210、沟道形成区 216、高浓度杂质区 220、以及金属化合物区 224 分别对应于实施例 1 中的衬底 100、元件隔离绝缘层 106、栅绝缘层 108、栅电极 110、沟道形成区 116、高浓度杂质区 120、以及金属化合物区 124。

[0320] 图 22A 和 22B 中的半导体器件与上述实施例的半导体器件的不同之处还在于,在晶体管 262 中,绝缘层 243a 和 243b 分别设置在氧化物半导体层 244 和源电极 242a 之间以及氧化物半导体层 244 和漏电极 242b 之间。通过如此设置绝缘层 243a 和 243b,可减小由栅电极 248a 和源电极 242a(或者栅电极 248a 和漏电极 242b)形成的所谓栅极电容,以提高晶体管 262 的操作速度。

[0321] 注意,与实施例 1 中一样,源电极 242a 直接在栅电极 210 上形成,由此下部的晶体管 260 和上部的晶体管 262 彼此电连接。通过这种结构,与额外地设置电极和线的情况相比,可提高集成度。此外,可简化制造工艺。

[0322] 虽然本实施例中描述了包括所有不同的结构,但是可采用包括这些不同中的任一个的结构。

[0323] <用于制造半导体器件的方法>

[0324] 接着,将描述用于制造上述半导体器件的方法的示例。下文中,将参考图 23A 至 23D 以及图 24A 至 24C 描述在形成下部的晶体管 260 之后执行的步骤以及用于制造上部的晶体管 262 的方法。下部的晶体管 260 可用类似于实施例 1 中所述方法的方法形成。对于细节,可参考实施例 1。注意,在该实施例中设置电容器 264。此外,在本实施例中形成三个

层间绝缘层 225、226、和 228 以覆盖晶体管 260。注意,在本实施例中通过晶体管 260 的制造工艺不形成实施例 1 中的源电极 / 漏电极 130a 和 130b,并且为了方便起见,即使其中不形成源电极 / 漏电极 130a 和 130b 的结构仍称为晶体管 260。

[0325] 首先通过实施例 1 中描述的方法形成下部的 260 晶体管,然后去除晶体管 260 的栅电极 210 的顶表面上的部分。对于去除步骤,可使用诸如 CMP(化学机械抛光)之类的抛光处理。因此,去除栅电极 210 的顶表面上的层间绝缘层 225、226 和 228 的部分。注意,经受这种抛光处理的表面被充分地平面化,由此在后来的步骤中可顺利地形成电极、线、绝缘层、半导体层等。

[0326] 接着,在栅电极 210 以及层间绝缘层 225、226 和 227 上形成导电层,并且选择性地蚀刻导电层,从而形成源电极和漏电极 242a 和 242b(参见图 23A)。在此,源电极 242a 形成与栅电极 210 直接接触。

[0327] 可使用类似于实施例 1 中所述的源电极 / 漏电极 142a 和 142b 的材料来形成用于形成源电极和漏电极 242a 和 242b 的导电层。此外,可用类似于实施例 1 中所述方法的方法来蚀刻导电层。对于细节,可参考实施例 1。

[0328] 接着,形成绝缘层以覆盖源电极和漏电极 242a 和 242b,并选择性地蚀刻绝缘层,从而绝缘层 243a 和 243b 分别在源电极和漏电极 242a 和 242b 上形成(参见图 23B)。

[0329] 通过设置绝缘层 243a 和 243b,可减小在后来形成的栅电极 248a 与源电极和漏电极 242a 和 242b 之间形成的寄生电容。

[0330] 之后,形成氧化物半导体层 244 以覆盖源电极和漏电极 242a 和 242b,并且栅绝缘层 246 在氧化物半导体层 244 上形成(参见图 23C)。

[0331] 氧化物半导体层 244 可使用实施例 1 中所述的氧化物半导体层 140 的材料和方法来形成。此外,合乎需要的是氧化物半导体层 244 经历热处理(第一热处理)。对于细节,可参考实施例 1。

[0332] 栅绝缘层 246 可使用实施例 1 中所述的栅绝缘层 138 的材料和方法来形成。此外,合乎需要的是,所形成的栅绝缘层 246 经历惰性气体气氛或氧气气氛中的热处理(第二热处理)。对于细节,可参考实施例 1。

[0333] 接着,在栅绝缘层 246 上,在与晶体管 262 的用作沟道形成区的区域重叠的区域中形成栅电极 248a,并且在与源电极 242a 重叠的区域中形成电极 248b(参见图 23D)。

[0334] 栅电极 248a 和电极 248b 可以如下方式形成:在栅绝缘层 246 上形成导电层并且之后选择性地蚀刻该导电层。将成为栅电极 248a 和电极 248b 的导电层可通过以溅射法为代表的 PVD 法或者诸如等离子体 CVD 法之类的 CVD 法来形成。细节类似于源电极 242a 等;因此可参考其描述。

[0335] 接着,在栅绝缘层 246、栅电极 248a 和电极 248b 上形成层间绝缘层 250 和 252(参见图 24A)。层间绝缘层 250 和 252 可使用实施例 1 中所述的保护绝缘层 144 和层间绝缘层 146 的材料和方法形成。对于细节,可参考实施例 1。

[0336] 注意,合乎需要的是形成层间绝缘层 252 以具有平面化的表面。这是因为即使在例如半导体器件的尺寸减小的情况下,也可在层间绝缘层 252 上顺利地形成电极、线等。可使用诸如 CMP(化学机械抛光)之类的方法来使层间绝缘层 252 平面化。

[0337] 之后,选择性地蚀刻层间绝缘层 225、226 和 228、氧化物半导体层 244、栅绝缘层

246、以及层间绝缘层 250 和 252,从而形成到达晶体管 260 的金属化合物区 224 的开口(参见图 24B)。干法蚀刻或湿法蚀刻可被用作该蚀刻;在微型制造方面合乎需要的是采用干法蚀刻。

[0338] 形成源电极/漏电极 254 以嵌入开口中。之后,形成线 256 以连接到源电极/漏电极 254(参见图 24C)。

[0339] 源电极/漏电极 254 可用例如以下方式形成:在包括开口的区域中通过 PVD 法、CVD 法等形式形成导电层、并且随后通过蚀刻、CMP 等来去除导电层的一部分。具体地,有可能采用例如其中在包括开口的区域中通过 PVD 法形成钛薄膜且通过 CVD 法形成氮化钛薄膜、并且随后形成钨膜以嵌入开口中的方法。在此,通过 PVD 法形成的钛膜具有减少在其上形成有钛膜的表面上形成的氧化物膜(如,自然氧化物膜),以降低与下电极(在此例如是金属化合物区 224)的接触电阻的功能。在形成钛膜之后形成的氮化钛膜具有防止导电材料扩散的阻挡功能。在形成钛、氮化钛等的阻挡膜之后,可通过电镀法形成铜膜。

[0340] 线 256 可以如下方式形成:导电层形成为与源电极/漏电极 254 接触,并且随后选择性地蚀刻该导电层。该导电层可通过以溅射法为代表的 PVD 法,或诸如等离子体 CVD 法之类的 CVD 法来形成。细节类似于源电极 242a 等的细节。

[0341] 由此,完成包括晶体管 260、晶体管 262 和电容器 264 的半导体器件。

[0342] 在本实施例中描述的半导体器件中,例如晶体管 262 和电容器 264 与晶体管 260 重叠,晶体管 260 不包括侧壁绝缘层,源电极 242a 直接形成在栅电极 210 上;因此,高度集成是可能的。此外,简化了制造工艺。

[0343] 此外,在本实施例中描述的半导体器件中,含氢的层间绝缘层和具有降低的氢浓度的绝缘层分别用作层间绝缘层 225 和 226;因此,改进了晶体管 260 和 262 的特性。归因于绝缘层 243a 和 243b,减小所谓的栅极电容,并且由此提高了晶体管 262 的操作速度。

[0344] 本实施例中描述的以上特征使得提供具有显著优异特性的半导体器件成为可能。

[0345] 本实施例中所述的方法和结构可与其他实施例中所述的任一种方法和结构适当地组合。

[0346] (实施例 5)

[0347] 本实施例参考图 10A 至 10F 描述其中安装有任一上述实施例中获得的半导体器件的电子设备的示例。任一上述实施例中获得的半导体器件可在不供电时存储数据。此外,不造成源于写入和擦除的劣化。此外,写入和擦除的操作也是高速的。为此,有可能提供具有使用上述半导体器件的新颖结构的电子设备。注意,根据任一上述实施例的半导体器件安装在集成电路板等上,并且安装在各个电子设备的内部。

[0348] 图 10A 是笔记本型个人计算机,它包括根据任一上述实施例的半导体器件,并形成有外壳 301、外壳 302、显示部分 303、键盘 304 等。

[0349] 图 10B 是个人数字助理(PDA),它包括根据任一上述实施例的半导体器件,并设有外壳 311、显示部分 313、外部接口 315、操作按钮 314 等。此外,存在指示笔 312 作为操作附件。

[0350] 作为电子纸的示例,图 10C 输出电子书阅读器 320,它包括根据任一上述实施例的半导体器件。电子书阅读器 320 包括两个外壳——外壳 321 和外壳 323。外壳 321 和 323 通过铰链 337 附连,从而电子书阅读器 320 可沿铰链 337 打开或关闭。利用这种结构,电子

书阅读器 320 可类似于纸书一样使用。

[0351] 显示部分 325 被结合到外壳 321 中,而显示部分 327 被结合到外壳 323 中。显示部分 325 和显示部分 327 可显示一幅图像或不同图像。例如,在显示部分 325 和显示部分 327 显示不同图像的情况下,右边的显示部分(图 10C 中的显示部分 325)可显示文本,而左边的显示部分(图 10C 中的显示部分 327)可显示图形。

[0352] 图 10C 示出外壳 321 设置有操作部分等的示例。例如,外壳 321 包括电源 331、操作键 333、扬声器 335 等。可用操作键 333 翻页。注意,还可在设置有显示部分的外壳的表面上设置键盘、定点设备等。此外,外部连接端子(耳机端子、USB 端子、可连接到诸如 AC 适配器和 USB 电缆之类的各种电缆的端子等)、记录介质插入部分等可设置在外壳的背面或侧面上。此外,电子书阅读器 320 可具有电子词典的功能。

[0353] 此外,电子书阅读器 320 可无线地发送和接收数据。通过无线通信,可从电子书服务器购买和下载所需的图书数据等。

[0354] 注意,电子纸可应用于任何领域的设备,只要它们能显示数据。此外,除了电子书阅读器,电子纸可用于海报、诸如火车之类的车辆中的广告、诸如信用卡的各种卡中的显示等。

[0355] 图 10D 是包括根据任一上述实施例的半导体器件的蜂窝电话。上述蜂窝电话包括两个外壳——外壳 340 和外壳 341。外壳 341 包括显示面板 342、扬声器 343、话筒 344、指向设备 346、相机镜头 347、外部连接端子 348 等。此外,外壳 341 包括对蜂窝电话充电的太阳能电池单元 349、外部存储槽 350 等。另外,在外壳 341 中结合天线。

[0356] 显示面板 342 用作触摸板,并且在图 10D 中由虚线示出地,多个操作键 345 显示为图像。注意,蜂窝电话安装有用于使太阳能电池单元的输出电压升高到各个电路的所需电压的升压电路。此外,除了上述结构,蜂窝电话还可结合有非接触式 IC 芯片、小型存储器件等。

[0357] 在显示面板 342 中,根据使用模式可适当地改变显示方向。此外,由于相机镜头 347 设置在与显示面板 342 相同的表面上,因此蜂窝电话可用作视频电话。扬声器 343 和话筒 344 不仅可用于语音呼叫,还可用于视频电话呼叫、录音、播放声音等。此外,如图 10D 所示形成的外壳 340 和 341 可滑动,从而一个重叠在另一个上;因此,蜂窝电话的尺寸可减小,这使得蜂窝电话适于携带。

[0358] 外部连接端子 348 可连接到诸如 AC 适配器或 USB 电缆之类的各种电缆,由此蜂窝电话可被充电或可执行数据通信等。此外,通过将记录介质插入外部存储槽 350,蜂窝电话可处理大量数据的存储和转移。此外,除了上述功能外,可提供红外通信功能、电视接收功能等。

[0359] 图 10E 是包括根据任一上述实施例的半导体器件的数字相机。数字相机包括主体 361,显示部分 A 367、目镜 363、操作开关 364、显示部分 B 365、电池 366 等。

[0360] 图 10F 是包括根据任一上述实施例的半导体器件的电视机。电视机 370 具有结合在外壳 371 中的显示部分 373。可在显示部分 373 上显示图像。注意,在此,外壳 371 由支架 375 支承。

[0361] 可用外壳 371 的操作开关或独立的遥控器 380 操作电视机 370。可用遥控器 380 的操作键 379 控制频道和音量,从而控制显示部分 373 上显示的图像。此外,遥控器 380 可

具有显示部分 377,其中显示从遥控器 380 输出的信息。

[0362] 注意,电视机 370 优选设置有接收器、调制解调器等。通过利用该接收器,可接收一般的电视广播。另外,当显示设备经由调制解调器使用或不使用线缆连接至通信网络时,可执行单向(从发射器到接收器)或双向(发射器与接收器之间、接收器之间等)数据通信。

[0363] 本实施例中描述的结构、方法等可与其他实施例中描述的任一结构、方法等适当地组合。

[0364] (示例 1)

[0365] 在本示例中,将描述通过测量包括高度提纯的氧化物半导体的晶体管的截止电流获得的结果。

[0366] 首先,考虑到包括高度提纯的氧化物半导体的晶体管的非常小的截止电流,制备具有足够宽的 1 $\mu$ m 的沟道宽度的晶体管,并且测量截止电流。图 25 示出通过测量沟道宽度 W 为 1 $\mu$ m 的晶体管的截止电流获得的结果。在图 25 中,水平轴示出栅电压 V<sub>G</sub>,而垂直轴示出漏电流 I<sub>D</sub>。在漏电压 V<sub>D</sub> 为 +1V 或 +10V 且栅电压 V<sub>G</sub> 在 -5V 到 -20V 的范围内的情况下,发现晶体管的截止电流小于或等于作为检测极限的  $1 \times 10^{-13}$ A。此外,发现晶体管的截止电流(每单位沟道宽度 (1  $\mu$ m)) 小于或等于 1aA/ $\mu$ m ( $1 \times 10^{-18}$ A/ $\mu$ m)。

[0367] 接着将描述通过更准确地测量包括高度提纯的氧化物半导体的晶体管的截止电流获得的结果。如上所述,发现包括高度提纯的氧化物半导体的晶体管的截止电流小于或等于作为测量仪器的测量极限的  $1 \times 10^{-13}$ A。在此,将描述使用用于特性评估的元件,测量更准确的截止电流(小于或等于上述测量中测量仪器的检测极限的值)所获得的结果。

[0368] 首先,将参考图 26 描述用于特性评估的元件。

[0369] 在图 26 中的用于特性评估的元件中,三个测量系统 800 并联连接。测量系统 800 包括电容器 802、晶体管 804、晶体管 805、晶体管 806、以及晶体管 808。包括高度提纯的氧化物半导体的晶体管用作晶体管 804、805 和 806 中的每一个。

[0370] 在测量系统 800 中,晶体管 804 的源极端子和漏极端子中的一个、电容器 802 的端子中的一个、以及晶体管 805 的源极端子和漏极端子中的一个连接到电源(用于供应 V<sub>2</sub>)。晶体管 804 的源极端子和漏极端子中的另一个、晶体管 808 的源极端子和漏极端子中的一个、电容器 802 的端子中的另一个、以及晶体管 805 的栅极端子彼此连接。晶体管 808 的源极端子和漏极端子中的另一个、晶体管 806 的源极端子和漏极端子中的一个、以及晶体管 806 的栅极端子连接到电源(用于供应 V<sub>1</sub>)。晶体管 805 的源极端子和漏极端子中的另一个、晶体管 806 的源极端子和漏极端子中的另一个彼此连接。此外,设置输出端子。

[0371] 用于控制晶体管 804 的导通状态和截止状态的电位 V<sub>ext\_b2</sub> 被供应至晶体管 804 的栅极端子。用于控制晶体管 808 的导通状态和截止状态的电位 V<sub>ext\_b1</sub> 被供应至晶体管 808 的栅极端子。电位 V<sub>out</sub> 从输出端子输出。

[0372] 接着,将描述使用用于特性评估的元件来测量电流的方法。

[0373] 首先,将概述其中施加电位差以测量截止电流的初始周期。在初始周期中,用于使晶体管 808 导通的电位 V<sub>ext\_b1</sub> 被输入至晶体管 808 的栅极端子,而电位 V<sub>1</sub> 供应至节点 A,节点 A 是连接到晶体管 804 的源极端子和漏极端子中的另一个的节点(即,连接到晶体管 808 的源极端子和漏极端子中的一个、电容器 802 的端子中的另一个、以及晶体管 805 的栅

极端子的节点)。在此, 电位 V1 例如是高电位。晶体管 804 截止。

[0374] 之后, 用于使晶体管 808 导通的电位  $V_{ext\_b1}$  被输入到晶体管 808 的栅极端子, 从而晶体管 808 截止。在晶体管 808 截止之后, 将电位 V1 设为低。晶体管 804 仍然截止。电位 V2 是与 V1 相同的电位。由此, 完成初始周期。在完成初始周期的状态下, 在节点 A 与晶体管 804 的源极端子和漏极端子中的一个之间生成电位差, 并且同样, 在节点 A 与晶体管 808 的源极端子和漏极端子中的另一个之间生成电位差。由此, 电荷通过晶体管 804 和晶体管 808 稍稍流动。换言之, 生成截止电流。

[0375] 接着, 将概述截止电流的测量周期。在测量周期中, 晶体管 804 的源极端子和漏极端子中的一个的电位 (即, V2) 以及晶体管 808 的源极端子和漏极端子中的另一个的电位 (即, V1) 被设为低且固定。另一方面, 在测量周期中, 节点 A 的电位不固定 (节点 A 为浮动状态)。因此, 电荷通过晶体管 804 流动, 并且节点 A 处保持的电荷的量随时间改变。此外, 随着节点 A 处保持的电荷的量改变, 节点 A 的电位变化。也就是说, 输出端子的输出电位  $V_{out}$  也变化。

[0376] 图 27 示出其中施加了电位差的初始周期中以及之后的测量周期中的电位之间的关系 (时序图)。

[0377] 在初始周期中, 首先, 将电位  $V_{ext\_b2}$  设为使晶体管 804 导通的电位 (高电位)。由此, 节点 A 的电位变成 V2, 即低电位 (VSS)。此后, 将电位  $V_{ext\_b2}$  设为使晶体管 804 截止的电位 (低电位), 由此使晶体管 804 截止。之后, 将电位  $V_{ext\_b1}$  设为使晶体管 808 导通的电位 (高电位)。由此, 节点 A 的电位变成 V1, 即高电位 (VDD)。之后, 将电位  $V_{ext\_b1}$  设为使晶体管 808 截止的电位。因此, 节点 A 成为浮动状态, 并且初始周期完成。

[0378] 在之后的测量周期中, 将电位 V1 和电位 V2 各自设为使电荷流向节点 A 或者从节点 A 流动的电位。在此, 电位 V1 和电位 V2 为低电位 (VSS)。注意, 在测量输出电位  $V_{out}$  时, 必须操作输出电路; 因此, 在某些情况下将 V1 临时设为高电位 (VDD)。将其中 V1 为高电位 (VDD) 的周期设为较短, 从而不影响测量。

[0379] 当如上所述地施加电位差以开始测量周期时, 节点 A 处保持的电荷的量随时间改变, 并且因此, 节点 A 的电位变化。这意味着晶体管 805 的栅极端子的电位变化, 并且因此输出端子的输出电位  $V_{out}$  也随时间流逝而变化。

[0380] 以下将描述用于根据所获得的输出电位  $V_{out}$  计算截止电流的方法。

[0381] 在计算截止电流之前, 事先获得节点 A 的电位  $V_A$  和输出电位  $V_{out}$  之间的关系。因此, 可根据输出电位  $V_{out}$  获得节点 A 的电位  $V_A$ 。根据上述关系, 节点 A 的电位  $V_A$  可用以下等式表示为输出电位  $V_{out}$  的函数。

[0382] [等式 1]

$$[0383] \quad V_A = F(V_{out})$$

[0384] 使用节点 A 的电位  $V_A$ 、连接至节点 A 的电容  $C_A$ 、以及常数 (const) 通过以下等式来表达节点 A 的电荷  $Q_A$ 。在此, 连接至节点 A 的电容  $C_A$  是电容器 802 的电容与其它电容之和。

[0385] [等式 2]

$$[0386] \quad Q_A = C_A V_A + \text{const}$$

[0387] 由于通过相对于时间对流向节点 A 的电荷求微分来获得节点 A 的电流  $I_A$ , 因此节点 A 的电流  $I_A$  用以下等式表示。



[0388] [ 等式 3]

$$[0389] \quad I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

[0390] 因此,可根据连接至节点 A 的电容  $C_A$  和输出端子的输出电位  $V_{out}$  来获得节点 A 的电流  $I_A$ 。

[0391] 通过上述方法,可计算在截止的晶体管的源极和漏极之间流动的漏电流(截止电流)。

[0392] 在本示例中,使用高度提纯的氧化物半导体来制造晶体管 804、晶体管 805、晶体管 806 和晶体管 808,其沟道长度  $L$  为  $10 \mu\text{m}$  且沟道宽度  $W$  为  $50 \mu\text{m}$ 。在平行排列的各个测量系统 800 中,电容器 802a、802b 和 802c 的电容值分别为  $100\text{fF}$ 、 $1\text{pF}$  和  $3\text{pF}$ 。

[0393] 注意,假设满足  $V_{DD} = 5\text{V}$  和  $V_{SS} = 0\text{V}$ ,执行根据本示例的测量。在测量周期中,电位  $V_1$  基本上设为  $V_{SS}$ ,并且只在每 10 至 300 秒中的 100 毫秒的周期中设为  $V_{DD}$ ,并且测量  $V_{out}$ 。此外,在电流  $I$  流过元件时所用的  $\Delta t$  为约 30,000 秒。

[0394] 图 28 示出电流测量中输出电位  $V_{out}$  和流逝时间  $\text{Time}$  之间的关系。根据图 28,电位随时间变化。

[0395] 图 29 示出根据上述电流测量计算的室温 ( $25^\circ\text{C}$ ) 下的截止电流。注意,图 29 示出源-漏电压  $V$  和截止电流  $I$  之间的关系。根据图 29,截止电流为约  $40\text{zA}/\mu\text{m}$ ,其中源-漏电压为  $4\text{V}$ 。当源-漏电压为  $3.1\text{V}$  时,截止电流小于或等于  $10\text{zA}/\mu\text{m}$ 。注意, $1\text{zA}$  等于  $10^{21}\text{A}$ 。

[0396] 此外,图 30 示出温度为  $85^\circ\text{C}$  的环境中的截止电流,它是根据上述电流测量计算的。图 30 示出在  $85^\circ\text{C}$  的环境中源-漏电压  $V$  和截止电流  $I$  之间的关系。根据图 30,在源-漏电压为  $3.1\text{V}$  时,截止电流为约  $100\text{zA}/\mu\text{m}$ 。

[0397] 根据本示例,可确认在包含高度提纯的氧化物半导体的晶体管中截止电流足够小。

[0398] [ 示例 2]

[0399] 测试根据所揭示发明的实施例的半导体器件可重写数据的次数。在本示例中,将参考图 31 描述测试结果。

[0400] 用于测试的半导体器件是具有图 15A 中的电路构造的半导体器件。在此,氧化物半导体用作对应于晶体管 162 的晶体管,并且电容值为  $0.33\text{pF}$  的电容器用作对应于电容器 164 的电容器。

[0401] 通过比较初始存储窗口宽度以及存储和写入数据被重复预定次数之后的存储窗口宽度来执行测试。通过施加  $0\text{V}$  或  $5\text{V}$  到对应于图 15A 中的第三线的线,并施加  $0\text{V}$  或  $5\text{V}$  到对应于图 15A 中的第四线的线来存储和写入数据。当对应于第四线的线的电位为  $0\text{V}$  时,对应于晶体管 162 的晶体管(写入晶体管)截止;由此,保持供应至节点 FG 的电位。当对应于第四线的线的电位为  $5\text{V}$  时,对应于晶体管 162 的晶体管(写入晶体管)导通;由此,对应于第三线的线的电位供应至节点 FG。

[0402] 存储窗口宽度是存储器件的特性的指标之一。在此,存储窗口宽度表示不同存储状态之间的曲线 ( $V_{cg}-I_d$  曲线) 中的偏移量  $\Delta V_{cg}$ ,其示出对应于第五线的线的电位  $V_{cg}$  与对应于晶体管 160 的晶体管(读取晶体管)的漏电流  $I_d$  之间的关系。不同存储状态表示  $0\text{V}$  施加到节点 FG 的状态(下文中称为低状态)和  $5\text{V}$  施加到节点 FG 的状态(下文中称为

高状态)。即,可通过来扫描低状态和高状态中的电位  $V_{cg}$  来检查存储窗口宽度。

[0403] 图 31 示出写入被执行  $1 \times 10^9$  次之后的存储窗口宽度的测试结果。注意,在图 31 中,水平轴示出  $V_{cg}(V)$ ,而垂直轴示出  $I_d(A)$ 。根据图 31,在数据被写入  $1 \times 10^9$  次之后存储窗口宽度不改变,这意味着至少在数据被写入  $1 \times 10^9$  次后的周期期间,半导体器件不劣化。

[0404] 如上所述,在根据所揭示发明的实施例的半导体器件中,即使在存储和写入数据  $1 \times 10^9$  次之后特性也不改变,并且耐重写性非常高。即,可以说,根据所揭示发明的实施例,可实现显著可靠的半导体器件。

[0405] 本申请基于 2009 年 10 月 29 日向日本专利局提交的日本专利申请 S/N. 2009-249330,该申请的全部内容通过引用结合于此。

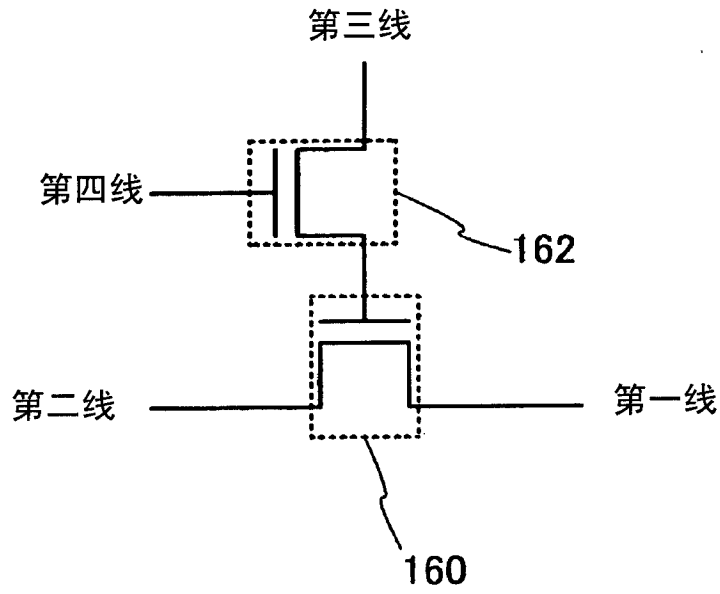


图 1

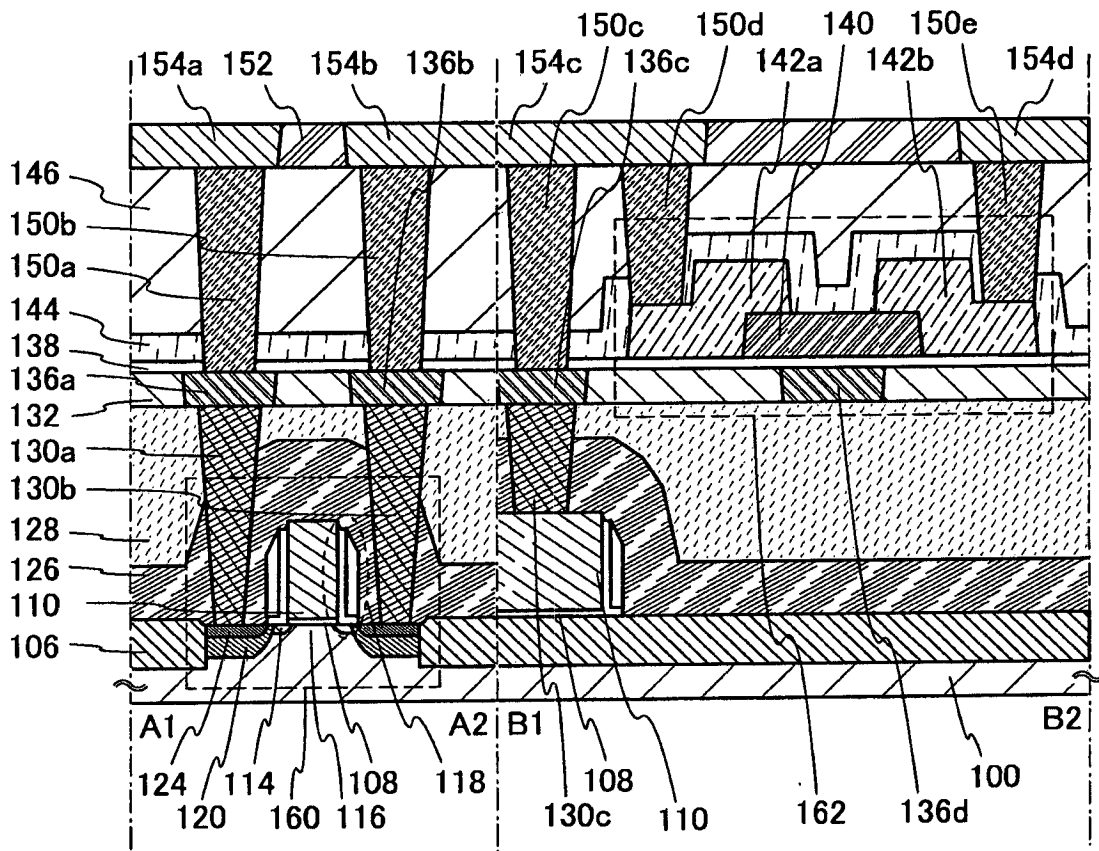


图 2A

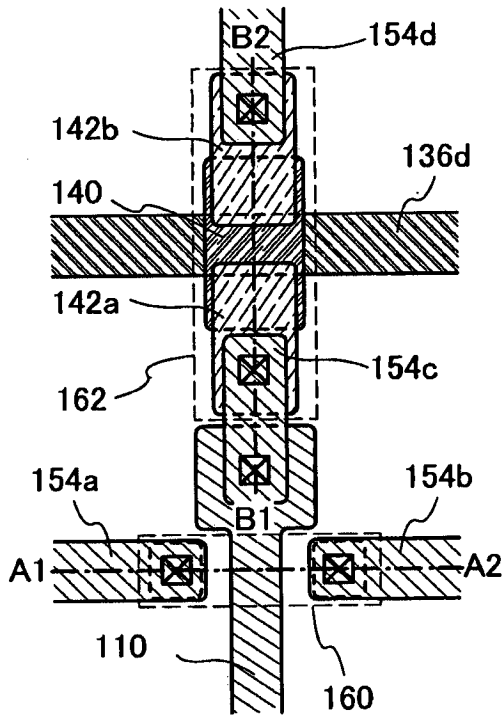


图 2B

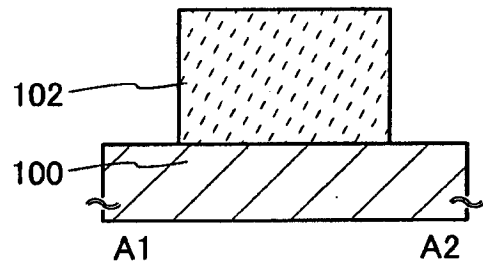


图 3A

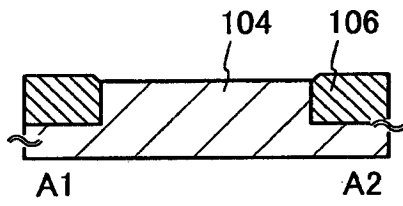


图 3B

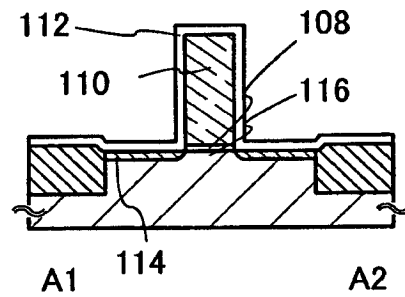


图 3C

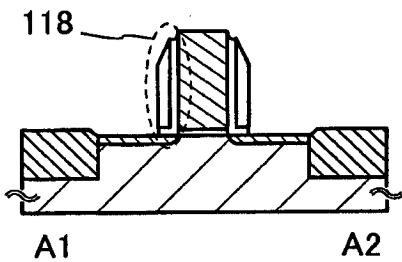


图 3D

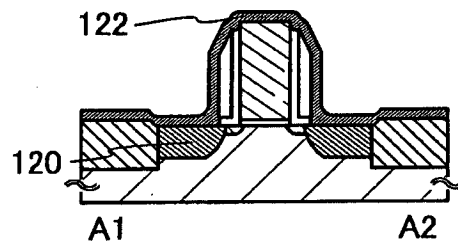


图 3E

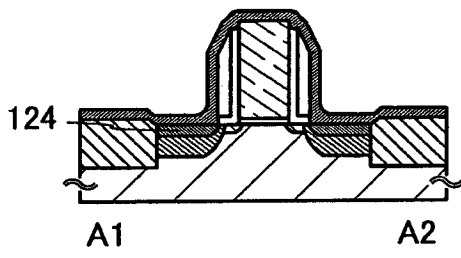


图 3F

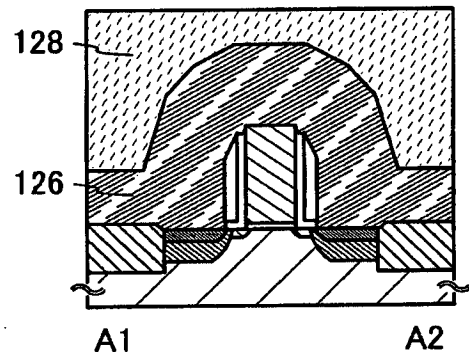


图 3G

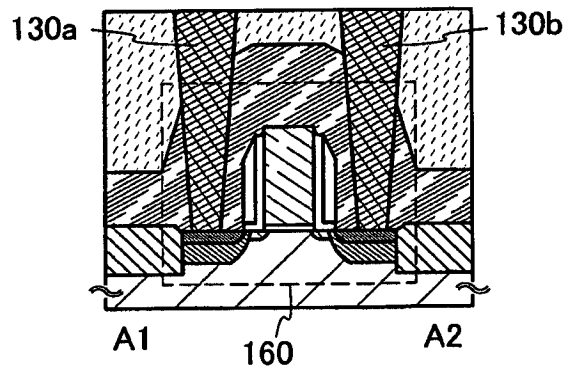


图 3H

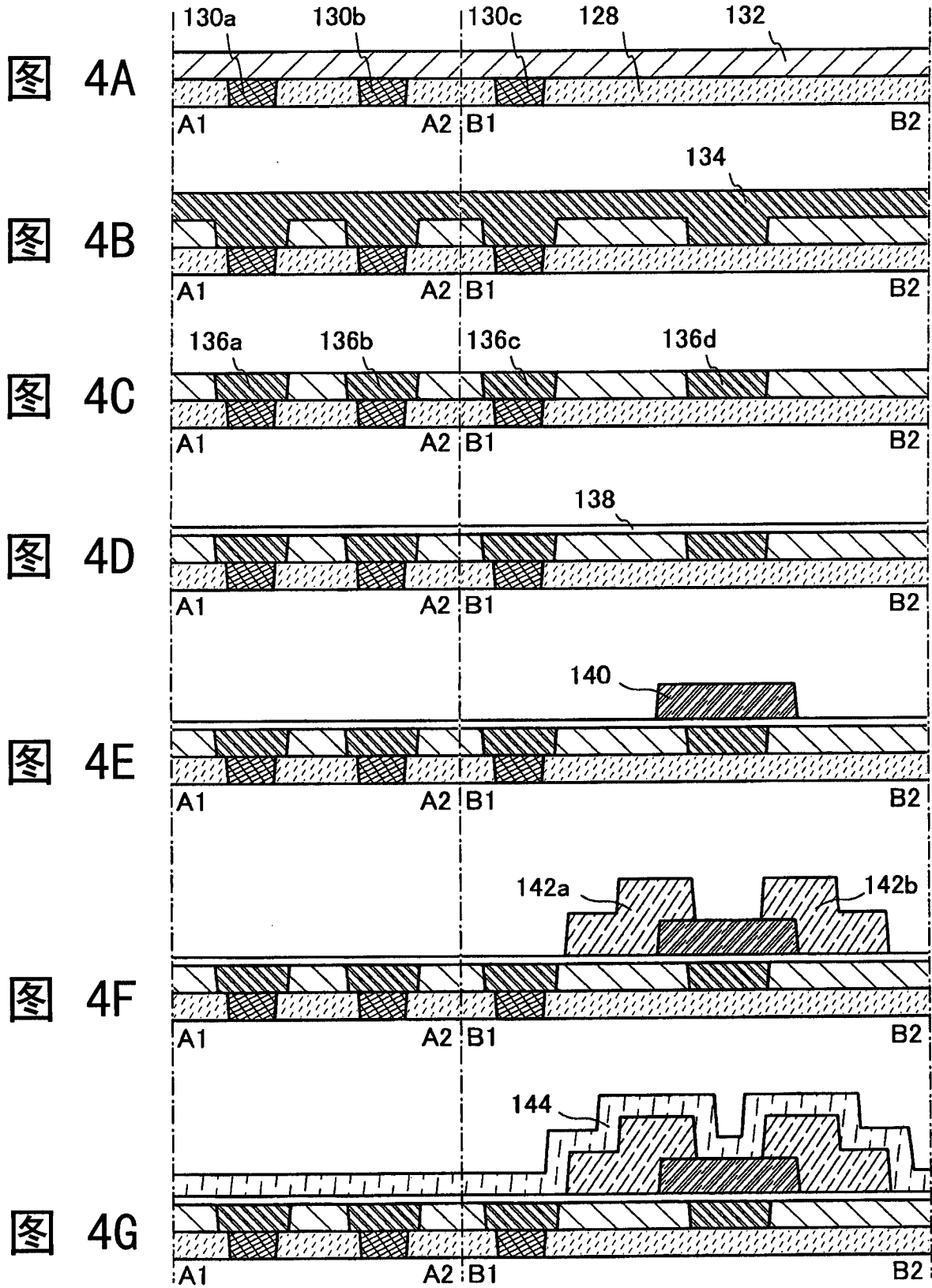


图 5A

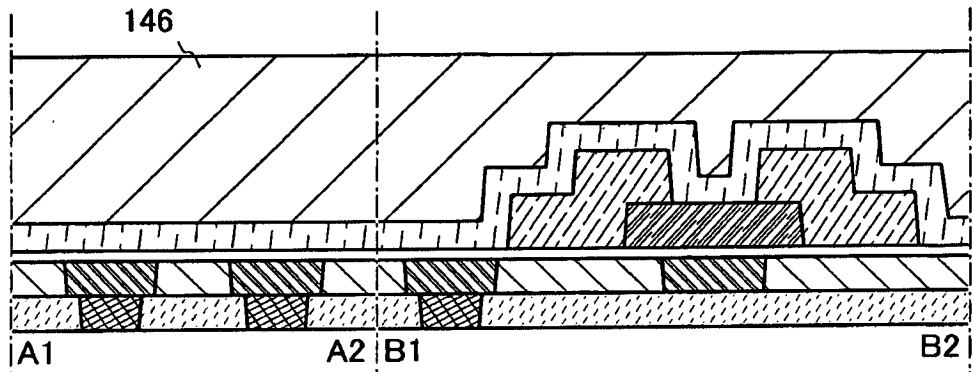


图 5B

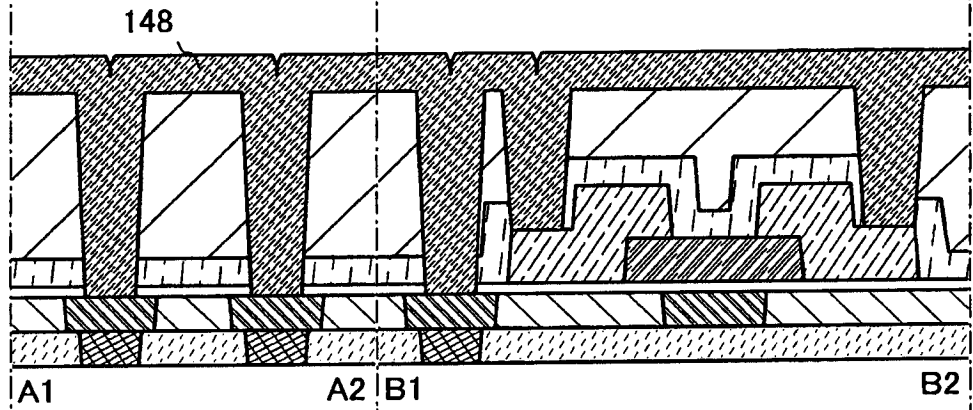


图 5C

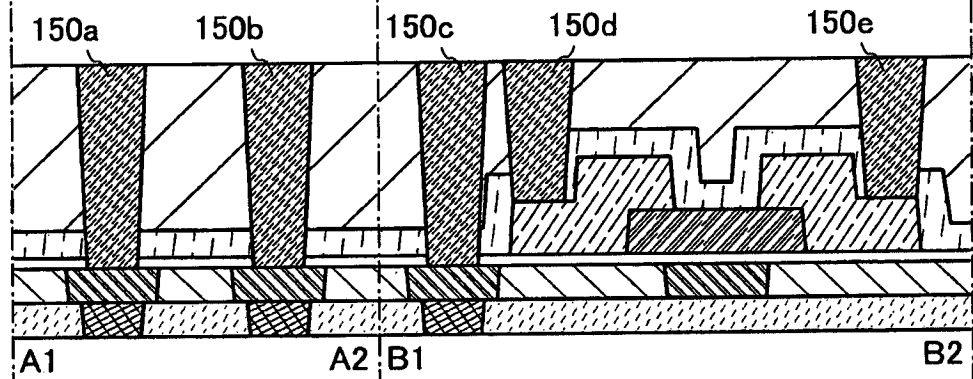
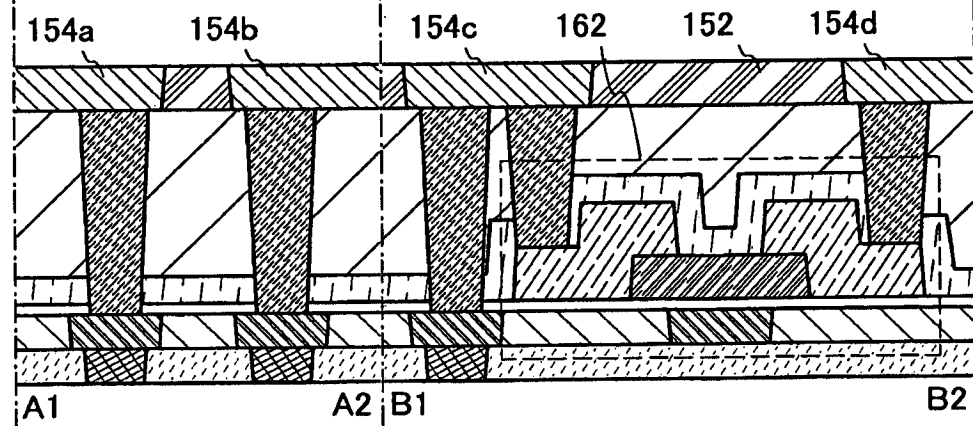


图 5D



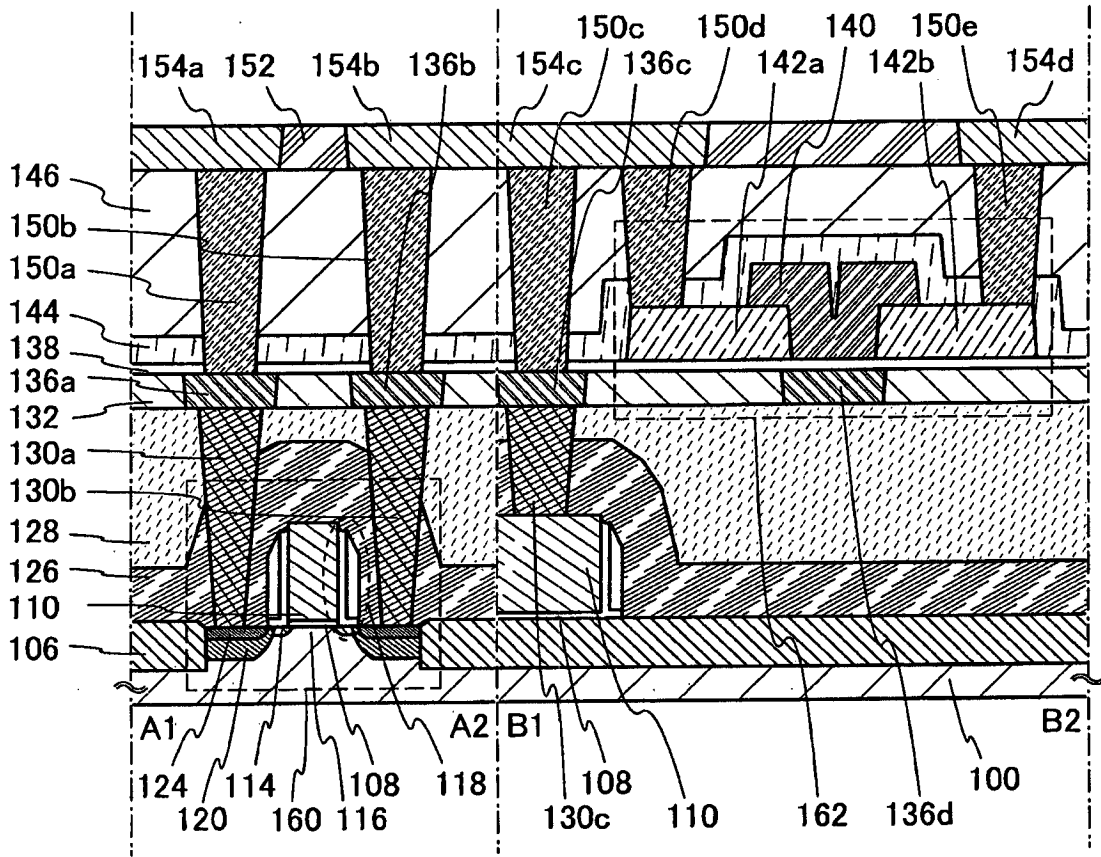


图 6

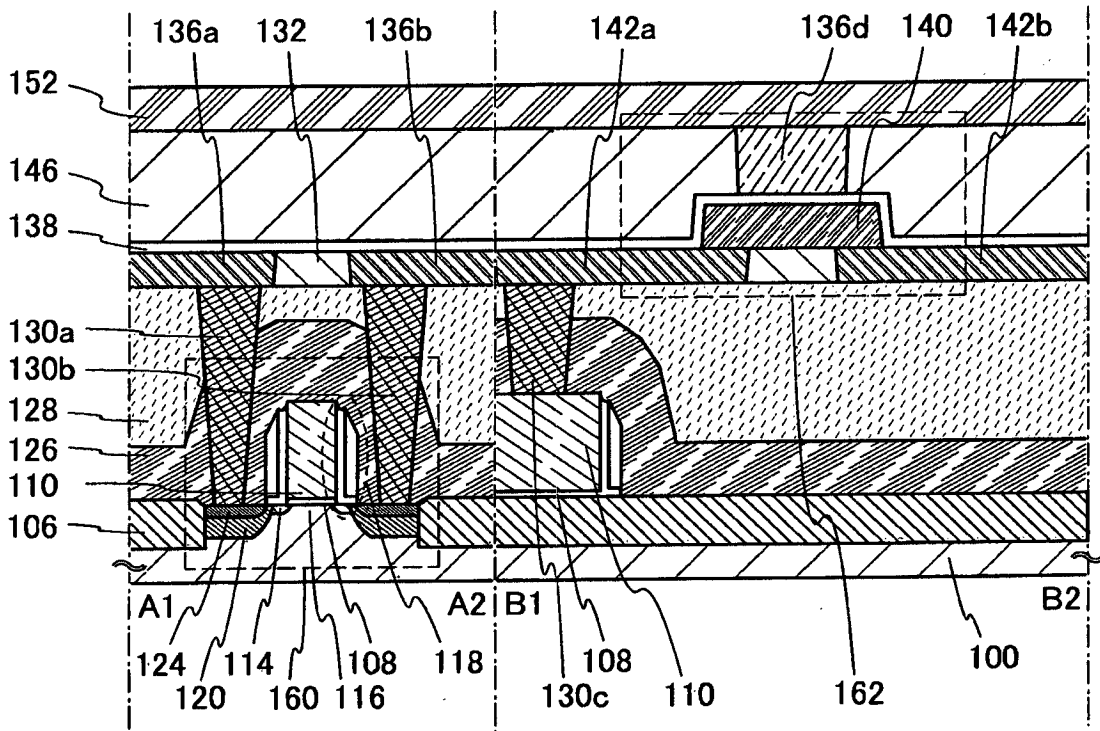


图 7A



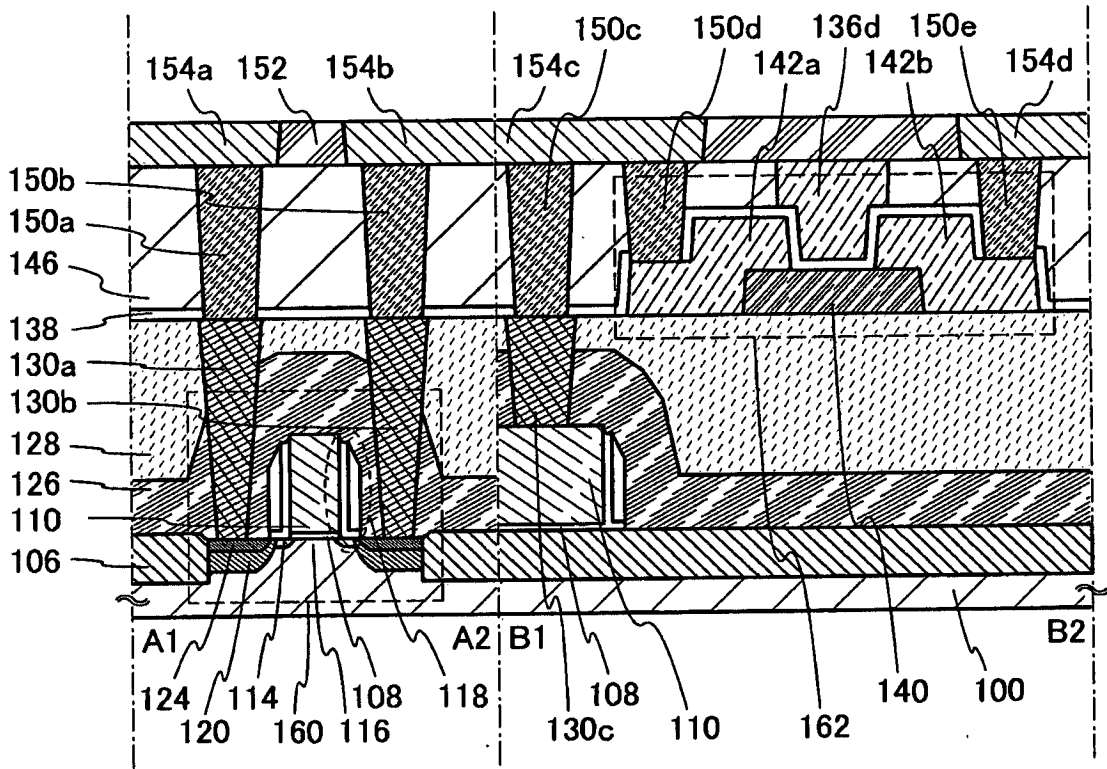


图 7B

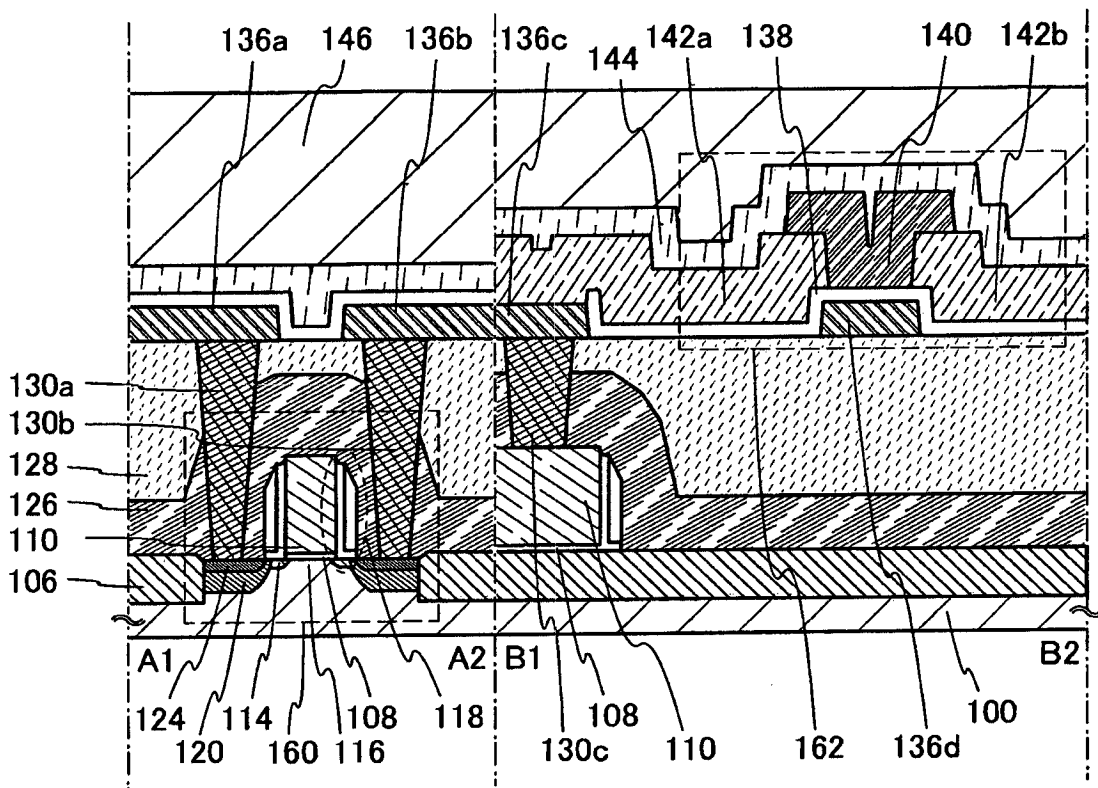


图 8A

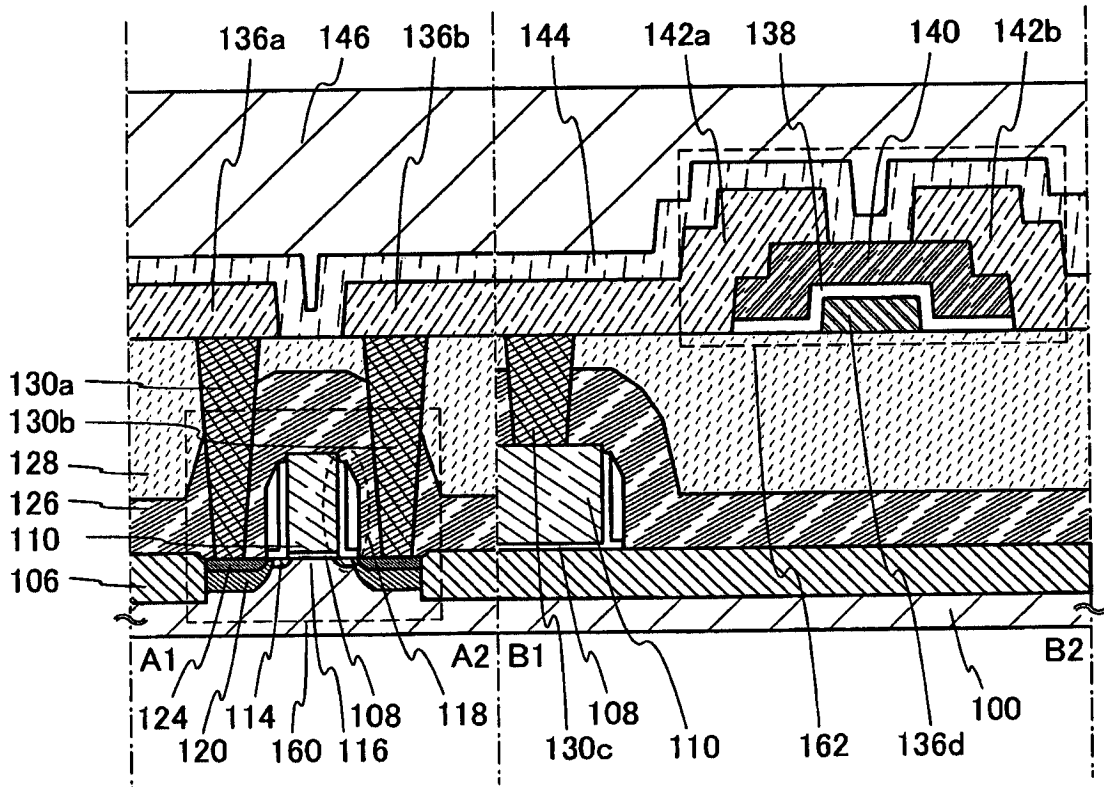


图 8B

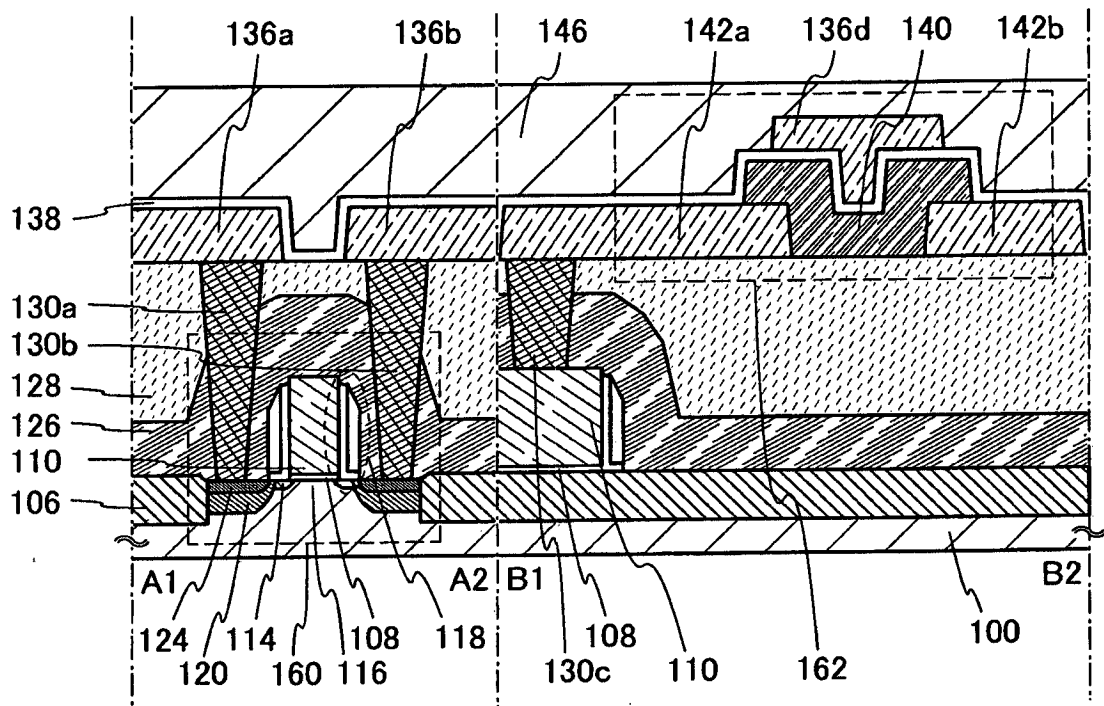


图 9A

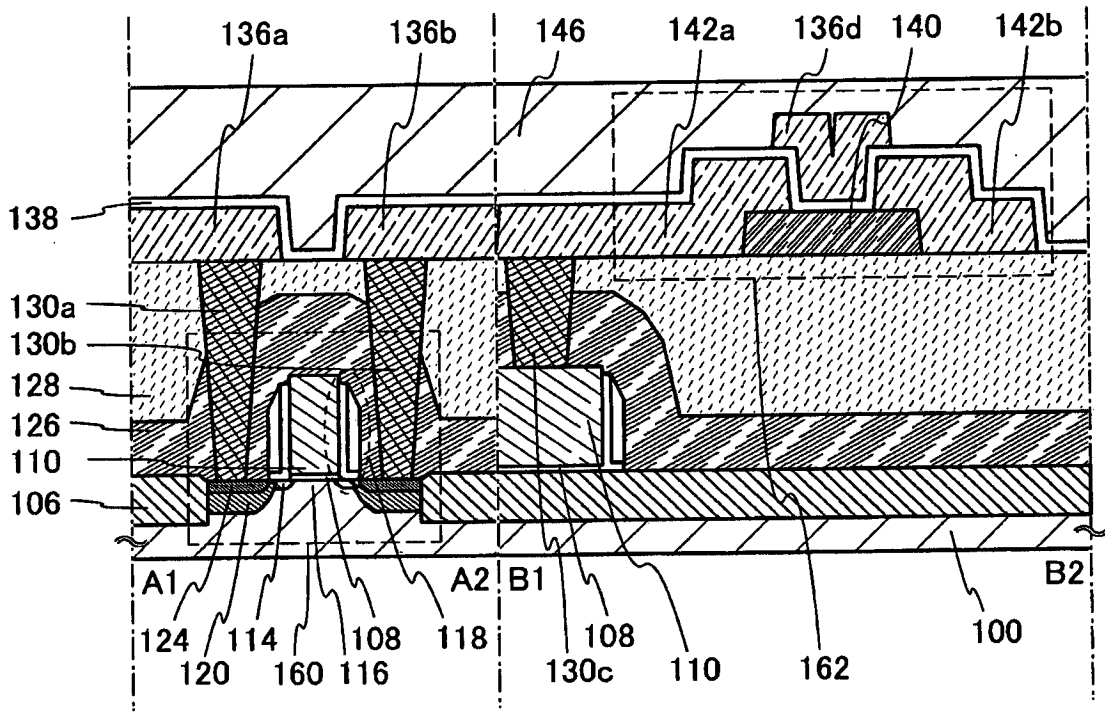


图 9B

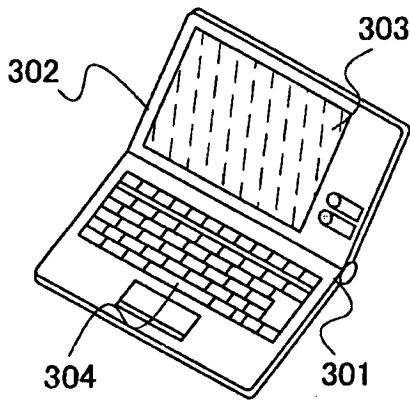


图 10A

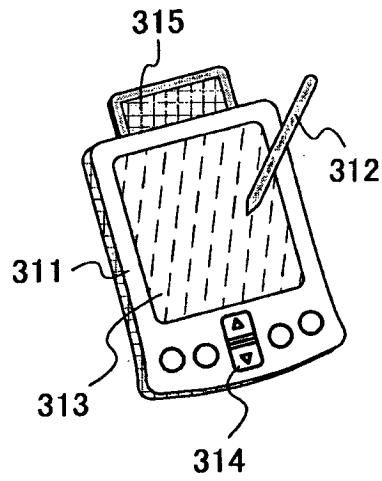


图 10B

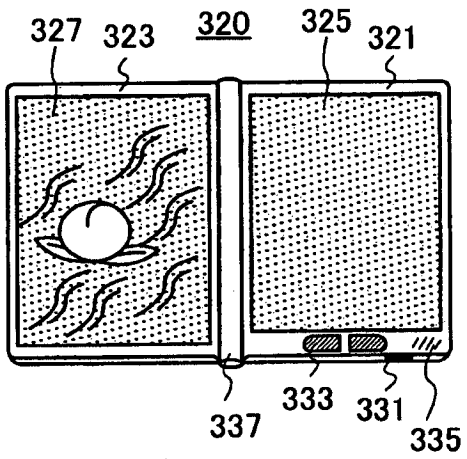


图 10C

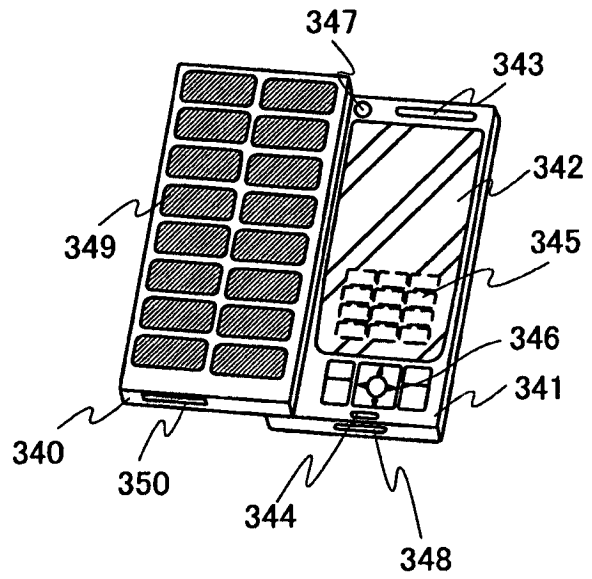


图 10D

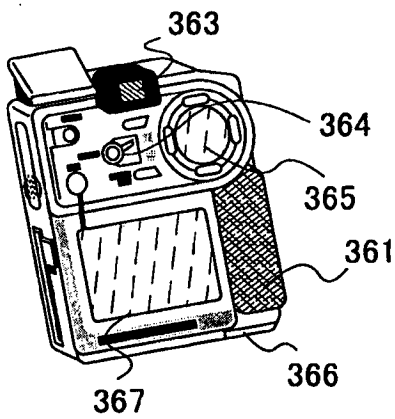


图 10E

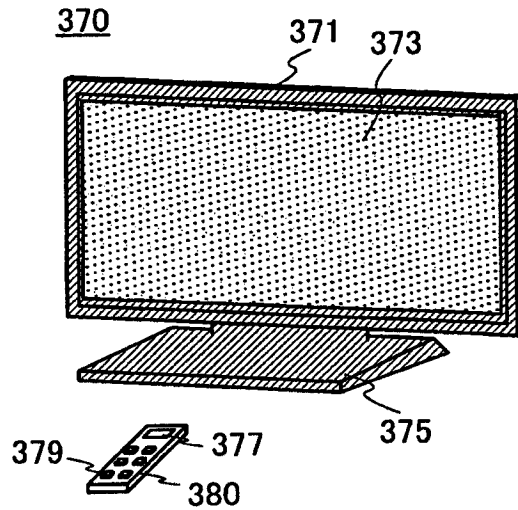


图 10F

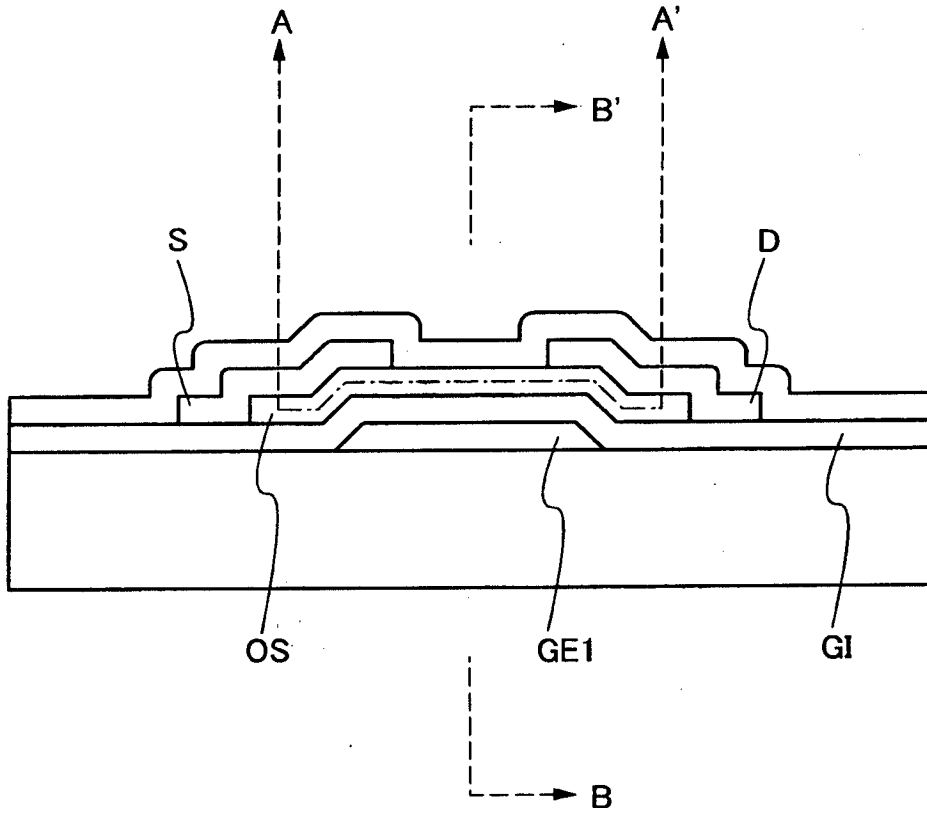


图 11

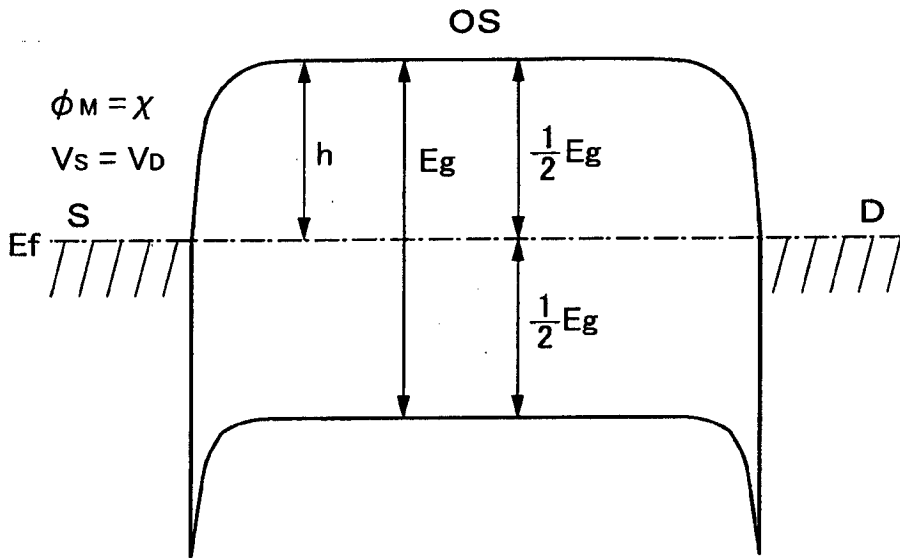


图 12A

OS

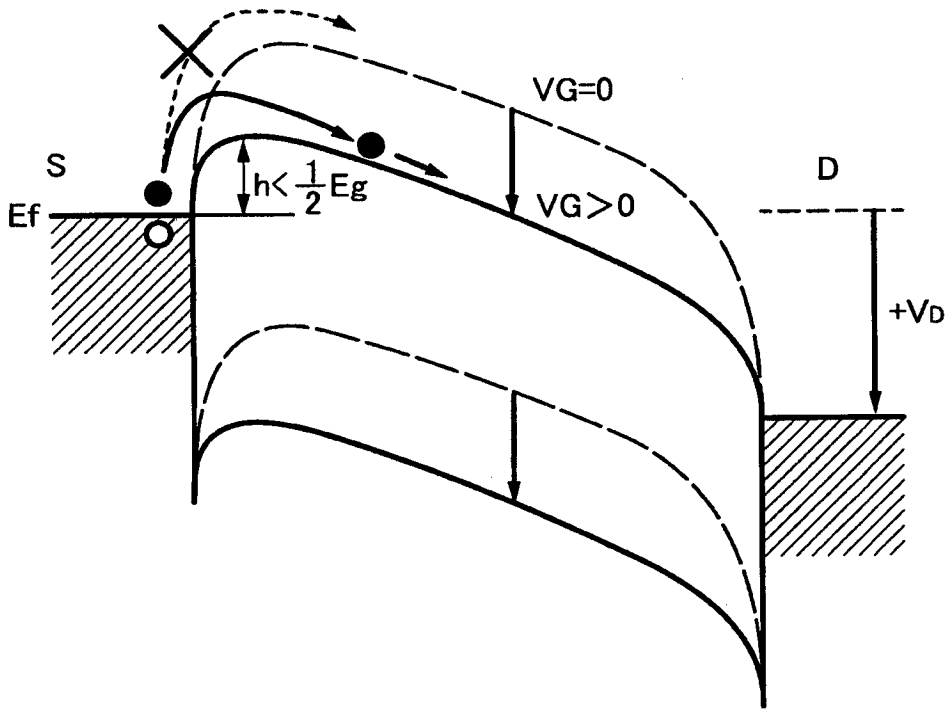


图 12B

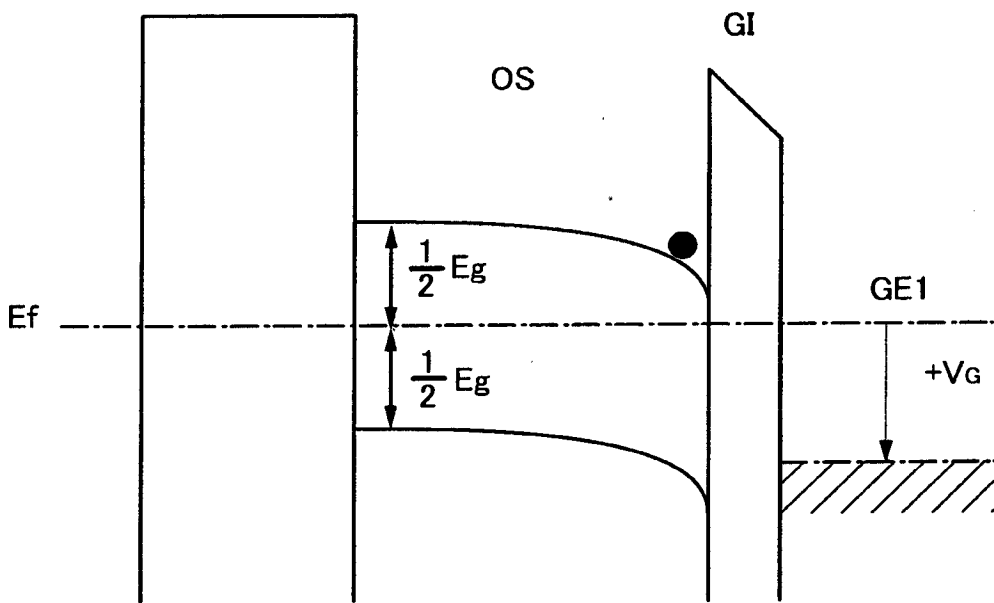


图 13A

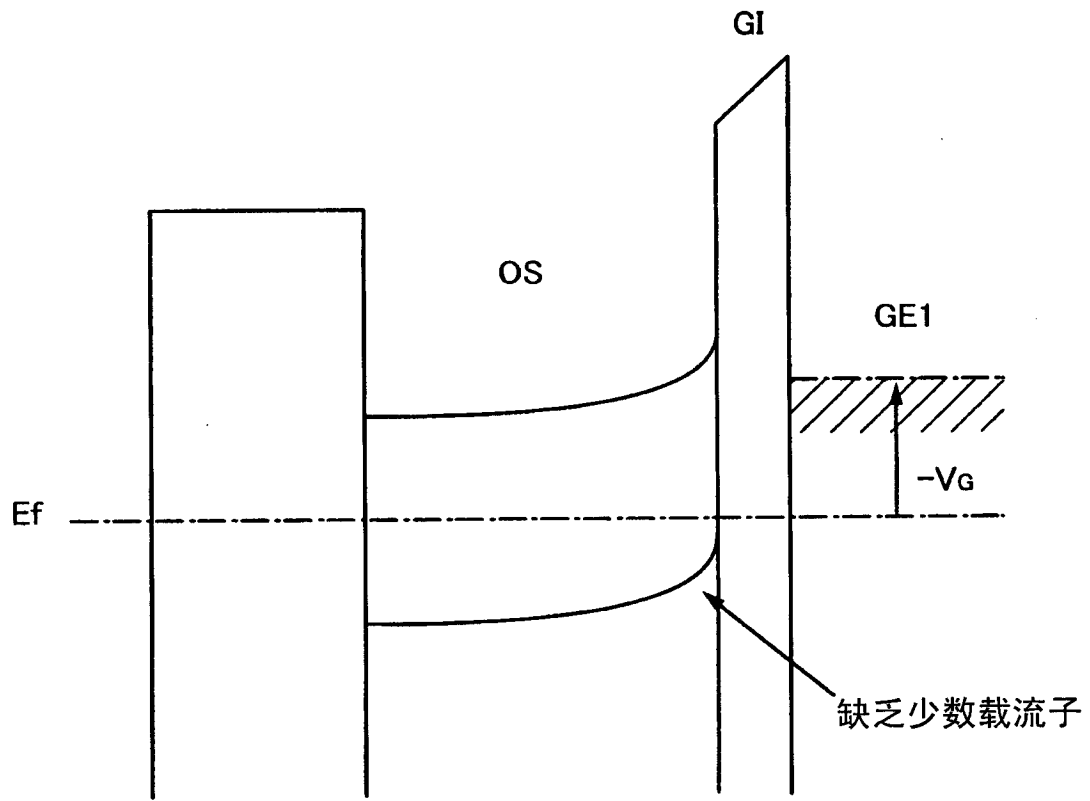


图 13B

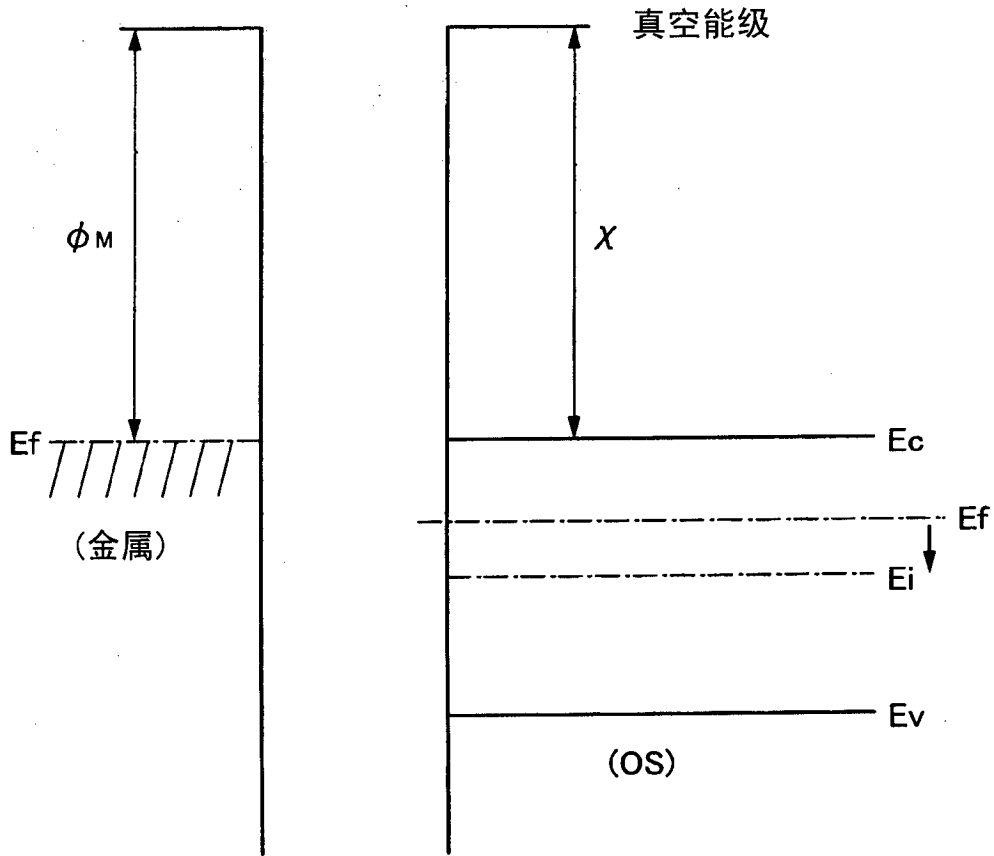


图 14

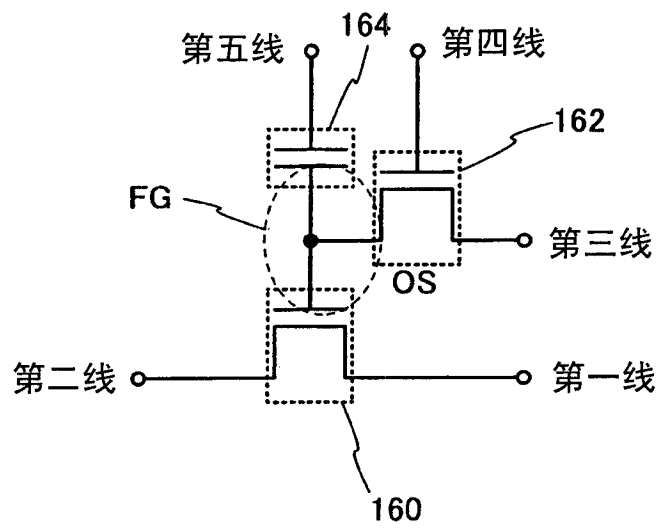


图 15A



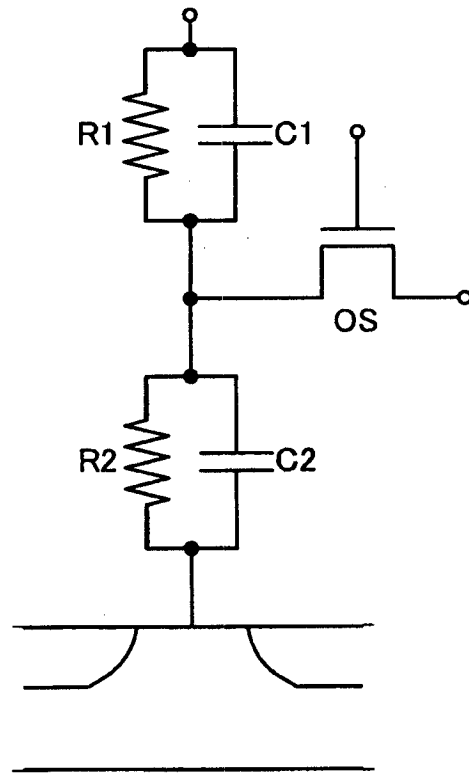


图 15B

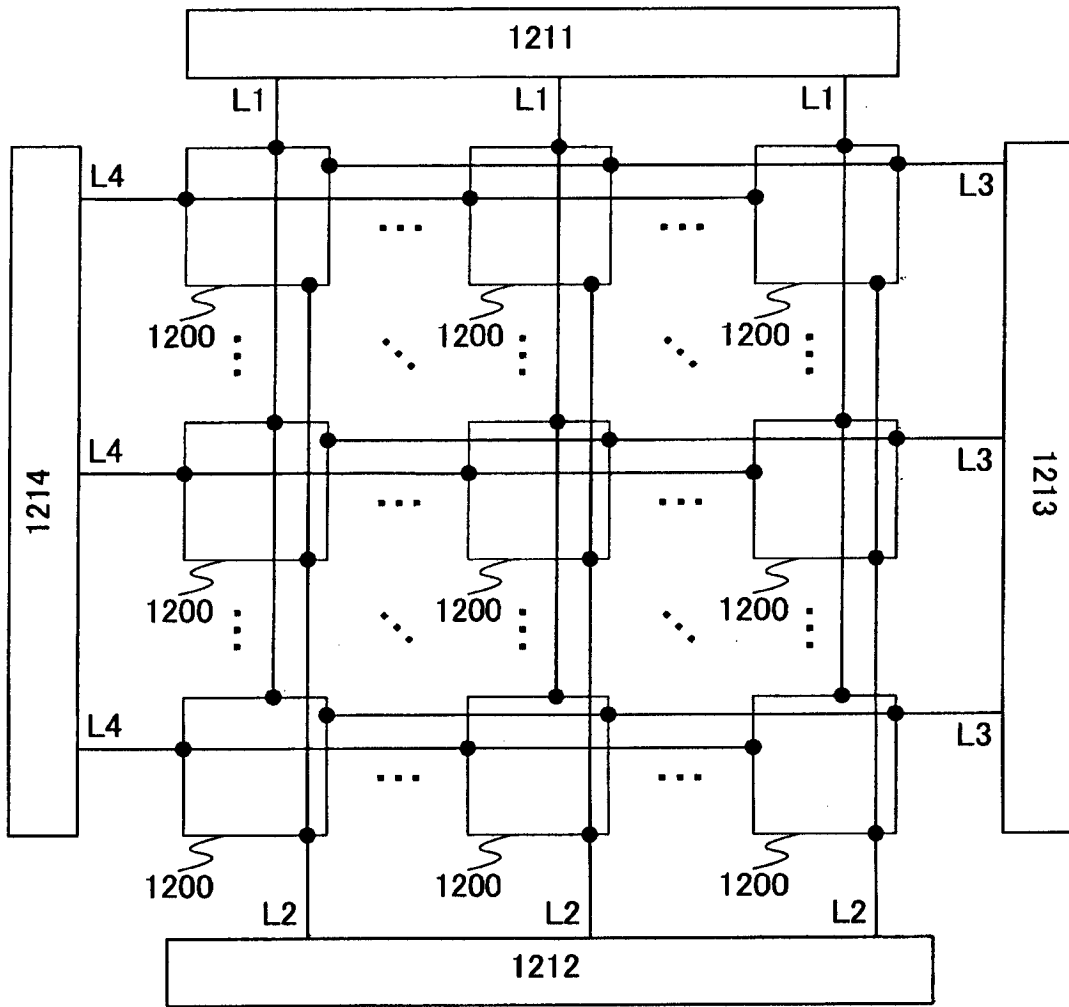


图 16

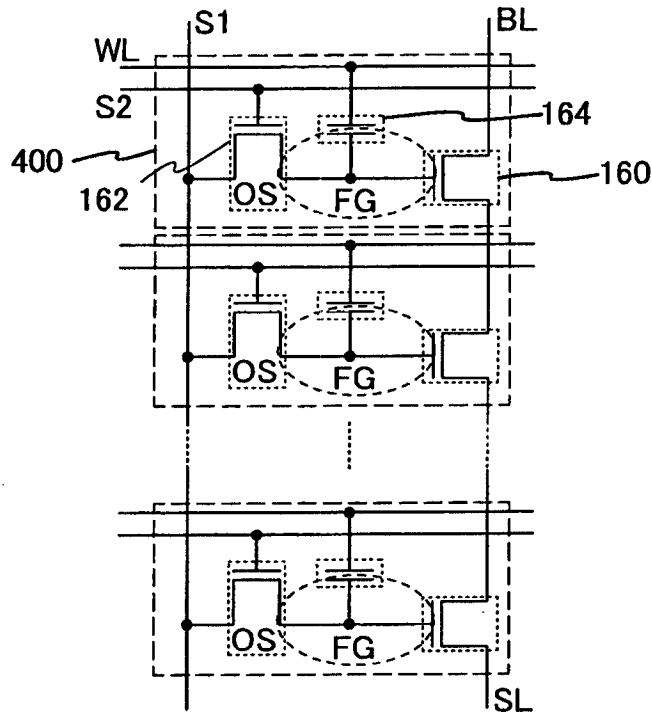


图 17A

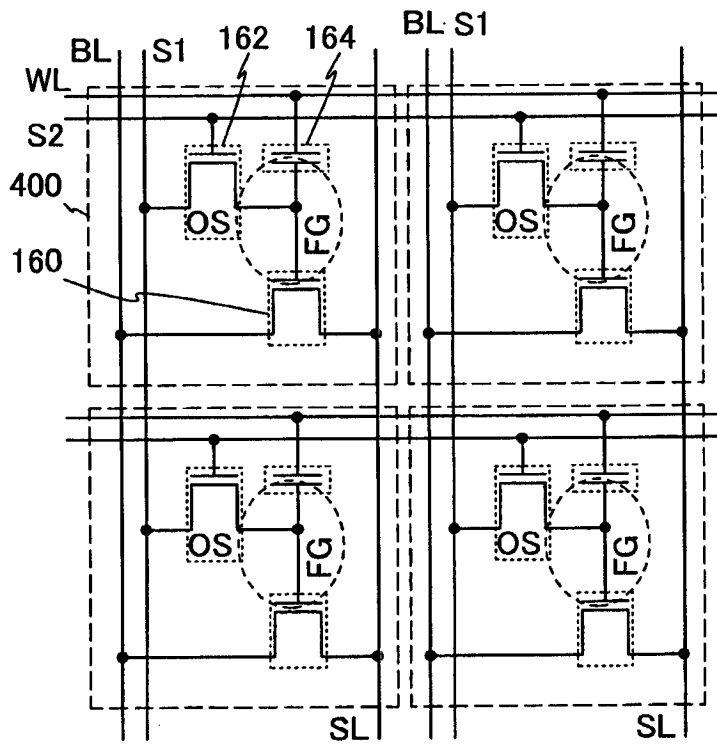


图 17B

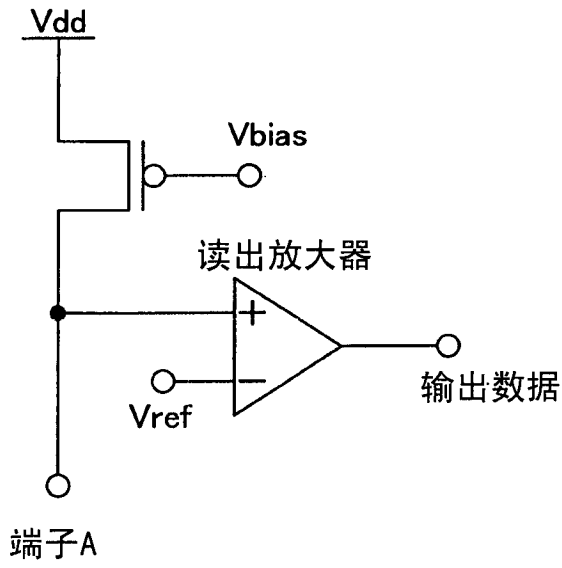


图 18A

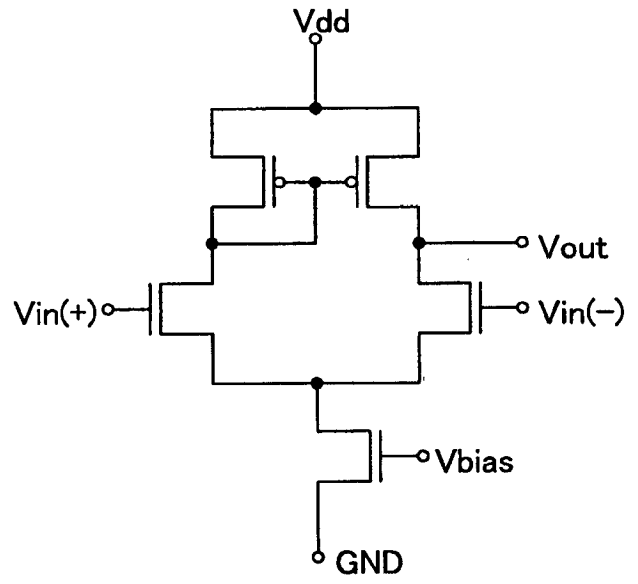


图 18B

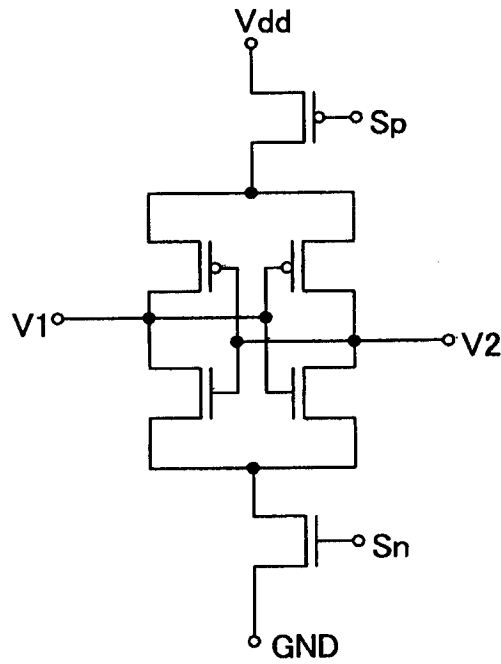


图 18C

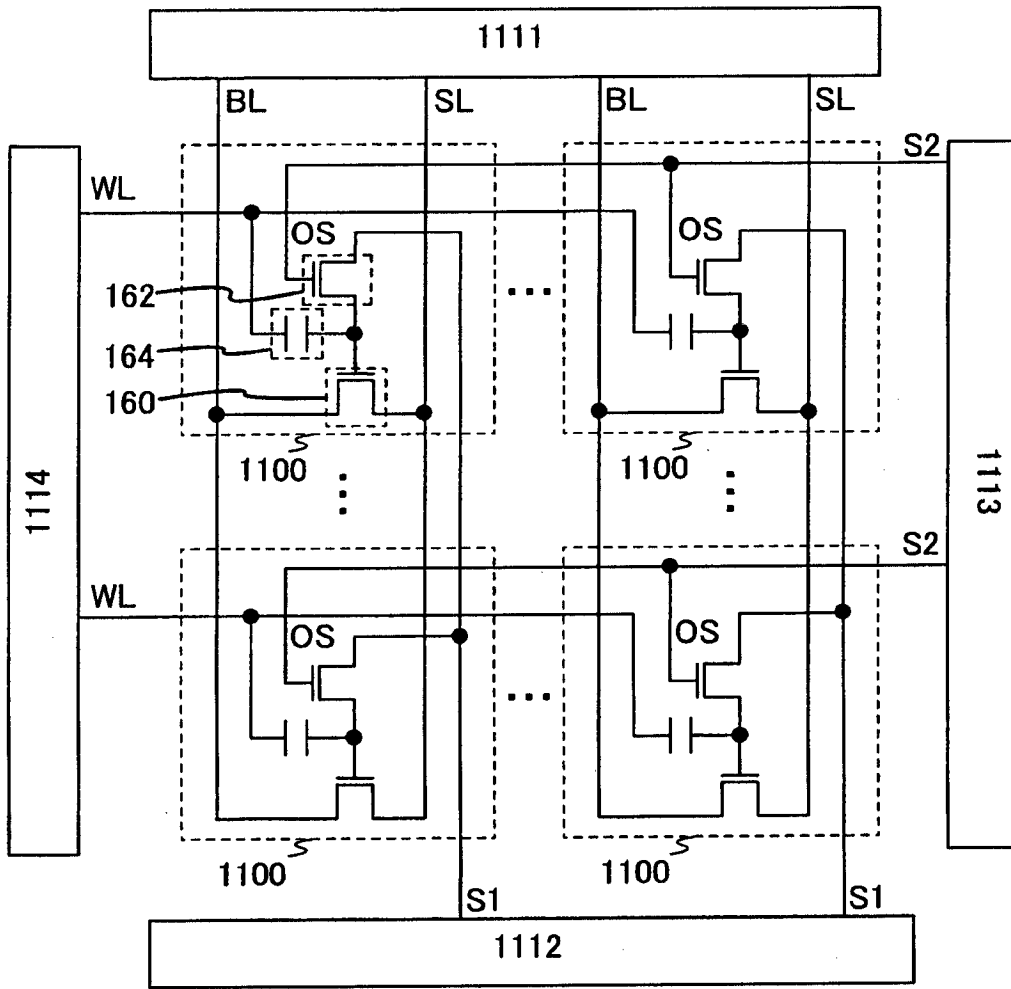


图 19

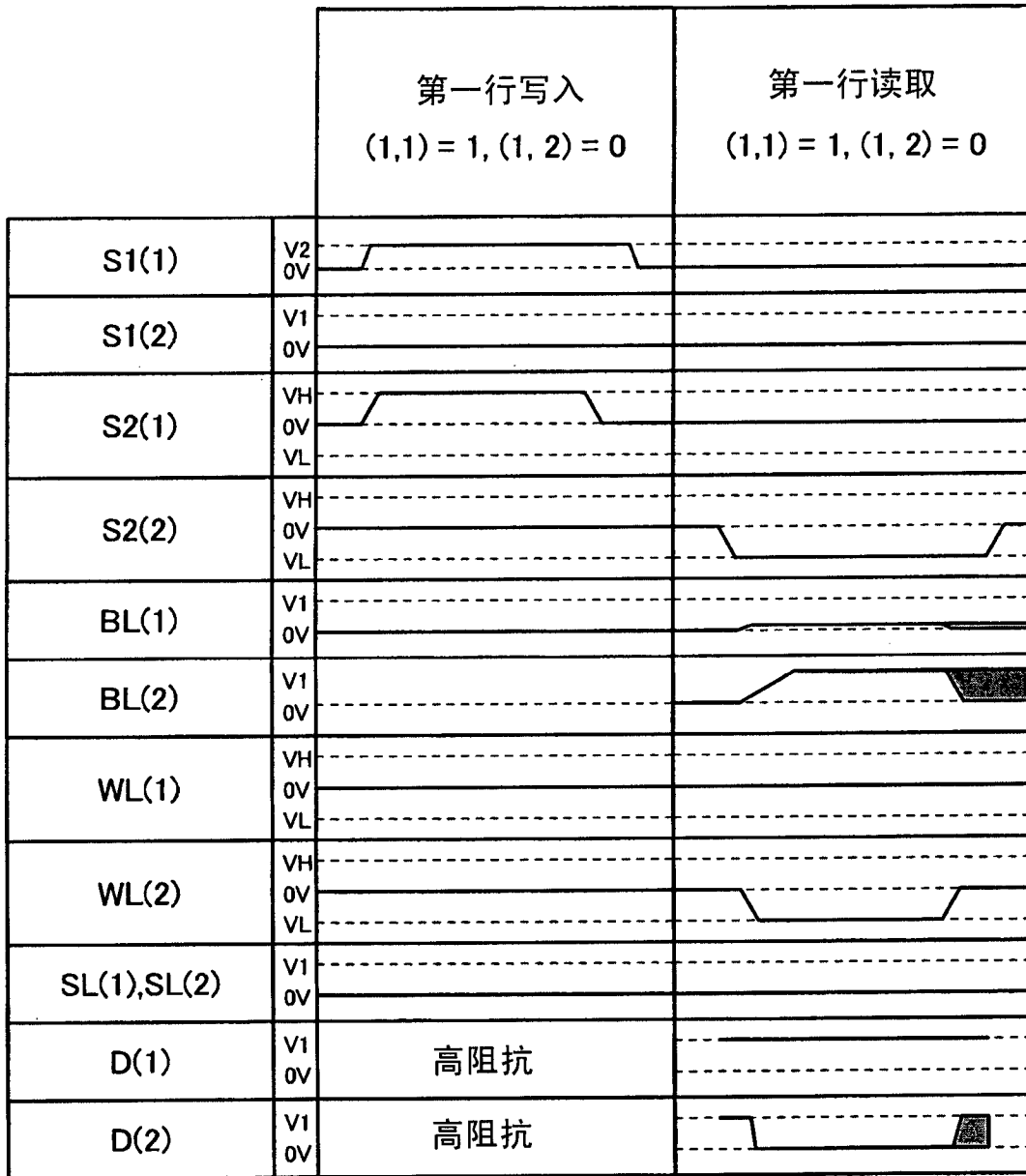


图 20

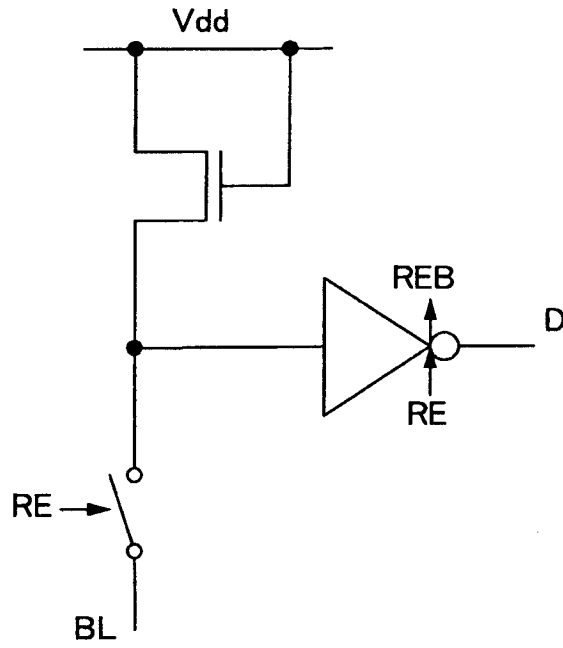


图 21

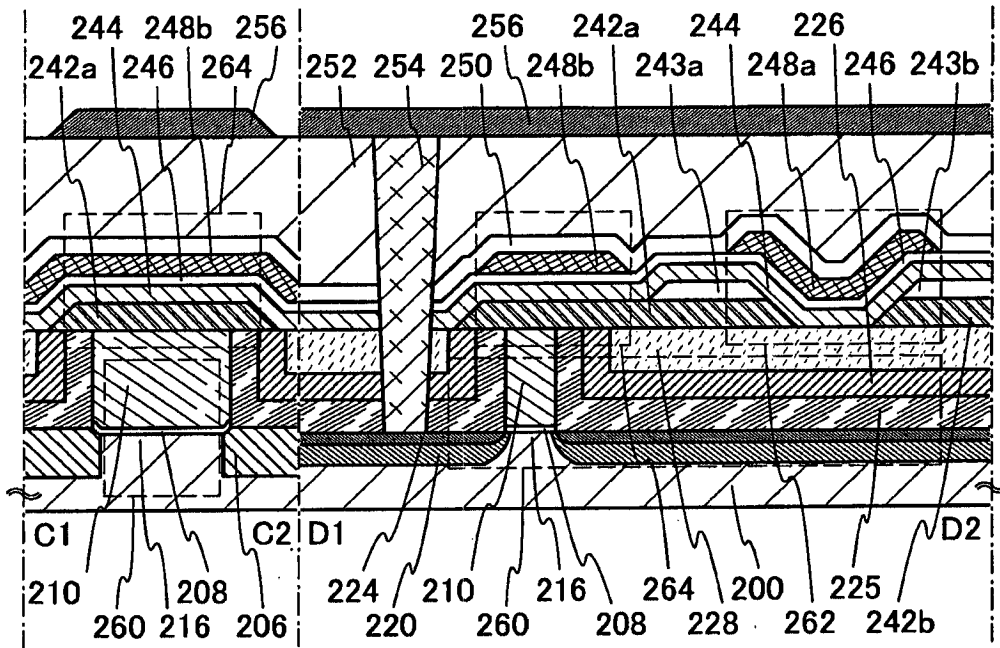


图 22A

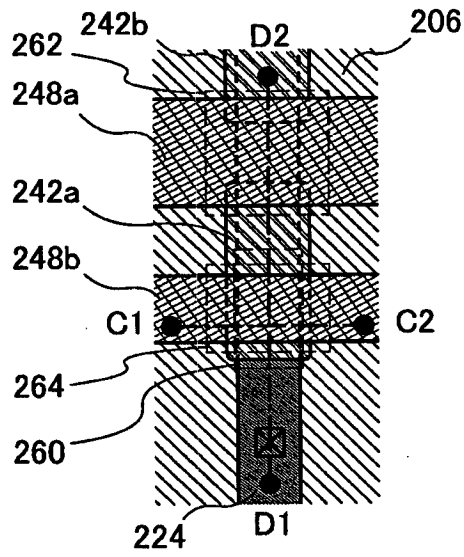


图 22B

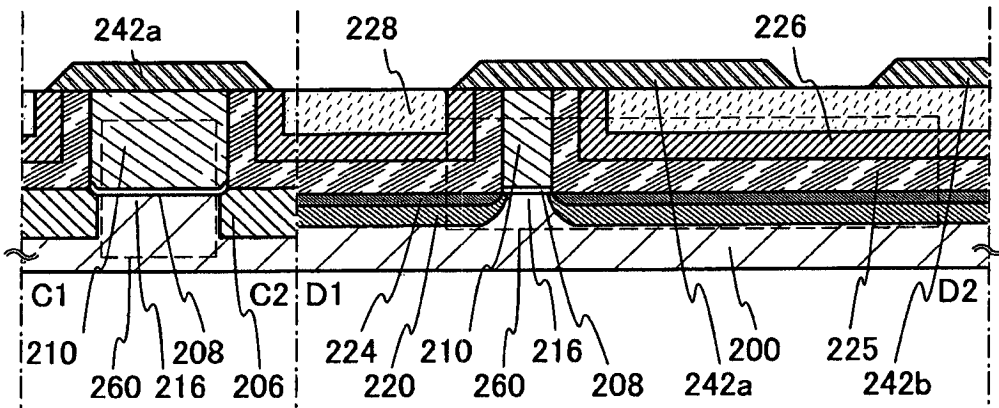


图 23A

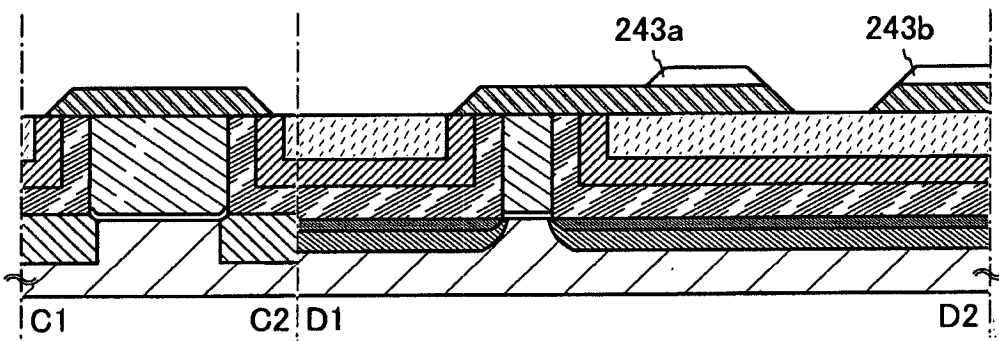


图 23B



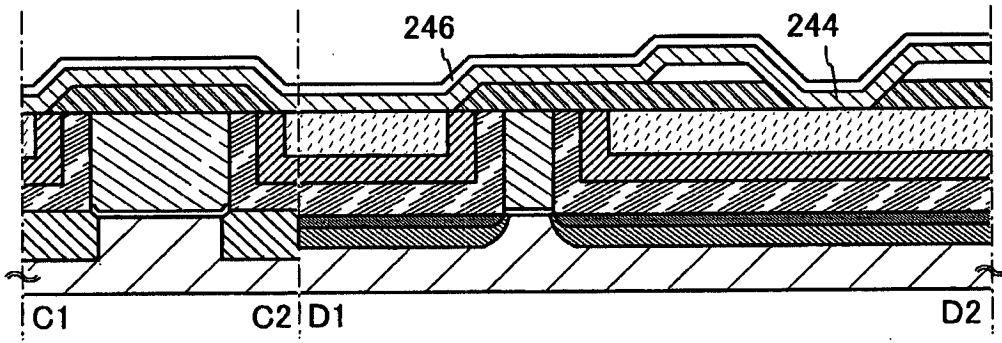


图 23C

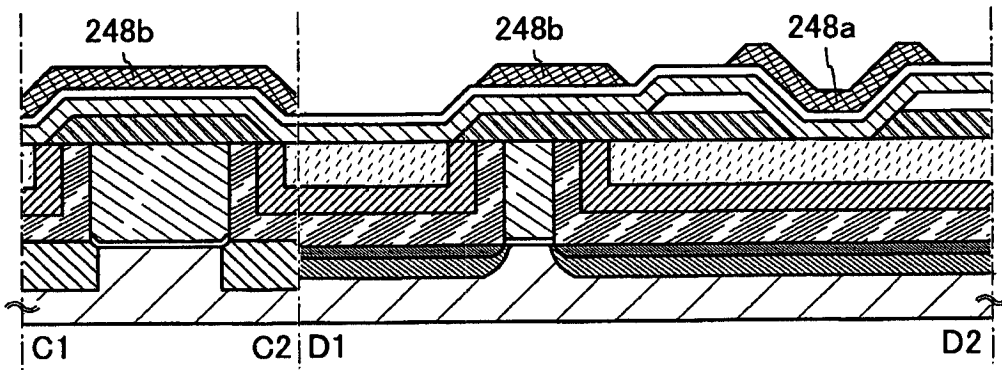


图 23D

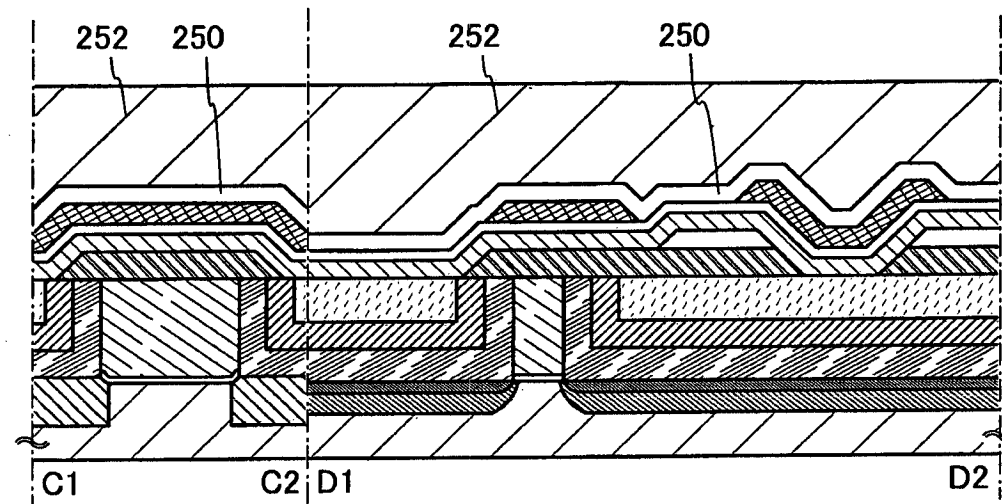


图 24A

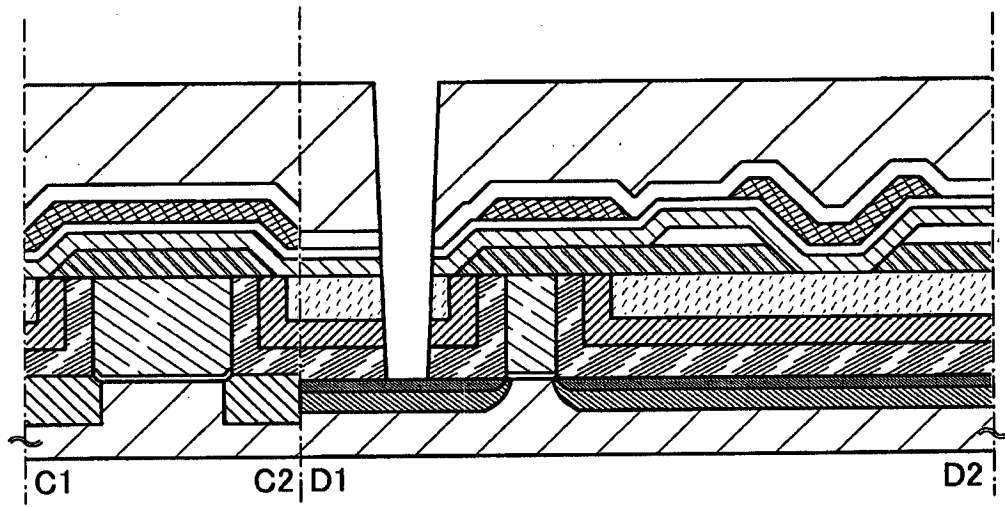


图 24B

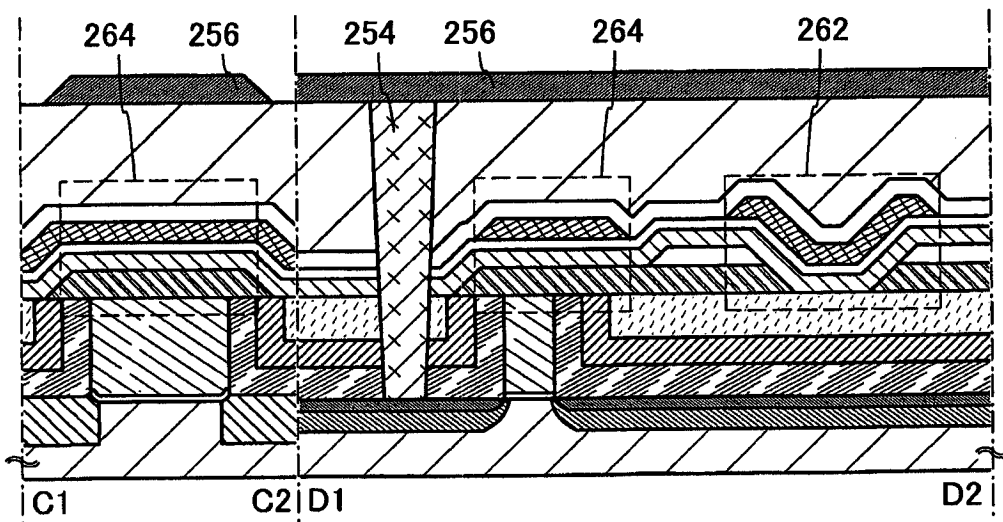


图 24C

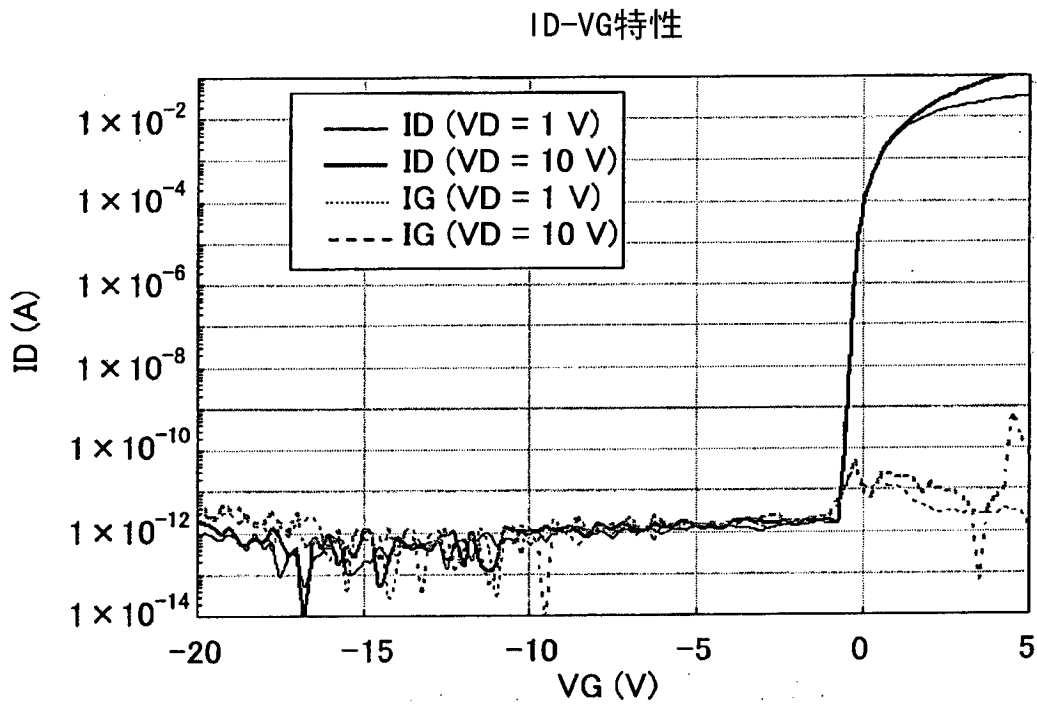


图 25

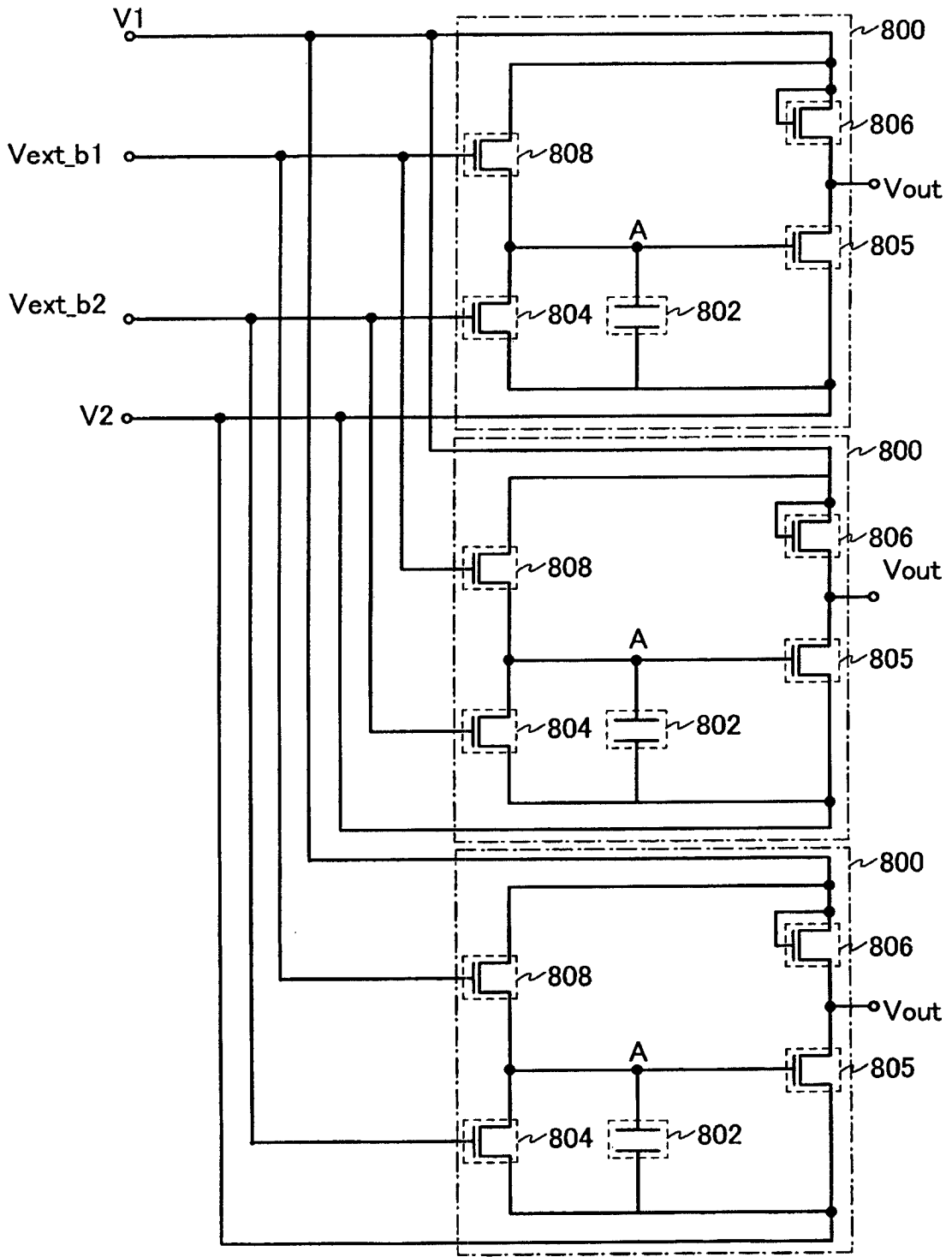


图 26

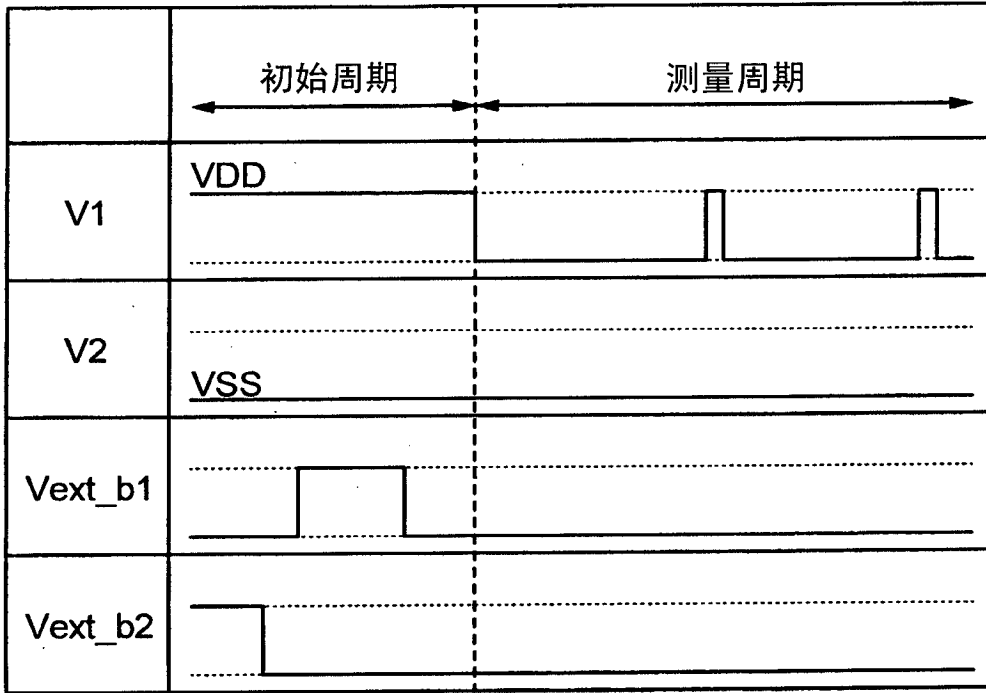


图 27

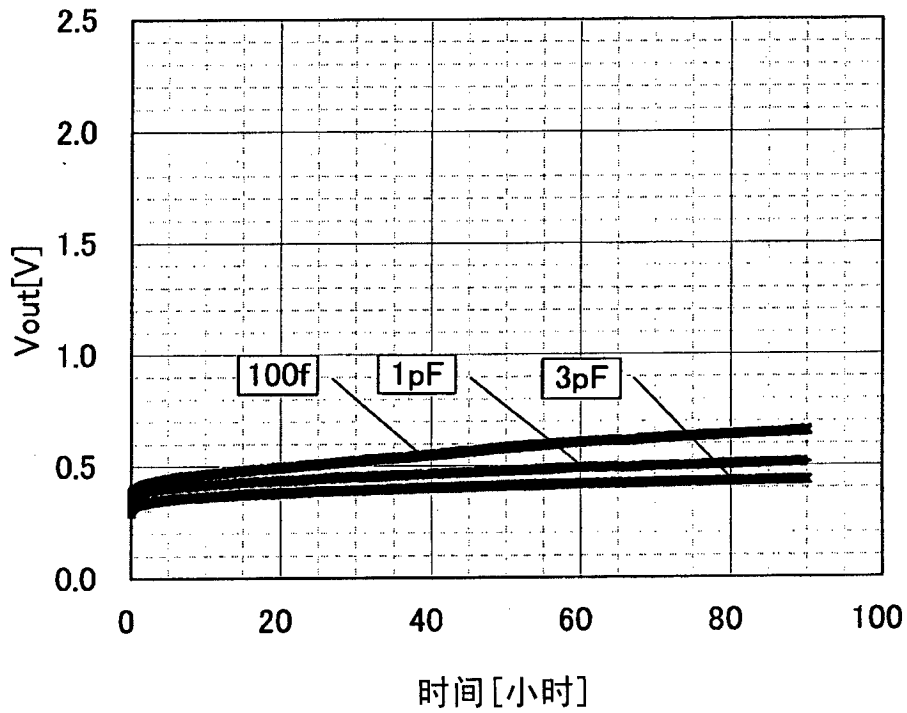


图 28

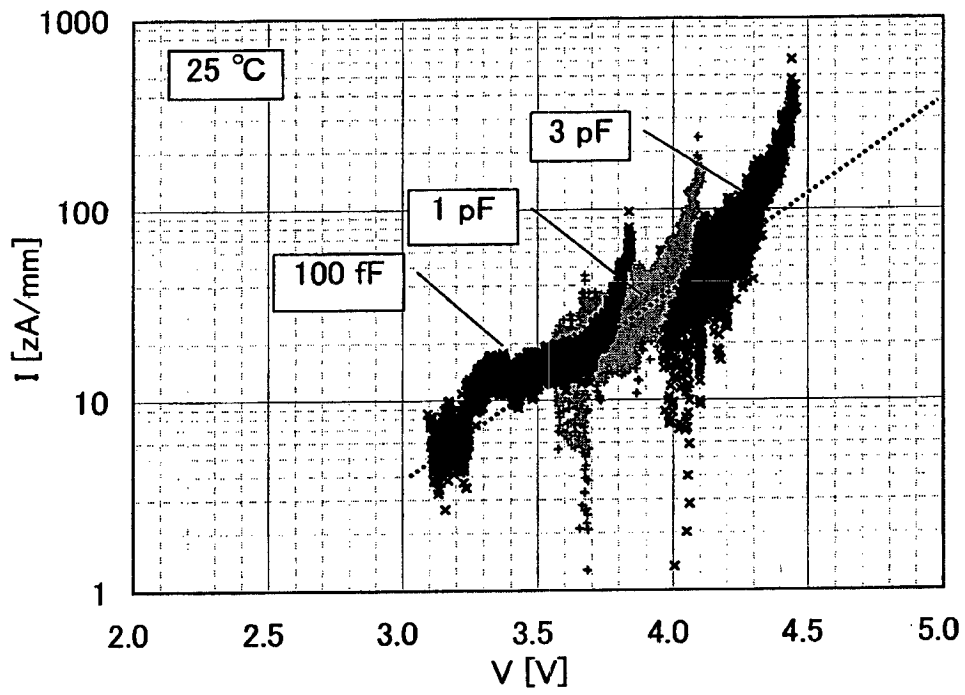


图 29

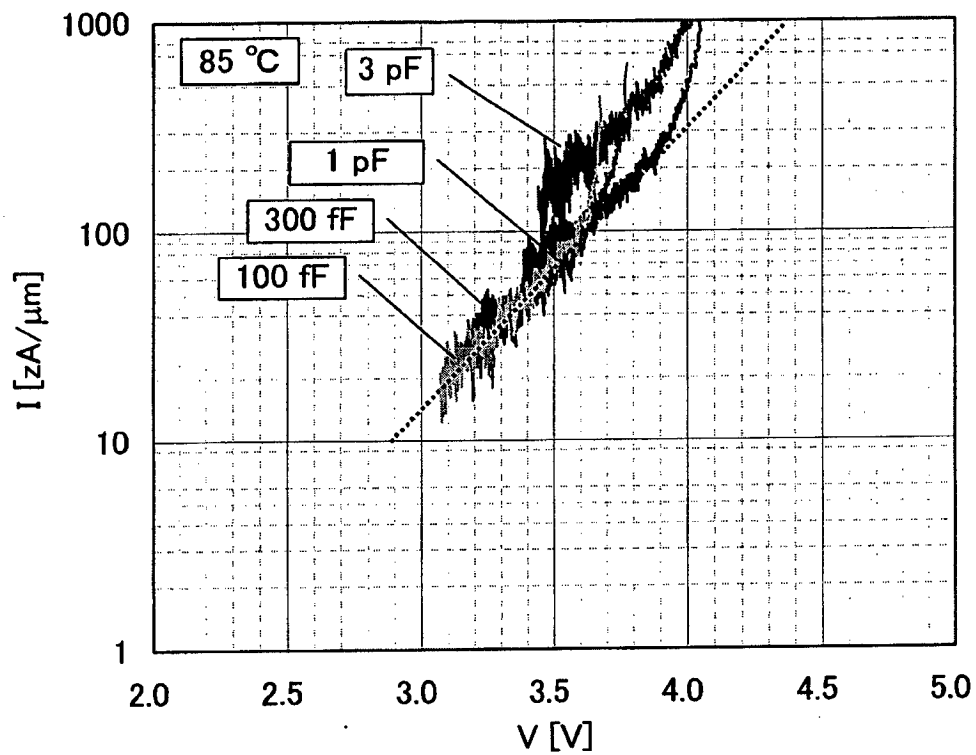


图 30

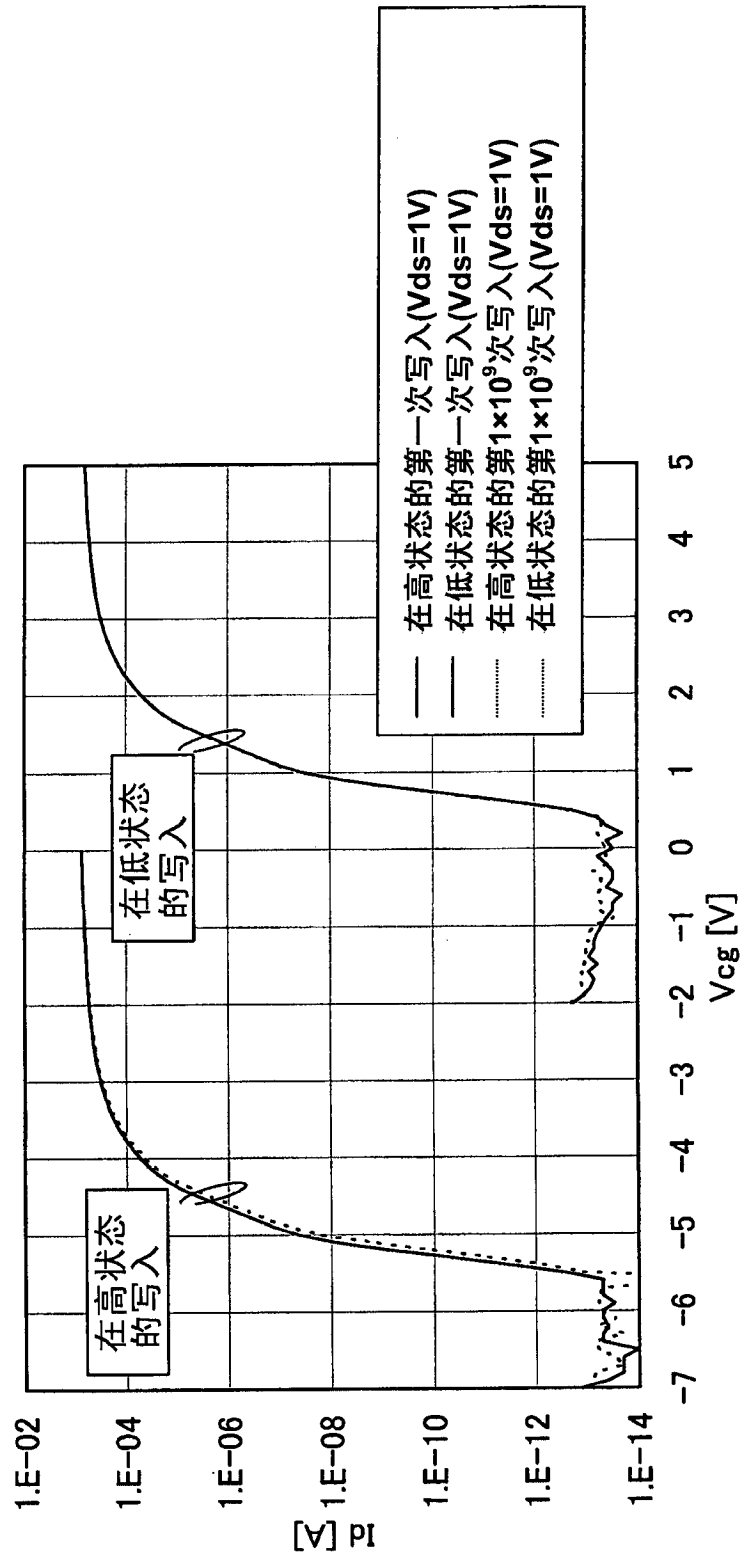


图 31

## 附图标记说明

100 :衬底,102 :保护层,104 :半导体区,106 :元件隔离绝缘层,108 :栅绝缘层,110 :栅电极,112 :绝缘层,114 :杂质区,116 :沟道形成区,118 :侧壁绝缘层,120 :高浓度杂质区,122 :金属层,124 :金属化合物区,126 :层间绝缘层,128 :层间绝缘层,130a :源电极 / 漏电极,130b :源电极 / 漏电极,130c :电极,132 :绝缘层,134 :导电层,136a :电极,136b :电极,136c :电极,136d :栅电极,138 :栅绝缘层,140 :氧化物半导体层,142a :源电极 / 漏电极,142b :源电极 / 漏电极,144 :保护绝缘层,146 :层间绝缘层,148 :导电层,150a :电极,150b :电极,150c :电极,150d :电极,150e :电极,152 :绝缘层,154a :电极,154b :电极,154c :电极,154d :电极,160 :晶体管,162 :晶体管,164 :电容器,200 :衬底,206 :元件隔离绝缘层,208 :栅绝缘层,210 :栅电极,216 :沟道形成区,220 :高浓度杂质区,224 :金属化合物区,225 :层间绝缘层,226 :层间绝缘层,228 :层间绝缘层,242a :漏电极,242b :漏电极,243a :绝缘层,243b :绝缘层,244 :氧化物半导体层,246 :栅绝缘层,248a :栅电极,248b :电极,250 :层间绝缘层,252 :层间绝缘层,254 :漏电极,256 :线,260 :晶体管,262 :晶体管,264 :电容器,301 :主体,302 外壳,303 :显示部分,304 :键盘,311 :主体,312 :指示笔,313 :显示部分,314 :操作按钮,315 :外部接口,320 :电子书阅读器,321 :外壳,323 :外壳,325 :显示部分,327 :显示部分,332 :电源开关,333 :操作键,335 :扬声器,337 :铰链,340 :外壳,341 :外壳,342 :显示面板,343 :扬声器,344 :话筒,345 :操作键,346 :指向设备,347 :相机镜头,348 :外部连接端子,349 :太阳能电池单元,350 :外部存储槽,361 :主体,363 :目镜,364 :操作开关,365 :显示部分 (B),366 :电池,367 :显示部分 (A),370 :电视机,371 :外壳,373 :显示部分,375 :支架,377 :显示部分,379 :操作键,380 :遥控器,400 :存储单元,800 :测量系统,802 :电容器,802a :电容器,802b :电容器,802c :电容器,804 :晶体管,805 :晶体管,806 :晶体管,808 :晶体管,1100 :存储单元,1111 :第一驱动电路,1112 :第二驱动电路,1113 :第三驱动电路,1114 :第四驱动电路,1200 :存储单元,1211 :第一驱动电路,1212 :第二驱动电路,1213 :第三驱动电路,以及 1214 :第四驱动电路。