



(12) 发明专利

(10) 授权公告号 CN 102468168 B

(45) 授权公告日 2014. 06. 04

(21) 申请号 201010532590. 4

要求 3, 说明书第 43-62 段, 附图 1-4.

(22) 申请日 2010. 11. 01

US 6559017 B1, 2003. 05. 06, 说明书第 2 栏
第 21-45 行, 附图 2-5.

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

US 2003/022448 A1, 2003. 01. 30, 全文.

地址 201203 上海市浦东新区张江路 18 号

CN 101584027 A, 2009. 11. 18, 全文.

专利权人 中芯国际集成电路制造(北京)有限公司

审查员 陈凯

(72) 发明人 张海洋 孙武

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/336 (2006. 01)

权利要求书1页 说明书7页 附图7页

H01L 21/28 (2006. 01)

(56) 对比文件

JP 特开 2002-237602 A, 2002. 08. 23, 权利
要求 3, 说明书第 43-62 段, 附图 1-4.

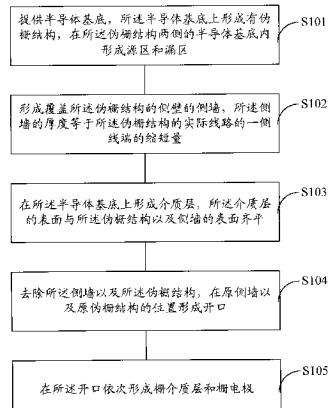
JP 特开 2002-237602 A, 2002. 08. 23, 权利

(54) 发明名称

MOS 晶体管的形成方法

(57) 摘要

一种 MOS 晶体管的形成方法, 包括: 提供半
导体基底, 所述半导体基底上形成有伪栅结构,
在所述伪栅结构两侧的半导体基底内形成源区和
漏区; 形成覆盖所述伪栅结构的侧壁的侧墙, 所
述侧墙的厚度等于所述伪栅结构的实际线路的一
侧线端的缩短量; 在所述半导体基底上形成介质
层, 所述介质层的表面与所述伪栅结构以及侧墙
的表面齐平; 去除所述侧墙以及所述伪栅结构,
在原侧墙以及原伪栅结构的位置形成开口; 在所
述开口依次形成栅介质层和栅电极。本发明能够
改善栅极后制工艺中线端缩短的问题。



1. 一种 MOS 晶体管的形成方法, 其特征在于, 包括 :

提供半导体基底, 所述半导体基底上形成有伪栅结构, 在所述伪栅结构两侧的半导体基底内形成源区和漏区;

形成覆盖所述伪栅结构的侧壁的侧墙, 所述侧墙的厚度等于所述伪栅结构的实际线路的一侧线端的缩短量; 所述伪栅结构的实际线路的线端包括相对两侧的线路侧端和相对两侧的线路末端, 所述侧墙的厚度等于所述伪栅结构的实际线路的一侧线端的缩短量是指所述侧墙的厚度等于所述伪栅结构的实际线路的一侧所述线路末端的缩短量;

在形成覆盖所述伪栅结构的侧壁的侧墙前, 对所述伪栅结构进一步刻蚀, 减小所述伪栅结构的实际线路的线路末端的宽度, 所述伪栅结构的实际线路的线路末端的宽度的减小量为所述伪栅结构的实际线路的一侧线路末端的缩短量与一侧线路侧端的缩短量之间的差;

在所述半导体基底上形成介质层, 所述介质层的表面与所述伪栅结构以及侧墙的表面齐平;

去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口;

在所述开口依次形成栅介质层和栅电极。

2. 根据权利要求 1 所述的 MOS 晶体管的形成方法, 其特征在于, 所述侧墙的厚度为 50Å 至 300Å.

3. 根据权利要求 1 所述的 MOS 晶体管的形成方法, 其特征在于, 所述在所述半导体基底上形成介质层, 所述介质层的表面与所述伪栅结构以及侧墙的表面齐平包括: 在所述半导体基底上以化学气相沉积形成介质层并平坦化直至所述介质层的表面与所述伪栅结构以及侧墙的表面齐平。

4. 根据权利要求 1 所述的 MOS 晶体管的形成方法, 其特征在于, 所述侧墙的材料为无定形碳。

5. 根据权利要求 4 所述的 MOS 晶体管的形成方法, 其特征在于, 所述去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口包括: 先灰化去除所述侧墙, 然后刻蚀去除所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口。

6. 根据权利要求 4 所述的 MOS 晶体管的形成方法, 其特征在于, 还包括: 在形成覆盖所述伪栅结构的侧壁的侧墙之后, 通入二氧化碳气体流灰化去除聚合物。

7. 根据权利要求 6 所述的 MOS 晶体管的形成方法, 其特征在于, 所述通入二氧化碳气体流灰化去除聚合物时的压力小于 50mTorr, 温度小于 30℃。

8. 根据权利要求 1 所述的 MOS 晶体管的形成方法, 其特征在于, 所述侧墙的材料与所述伪栅结构的材料相同。

9. 根据权利要求 8 所述的 MOS 晶体管的形成方法, 其特征在于, 所述去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口包括: 刻蚀去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口。

MOS 晶体管的形成方法

技术领域

[0001] 本发明涉及半导体制造领域，特别涉及一种 MOS 晶体管的形成方法。

背景技术

[0002] 随着半导体制造工艺的不断发展，集成电路中的半导体器件的特征尺寸 (CD, Critical Dimension) 越来越小，为了解决小尺寸器件带来的一系列问题，高介电常数 (high-k) 材料的栅介质层和金属栅 (metal gate) 电极相结合的技术被引入至 MOS 晶体管的制造过程中。

[0003] 为避免金属栅电极的金属材料对 MOS 晶体管的其他结构造成影响，所述金属栅电极与高 k 栅介质层的栅极叠层结构通常采用后栅 (gate-last) 工艺制作。在该工艺中，在源漏区注入前，在待形成的栅电极位置首先形成由多晶硅构成的伪栅极；而在形成源漏区之后，会移除所述伪栅极并在伪栅极的位置形成栅极开口；之后，再在所述栅极开口中依次填充高 k 的栅介质层与金属栅电极。由于金属栅电极在源漏区注入完成后再进行制作，这使得后续工艺的数量得以减少，避免了金属材料不适于进行高温处理的问题。

[0004] 图 1 至图 3 示出了现有技术中 MOS 晶体管的形成方法的剖面结构示意图。

[0005] 如图 1 所示，提供半导体基底 10，所述半导体基底 10 上形成有伪栅结构 11，所述伪栅结构 11 的材料一般为多晶硅，以所述伪栅结构 11 为掩膜进行离子注入，在伪栅结构 11 两侧的半导体基底 10 内形成源区 12 和漏区 13。

[0006] 如图 2 所示，在所述半导体基底 10 上形成介质层 14，所述介质层 14 的表面与伪栅结构 11 的表面齐平。

[0007] 如图 3 所示，去除所述伪栅结构，在原伪栅结构的位置形成开口 15。

[0008] 之后，在所述开口 15 依次形成栅介质层和栅电极，所述栅介质层由高介电常数材料构成，所述栅电极为金属栅电极。

[0009] 其中，图 1 中所示的在所述半导体基底 10 上形成的伪栅结构 11，是通过在晶圆上涂布光刻胶，将掩膜版图形转移至光刻胶形成光刻胶图形，并以所述光刻胶图形为掩膜进行刻蚀而形成的。所述光刻胶由光阻 (PR, PhotoResist) 材料构成。

[0010] 但是，因为集成电路中的半导体器件的特征尺寸越来越小，晶体管和金属线路也变得越来越小并且越靠越近，出现的一个问题是线端缩短 (LES, LineEnd Shortening)，LES 表现为线端的实际的印刷位置和预定 (设计) 位置之间的差异。图 4 示出了线端缩短的问题，如图 4 所示，虚线所示的是预定 (设计) 形成的预期线路 40，但是由于刻蚀效应和光阻拉回 (PhotoResist Pullback) 等原因，产生了显著数量的线端缩短的实际线路 30。所述预期线路 40 在有源的源极 32 和漏极 34 之间具有线路侧端 40b (相对两侧，另一侧未标示)、线路末端 40a (相对两侧，另一侧未标示)，所述线路侧端 40b 的长度为 L1，所述线路末端 40a 的宽度为 W1；所述实际线路 30 具有线路侧端 30b、线路末端 30a，所述线路侧端 30b 的长度为 L2，所述线路末端 30a 的宽度为 W2。从图 4 上可以看出，实际线路 30 的线路末端 30a 以及线路侧端 30b 分别较预期线路 40 的线路末端 40a 以及线路侧端 40b 有所缩短，缩短的量

对应为 L1-L2 以及 W1-W2, 通常, LES 比率可以定义为 $(L1-L2) / (W1-W2)$ 。一般来说, L1-L2 远大于 W1-W2, 因此, 与线路侧端 40b 相比, LES 在线路末端 40a 更大。LES 会导致器件性能降级、可靠性降低、产量损失、器件中的泄漏、特征尺寸的限制以及其他有关问题。

[0011] 相关技术还可参考申请号为 200880002066.7 的中国专利申请, 该专利申请公开了一种减少刻蚀过程中的线路末端缩短的方法。

发明内容

[0012] 本发明要解决的是现有技术的 MOS 晶体管的形成方法中形成的线端缩短的问题。

[0013] 为解决上述问题, 本发明提供了一种 MOS 晶体管的形成方法, 包括:

[0014] 提供半导体基底, 所述半导体基底上形成有伪栅结构, 在所述伪栅结构两侧的半导体基底内形成源区和漏区;

[0015] 形成覆盖所述伪栅结构的侧壁的侧墙 (spacer), 所述侧墙的厚度等于所述伪栅结构的实际线路的一侧线端的缩短量;

[0016] 在所述半导体基底上形成介质层, 所述介质层的表面与所述伪栅结构以及侧墙的表面齐平;

[0017] 去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口;

[0018] 在所述开口依次形成栅介质层和栅电极。

[0019] 可选的, 所述伪栅结构的实际线路的线端包括相对两侧的线路侧端和相对两侧的线路末端, 所述侧墙的厚度等于所述伪栅结构的实际线路的一侧线端的缩短量是指所述侧墙的厚度等于所述伪栅结构的实际线路的一侧所述线路末端的缩短量。

[0020] 可选的, 还包括: 在形成覆盖所述伪栅结构的侧壁的侧墙前, 对所述伪栅结构进一步刻蚀, 减小所述伪栅结构的实际线路的线路末端的宽度。

[0021] 可选的, 所述侧墙的厚度为 50 埃(Å)至 300 埃(Å)。

[0022] 可选的, 所述在所述半导体基底上形成介质层, 所述介质层的表面与所述伪栅结构以及侧墙的表面齐平包括: 在所述半导体基底上以化学气相沉积 (CVD, Chemical Vapor Deposition) 形成介质层并平坦化直至所述介质层的表面与所述伪栅结构以及侧墙的表面齐平。

[0023] 可选的, 所述侧墙的材料为无定形碳 (amorphous carbon)。

[0024] 可选的, 所述去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口包括: 先灰化 (ashing) 去除所述侧墙, 然后刻蚀去除所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口。

[0025] 可选的, 还包括: 在形成覆盖所述伪栅结构的侧壁的侧墙之后, 通入二氧化碳气体流灰化去除聚合物。

[0026] 可选的, 所述通入二氧化碳 (CO_2) 气体流灰化去除聚合物时的压力小于 50 毫托 (mTorr), 温度小于 30 摄氏度 (°C)。

[0027] 可选的, 所述侧墙的材料与所述伪栅结构的材料相同。

[0028] 可选的, 所述去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口包括: 刻蚀去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口。

[0029] 与现有技术相比,本发明具有以下优点:

[0030] 在形成伪栅结构之后,通过在所述伪栅结构的侧壁形成侧墙,以弥补伪栅结构的线端缩短量,之后在所述侧墙以及所述伪栅结构的位置形成开口,由此使得最终形成在所述开口中的MOS晶体管的栅极结构与预期结构相近,提高了半导体器件的性能与可靠性。

[0031] 进一步,采用无定形碳作为所述侧墙的材料时,在去除所述侧墙和所述伪栅结构的过程中,通过灰化处理先去除所述侧墙以形成空隙,进而在之后刻蚀去除所述伪栅结构的时候能使刻蚀剂与所述伪栅结构的表面充分接触以使刻蚀去除所述伪栅结构的过程更高效。

附图说明

[0032] 图1至图3是现有技术中MOS晶体管的形成方法的剖面结构示意图;

[0033] 图4是线端缩短的示意图;

[0034] 图5是本发明提供的MOS晶体管的形成方法的流程示意图;

[0035] 图6至图10是本发明实施例的MOS晶体管的形成方法的剖面结构示意图;

[0036] 图11至图15是本发明实施例的MOS晶体管的形成方法的俯视结构示意图。

具体实施方式

[0037] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0038] 在以下描述中阐述了具体细节以便于充分理解本发明。但是本发明能够以多种不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广。因此本发明不受下面公开的具体实施方式的限制。

[0039] 图5是本发明提供的MOS晶体管的形成方法的流程示意图。为解决现有技术中MOS晶体管的形成方法中产生的线端缩短的问题,本发明提供的MOS晶体管的形成方法如图5所示,包括:

[0040] 步骤S101,提供半导体基底,所述半导体基底上形成有伪栅结构,在所述伪栅结构两侧的半导体基底内形成源区和漏区;

[0041] 步骤S102,形成覆盖所述伪栅结构的侧壁的侧墙,所述侧墙的厚度等于所述伪栅结构的实际线路的一侧线端的缩短量;

[0042] 步骤S103,在所述半导体基底上形成介质层,所述介质层的表面与所述伪栅结构以及侧墙的表面齐平;

[0043] 步骤S104,去除所述侧墙以及所述伪栅结构,在原侧墙以及原伪栅结构的位置形成开口;

[0044] 步骤S105,在所述开口依次形成栅介质层和栅电极。

[0045] 图6至图10是本发明实施例的MOS晶体管的形成方法的剖面结构示意图,图11至图15是本发明实施例的MOS晶体管的形成方法的俯视结构示意图。下面结合图5以及图6至图10、图11至图15对本发明实施例的MOS晶体管的形成方法进行详细说明。

[0046] 结合图5和图6、图11,执行步骤S101,提供半导体基底,所述半导体基底上形成有伪栅结构,在所述伪栅结构两侧的半导体基底内形成源区和漏区。具体地,提供半导体基

底 20，所述半导体基底 20 为半导体材料，可以是单晶硅，也可以是硅锗化合物，还可以是绝缘体上硅 (SOI, Silicon On Insulator) 结构或硅上外延层结构。所述伪栅结构 21 的材料为多晶硅。在所述伪栅结构 21 两侧的半导体基底 20 内形成源区 22 和漏区 23。所述伪栅结构 21、源区 22 和漏区 23 在半导体基底 20 上的形成过程是通过现有技术中常规的栅极后制工艺形成，这里不再赘述。步骤 S101 需要重点说明的是，在刻蚀形成所述伪栅结构 21 后，由于刻蚀效应和光阻拉回等原因，产生了显著数量的线端缩短的情况。有关线端缩短的问题可参考背景技术中的描述（结合图 4），具体到本实施例中，请参阅图 11，虚线框所示的是预定（设计）形成的伪栅结构 51 的预期线路，深色区域所示的是实际已产生线端缩短的伪栅结构 21 的实际线路。所述伪栅结构 51 的预期线路的线端包括线路侧端 51b（相对两侧，另一侧未标示）、线路末端 51a（相对两侧，另一侧未标示），假设所述线路侧端 51b 的长度为 L1，所述线路末端 51a 的宽度为 W1；所述伪栅结构 21 的实际线路的线端包括线路侧端 21b、线路末端 21a，假设所述线路侧端 21b 的长度为 L2，所述线路末端 21a 的宽度为 W2。如图 11 所示，所述伪栅结构 21 的实际线路的线路末端 21a 较所述伪栅结构 51 的预期线路的线路末端 51a 有所缩短，线路末端 21a 的缩短量（即线路侧端 21b 的长度减小量）为 L1-L2；所述伪栅结构 21 的实际线路的线路侧端 21b 较所述伪栅结构 51 的预期线路的线路侧端 51b 有所缩短，线路侧端 21b 的缩短量（即线路末端 21a 的宽度减小量）为 W1-W2，通常，LES 比率可以定义为 $(L1-L2)/(W1-W2)$ 。当然，图 11 仅为示意图，在实际情况中一般 L1-L2 远大于 W1-W2，具体地，一般情况下 L1-L2 相对于 W1-W2 多 50%，因此，与线路侧端 51b 相比，LES 在线路末端 51a 更大。另外，因为栅极与栅极在线路末端之间的距离问题在特征尺寸越来越小的情况下也得到了更多的关注，所以图 11 中还示出了另一个预定（设计）形成的伪栅结构 51' 的预期线路，其线端包括线路侧端 51' b、线路末端 51' a，假设所述线路侧端 51' b 的长度为 L3，所述线路末端 51' a 的宽度为 W3；深色区域所示的实际已产生线端缩短的伪栅结构 21' 的实际线路，其包括线路侧端 21' b、线路末端 21' a，假设所述线路侧端 21' b 的长度为 L4，所述线路末端 21' a 的宽度为 W4。如果在没有发生线端缩短的情况下，特别指在没有发生线端中线路末端缩短的情况下，假设伪栅结构 51 的预期线路的线路末端 51a 和伪栅结构 51' 的预期线路的线路末端 51' a 之间的距离为 X，但是由于发生了线端缩短的情况，那么实际形成的伪栅结构 21 的实际线路的线路末端 21a 和伪栅结构 21' 的实际线路的线路末端 21' a 之间的距离增大为 Y，假设伪栅结构 51 的预期线路的线路末端 51a 和伪栅结构 51' 的预期线路的线路末端 51' a 各自两侧缩短的量都是一样的，那么 Y 与 X 之间的关系为： $Y = X + (L1-L2)/2 + (L3-L4)/2$ 。特别地，如果 $L1 = L3, L2 = L4$ ，那么 $Y = X + (L1-L2)$ 。

[0047] 具体实施时，所述线路侧端 21b 和所述线路末端 21a 缩短的量可以通过对所述伪栅结构 21 的实际线路的线端进行检测，测得所述实际线路的线路侧端 21b 的长度和线路末端 21a 的宽度，并与预期线路的线路侧端 51b 的长度和线路末端 51a 的宽度进行比较后获得的，一般情况下，所述线路侧端 21b 的两侧和所述线路末端 21a 的两侧各自缩短的量的情况基本相同，由此，所述线路侧端 21b 一侧和所述线路末端 21a 一侧缩短的量分别为所述线路侧端 21b 和所述线路末端 21a 缩短的量的一半，即分别为 $(W1-W2)/2$ 和 $(L1-L2)/2$ 。

[0048] 结合图 5 和图 7、图 12，执行步骤 S102，形成覆盖所述伪栅结构的侧壁的侧墙，所述侧墙的厚度等于所述伪栅结构的实际线路的一侧线端的缩短量。具体地，形成覆盖所述伪

栅结构 21 的侧壁的侧墙 26, 所述侧墙 26 的材料优选为无定形碳, 具体形成侧墙 26 的过程可通过化学气相沉积 (CVD) 的方法沉积一层无定形碳层 (通过分解反应气体 C_3H_6 、 C_2H_4 或 CH_4 获得无定形碳), 所述无定形碳层覆盖所述伪栅结构 21 的实际线路的表面、线端和所述半导体基底 20, 然后刻蚀形成侧墙 26, 所述刻蚀过程可以为现有技术中形成侧墙中常用的回刻 (etch back) 工艺。步骤 S102 中形成的侧墙 26 的厚度等于所述伪栅结构 21 的实际线路的一侧线端的缩短量。如图 12 所示, 因为所述伪栅结构 21 的实际线路的线端包括有线路侧端 21b (相对两侧, 另一侧未标示) 和线路末端 21a (相对两侧, 另一侧未标示), 所述侧墙 26 的厚度等于所述伪栅结构 21 的实际线路的一侧线端的缩短量是指所述侧墙 26 的厚度等于所述伪栅结构 21 的实际线路的一侧线路末端 21a 的缩短量。由于本发明所关注的是解决因线端缩短而使栅极与栅极在线路末端之间的距离增大的问题, 因此, 将一侧所述线路末端 21a 的缩短量作为所述侧墙 26 的厚度标准, 一般由于所述线路末端 21a 的两侧的缩短量情况基本相同, 所以, 本实施例中, 以所述伪栅结构 21 的实际线路的一侧所述线路末端 21a 的缩短量 (L_1-L_2) / 2 作为所述侧墙 26 的厚度。当然, 一般通过所述回刻工艺在所述伪栅结构 21 的侧壁形成的侧墙 26 的厚度在实际线路的线端四侧是相同的, 如果以一侧所述线路末端 21a 的缩短量作为所述侧墙 26 的厚度标准, 由于所述线路末端 21a 缩短量较所述线路侧端 21b 的更多, 则会导致实际线路形成侧墙 26 后的线路末端的宽度较图 11 中所示的预期线路的线路末端 51a 的宽度有所增加。实际实施时, 为了解决这个问题, 可以在步骤 S101 刻蚀形成所述伪栅结构 21 后, 在形成覆盖所述伪栅结构的侧壁的侧墙前, 将所述伪栅结构 21 的实际线路的线路末端 21a 的宽度再减小一定的量, 即进一步增大所述线路侧端 21b 的缩短量, 假设一侧所述线路侧端 21b 进一步缩短的量为 Z , 则优选为使 $Z = (L_1-L_2) / 2 - (W_1-W_2) / 2$, 即优选为使 Z 为所述伪栅结构 21 的实际线路的一侧线路末端 21a 的缩短量与一侧线路侧端 21b 的缩短量之间的差。减小所述伪栅结构 21 的实际线路的线路末端 21a 的宽度同样可以通过刻蚀来实现, 之后再执行步骤 S102 中形成侧墙 26。具体实施例中, 所述侧墙 26 的厚度一般为 50 埃(Å)至 300 埃(Å)。同理, 对于所述伪栅结构 21', 也采取如同所述伪栅结构 21 形成侧墙 26 的方法实施, 形成侧墙 26'。如此, 在形成侧墙 26 以及侧墙 26' 之后, 所述伪栅结构 21 的实际线路的线端包括形成侧墙 26 后的线路侧端 26b 以及形成侧墙 26' 后的线路末端 26a, 所述伪栅结构 21' 的实际线路的线端包括形成侧墙 26' 后的线路侧端 26'b 以及形成侧墙 26' 后的线路末端 26'a, 并且, 形成侧墙 26 后的线路末端 26a 与形成侧墙 26' 后的线路末端 26'a 之间的距离等于图 11 中所示伪栅结构 51 的预期线路的线路末端 51a 和伪栅结构 51' 的预期线路的线路末端 51'a 之间的距离, 仍然为 X 。

[0049] 另外, 需要说明的是, 执行完步骤 S102 后, 还可以包括: 在形成覆盖所述伪栅结构 21 的侧壁的侧墙 26 之后, 通入二氧化碳气体流灰化去除聚合物。具体地, 因为步骤 S101 在刻蚀形成所述伪栅结构 21 以及之后去除光刻胶的过程中会形成有光阻材料的聚合物 (Polymer), 为了去除所述聚合物, 可采用在低温低压的条件下, 例如压力小于 50 毫托 (mTorr), 温度小于 30 摄氏度 (°C), 通入 CO_2 气体流的方法进行处理。可参考下表, 下表为低温低压的条件下 CO_2 灰化几种材料的刻蚀速率表, 因为 CO_2 灰化对光阻材料与无定形碳具有较高的刻蚀选择比 (为 80 : 1), 所以在去除所述聚合物的时候, 对材料为无定形碳的侧墙 26 影响很小, 而对于氧化硅、氮化硅、硅等材料, 其刻蚀速率几乎为 0, 表明几乎没有影

响。

[0050] 低温低压的条件下 CO_2 灰化几种材料的刻蚀速率表

[0051]

材料类型	低温低压的条件下 CO_2 灰化的刻蚀速率 (埃 / 分钟)
光阻材料	1200
无定形碳	约 15 (光阻材料与无定形碳的刻蚀选择比为 80 : 1)
氧化硅	约为 0
氮化硅	约为 0
硅	约为 0

[0052] 结合图 5 和图 8、图 13, 执行步骤 S103, 在所述半导体基底上形成介质层, 所述介质层的表面与所述伪栅结构以及侧墙的表面齐平。具体地, 如图 8 所示, 在所述半导体基底 20 上以化学气相沉积形成介质层 24, 然后对所述介质层 24 进行平坦化, 例如化学机械抛光 (CMP, Chemical Mechanical Polishing), 直至所述介质层 24 的表面与所述伪栅结构 21 以及侧墙 26 的表面齐平。所述介质层 24 的材料可以是氧化硅、硼磷硅玻璃 (BPSG)、氟硅玻璃 (FSG) 或无掺杂硅玻璃 (USG) 等。步骤 S103 中形成介质层 24 并平坦化的过程为现有技术中的工艺方法, 在此不再赘述。执行步骤 S103 之后的俯视示意图可参阅图 13, 图 13 中示出了伪栅结构 21、伪栅结构 21'、侧墙 26、侧墙 26' 以及介质层 24。

[0053] 结合图 5 和图 9、图 10、图 14、图 15, 执行步骤 S104, 去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口。具体地, 参阅图 9 和图 10, 先灰化 (ashing) 去除所述侧墙 26, 形成空隙 27, 然后刻蚀去除所述伪栅结构 21, 在原侧墙 26 的位置 (所述空隙 27) 以及原伪栅结构 21 的位置形成开口 25。具体实施时, 灰化过程采取的是现有技术中常用的通入二氧化碳 (CO_2) 或氧气 (O_2) 气体流对材料为无定形碳的侧墙 26 进行灰化处理。而刻蚀去除所述伪栅结构 21 的过程中则可用蚀刻剂对材料一般为多晶硅的所述伪栅结构 21 进行蚀刻, 所述蚀刻剂为四甲基氢氧化铵 (TMAH, Tetramethylammonium Hydroxide), 其浓度一般为 2% 至 10%, 温度为 60 ~ 80 摄氏度 (°C)。在去除材料为无定形碳的侧墙 26 后, 形成的空隙 27 可以在之后刻蚀去除所述伪栅结构 21 的时候能使刻蚀剂与所述伪栅结构 21 的表面充分接触以提高刻蚀效率。需要指出的是, 在其他实施例中, 所述伪栅结构 21 也可以由其他材料构成, 那么就需要采用其他相应的刻蚀剂进行刻蚀处理。所述灰化后的俯视示意图可参阅图 14, 图 14 中示出了伪栅结构 21、伪栅结构 21'、灰化后形成的空隙 27、空隙 27' 以及介质层 24。而蚀刻后的俯视示意图可参阅图 15, 图 15 中示出了刻蚀去除所述伪栅结构 21、伪栅结构 21' 之后在原侧墙 26 以及原伪栅结构 21 的位置形成的开口 25、在原侧墙 26' 以及原伪栅结构 21' 的位置形成的开口 25' 以及介质层 24。需要说明的是, 图 14 中还示出了开口 25 一侧的末端 25a 以及开口 25' 一侧的末端 25' a, 末端 25a 与末端 25' a 之间的距离等于图 11 中所示伪栅结构 51 的预期线路的线路末端 51a 和伪栅结构 51' 的预期线路的线路末端 51' a 之间的距离, 仍然为 X。

[0054] 执行步骤 S105, 在所述开口依次形成栅介质层和栅电极。具体地, 在图 10 中所示的开口 25 中依次形成栅介质材料层和金属材料层, 包括: 所述栅介质材料层覆盖所述介质层 24 的表面以及所述开口 25 的侧壁和底部, 所述栅介质材料层的材料为高介电常数材料, 所述金属材料层填满所述开口 25 并覆盖所述栅介质材料层。之后, 对所述栅介质材料层和金属材料层进行平坦化, 至暴露出所述介质层 24 的表面, 形成栅介质层和栅电极。同样, 以相同方法在图 15 中所示的开口 25' 中依次形成栅介质层和栅电极。步骤 S105 可通过现有技术中常规的栅极后制工艺形成, 这里不再赘述。

[0055] 在其他实施例中, 仍可参考图 7、图 12, 在步骤 S102 中形成侧墙 26 的材料还可以与所述伪栅结构 21 的材料相同。具体地, 一般所述伪栅结构 21 的材料为多晶硅, 则形成侧墙 26 的材料也为多晶硅, 可以通过化学气相沉积的方法形成侧墙 26。同样的, 对于所述伪栅结构 21' 的实际线路的线端, 也以同样材料同样方法形成侧墙 26'。结合图 8、图 13, 仍可参考图 10、图 15, 在之后执行步骤 S104, 去除所述侧墙以及所述伪栅结构, 在原侧墙以及原伪栅结构的位置形成开口则具体包括: 刻蚀去除所述侧墙 26 以及所述伪栅结构 21, 在原侧墙 26 以及原伪栅结构 21 的位置形成开口 25。同样的, 刻蚀去除所述侧墙 26' 以及所述伪栅结构 21', 在原侧墙 26' 以及原伪栅结构 21' 的位置形成开口 25'。刻蚀去除所述伪栅结构 21、伪栅结构 21' 的过程中可用蚀刻剂对材料一般为多晶硅的所述伪栅结构 21、伪栅结构 21' 进行蚀刻, 所述蚀刻剂为四甲基氢氧化铵, 其浓度一般为 2% 至 10%, 温度为 60 ~ 80 摄氏度 (°C)。其他步骤同上一实施例中描述, 在此不再赘述。

[0056] 综上, 本发明提供的 MOS 晶体管的形成方法至少具有如下有益效果:

[0057] 在形成伪栅结构之后, 通过在所述伪栅结构的侧壁形成侧墙, 以弥补伪栅结构的线端缩短量, 之后在所述侧墙以及所述伪栅结构的位置形成开口, 由此使得最终形成在所述开口中的 MOS 晶体管的栅极结构与预期结构相近, 提高了半导体器件的性能与可靠性。

[0058] 进一步, 采用无定形碳作为所述侧墙的材料时, 在去除所述侧墙和所述伪栅结构的过程中, 通过灰化处理先去除所述侧墙以形成空隙, 进而在之后刻蚀去除所述伪栅结构的时候能使刻蚀剂与所述伪栅结构的表面充分接触以使刻蚀去除所述伪栅结构的过程更高效。

[0059] 另外, 在形成覆盖所述伪栅结构的侧壁的侧墙之后, 在低温低压的环境下通入二氧化碳气体流灰化去除聚合物, 由于二氧化碳灰化时对光阻材料与无定形碳具有较高的刻蚀选择比, 所以既能达到去除所述聚合物的目的, 又不致于对材料为无定形碳的侧墙造成太大的影响。

[0060] 本发明虽然已以较佳实施例公开如上, 但其并不是用来限定本发明, 任何本领域技术人员在不脱离本发明的精神和范围内, 都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改, 因此, 凡是未脱离本发明技术方案的内容, 依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰, 均属于本发明技术方案的保护范围。

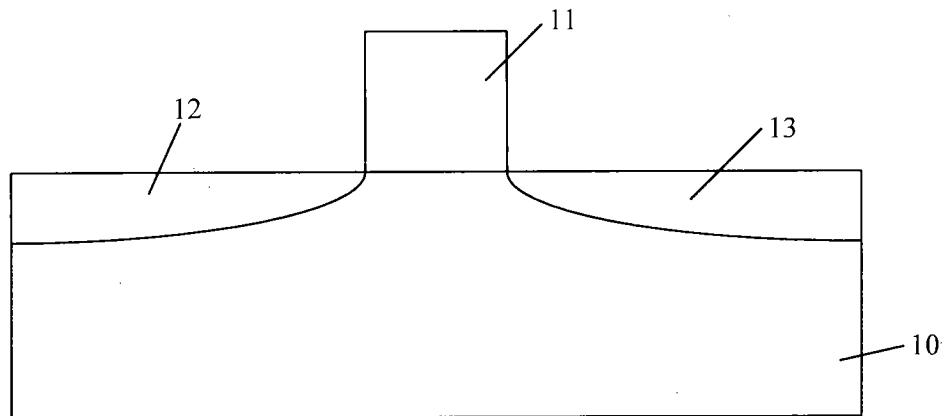


图 1

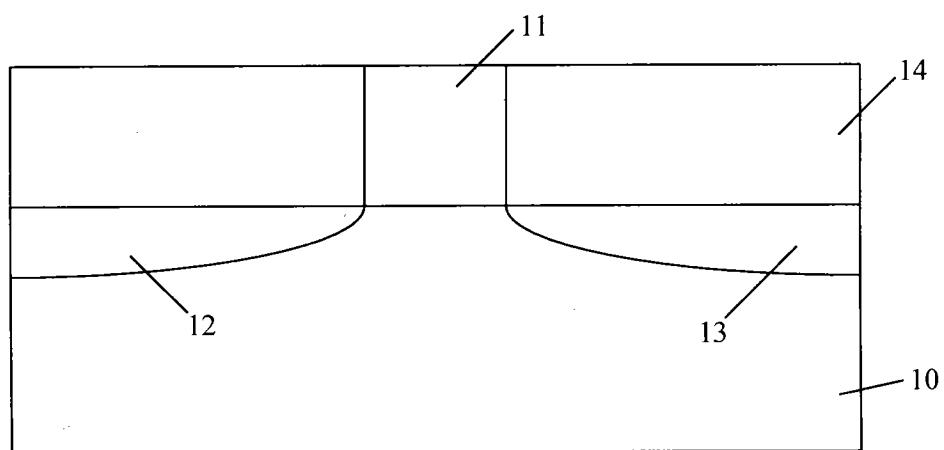


图 2

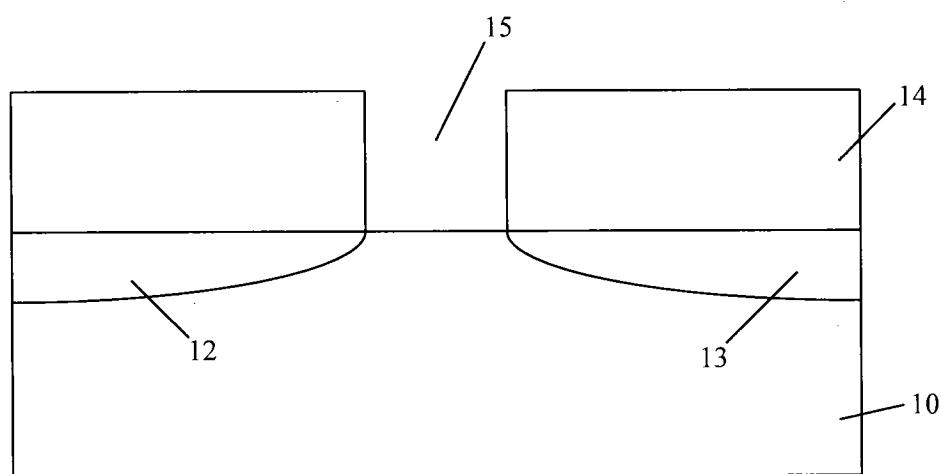


图 3

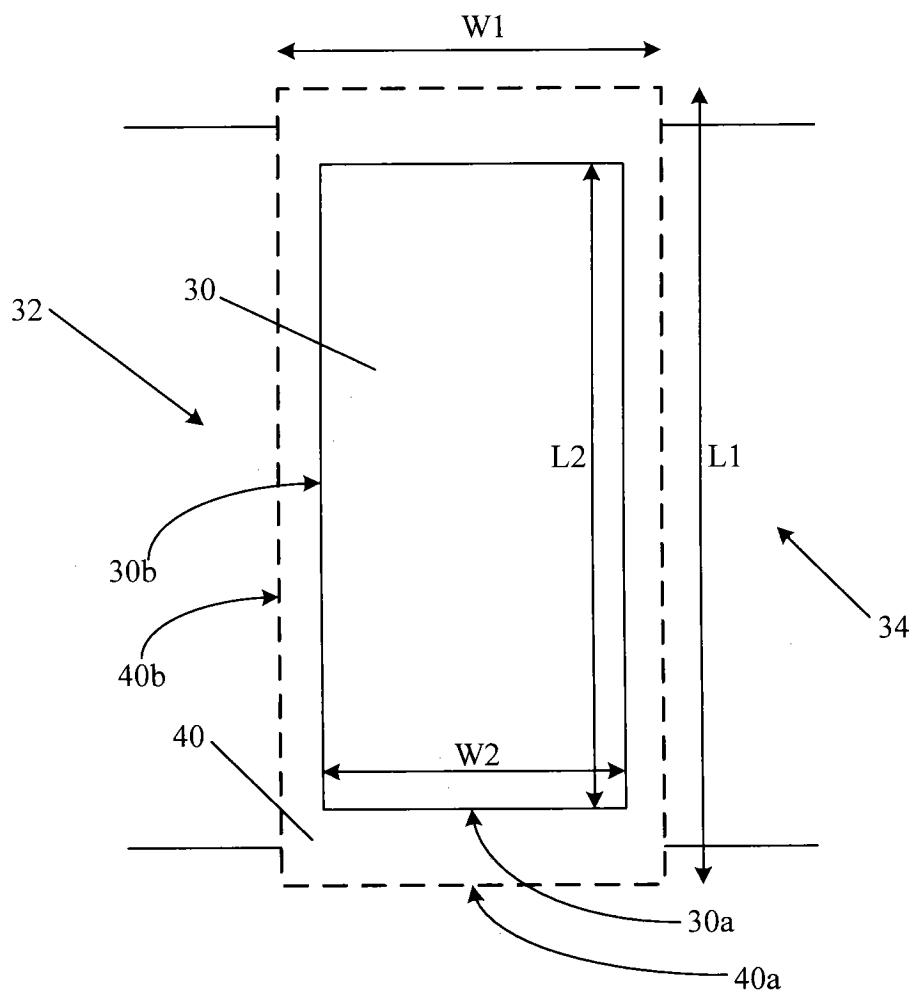


图 4

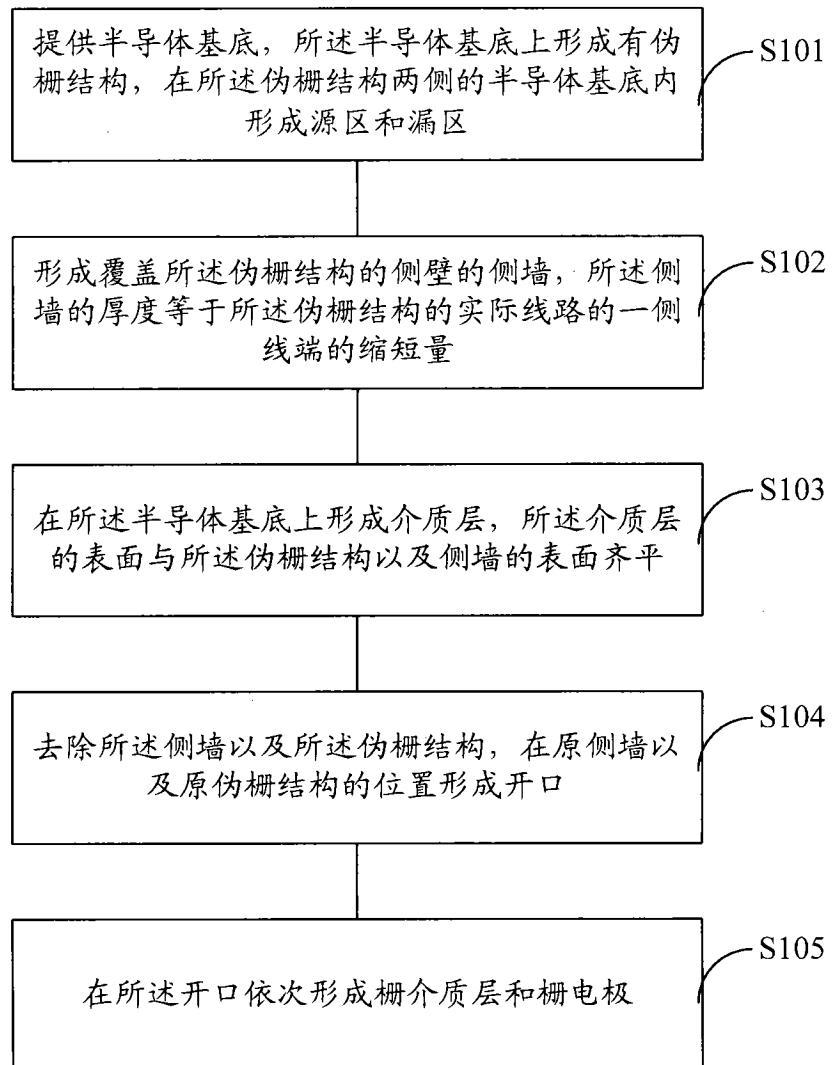


图 5

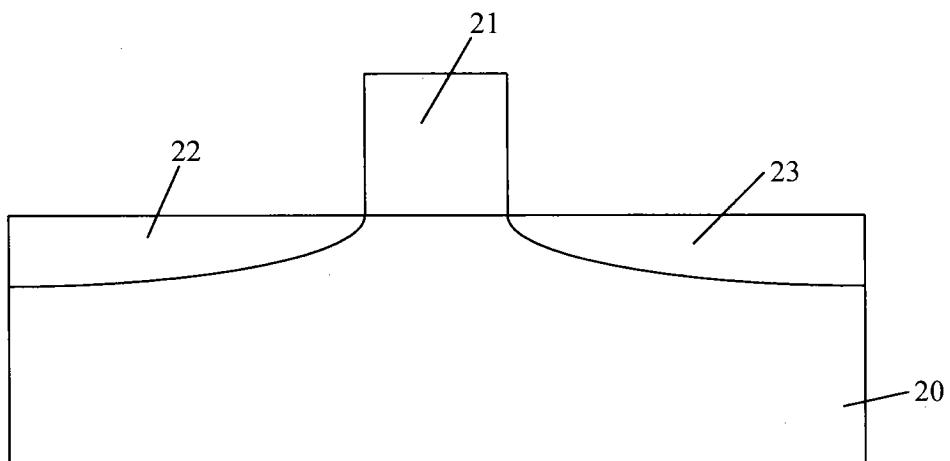


图 6

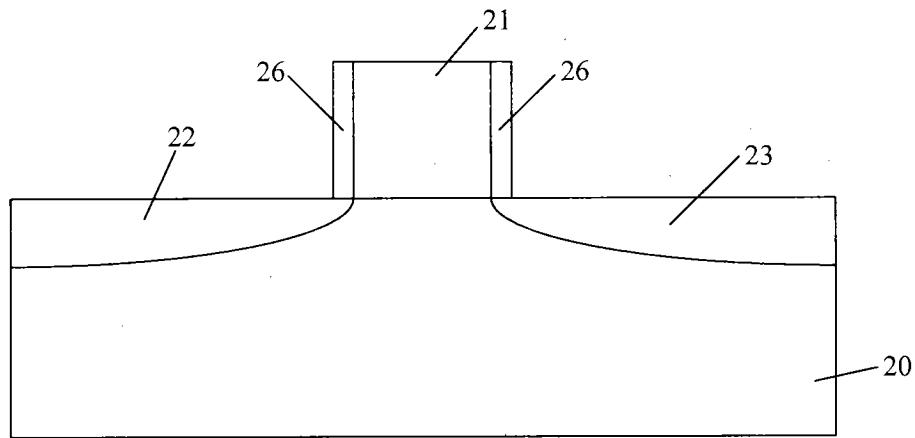


图 7

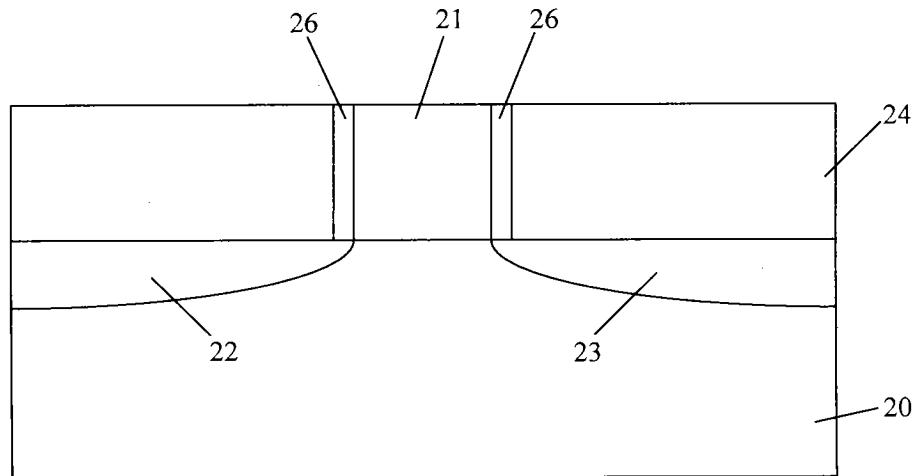


图 8

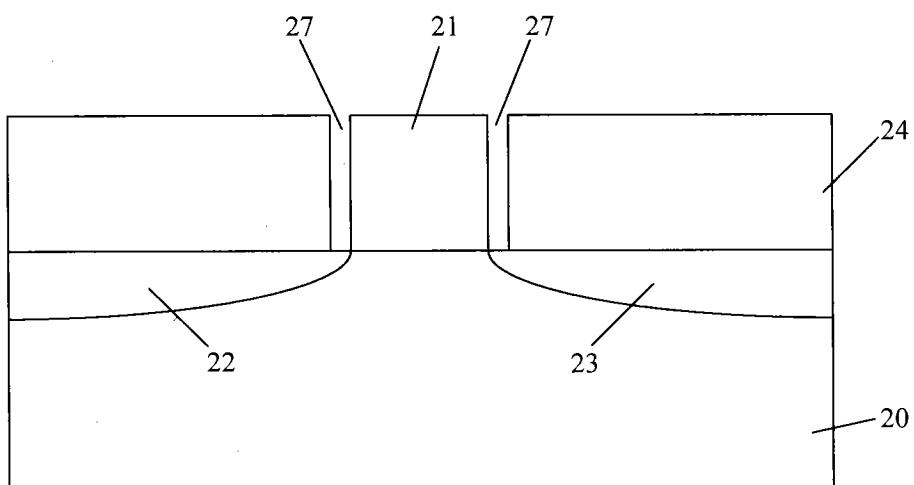


图 9

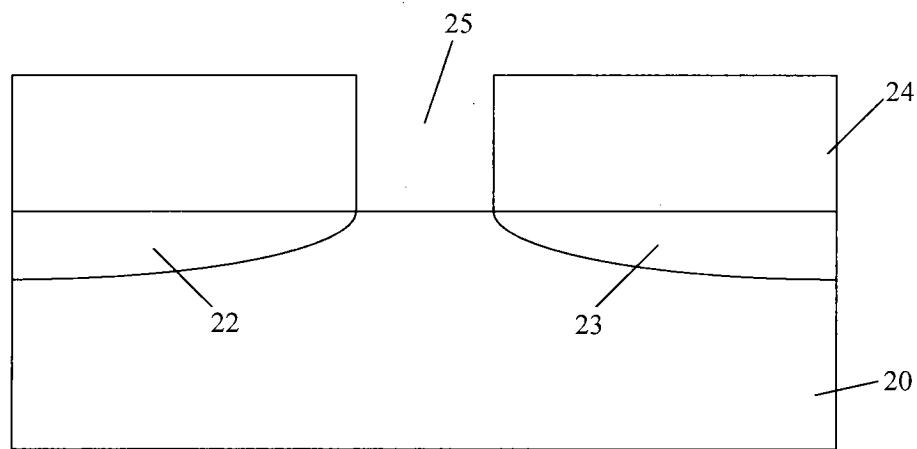


图 10

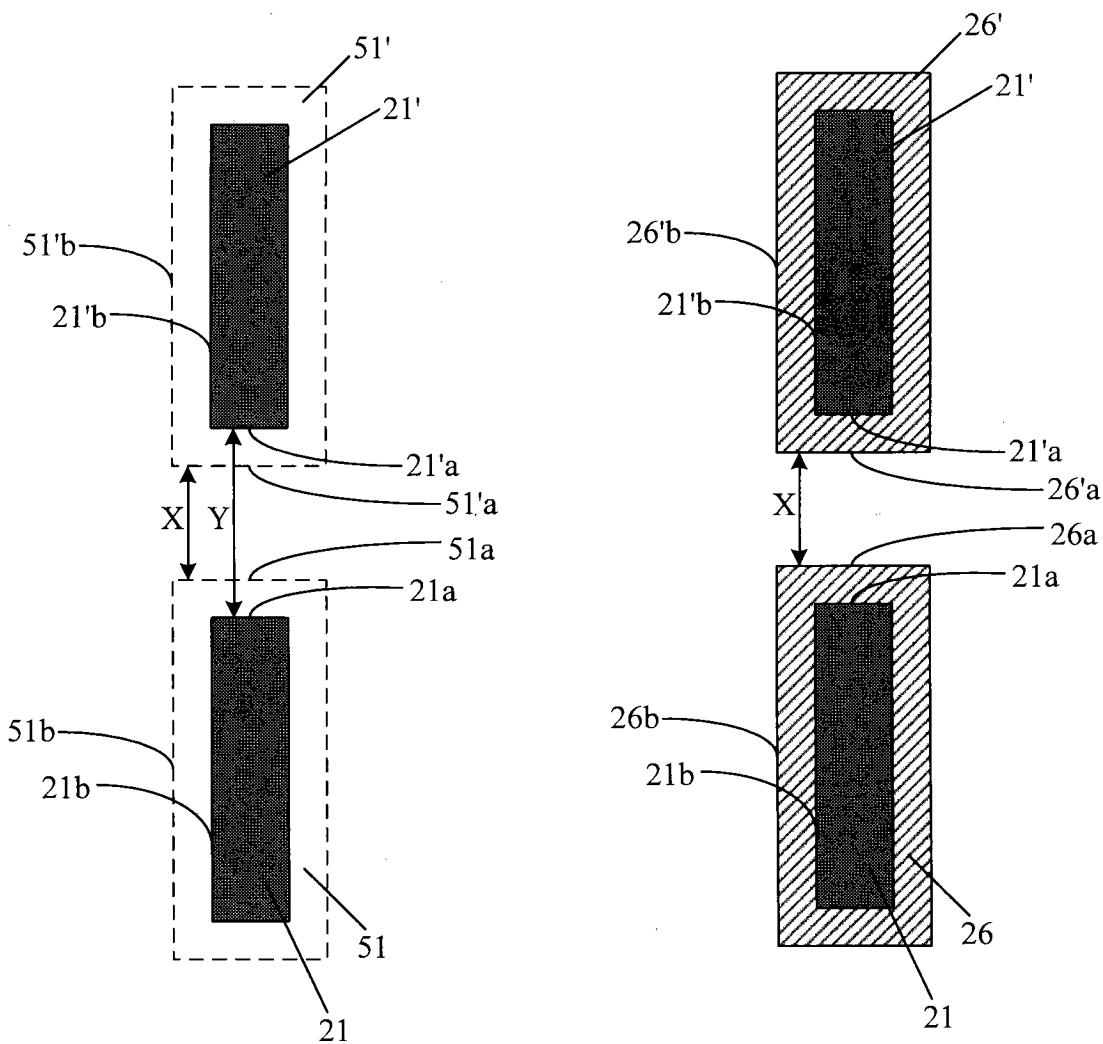


图 11

图 12

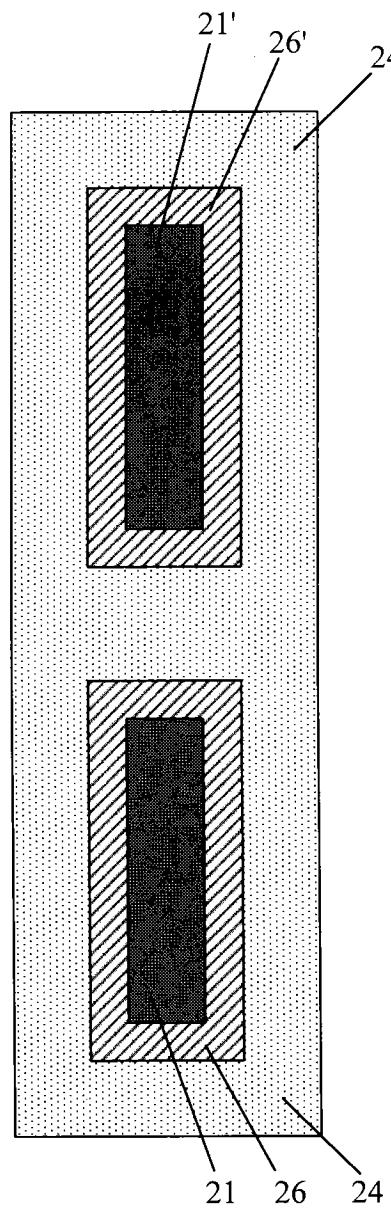


图 13

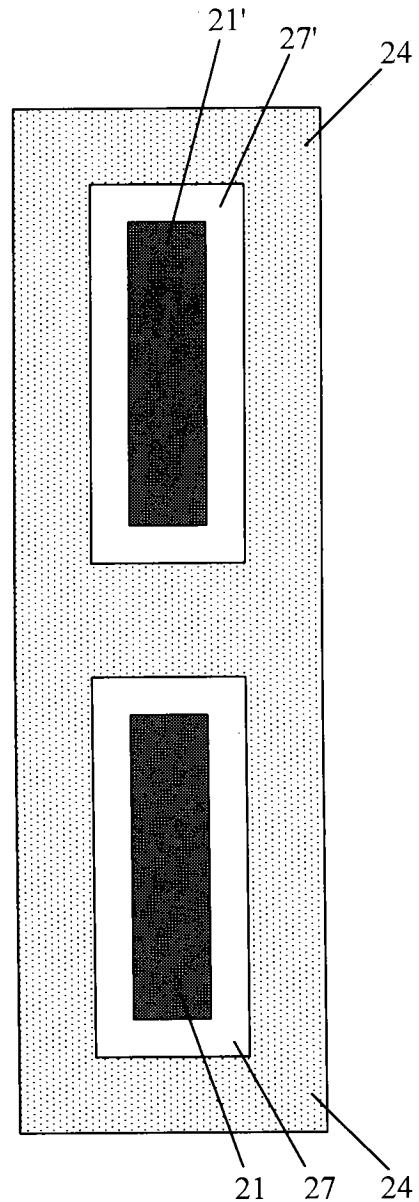


图 14

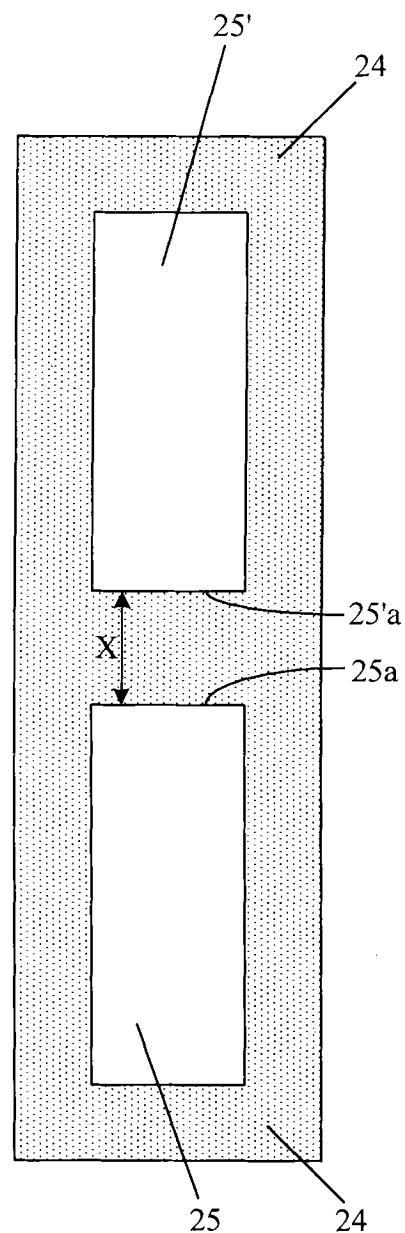


图 15