



[12] 发明专利说明书

[21] ZL 专利号 97113804.4

[45] 授权公告日 2003 年 9 月 24 日

[11] 授权公告号 CN 1122414C

[22] 申请日 1997.6.18 [21] 申请号 97113804.4

[30] 优先权

[32] 1996. 6. 19 [33] US [31] 08/666774

[71] 专利权人 汤姆森消费电子有限公司

地址 美国印第安纳州

[72] 发明人 B·A·肯菲尔德 W·M·林

小·B·W·拜尔斯

审查员 郑 直

[74] 专利代理机构 中国专利代理(香港)有限公司

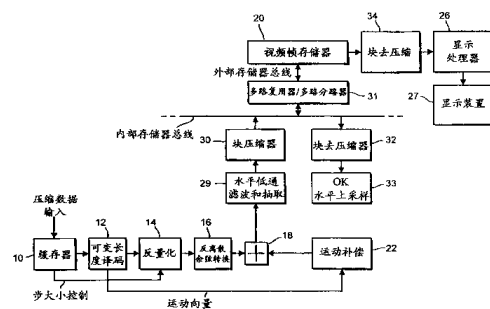
代理人 张志醒 王忠忠

权利要求书 2 页 说明书 20 页 附图 6 页

[54] 发明名称 将图象数据存入存储器前按显示装置分辨率对图象数据去压缩和再压缩的 MPEG 系统和方法

[57] 摘要

一种电视接收机, 具有用于全分辨率译码和显示或降低成本的低分辨率显示的 MPEG 译码器。该 MPEG 译码器(10-33)采用可控的双模式数据简缩网络, 在译码器与从中获取要显示图象信息(27)的译码帧存储器(20)之间, 选择性地利用水平细节简缩(29)和数据再压缩(30)。制造者根据显示装置的分辨率来选择数据简缩量, 比如等于或比高分辨率少。帧存储器的大小也是由制造者根据显示装置的分辨率选择的。



1. 一种处理含有高分辨率图象信息的 MPEG 编码数据流的系统, 其特征装置特征在于包括:

5 MPEG 译码器 (10-33), 用于处理所述图象代表信息;
 存储器 (20), 用于储存由所述 MPEG 译码器处理的信息;
 显示装置 (27), 具有预定的图象分辨率, 用于显示从所述存储器储存的信息中得来的图象信息;

 数据简缩网络 (29), 具有一个数据压缩器, 用于压缩所述信息,
10 该网络包含在所述译码器中, 用于向所述存储器提供数据简缩信息;

 其中, 由所述数据简缩网络提供的数据简缩量是根据所述显示装置的所述分辨率确定的。

2. 根据权利要求 1 的系统, 其特征在于:

15 所述译码器包括用于对所述数据流进行去压缩以产生去压缩信息的装置;

 所述的数据简缩网络包括一压缩网络, 用于在所述存储器储存之前对所述去压缩信息再压缩。

20 3. 根据权利要求 2 的系统, 其特征在于, 所述数据简缩网络包括:
 压缩网络, 用于在用所述存储器储存之前对所述去压缩信息再压缩;

 数据抽取网络, 用于抽取由所述压缩网络压缩的信息。

4. 根据权利要求 3 的系统, 其特征在于: 所述抽取网络提供水平抽取的图象信息, 并处理基本上无修改的垂直图象信息。

25 5. 根据权利要求 3 系统, 其特征在于:
 所述抽取网络提供因子为二的水平抽取; 和
 所述压缩网络提供图象块压缩。

6. 根据权利要求 1 的系统, 其特征在于:

所述数据简缩网络位于一集成电路中；和

所述存储器位于所述集成电路之外。

7. 根据权利要求 1 的系统，其特征在于，所述 MPEG 译码器包括：

去压缩器，用于去压缩所述 MPEG 编码数据流；

5 运动信息处理网络，用于处理来自所述去压缩器的去压缩信息；
并且

所述数据简缩网络包含在所述运动处理网络中。

8. 根据权利要求 1 的系统，其特征在于：所述数据简缩网络是可编程的。

10 9. 一种处理含有高分辨率图象信息的输入 MPEG 编码数据流的方法，其特征在于包括以下步骤：

对所述 MPEG 编码数据流进行去压缩，以产生去压缩的 MPEG 信息；

对所述去压缩信息进行数据简缩，以产生数据简缩的信息，该数据简缩步骤包含一个对所述去压缩信息进行再压缩的步骤；

15 在一存储器中储存所述数据简缩信息；和

用具有预定图象分辨率的一显示装置显示从所述存储器得来的信息；其中

根据所述显示装置的所述分辨率来确定由数据简缩网络产生的数据简缩量。

20 10. 根据权利要求 9 的方法，其特征在于，所述数据简缩步骤包括：

水平地抽取图象信息；和

水平地压缩所抽取的图象信息。

25 11. 根据权利要求 9 的方法，其特征在于，所述数据简缩量是可编程的。

将图象数据存入存储器前按显示装置分辨率
对图象数据去压缩和再压缩的 MPEG 系统和方法

5

技术领域

本发明涉及一种对高清晰度电视 (HDTV) 信号进行数字处理的电视接收机。更具体地说, 本发明涉及一种供与 HDTV 相结合的 MPEG 兼容译码器使用的存储器管理系统, 和降低成本的 HDTV 接收机。

10

背景技术

在数字技术上的快速发展导致了在如高清晰度电视 (HDTV) 等各种领域中的数字图象信号处理的相应发展。MPEG (运动图象专家群) 信号压缩标准 (ISO/IEC 13818-2, 5 月 10 日, 1994 年) 是一种相关的发展。人们发现, 这种被广泛接受的图象处理标准, 对于包括 HDTV 系统的卫星、电缆和地球广播系统的使用, 具有特殊的吸引力。

15

最近提出的作为在美国的 Grand Alliance HDTV 系统的一种数字 HDTV 地球广播系统, 定义了一种高清晰度 (HD) 节目材料的数字广播的标准, 所述的节目材料是采用 MPEG-2 压缩标准作了数据压缩的。比如, 在 1994 年的 “Proceedings of the National Association of Broadcasters, 48th Annual Broadcast Engineering Conference Proceedings, March 20-24, 1994” 一文中, 可找到对 Grand Alliance HDTV 系统的描述。MPEG-2 标准定义了由电视接收机中的显示装置再现对 HF 图象去压缩所需要的程序。根据地球广播标准中的定义, 通过 MPEG 译码器对 HD 图象进行适当译码需要存储器有大约 80 兆位 (Mb)。

20

25

在用户接收机中则需要有大约 96Mb 的存储器。

该 HD 广播标准提供的图象分辨率高达每行 (水平) 1920 象素乘 1080 行 (垂直)。然而, 出于经济原因, 一些 HD 信号的接收机可能采用不能达到如此高清晰度的显示装置。一些低成本的接收机可能具有的分辦能力显著少于全 HD 分辨率, 或者近似于通常标准分辨率 (SD)

5 的电视接收机的分辨率，即 720 像素乘 480 行。概括地说，MPEG 压缩标准并不包括对比整个高分辨率要低的来自所接收的高分辨率 HD 压缩数据流的 HD 图象进行译码所节省的费用。尽管显示装置只表现出从高分辨率信号源可得到的一半的水平和垂直分辨率，但根据 MPEG 标准，为了进行适当译码，通常仍需要有满 80 Mb 的存储器。

10 比如在电视接收机中可发现的 MPEG 视频信号译码器中，为对 MPEG 编码数字数据流进行译码，通常需要多于一个图象帧的存储器，众所周知这可用 I、P 和 B 图象帧表示。对 MPEG 数据流译码一般需要三个帧的存储器，其中两个帧用于储存标准 I 或 P 帧数据，而存储器的一个帧用于储存 B 帧数据。这时，所需存储器量的费用是很大的。出于对保存和经心管理存储器的需要，特别是在经济的视频和电视用户产品中，将产品的成本保持在一个适当水平是很重要的。

发明内容

15 本发明认识到了用户产品的保存和经心管理存储器的需要，比如考虑到要减少高清晰度系统的成本，特别是对那些采用 MPEG 兼容译码器的系统。在这方面，还认识到，并不是全部高清晰度显示系统都要全部采用 MPEG 译码器，一些低成本的、较低分辨率的 MPEG 译码器可允许有比完美的 MPEG 差些的译码。

20 根据本发明的系统，存储器储存由 MPEG 译码器处理的信息，显示装置以预定的图象分辨率显示从存储器来的图象信息。该 MPEG 译码器包括一数据简缩网络，用于向存储器提供数据简缩信息。由所述数据简缩网络提供的数据简缩量是所连图象显示装置图象分辨率的函数。

25 在本发明的一实施例中，可构成具有全高分辨率译码和显示的或低成本的较低分辨显示的 MPEG 译码器的电视接收机。MPEG 译码器采用了一个选择性应用水平细节简缩和在译码器与从中可获取被显示图象信号信息的译码器帧的存储器之间的数据再压缩的可编程双模式数据简缩网络。数据简缩量是与接收机制造者选择的图象显示装置相关的图象分辨率的函数。帧存储器也是制造者选择的可与显示装置的分辨率兼顾的。当存储器位于译码器的外部时，则便于选择存储装置的

大小,使之可与所要的系统的图象分辨率兼顾。

附图说明

图1是具有根据本发明原则构成的MPEG译码器的电视信号接收机一部分的方块图。

5 图2示出进行绘出程序的存储器。

图3是图1的MPEG译码器中所用的压缩网络的方块图。

图4和5示出图3网络的附加细节。

图6和7示出象素结构,以助于了解图4和5中所示网络的工作。

图8示出另一个双路径压缩网络。

10 图9示出对象素的抽取和上采样。

图10是执行图9所示方法的装置的方块图。

图11是表示从存储器到显示处理器的显示缓存象素的方块图。

图12示出在一简化的实际接收机中图1的结构。

具体实施方式

15 图1示出数字视频信号处理器的一部分,比如,可用在处理输入的高分辨率视频信号的电视接收机中。该处理器可以包括在含有经一模拟信道接收和处理标准分辨率视频信号的装置的集成电路中。该视频处理器包括由块10、12、14、16、18、20和22构成的通常MPEG译码器,比如,在1991年10月的“IEEE Spectrum”中由Ang等人描述
20 的一种MPEG编码器和译码器,文章的题目是“Video Compression Makes Big Gains”。

图1的系统从前面的输入处理器,比如传送译码器,接收MPEG编码压缩数据的控制的数据流,当输入信号解调之后分离数据包。在这个例子中,接收的输入数据流代表在美国高分辨率地球电视广播系统的Grand Alliance规范中所规定的高分辨率图象资料(1920×1088)。该输入数据流是以 8×8 象素表示的数据块(图象元)的形式。
25 这个数据表示压缩编码的帧内和帧间信息。帧内信息包括I-帧固定帧,帧间信息包括代表相邻图象帧之间的图像不同的预测运动编码余像信息。此帧间运动编码包括产生代表正在处理的当前块与先前重现

图象中块之间的偏差的运动向量。对表示当前块和先前块之间有最好匹配的运动向量进行编码和发送。同时,在发送之前每个运动补偿的 8×8 块和先前重现块之间的差值(余像)经 DCT 变换、量化和可变长度编码。在包括上述 Ang 等人的文章的多种出版物中都详细地描述了这种运动补偿编码方法。

该 MPEG 译码器具有简化的存储器工作模式,使得在低成本接收机中对高分辨率图象序列译码所需的存储器量大为减少。如下面将要说明的,这些模式包括将压缩视频帧储存在存储器中,选择性地水平滤波,并在译码器环路中抽取像素数据。例如在一个模式中,该系统提供了固定帧的压缩。在另一模式中,该系统提供了经低通滤波和下采样减少水平细节内容之后的压缩。可采用不用抽取的块压缩,但对于这个系统建议不用无抽取的水平抽取。尽管压缩和抽取两个因素都能使存储减少,但压缩比水平抽取可产生更好的图象。在译码器环路中的任何处理(比如压缩和抽取)都可产生人为效果。在压缩之前抽取更好,但在某些系统中压缩可以先于抽取。

在由单元 12 进行可变长度译码之前由单元 10 将输入的压缩像素数据块缓存。在主值、主分布的 MPEG 数据流的情况下,缓存器 10 具有 1.75Mb 的存储容量。在加到加法器 18 的一输入端之前,通过反量化单元 14 和反离散余弦转换(DCT)单元 16 对来自单元 12 的译码压缩数据进行去压缩。应指出,单元 16 采用全反 DCT 处理。没有 DCT 系数被丢掉,因为本发明认为比如对于减少 DCT 计算负载,这是一种不能接受的滤波技术。最好是在抽取之前滤波(如图 10 所示)。降低 DCT 系数类似于水平和垂直抽取,这是压缩的一种原始形式,它不同于滤波,使得很难或不可能很好地滤波。

反量化器 14 的量化步伐大小由来自缓存器 10 的信号控制,以保证稳定的数据流。下面讨论将译码的运动向量从译码器 12 加给运动补偿单元 22。译码器 12 还产生帧间/帧内模式选择控制信号,因为是众所周知的,故未示出以使附图简化。由单元 12、14 和 16 执行的工作

与发射机上的编码器执行的对应工作相反。采用下面将简要描述的已知 MPEG 处理技术，图 1 的 MPEG 译码器可再现所接收的图象。

5 通过将单元 16 来的余象数据与根据视频帧存储器 20 的内容在运动补偿单元 22 的输出端提供的预测图象数据相加，在加法器 18 的输出端提供再现象素块。将象素块的整个帧处理完时，使产生的再现图象储存在帧存储器 20 中。在帧间模式下，将由译码器 12 获得的运动向量用于提供来自单元 22 的预测块的位置。

10 包括加法器 18、存储器 20 和运动补偿单元 22 的图象再现方法，由于采用以块为基础的压缩器 30，和减少水平细节内容的象素抽取单元 29，表现出所需存储器明显减少的优越性。由于单元 30 执行的压缩和单元 29 执行的象素抽取功能，可使帧存储器 20 的大小减少 25%、50%或更多。单元 32 和 33 分别执行与单元 30 和 29 执行的相反功能。将结合下面的图讨论单元 29 和 30 另外的细节。

15 发明人认识到无须把处理高分辨率信号的 MPEG 译码器的所有方面都实际用在全高分辨率显示系统中。这种译码器电路在一些低费用应用场合可以比最好的 MPEG 译码差些。

20 在这个实施例中，视频帧存储器 20 位于包括 MPEG 译码器和图 1 所示的相关单元 10 - 34 的集成电路之外。显示处理器 26 可包括一些不在 MPEG 译码器集成电路上的元件。使用这种外部存储装置，当接收机接收高分辨率数据流时，使得接收机制造者可经济地选择存储装置的大小，以便与接收机的使用(比如全高分辨率显示或较低的分辨率显示)兼顾。一般对于 MPEG 译码所用的大量存储器，实际上要求存储器放在译码器集成电路外面。技术的进一步发展可将存储器设在与 MPEG 译码器元件同样的集成电路上。然而，正如下面将要讨论的，
25 外部存储器的使用使制造者可自由地选择存储器大小，以便与显示的分辨率协调。

实际上，接收机制造者要确定是制造有较多功能的贵的高级型还是只有较少功能的经济型的接收机。其重要标志之一是显示图象的分

辨率。在导致成本降低的低成本接收机的各因素中，包括费用较低的低分辨率图象显示装置，和与 MPEG 译码器相关的数量较少的存储器。

根据本发明的原则，当要求 HD 显示和由于经济等原因不要求 HD 显示分辨率时，与 MPEG 译码器相关的电路都允许使用接收高分辨率数据流的减少的存储器译码。对低成本接收机的情况，制造者一般采用较少译码器的存储器或较低分辨率的图象显示装置，或两者都采用，以作为经济措施。根据本发明，一种 MPEG 译码器结构(即单-集成电路设计)可与多个接收机结构配用，节省了大量成本。

通过对下面几个实例的描述将有利于了解本发明，可以看出， 1920×1088 的高分辨率(HD)图象序列的通常 MPEG 译码需要至少 80Mb 的存储器。这是用于储存前固定帧、后固定帧、用于显示的译码帧，并将 8Mb 用于压缩数据位的缓存。实际上，很难建立一个 80Mb 的存储器系统，因为这将要求用 5 个 16Mb 的存储器装置，其中每个 Mb 包含 2^{20} 或 1,048,576 位。多数存储器用于储存图象数据，只需少量存储器用于储存压缩的视频位流数据。

在这个实例中，当压缩器压缩数据 25%时，存储器的需求降到 64Mb；当数据压缩 50%时，存储器的需求降到更经济的 48Mb。该 25%的压缩器因数是与全 HD 图象显示相联系的，实际上与无压缩的全 MPEG 译码没有区别。用 50%压缩，一个训练有素的观看者也几乎不能发现明显的差别。无论哪种情况，对于由全 HD 分辨率图象显示的装置显示译码的图象序列，都有全 1920×1088 HD 的分辨率。

然而，在某些情况，并不要求全 HD 图象的分辨率，比如当接收机的模式采用低于全 HD 分辨率能力的便宜的显示装置时。在这种情况下，可要求接收和译码不显示全 HD 分辨率图象的 HD 信息。在此，可将接收机的抽取器 29 和压缩器 30 一起使用，以显著减少译码器的存储器需求。例如，抽取器 29 可用因子 2 水平抽取数据，而压缩器可压缩抽取数据的 50%。这将使译码器的存储器需求减少为 32Mb。

在这种情况下, 显示的图象呈现出 960×1088 的分辨率。这对于 1H 或 2H 接收机应用已是足够了。于是可构成能够对全 HD 图象数据流进行译码的低成本接收机, 其中只采用 32Mb 的 MPEG 译码器的存储器。

- 5 所公开的系统提供了两种减少存储器工作的方法。第一种方法包括如上讨论过的采用单元 30 进行固定帧(I 帧和 P 帧)的压缩。通过单元 29 执行的水平细节分辨率减少代表了降低译码器的存储器需求的第二种方法。单元 29 在水平低通滤波之后用因子 2 对水平像素进行抽取(下采样)。在这个实例中没有使用垂直细节简缩。当与由单元 30 给
10 予的压缩结合使用时, 用明显减少了的译码器存储器也可达到对接收的高分辨率输入信息的译码。

- 所述的系统, 通过与多路复用器/多路分路器 31 结合而采用上述的压缩器 30 和抽取器 29, 可方便地采用不同量的存储器的单一 MPEG 译码器对具有不同图象分辨率或质量的高分辨率数据流进行译码。单元
15 31 可作为适当的译码器-存储器的接口。如在图 12 中看到的, 一个 192 位宽的内部存储器数据总线接到存储器接口 31 的输入端。总线的宽度和总线的工作频率决定了全高分辨率 MPEG 译码可用的带宽。这样宽的数据总线是在当今的技术能力之内, 要求一个 40MHz 的保守的工作速度。在这个实例中, 多路复用器 31 与存储器 20 相连的双向
20 外部存储器总线有 96 位可用的位宽, 它的可编程位宽为 96、64、48 或更少, 用于与上述接收机工作结构有关的数据。

- 外部存储器总线与内部存储器总线之间的接口是采用多路复用器 31 从内部存储器总线到外部存储器总线转移来实现的。对存储器 20 的访问是按照 192 位的整数倍来限定的。如上所述, 根据不同图象质
25 量的接收机结构, 由单元 31 将从压缩器 30 写入存储器 20 的数据从 192 位分路为外部存储器总线的目标宽度(96、64、48 或 32 位)。由单元 31 将从存储器 20 读入去压缩器 32 的数据从外部总线宽度多路转换成为 192 位内部总线宽度。

根据接收机的结构, 要求不同量的系统频带, 以保持相关的显示图象的分辨率。通过采用较宽的数据通路可获得较宽的频带。于是, 对于不同的系统结构和图象分辨率要求不同的存储器数据通路宽度。因为内部存储器总线数据通路是外部存储器总线数据通路的整数倍, 故内部存储器通路的时钟速度总是低于外部存储器通路的时钟速率。内部数据字总可由整数个外部数据字构成。同样, 可由一内部数据字产生整数个外部数据字。

正如将要结合图 12 进行讨论的, 由一本地的微处理器, 根据该 MPEG 译码器是位于高分辨率接收机还是较低分辨率接收机中来控制单元 29 - 34。对微处理器进行编程, 以确定由单元 30 执行的压缩量, 以及是否启动抽取器 29(进行数据下采样)或进行旁路(数据不进行下采样而从加法器 18 送到压缩器 30)。同时微处理器指令多路复用器 31, 从可用的 96 位宽的存储器通路选择特定接收机结构所需的存储器数据通路宽度, 比如 96、64、或更少的位宽通路。通过采用适当的软件控制机构而不使用或旁路抽取和压缩功能, 该系统可提供没有存储器减缩的全分辨率 MPEG 译码。

图 2 示出存储器装置 20 的降低了存储器要求的图例。为简化讨论, 下面的描述只给出具有单元 30 的压缩情况。在图 2 中, 左边的存储器图代表全量存储器中的象素块图。右边的图表示如何用 50%的较小存储器储存单元 30 压缩的象素块。从对图 3 所示的压缩网络的下述讨论可以看出, 可保证将每一块(比如块 C)都填到全量存储器所要求的通常空间的 50%之内或更小。即由单元 30 进行的压缩是 50%或更多。在这个实例中, 将压缩后留下的任何未用存储器空间留下不用, 使任何块的数据的起始位置是一已知位置, 或起始地址。

在全量存储器中, 因为在视频帧象素和存储器象素地址之间有固定的绘图, 任何特定的象素都可找出它的位置并被访问。减缩了量的存储器不具有逐个象素的绘图, 而是将象素块绘制到存储器中。如果需要一特定块中的特定象素, 可能必须访问整个数据块。可将 MPEG

译码不需要的任何存储空间用于其它的目的, 比如, 屏上显示、处理器 RAM、传输缓存器或其它特定的缓存器。

回来参考图 1, 在存储器 20 中储存数据以前, 使用压缩器 30 要求在单元 22 之前在运动补偿处理环路中对数据去压缩。这是由基于块的去压缩器 32 完成的, 它与压缩器 30 的工作相反。基于块的显示去压缩器 34 与单元 32 相似, 在送到显示处理器 26 之前对储存的象素块进行去压缩。处理器 26 可包括: 比如, NTSC 编程网络; 调节象素数据以便于显示的电路; 显示驱动网络, 用于将视频信号提供给图象再现装置 27, 比如显像管。同样, 在存储器 20 之前起动下采样单元 29 时, 在单元 22 之前对来自存储器 20 的数据在运动补偿处理环路中进行上采样。这是由水平上采样单元 33 完成的, 它与单元 29 的运作相反。显示装置 27 可呈现全高图象分辨率。另一方面, 可在更经济的接收机设计中采用具有比全高图象分辨率小的便宜的图象显示装置, 在此情况中将数据简缩网络 29、30 编程, 并按上述选择存储器 20 的大小。

一般是, 根据在输入压缩数据流中接收的运动向量, 以随机的方式来访问来自存储的固定帧(比如 I 帧)的数据。基于块的压缩设计保持了来自帧存储器的象素数据的合理的访问能力。已发现 8×8 象素块可与所公开的压缩方案很好工作。较大的象素块允许以较低象素访问能力为代价使用高级的压缩技术。较小的象素块允许以压缩的更少选择为代价在访问象素中有更细粒度。各种压缩技术, 包括量化和转换, 可根据特定系统的需要用于执行压缩器 30 的功能。

所用的压缩类型最好是(但不是必须)呈现确定的特征。每一块应被压缩一个预定量(某些系统中更多), 以根据对图 2 所示的存储器布局的讨论, 很容易确定每个压缩块的位置。其它的块都应独立进行每一块的压缩/去压缩。于是, 无须读任何其它块就能访问任何块。从理论上说, 压缩/去压缩过程应是无损失的, 但不是对任何大小的块都能保证。在任何情况下, 压缩/去压缩过程不会在再现图象中产生有害的人

为缺陷。

在图3中示出了适用于压缩器30的一种压缩技术。这种压缩技术采用了与固定压缩网络并联的一个可变压缩网络。这些压缩网络同时工作在同一像素块上。该可变压缩网络具有无损失或基本上无损失的优点，是最佳的压缩网络。如果该可变压缩网络没有成功地达到数据压缩的预定需要量，则用固定压缩网络的输出取代。尽管固定压缩网络能够获得压缩的需要量，但这种网络具有有损失的缺点。

在图3中，将来自源18(图1)的数据加到包括并联独立数据压缩通路314和320的数据压缩网络的输入端312。通路314是一个基本上无损失的通路，包括一个向多路复用器(MUX)325一个信号输入端提供压缩数据的可变压缩处理器316，和一个位计数器318。计数器318监视由单元316压缩的每一数据块的位计数，并对MUX325的控制输入端提供转换控制信号。图4中更详细地示出了压缩通路314，下面将结合图4进行讨论。通路320是一个有损通路，包括一个固定压缩处理器322，图5中有更详细的表示。将来自单元322的压缩输出数据提供给MUX325的另一信号输入端。如下面将要更详细说明的，MUX325将来自通路314的压缩数据或来自通路320的压缩数据提供到压缩网络的输出端328。将输出的压缩数据提供给图1的帧存储器20。

基于块的压缩网络314、320独立地压缩每一像素块，基本上可保证将每一块压缩一个预定的压缩因子或更多。选择压缩通路314或320的输出作为存储器20的输入，以提供满意的图象质量和所要求的压缩因子，比如，25%或50%。也可使用比50%大的压缩因子。然而，已经确认，压缩因子不超过50%的效果较好。与无这种压缩的通常译码处理相比，25%的压缩因子基本上是清楚的。在50%压缩下，其效果不太清楚，但视觉结果尚可接受，与无压缩和存储器简缩的通常译码处理相比无明显差别。

压缩网络的多通路性取得了高质量的图象，并保证至少会获得固

定的压缩因子。可变压缩通路 314 表现出无损失或近于无损失的压缩，但由通路 314 提供的输出位数是可变的。由计数器 318 监视来自通路 314 的压缩块输出位的数量。如果 314 通路的压缩块位数等于或小于与预定压缩因子相联系的预定目标位计数，则从通路 314 输出的压缩数据被 MUX325 选择，并送到存储器 20。否则用来自固定压缩器 322 的压缩块。固定压缩器 322 采用带有量化的有损失压缩程序，以产生固定目标的位输出。为方便去压缩，对于每一压缩块，每一压缩网络将信号信息插入数据流中，以表示对该块所执行的压缩的类型。该信号信息可以是一位或多位，插在每一压缩数据块的开始，比如在头部。由去压缩网络 32 和 34 检测该信号位(图 1)，该去压缩网络执行与给定信号位相关的块压缩的相反压缩的操作。头部可包含如量化控制信息等其它控制信息。

最好将可变压缩用在图象的平缓区，以避免干扰轮廓的造型。基本上保证了整个区域的高质图象，因为可变压缩器 316 采用很少的量化或无量化，它是一种基本上无损失的方法。另一方面，可将固定压缩器 322 用在含有明显细节信息的图象区。因为在这种区域中的量化噪声不易导致很多可查觉的误差，因此经过通路 320 的固定压缩的图象区的质量感觉总是很好的。然而，在这种方式中不必选择采用可变的和固定的压缩，尽管在许多系统中这样做是有好处的。简单地根据来自可变压缩器 316 的压缩块的位计数值可选择使用两种压缩块之一。如果该位计数值表示压缩器 16 已达到了需要的压缩，则用它，否则，就用压缩器 22。

由压缩网络 314、320 执行的基于块的压缩与每一块的独立压缩一起使译码器对每一块译码，而无须涉及任何其它块的信息。因为每一块都压缩一个预定的压缩因子，故每一块的第一象素的存储地址是预先已知的。于是没有涉及任何其它块的信息也可从存储器中访问每一块。在这方面，应注意要在存储器中为每一块保留一些区域。在 50% 压缩情况下，每个保留区域是原始块的一半大小。如必要，根据位计

数和压缩器 322 的输出, 可将每一压缩块装在为它保留的存储区中。如果最佳的压缩器 316 成功地取得了比目标压缩量大的压缩量, 则用压缩器 316 的输出, 而一些保留的存储器空间没有被压缩块数据使用。即, 每一压缩块开始装入其保留的存储区, 而以预定的起始地址开始, 并延续到比为该块保留的最后地址小的一个地址处。将结合图 2 讨论这个方法。

对于基本块的压缩要求达到高的压缩效率, 并易于访问像素块的每一像素, 尽管这两个结果在性质上是矛盾的。即, 高的压缩效率需要大的块尺寸, 而易于访问像素则要求小的块尺寸。已发现, 通过 8×8 像素和 16×4 像素的像素块大小可基本上取得这两个特征。如上所述, 这些块被构成为单元 10 中所要求的 $N \times N$ 像素大小。

在这个实施例, 如图 6 中所示, 以光栅方式对基于像素块的每一场进行扫描, 以向下的方向从左到右。在单元 316 和 322 中都进行这种扫描, 采用分别在图 4 和 5 中所示的延迟元件 452 - 456 和延迟元件 552 - 556, 下文将会讨论。图 4 中示出了可变压缩网络。这个网络采用具有合适预测的 DPCM 环路, 以便使用已知技术产生一差值信号(剩余)。对这个差值进行可变长度编码, 并监视结果的编码差值位数, 以指示对于当前的块是否达到了要求的压缩因子。

在图 4 中, 差分网络 442 产生代表加到单元 442 的非反向输入端 (+) 的输入像素值和加到单元 442 的反向输入端的预测像素值之间差值(剩余)的输出。采用包括差分器 442、可变长度编码器 444 和可变长度译码器 446 的 DPCM 处理环路来获取预测值, 译码器 446 执行由单元 444 执行的编码操作相反的操作。该可变长度编码器可包括用于无损或接近无损压缩的随意的高分解率量化器和熵编码器(比如一个 Huffman 编码器)。可变长度译码器包括反向量化器和熵译码器。将来自单元 446 的反向译码输出和来自包括预测器 450 及相关像素延迟元件 452、454、456 的预测网络的输出在单元 448 中相加。这些延迟元件分别给出了一个、七个和一个像素的延迟。将来自单元 450 的预

测象素值的输出加到加法器 448 和差分器 442 的输入端。

图 7 表示与 DPCM 网络的预测处理和译码操作相联系的一组 4 个象素 A、B、C 和 X(被预测的象素)的实例结构。这组象素也以图 6 中所示的象素块为基准。在这个实施例 5 中,象素 B 相对于象素 C 延迟一个象素间隔,象素 A 相对于象素 B 延迟七个象素间隔,象素 X 相对于象素 A 延迟一个象素间隔。DPCM 预测方法是众所周知的,接着将会讨论。在加到图 3 的 MUX35 之前,对来自可变长度编码器 444 输出的压缩象素数据由单元 460 缓存。缓存器 460 在整个块处理完之前储存可变压缩过程的输出,此时可确定是否达到了目标压缩因子。

10 通过位计数器 418 监视来自编码器 444 的每一压缩块输出的位数,这可用几个已知技术中的任何一个来完成。将每一象素块进行可变压缩之后,如果压缩位计数位于或低于预定的阈值,计数器 418 则提供一个控制输出信号,表示可变压缩器已达到或超过了需要的压缩量。将这个控制信号加到 MUX325 的转换控制输入,使 MUX325 将 15 可变长度压缩器的输出送给利用的网络。否则,则将来自固定长度压缩器的压缩块输出(对于同一象素块)送到利用的网络。

图 5 示出了固定压缩网络。如可变压缩器的情况一样,这个网络也使用有自适应预测的 DPCM 环路。图 5 中,元件 548、550、552、554 和 556 执行图 4 中对应元件的同样功能。差分网络 542 用于与图 4 20 中单元 442 的同样目的,即用于产生剩余象素值,但如下讨论的会有稍微不同。

该固定压缩网络采用在单元 542 输出端提供的差(剩余)象素值的非线性量化作为 DPCM 处理的结果。单元 542 的非反向输入端(+)接收由 64 - 象素延迟元件 555 给出的延迟 64 个象素间隔的输入象素值。 25 单元 542 的反向输入端(-)接收来自预测器 550 的预测象素值。从单元 542 输出的剩余象素值分别由单元 556 和 558 进行量化和反量化。由单元 556 提供的量化是固定的,它保证了数据压缩的所需固定量。例如,要达到 8 位数据字的 50% 的压缩,单元 556 除去最后四个最小有

效位。固定压缩的量不少于压缩的需要量。单元 556 和 558 在最小/最大比较网络 560 的控制下工作，比较网络 560 确定每一象素块的最小和最大象素值。

5 还可将量化器 556 安排成使用固定量化器尺度。然而，采用根据与处理块相关的最小和最大象素值的量化尺度效率更高。最小/最大比较单元 560 确定这些值。元件 555 在该块的第一象素处理之前，对于要检查的给定块的所有 64 个象素的最小和最大值，提供了所需的时间延迟。

10 返回参考图 3，压缩器 322 没有固有的延迟，但是最小/最大比较和延迟元件 555(图 5)的组合使压缩器 322 呈现一个块的延迟，这与可变压缩通路呈现的一个块的延迟相符。固定长度的压缩网络两次估算每个 8×8 象素块的 64 个象素值的每一个，以确定那个块的最小和最大象素值。通过元件 555 提供的 64 个象素(一个块)的延迟更方便了这个方法。将最大和最小值用于处理每一块所用的非线性量化尺度之间的自适应选择。需要两次估算每一块的两通路方法对系统并未增加另外的等待时间，因为当确定可变压缩器是否达到了要求的压缩时，是由可变压缩通路的缓存器 460 呈现出一个块的等待时间。

20 正如上面指出的，当压缩器 316 和 322 并行安排，而且固定压缩器采用最小/最大比较，则在压缩器 322 中有一个块的延迟。可变压缩器 316 并不具有固有的一个块延迟，于是位缓存器 460 将这些位保持长于一个块的时间，以等待压缩器 322 的输出。如果固定压缩器 322 不用最小/最大比较，则压缩器 322 将不呈现一个块的延迟。由于有缓存器 460，可变压缩器 316 不呈现固有的一个块延迟。在决定采用可变的或固定的压缩输出之前，缓存器 460 储存压缩器 316 的这些位。

25 当可变和固定压缩网络并联安排时，位计数器 318 确定采用哪个输出。

然而，如图 8 中所示，并不需要将压缩器 316 和 322 并联。在这种情况下，压缩器 316 首先处理象素块，同时，如前所述，最小/最大比

较单元 560 确定该块的最小和最大象素值。在一个块延迟之后，将会知道压缩器 316 是否达到了目标压缩，从而知道是否需要固定压缩器 322 去处理该块。如果可变压缩器 316 达到了目标压缩因子，则将可变压缩块输出给帧存储器。否则，单元 322 将压缩该块。因为压缩器 316 和 322 可包含同样的结构和功能元件，这个实施例的优越性使得在单元 316 中为可变压缩可用这些同样的元件，在单元 322 为固定长度压缩也可再用这些元件。

自适应地变化图 5 中量化器 556 的量化尺度并不是主要的。可以采用简单的线性量化。采用根据最小/最大象素值的量化尺度减少了损失量。对每一块扫描一次以找到最小和最大象素值。知道这些值使得在第一(剩余)值量化之前允许选择适当的量化尺度。元件 555 将第一象素延迟，直到量化尺度确立为止，这个尺度也被反向量化器 558 使用。这可要求加入到数据流中的信号位去通知所用量化尺度的去压缩功能。

可将量化器考虑做成查表的形式，利用来自单元 542 的代表地址的输出位。在 50%压缩的情况下，量化器 556 输出 4 位数据。量化器 556 的输出是一标志，单元 558 用它估算单元 542 的输出。这里可能产生损失，因为如果输入给单元 558 的只有 4 位数据，则只有 16 种数据组合是可能的，而单元 542 能供给高达 256 种可能的输出。图 5 的固定压缩网络不需要输出缓存器。

在这个实施例中，图 4 和 5 的压缩网络采用同样的 DPCM 预测编码方法。通过采用前面的编码的象素预测正在编码的当前象素，这些前面编码的象素对于去压缩器 32 和 34(图 1)是已知的。参考图 7 可描述该预测方法，其中 X 是被预测编码的象素值。象素 A、B 和 C 在前面已被预测编码，对于去压缩部分这是已知的。X、Xpred 的预测根据下面的伪码使用了 A、B 和 C 值，伪码描述了所用的算法：

如果 $(|A-C| < e_1 \&\& |B-C| > e_2)$, $X_{pred} = B$
 否则如果 $(|B-C| < e_1 \&\& |A-C| > e_2)$, $X_{pred} = A$

否则

$$X_{\text{pred}} = (A + B)/2$$

值 e_1 和 e_2 是代表预定阈值的常数。这种算法只用于不处于被处理块的第一行或第一列的象素。将一些例外处理如下：在一个块中的第一象素被很细地编码，不参考任何其它象素，在第一行中的象素采用象素值 A 作为预测值，第一列中的象素采用象素值 B 作为预测值。从根本上说，这个算法是想检测边缘。对第一种情况，建议垂直边缘在象素 C 与 B 之间和象素 A 与 X 之间。于是 B 是最好的预测值。对第二种情况，建议水平边缘在 A 与 C 之间和 B 与 X 之间。于是 A 是最好的预测值。对第三种情况，没有发现明显的边缘，在这种情况下，A 和 B 都是同样好的预测值，于是可用它们的平均值。

在图 1 的系统中，由单元 29 产生的水平细节减缩，通过减少在存储器 20 中储存的象素值的数目进一步减少了译码器的存储器需求。单元 29 采用水平空间低通滤波器，跟随有在数据提供给存储器 20 之前的 2:1 水平抽取(下采样)。在由单元 32 进行去压缩之后，通过单元 33 采用图象重复上采样过程，重建来自存储器 20 的图象信息的分辨率。在显示去压缩器 34 和显示处理器 26(图 1)之间不需要该上采样过程，因为处理器 26 会提供所要求的水平采样率转换。可以预料，在低成本的接收机中去压缩器 34 和处理器 26 可不执行上采样，因为这种接收机只有较低的显示分辨率。在这种情况下，减少了存储器的译码帧比标准的分辨率还要高。比如，为了译码 1920×1088 象素视频序列并在 720×480 象素显示装置上进行显示，要求在帧存储器中存储的图象具有 960×1088 的分辨率(用 2 因子的水平抽取)。于是去压缩器 34 不须要对图象上采样，但显示处理器 26 必须将 960×1088 分辨率图象下采样到 720×480 ，以适用于显示。

图 9 和 10 分别表示与象素抽取和上采样过程相联系的元件的一般结构。在单元 29 中，原来的象素在被 2 因子抽取之前首先由偶数阶低通滤波器 1010 进行低通滤波，从而通过单元 1012 除去每隔一象素值。将这些象素储存在存储器 20 中。以后，通过上采样单元 33 的元

件 1014，运用已知的技术，重复来自存储器 20 的象素数据。将单元 29 旁路时，在微处理器的控制下将单元 1010 的输入直接转到单元 29 的输出端。可通过多种已知技术进行这种转换。

5 应指出，单元 29 只采用在译码环路中的水平抽取，而不是水平和垂直抽取两者。使用单独的水平抽取的优点是消除了由隔行扫描视频场的垂直抽取产生的人为缺陷。水平抽取过程不产生空间漂移，并且很少或没有由于多路通过译码环路造成的恶化。在抽取之前，通过采用偶数阶的低通滤波器 1010(图 10)，和通过采用简单的象素重复过程作为上变换机构，可获得这个好处。偶数阶滤波器带有多于两个与宏块边界交叉的抽头，即这种低通滤波器不限于内部宏块处理。这产生了真正的水平空间低通滤波。上变换过程中用的简单象素重复操作作为内插器一般具有不良的频率响应。然而，频率响应的任何变坏都发生在通过环路的第一通路上。多个通路由于象素重复过程会产生明显的附加损失。

15 在这个实例中，滤波器 1010 是一个 8 抽头对称 FIR 滤波器。这个滤波器在水平空间域工作，对跨越块的边界进行滤波。如图 9 所示，该 8 抽头滤波器具有将输出象素的相对位置相对于输入移动一半采样周期的作用。在图 9 中还示出，象素重复的上采样具有将下采样/上采样的象素相对于原来的象素保持在同样空间位置的作用。

20 通过译码器环路的通路数目(在本情况下是 2)是由 I 或 P 固定帧之间的 B 帧的数目确定的。抽取滤波器 1012 可以是两抽头滤波器，故对于输入象素 a 和 b，滤波输出是 $(a + b)/2$ ，抽取是由丢掉每隔一象素来完成的。这个滤波器不跨越块的边界，故容易实施，对于水平抽取是一个好的选择。

25 因为在象素重复上采样与平均抽取滤波结合时使用象素重复上变换，所以对于多路抽取和上采样过程象素将保持不变。于是接着通过译码器环路的通路将不改变象素值。直观地说，通过对一对象素简单平均的低通滤波，跟随着抽取和象素重复，产生通过环路的第一时

间。然而，在第二通路中，低通滤波器(对两个像素平均)相当于平均一对重复的像素。这将产生同样的像素，它将依次再重复。上采样最好有简单、快速的操作，因为它是在重要的运动补偿环路中。

参考图 11，显示处理器 26 接收来自去压缩器 34 经包括并联 FIFO 缓存器 1110 和 1112 以及多路复用器 1114 的显示缓冲网络输入的数据。在图 11 中，块 20、34 和 26 对应于图 1 中同样标注的块。前面基于压缩/去压缩操作描述的块很好地适合支持 MPEG 译码所需要的存储器访问，并被显示缓存网络补充以支持显示处理。该显示缓存网络保持有 16 个图象线，在 8 线的缓存器 1110 和 1112 中分开。从一个缓存器中经多路复用器 1114 读出用于显示处理的未压缩数据，而另一个缓存器被填以来自单元 34 的去压缩数据。在这个实例中，缓存器 1110 和 1112 位于存储器单元 20 中。

图 12 在电视接收机的实际数字信号处理系统的范围内描述了图 1 的结构。该图已被简化，以免过于详细带来的麻烦。例如，未示出的是与各种元件连接的 FIFO 输入和输出缓存器、读/写控制、时钟产生网络、和用于与外部存储器接口的控制信号，该外部存储器可以是扩展数据输出型(EDO)或同步型 (SDRAM)。

在图 12 中，与图 1 相同的元件给以同样的标号。在图 12 中所示的元件，除了元件 29 - 34 之外，都对应于在市场上可买到的 STi 3500A MPEG - 2/CCIR 600 视频译码器集成电路中出现的元件，该集成电路产自 SGS - Thomson Microelectronics。运动处理器 22 可用 STi 3220 运动估算处理器集成电路，也是可在市场上买到的，产自 SGS - Thomson Microelectronics。简言之，图 12 的系统还包括微处理器 1220、连接到内部控制总线 1214 上的总线接口单元 1222 和控制器 1226。在这个实例中，微处理器 1220 位于包含 MPEG 译码器的集成电路之外。192 位宽的内部存储器总线 1210 是译码器 12、压缩器 30、去压缩器 32 和 34、以及如上讨论过的经多路复用器接口 31 的外部帧存储器 20 的数据进出的通道。单元 30、32 和 34 从微处理器 1220 经

控制器 1226 接收压缩和去压缩因子控制信号, 以及启动和旁路控制信号。同样, 单元 29 和 33 也接收启动和旁路控制信号。微处理器 1220 还将存储器 20 分配给帧存储器、缓存器以及用于 MPEG 译码及显示处理的屏上显示位绘图部分。还包括本地存储控制单元 1234, 它接收
5 “请求”输入, 并提供“确认”输出以及存储器地址输出、“读启动(Ren)”和“写启动(Wen)”输出。单元 1234 产生用于控制存储器 20 的实时地址和控制信号。根据自本地时钟发生器(未示出)的输入时钟信号 CLK_{in} 提供输出时钟信号

CLK_{out} 。由接收机制造者对微处理器 1220 编程以控制多路复用器 31, 从而选择输出存储器数据总线的适当宽度。同时, 将存储器 20 分配到位缓存器、视频帧存储部分、用于 MPEG 译码和显示处理的帧存储缓存器、以及屏幕显示绘图。

显示处理器 26 包括水平和垂直再采样滤波器, 以满足将译码图象格式转换为用于图象再现装置显示的预定公共格式的需要。例如, 系
15 统可接收和译码对应于如 525 线的隔行扫描、1125 线的隔行扫描或 720 线的逐行扫描的图象序列。电视接收机将同样地采用对于所有接收格式都适用的公共显示格式。

外部接口网络 1222, 除了输入用于 MPEG 译码器处理的压缩视频数据之外, 还在 MPEG 译码器与外部处理器 1220 之间传送控制和配置信息。该 MPEG 译码系统类似于微处理器 1220 的一个共同处理
20 器, 比如微处理器 1220 向 MPEG 译码器发出一个用于每帧译码的译码命令。

该译码器找出相关联的头部信息, 这是由微处理器 1220 依次读出的。微处理器 1220 用这个信息发出供给译码器的数据, 比如关于帧的类型、量化模型等的数
25 据, 然后该译码器发出适当的译码命令。关于 MPEG 译码器操作的这种方式的其它信息, 可在上述的 SGS - Thomson STi 3500A 和 3220 集成电路装置的技术说明材料中找到。

模式控制数据, 由接收机的制造者编程, 由微处理器 1220 送给存

储控制器 1234，用于控制 MUX31 的运作，用于为单元 30 和 32 建立压缩/去压缩因子，并用于根据制造者选择的显示装置的分辨率的要求，旁路压缩/去压缩单元和抽取/上采样单元。

5 所公开的系统可连同 MPEG 规范的所有格式和所有等级，用在各种数字数据处理方案中，比如用于全球广播、电缆(有线)和卫星传输系统等。虽然如图 3 和 8 所示压缩器 30 采用了双压缩网络，但也可采用其它压缩方案，也可将一个压缩网络去掉以简化系统。

10 上述的数据简缩和存储器管理系统如前所述可采取其它形式。比如外部存储器通路的数据位宽度可以是常数，不随存储器的大小而改变。例如，为简化系统设计，可将固定的 64 位宽数据通路用在外部帧存储器和对于所有存储器结构都适用的译码器之间。在这种情况下，不须要用 MUX31。

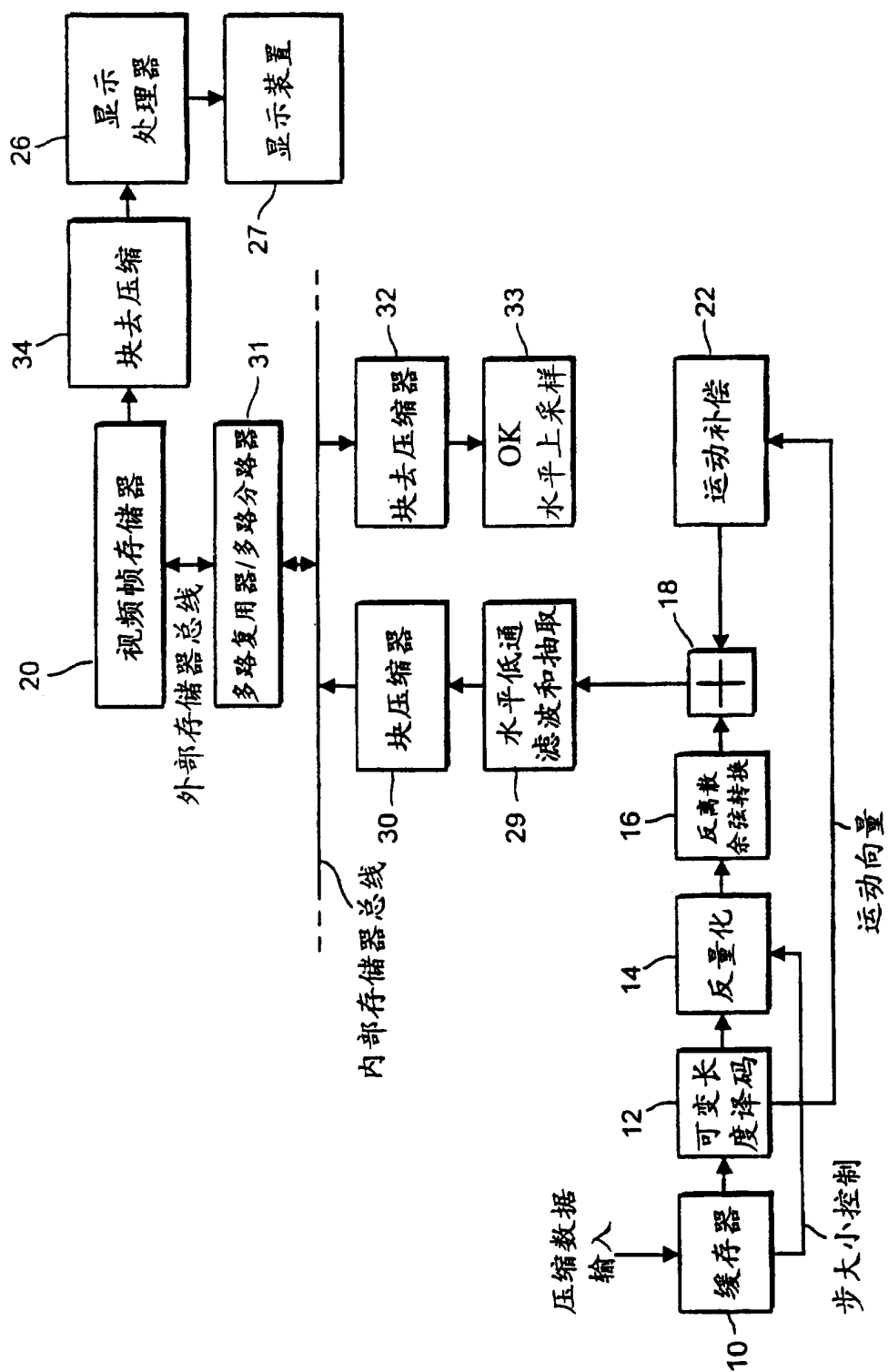


图 1

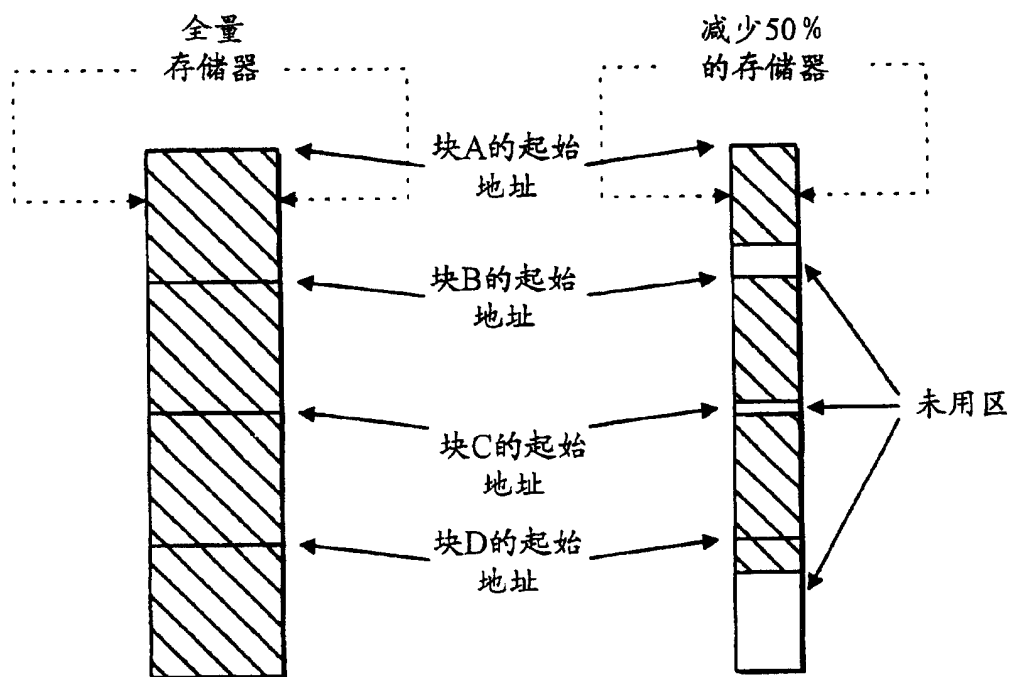


图 2

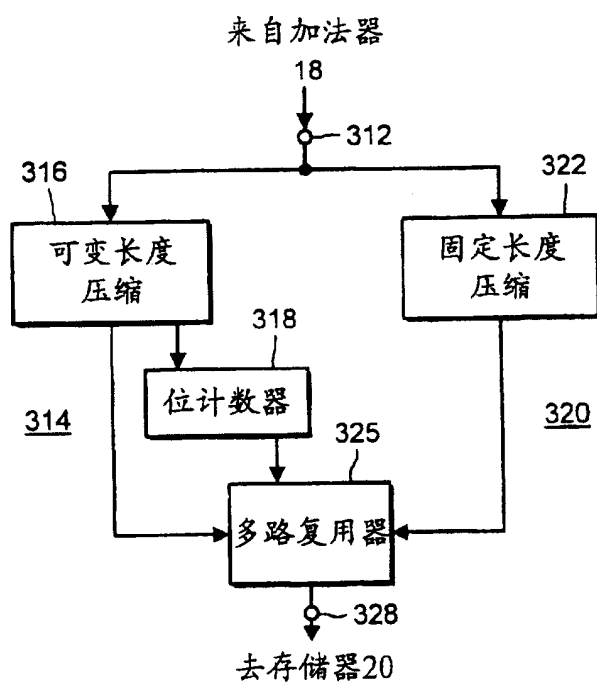


图 3

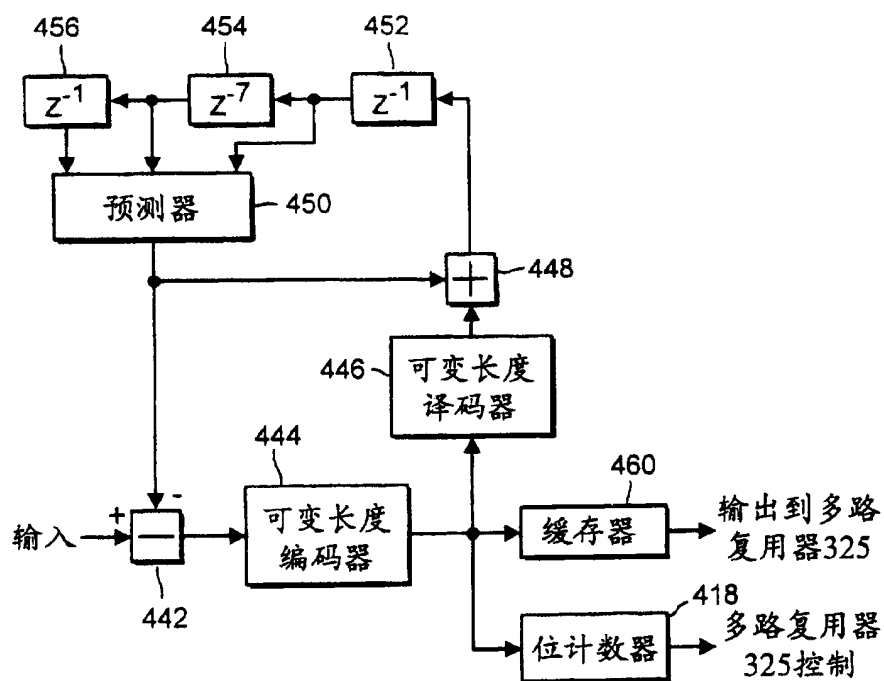


图 4

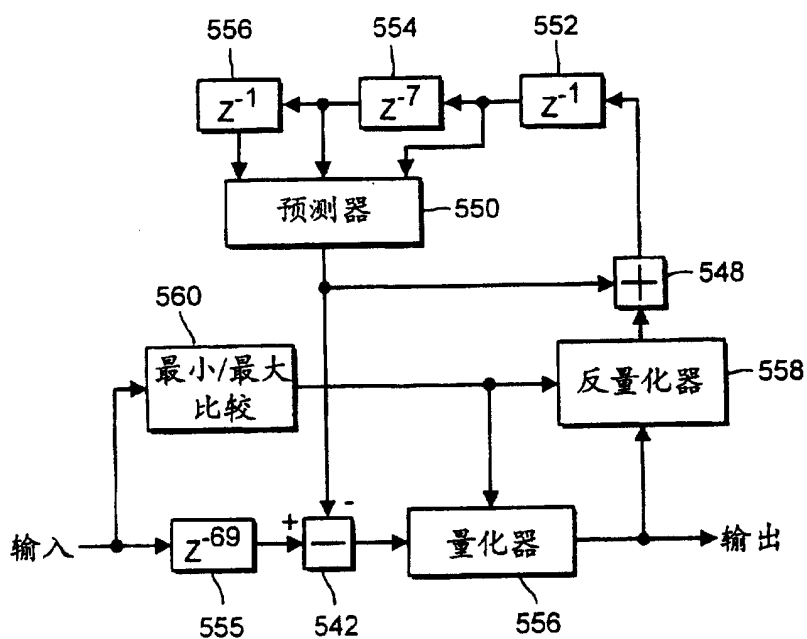


图 5

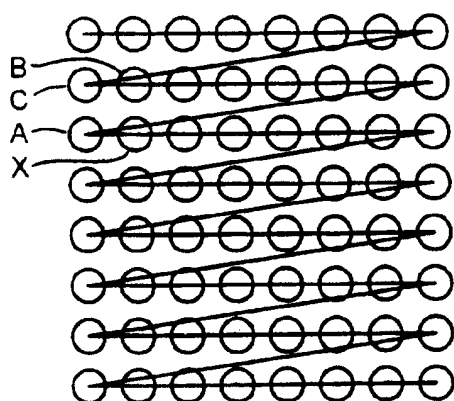


图 6

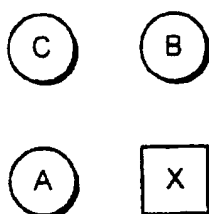


图 7

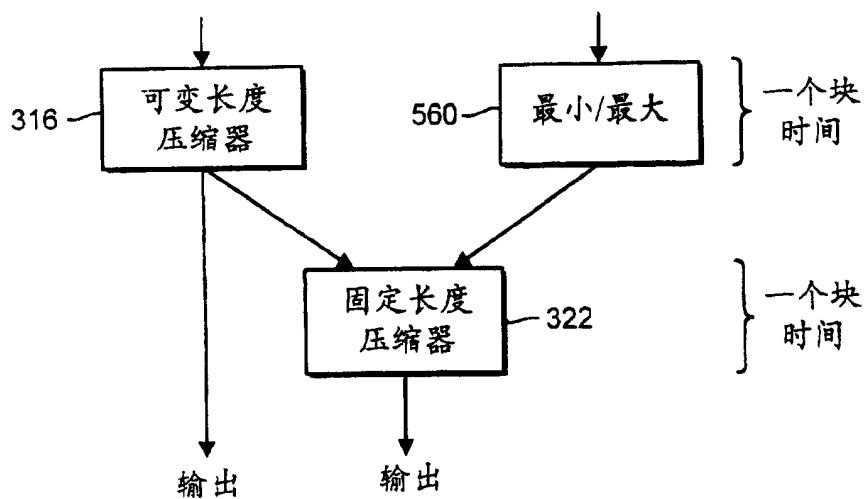


图 8

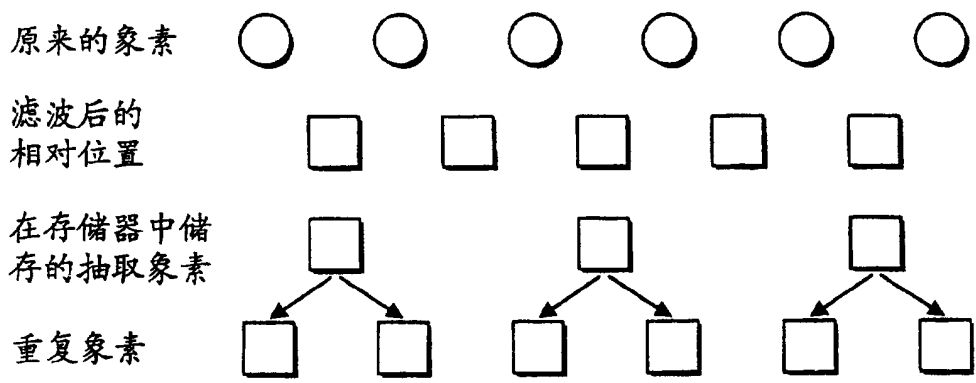


图 9

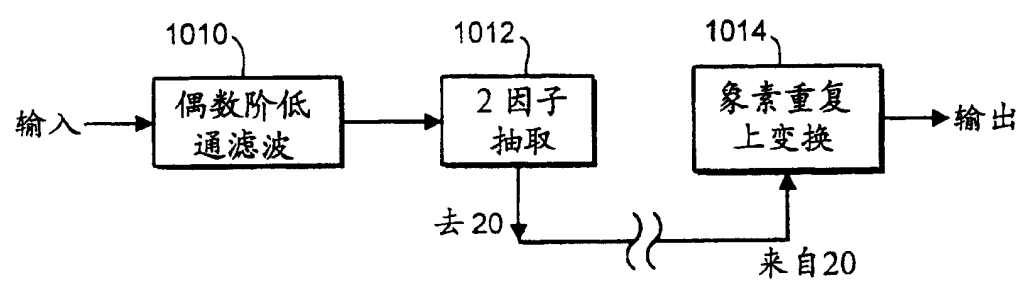


图 10

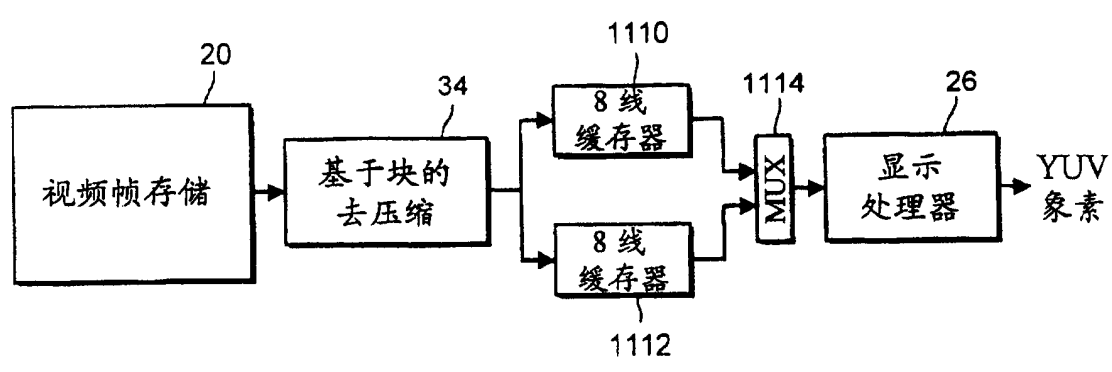


图 11

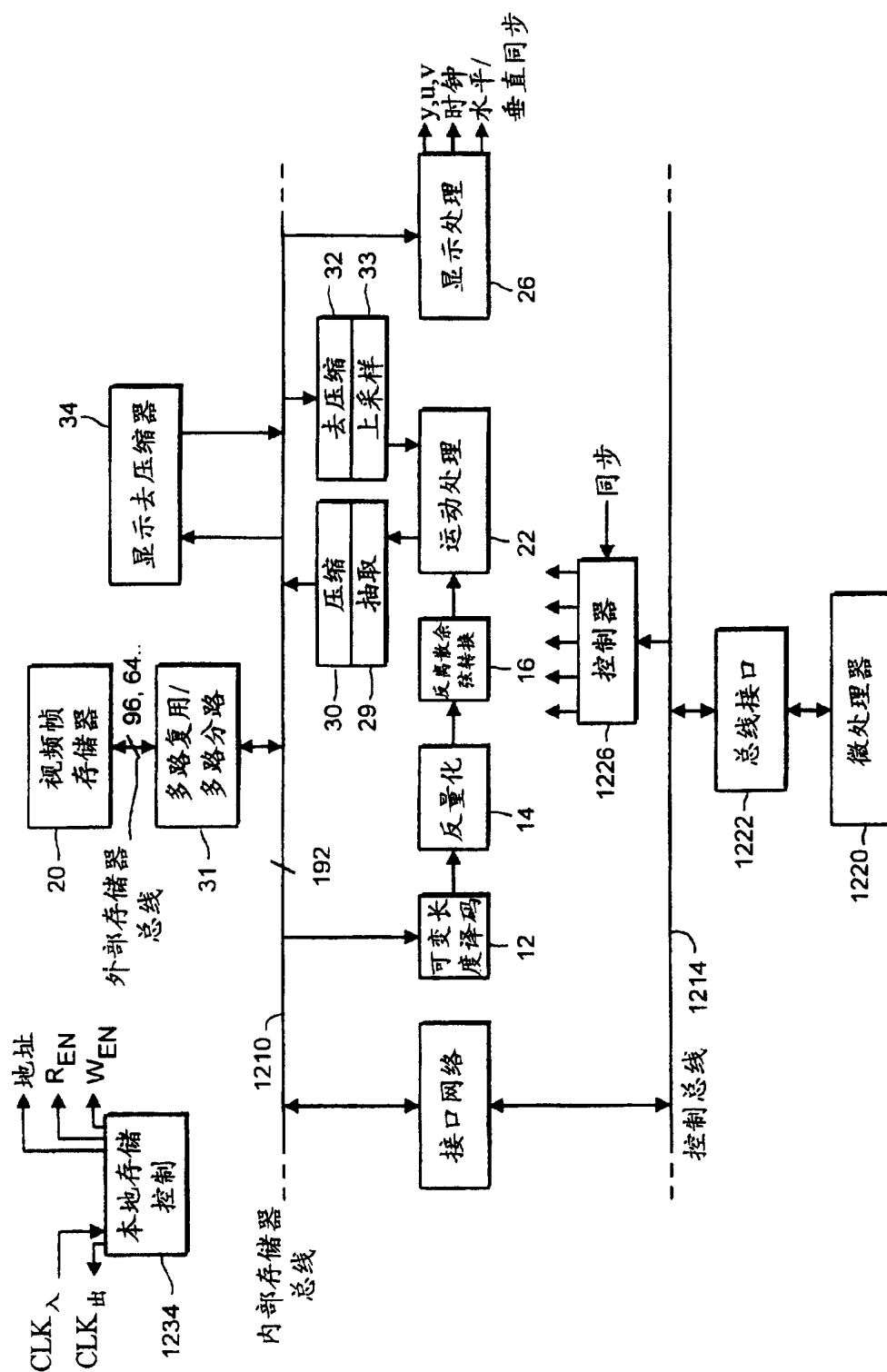


图 12