(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 7 月 2 日(02.07.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/098183 A1

(51) 国際特許分類:
G02F 1/1339 (2006.01)　*G09F 9/00* (2006.01)
G02F 1/13 (2006.01)　*G09F 9/30* (2006.01)
G02F 1/1343 (2006.01)

(21) 国際出願番号: PCT/JP2014/072624

(22) 国際出願日: 2014 年 8 月 28 日(28.08.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-268901 2013 年 12 月 26 日(26.12.2013) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 冨安　一秀(TOMIYASU Kazuhide).

(74) 代理人: 奥田　誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目８番１６号　大阪証券取引所ビル１０階　奥田国際特許事務所 Osaka (JP).

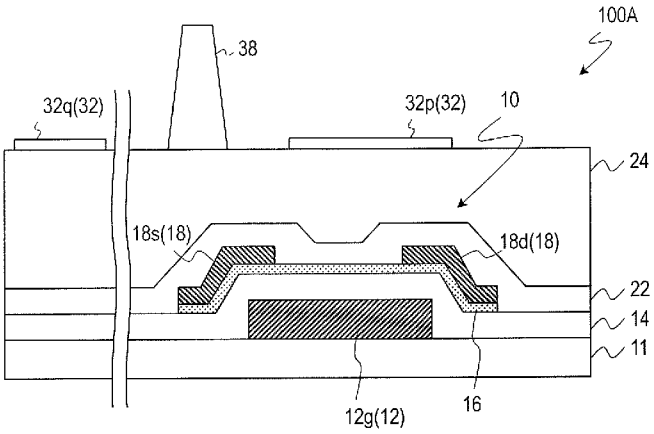
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: ACTIVE MATRIX SUBSTRATE MANUFACTURING METHOD, DISPLAY APPARATUS MANUFACTURING METHOD, AND DISPLAY APPARATUS

(54) 発明の名称 : アクティブマトリクス基板の製造方法および表示装置の製造方法ならびに表示装置



(57) **Abstract**: According to an embodiment of the present invention, an active matrix substrate manufacturing method includes: a step (a) for forming a thin film transistor (10) on a substrate (11); a step (b) for forming an interlayer insulating layer (22) that covers the thin film transistor; a step (c) for forming a first electrode (32p) after the step (b); a step (d) for forming, after the step (c), a photo spacer (38) by performing patterning by applying a photosensitive resin material on the substrate; and a step (e) for performing, after the step (d), plasma processing using a gas, which contains a fluorine-based gas but does not contain oxygen gas.

(57) 要約:　本発明の実施形態によるアクティブマトリクス基板の製造方法は、基板（１１）上に薄膜トランジスタ（１０）を形成する工程（ａ）と、薄膜トランジスタを覆う層間絶縁層（２２）を形成する工程（ｂ）と、工程（ｂ）の後、第１電極（３２ｐ）を形成する工程（ｃ）と、工程（ｃ）の後、基板上に感光性樹脂材料を付与してパターニングすることにより、フォトスペーサ（３８）を形成する工程（ｄ）と、工程（ｄ）の後、フッ素系ガスを含み、かつ酸素ガスを含まないガスを用いてプラズマ処理を行う工程（ｅ）とを包含する。

WO 2015/098183 A1

明　細　書

発明の名称 ：

アクティブマトリクス基板の製造方法および表示装置の製造方法ならびに表示装置

技術分野

[0001] 本発明は、フォトスペーサを備えるアクティブマトリクス基板の製造方法およびそのようなアクティブマトリクス基板を備える表示装置の製造方法に関する。また、本発明は、そのような製造方法によって製造された表示装置にも関する。

背景技術

[0002] 現在、アクティブマトリクス型の表示装置が広く用いられている。アクティブマトリクス型の表示装置は、画素ごとにスイッチング素子として薄膜トランジスタ（Thin Film Transistor：以下、「ＴＦＴ」）が形成されたアクティブマトリクス基板（「ＴＦＴ基板」と呼ばれることもある）を有している。例えばアクティブマトリクス型の液晶表示装置は、一般に、上述したアクティブマトリクス基板と、カラーフィルタ等が形成された対向基板（「カラーフィルタ基板」と呼ばれることもある）と、これらの間に設けられた液晶層とを備えている。

[0003] アクティブマトリクス基板と対向基板との間に配置される液晶層の厚さ（「セルギャップ」ということもある）は、液晶層を介して対向する一対の基板（ここではアクティブマトリクス基板および対向基板）間に配置されたスペーサによって制御される。近年では、感光性樹脂材料を用いたフォトリソグラフィプロセスにより、対向基板上に柱状のスペーサを形成する方法が一般的に採用されている（例えば特許文献１）。このようにして形成されるスペーサは、「フォトスペーサ」、「柱状スペーサ」あるいは「ドット状スペーサ」と呼ばれることがある。

先行技術文献

特許文献

[0004] 特許文献1：特開２００７－２７９１９２号公報

特許文献2：特開平０７－２０１８１３号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、本発明者が、アクティブマトリクス基板上にフォトスペーサを形成し、フォトスペーサを有するアクティブマトリクス基板を用いて液晶表示装置を作製したところ、局所的に表示輝度にむらが生じることがあった。なお、アクティブマトリクス基板にフォトスペーサを形成すると、対向基板にフォトスペーサを形成するよりも、画素に対して高い位置精度でフォトスペーサを配置することができる。

[0006] 局所的な表示輝度のむらが発生すると、表示装置の表示品位が低下する。本発明者の検討によれば、この局所的な表示輝度のむらの発生は、フォトスペーサを形成するためのフォトレジストの残渣（以下、「ＰＳ残渣」ということがある）の存在に起因することがわかった。

[0007] 本発明は、上記に鑑みてなされたものであり、その主な目的は、フォトスペーサを形成するためのフォトレジストの残渣に起因する表示品位の低下を抑制し得る、アクティブマトリクス基板の製造方法を提供することにある。

課題を解決するための手段

[0008] 本発明の実施形態によるアクティブマトリクス基板の製造方法は、基板と、前記基板に支持された薄膜トランジスタおよびフォトスペーサとを備えるアクティブマトリクス基板の製造方法であって、前記基板上に前記薄膜トランジスタを形成する工程（ａ）と、前記薄膜トランジスタを覆う層間絶縁層を形成する工程（ｂ）と、前記工程（ｂ）の後、第１電極を形成する工程（ｃ）と、前記工程（ｃ）の後、前記基板上に感光性樹脂材料を付与してパターニングすることにより、前記フォトスペーサを形成する工程（ｄ）と、前記工程（ｄ）の後、フッ素系ガスを含み、かつ酸素ガスを含まないガスを用

いてプラズマ処理を行う工程（ｅ）とを包含する。

[0009] ある実施形態では、前記工程（ｅ）において、前記プラズマ処理は、実質的にフッ素系ガスのみを用いて実行される。

[0010] ある実施形態では、前記フッ素系ガスは、CF_4ガスまたはC_2F_6ガスである。

[0011] ある実施形態において、前記アクティブマトリクス基板の製造方法は、前記工程（ｂ）の後、かつ前記工程（ｃ）の前に、前記層間絶縁層上に有機絶縁層を形成する工程（ｂ１）をさらに包含し、前記工程（ｃ）において、前記第１電極は、前記有機絶縁層と接するように形成される。前記有機絶縁層は、例えば、感光性樹脂の層である。

[0012] ある実施形態において、前記アクティブマトリクス基板の製造方法は、前記工程（ｂ）の後、かつ前記工程（ｃ）の前に、前記層間絶縁層上に有機絶縁層を形成する工程（ｂ１）と、前記有機絶縁層上に第２電極を形成する工程（ｂ２）と、前記第２電極上に誘電体層を形成する工程（ｂ３）とをさらに包含し、前記工程（ｃ）において、前記第１電極は、前記誘電体層上に形成される。

[0013] ある実施形態において、前記工程（ｂ２）は、前記有機絶縁層と接するように前記有機絶縁層上に導電膜を形成する工程と、前記導電膜をパターニングすることにより、前記第２電極を形成するとともに前記第２電極とは別の導電層を形成する工程とを含み、前記工程（ｂ３）は、前記第２電極上および前記導電層上に誘電体膜を形成する工程と、前記第２電極を覆い、かつ前記導電層およびその周辺の前記有機絶縁層を露出するように前記誘電体膜をパターニングする工程とを含む。

[0014] 本発明の実施形態による表示装置の製造方法は、アクティブマトリクス基板と、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板および前記対向基板の間に配置された表示媒体層とを備える表示装置の製造方法であって、上記のいずれかに記載のアクティブマトリクス基板の製造方法によって前記アクティブマトリクス基板を製造する工程

（Ａ）と、前記対向基板を用意する工程（Ｂ）と、前記対向基板が前記アクティブマトリクス基板と対向するように、前記対向基板と前記アクティブマトリクス基板とを貼り合わせる工程（Ｃ）と、前記工程（Ｃ）の前または後に、前記表示媒体層を形成する工程（Ｄ）とを包含する。

[0015] ある実施形態において、前記表示媒体層は、液晶層である。

[0016] 本発明の実施形態による表示装置は、上記のいずれかに記載の製造方法によって製造された表示装置である。

発明の効果

[0017] 本発明の実施形態によれば、フォトスペーサを形成するためのフォトレジストの残渣に起因する表示品位の低下を抑制し得る、アクティブマトリクス基板の製造方法を提供することができる。

図面の簡単な説明

[0018] [図1]本発明の実施形態による製造方法によって得られるＴＦＴ基板の模式的な断面図である。

[図2]比較例のＴＦＴ基板５００の模式的な断面図である。

[図3]（ａ）～（ｄ）は、ＴＦＴ基板１００Ａの製造方法を説明するための工程断面図である。

[図4]（ａ）～（ｃ）は、ＴＦＴ基板１００Ａの製造方法を説明するための工程断面図である。

[図5]ＴＦＴ１０の半導体層１６のチャネル領域を覆うエッチストップ層１７を有するＴＦＴ基板１００Ｂの模式的な断面図である。

[図6]本発明の他の実施形態による製造方法によって得られるＴＦＴ基板の模式的な断面図である。

[図7]（ａ）～（ｃ）は、ＴＦＴ基板１００Ｃの製造方法を説明するための工程断面図である。

[図8]ＴＦＴ基板１００Ａを備える表示装置の模式的な断面図である。

[図9]ＴＦＴ基板１００Ａを備える表示装置の模式的な平面図である。

[図10]液晶表示装置に発生した黒シミを模式的に示す平面図である。

発明を実施するための形態

[0019] 以下、図面を参照して、本発明の実施形態によるアクティブマトリクス基板の製造方法および表示装置の製造方法ならびに表示装置を説明するが、本発明は、例示する実施形態に限定されない。なお、以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略することがある。

[0020] まず、図１を参照して、本発明の実施形態による製造方法によって得られるアクティブマトリクス基板の概略的な構造を説明する。本発明の実施形態による製造方法によって得られるアクティブマトリクス基板は、例えば液晶表示装置に用いられ得るが、これに限られず、フォトスペーサを有する種々の表示装置に用いられ得る。ここでは、アクティブマトリクス基板として、液晶表示装置用のＴＦＴ基板を例示する。液晶表示装置の表示モードは、特に限定されず、ここでは、ＶＡ（Vertical Alignment）モードで表示を行う液晶表示装置に用いられるＴＦＴ基板を例示する。本発明の実施形態による表示装置の例は、図８および図９を参照して後述する。

[0021] 図１に、本発明の実施形態による製造方法によって得られるＴＦＴ基板の模式的な断面を示す。図１は、液晶表示装置の１つの画素に対応した領域と、液晶表示装置の非表示領域となるべき領域とをあわせて示している。液晶表示装置の非表示領域は、液晶表示装置においてマトリクス状に配列された画素によって形成される表示領域の外側の周辺領域であり、「額縁領域」とも呼ばれる。

[0022] 図１に示すＴＦＴ基板１００Ａは、基板（典型的には透明基板）１１と、基板１１に支持されたＴＦＴ１０およびフォトスペーサ（柱状スペーサ）３８とを備えている。図１に示したように、ＴＦＴ１０は、ゲート電極１２ｇ、ゲート電極を覆うゲート絶縁膜１４、島状の半導体層１６、ソース電極１８ｓおよびドレイン電極１８ｄを有する。ＴＦＴ１０全体を覆うように層間絶縁層２２が形成されている。図１に例示する構成では、層間絶縁層２２上に有機絶縁層２４が形成されており、有機絶縁層２４上に画素電極３２ｐが

形成されている。画素電極３２ｐは、有機絶縁層２４および層間絶縁層２２に設けられたコンタクトホール（不図示）を介してＴＦＴ１０のドレイン電極１８ｄに電気的に接続されている。

[0023] 一般的に、フォトスペーサは、ＴＦＴ基板に対向する対向基板上に形成される（例えば特許文献１）。これに対して、本発明の実施形態では、ＴＦＴ基板上にフォトスペーサを形成する。ＴＦＴ基板にフォトスペーサを形成すると、対向基板にフォトスペーサを形成するよりも、画素に対して高い位置精度でフォトスペーサを配置することができる。フォトマスクのアライメントの精度は、対向基板とＴＦＴ基板とを貼り合わせる際の位置合わせの精度よりも高いからである。

[0024] 後に詳しく説明するように、本発明の実施形態によるアクティブマトリクス基板の製造方法では、感光性樹脂材料をパターニングすることによりフォトスペーサを形成する。感光性樹脂材料（感光性樹脂）の層をフォトマスクを介して露光し、露光後の感光性樹脂材料の層を現像して不要な部分の感光性樹脂材料を除去することにより、フォトスペーサを形成することができる。このとき、不要な部分の感光性樹脂材料が除去されきれずに、画素電極等の上に残ることがある（ＰＳ残渣）。このようなＰＳ残渣を除去しないまま液晶表示装置を組み立てると、以下に説明するように、液晶表示装置の表示品位が低下してしまう。

[0025] ＰＳ残渣が画素電極上に存在すると、その部分の液晶層の厚さが小さくなる、および／またはその近傍の液晶分子の配向が乱れることがあり、それによって、局所的に表示輝度にむらが生じる。この輝度むらは、点状および／または線状に現れ、例えば、（液晶表示装置の点灯時に）黒い点や黒い線として観察される（以下、「黒シミ」という）。液晶表示装置において黒シミが発生する位置は、マザーガラス内におけるＴＦＴ基板の位置によっても変わり、例えば、マザーガラスの外側に向けて線状に黒シミが現れる。図１０に、液晶表示装置に発生した黒シミを模式的に示す。図示する例では、液晶表示装置６００に、黒シミＭが線状に発生している。

[0026] 本発明者は、液晶表示装置において黒シミが発生した部分の画素電極の表面の元素分析を行った。より詳細には、液晶表示装置を分解し、配向膜（ポリイミド膜）を剥離した後、黒シミが発生した部分の画素電極の表面を二次イオン質量分析法（ＳＩＭＳ）を用いて分析した。上記分析を行ったところ、黒シミが発生した部分には、炭素原子（Ｃ）の存在が確認された。このことから、黒シミの原因はＰＳ残渣であると考えられる。

[0027] そこで、本発明者は、ＰＳ残渣を除去するために、プラズマ処理の適用の可能性を検討した。酸素ガスを用いたプラズマ処理は、半導体基板の製造工程におけるレジストの剥離に利用されている（例えば特許文献２参照）。酸素ガスを高周波などによりプラズマ化させ、そのプラズマを利用して、エッチング工程後に不要となったレジストを揮発性ガスに変化させて除去する手法は、アッシング（Ashing）と呼ばれることもある。このとき、高いアッシングレートを得るために酸素ガスおよびフッ素系ガスの混合ガスが用いられることもある。なお、本明細書では、酸素ガス以外のガスのプラズマを利用する場合にも「アッシング」ということがある。

[0028] しかしながら、フォトスペーサが形成されたＴＦＴ基板にこのような手法をそのまま適用すると、ＰＳ残渣だけでなくフォトスペーサも酸素プラズマにさらされるので、図２に比較例のＴＦＴ基板５００として示すように、フォトスペーサ５８のサイズが小さくなってしまう。すなわち、フォトスペーサ５８の高さおよび幅が設定値よりも小さくなってしまう。図２中の二点鎖線は、酸素プラズマ処理を行う前の状態を示している。フォトスペーサ５８の高さが設定値より小さくなると、所望のセルギャップが得られずに液晶表示装置の表示品位が低下してしまう。パワーや酸素ガスの流量等を調整しても、ＰＳ残渣を除去しつつ、フォトスペーサ５８のサイズが小さくなることを効果的に抑制することはできない。

[0029] また、有機絶縁層５４と接するように画素電極３２ｐ（または画素電極３２ｐと同層の導電層３２ｑ）が形成された構造においては、画素電極３２ｐ下の有機絶縁層５４も酸素プラズマによって分解されてしまうことから（サ

イドエッチ、図２参照）、画素電極３２ｐが剥離するおそれがある。

[0030] 本発明者が鋭意検討を重ねたところ、フォトスペーサを形成した後に、フッ素系ガスを含み、かつ酸素ガスを含まないガスを用いてプラズマ処理を行うことにより、フォトスペーサのサイズが小さくなることを抑制しつつ、ＰＳ残渣を除去できることを見出した。

[0031] 以下、図３および図４を参照して、本発明の実施形態による、ＴＦＴ基板１００Ａの製造方法を説明する。図３（ａ）～（ｄ）および図４（ａ）～（ｃ）は、ＴＦＴ基板１００Ａの製造方法を説明するための工程断面図である。

[0032] まず、基板１１を用意する。基板１１としては、ガラス基板、シリコン（Ｓｉ）基板、耐熱性を有するプラスチック基板（樹脂基板）等を用いることができる。プラスチック基板（樹脂基板）の材料としては、ポリエチレンテレフタレート（polyethylene terephthalate（ＰＥＴ））、ポリエチレンナフタレート（polyethylene naphthalate（ＰＥＮ））、ポリエーテルサルフォン（polyether sulfone（ＰＥＳ））、アクリル樹脂、ポリイミド等を好適に用いることができる。これらの樹脂材料に充填剤（ファイバーや不織布等）を混合したプラスチック複合材料を用いてもよい。ここでは、ガラス基板を用いる。

[0033] 次に、図３（ａ）に示すように、基板１１上にゲート電極１２ｇを形成する。ゲート電極１２ｇは、スパッタリング法等により基板１１上に導電膜（以下、「ゲートメタル膜」）を堆積した後、フォトリソグラフィプロセスを用いてゲートメタル膜をパターニングすることによって形成することができる。ゲートメタル膜から形成されるゲートメタル層１２は、ゲート電極１２ｇと一体に形成されるゲートバスラインや、ＣＳバスラインまたはＣＳ電極を含み得る（いずれも不図示）。

[0034] ゲートメタル膜の材料としては、アルミニウム（Ａｌ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、タンタル（Ｔａ）、クロム（Ｃｒ）、チタン（Ｔｉ）、銅（Ｃｕ）等の金属もしくはその合金、または、その窒化物を用い

ることができる。ゲートメタル膜は、上記の材料から形成された単層膜だけでなく、上記の材料から形成された積層膜であってもよい。ここでは、例えば、スパッタリング法で、アルミニウム（Ａｌ）膜とチタン（Ｔｉ）膜との積層構造のゲートメタル膜（膜厚：３００ｎｍ）を形成した後、フォトリソグラフィプロセスを用いてゲートメタル膜をパターニングすることによって、ゲート電極１２ｇ等を含むゲートメタル層１２を形成する。

[0035] 次に、図３（ｂ）に示すように、ゲートメタル層１２上にゲート絶縁膜１４を堆積する。ゲート絶縁膜１４は、例えばＣＶＤ（Chemical Vapor Deposition）法を用いて形成することができる。ゲート絶縁膜１４の材料としては、例えば、二酸化珪素（SiO_2）、窒化珪素（SiN_x）、酸化窒化珪素（SiO_xN_y、ｘ＞ｙ）、窒化酸化珪素（SiN_xO_y、ｘ＞ｙ）等を用いることができる。ゲート絶縁膜１４は、単層膜であってもよいし、積層膜であってもよい。ゲート絶縁膜１４を２層膜とするときは、例えば、基板１１からの不純物等の拡散を防止するために、下層絶縁膜を、例えば、窒化珪素（SiN_x）または窒化酸化珪素（SiN_xO_y、ｘ＞ｙ）等を用いて形成し、上層絶縁膜を、例えば、二酸化珪素（SiO_2）、酸化窒化珪素（SiO_xN_y、ｘ＞ｙ）等を用いて形成することが好ましい。また、反応ガスにアルゴン（Ａｒ）等の希ガスを混合することによって、比較的低い温度で、緻密な絶縁膜を堆積することができる。緻密な絶縁膜は、ゲートリーク電流を低減させる効果を有し得る。ここでは、例えば、SiH_4およびNH_3を反応ガスとして用いるＣＶＤ法で、下層絶縁膜として窒化珪素膜（膜厚：１００ｎｍ～４００ｎｍ）を形成し、その上に上層絶縁膜として二酸化珪素膜（膜厚：５０ｎｍ～１００ｎｍ）を形成することにより、ゲート絶縁膜１４を形成する。

[0036] 次に、図３（ｃ）に示すように、ゲート絶縁膜１４上に、島状の半導体層１６を形成する。半導体層１６は、スパッタリング法またはＣＶＤ法等によりゲート絶縁膜１４上に半導体膜を堆積した後、フォトリソグラフィプロセスを用いて半導体膜をパターニングすることによって形成することができる。ＴＦＴ１０の半導体層１６は、酸化物半導体を含んでいてもよい。ここで

は、例えば、スパッタリング法で、酸化物半導体膜（膜厚：３０～１００ｎｍ）を堆積した後、フォトリソグラフィプロセスを用いて酸化物半導体膜をパターニングし、島状の酸化物半導体層を形成する。

[0037] 酸化物半導体層は、例えばＩｎ－Ｇａ－Ｚｎ－Ｏ系の半導体（以下、「Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体」と略する。）を含む。ここで、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体は、Ｉｎ（インジウム）、Ｇａ（ガリウム）、Ｚｎ（亜鉛）の三元系酸化物であって、Ｉｎ、ＧａおよびＺｎの割合（組成比）は特に限定されず、例えばＩｎ：Ｇａ：Ｚｎ＝２：２：１、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１、Ｉｎ：Ｇａ：Ｚｎ＝１：１：２等を含む。本実施形態では、酸化物半導体層は、Ｉｎ、Ｇａ、Ｚｎを、例えばＩｎ：Ｇａ：Ｚｎ＝１：１：１の割合で含むＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体層であってもよい。

[0038] Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体層を有するＴＦＴは、高い移動度（アモルファスシリコン（ａ－Ｓｉ）膜を活性層とするＴＦＴに比べ２０倍超）および低いリーク電流（ａ－Ｓｉ膜を活性層とするＴＦＴに比べ１００分の１未満）を有しているので、駆動ＴＦＴおよび画素ＴＦＴとして好適に用いられる。Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体層を有するＴＦＴを用いれば、表示装置の消費電力を大幅に削減することが可能になる。

[0039] Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体は、アモルファスでもよいし、結晶質部分を含んでもよい。結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体としては、ｃ軸が層面に概ね垂直に配向した結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体が好ましい。このようなＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体の結晶構造は、例えば、特開２０１２－１３４４７５号公報に開示されている。参考のために、特開２０１２－１３４４７５号公報の開示内容の全てを本明細書に援用する。

[0040] 酸化物半導体層は、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えばＺｎ－Ｏ系半導体（ＺｎＯ）、Ｉｎ－Ｚｎ－Ｏ系半導体（ＩＺＯ（登録商標））、Ｚｎ－Ｔｉ－Ｏ系半導体（ＺＴＯ）、Ｃｄ－Ｇｅ－Ｏ系半導体、Ｃｄ－Ｐｂ－Ｏ系半導体、$InGaO_3(ZnO)_5$、酸化マグネシウム亜鉛（$Mg_xZn_{1-x}O$）、酸化カドミウム亜鉛（Ｃ

$d_xZn_{1-x}O$）、酸化カドミウム（ＣｄＯ）、Ｍｇ－Ｚｎ－Ｏ系半導体、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系半導体（例えばIn_2O_3－SnO_2－ＺｎＯ）、Ｉｎ－Ｇａ－Ｓｎ－Ｏ系半導体等を含んでいてもよい。Ｚｎ－Ｏ系半導体としては、１族元素、１３族元素、１４族元素、１５族元素または１７族元素等のうち一種、または複数種の不純物元素が添加されたＺｎＯの非晶質（アモルファス）状態、多結晶状態または非晶質状態と多結晶状態が混在する微結晶状態のもの、または何も不純物元素が添加されていないものを用いることができる。

[0041] 次に、図３（ｄ）に示すように、半導体層１６上にソース電極１８ｓおよびドレイン電極１８ｄを形成する。ソース電極１８ｓおよびドレイン電極１８ｄは、スパッタリング法等により基板１１上に導電膜（以下、「ソースメタル膜」）を堆積した後、フォトリソグラフィプロセスを用いてソースメタル膜をパターニングすることによって形成することができる。ソースメタル膜から形成されるソースメタル層１８は、ソース電極１８ｓと一体に形成されるソースバスラインや、ドレイン引出配線／電極（ＣＳバスラインまたはＣＳ電極に対向し、ＣＳ容量を形成する配線／電極）等を含み得る（いずれも不図示）。なお、フォトリソグラフィプロセスにおけるエッチング加工には、ドライエッチングまたはウェットエッチングのいずれも適用し得る。ただし、基板面積が大きい場合には、線幅の寸法シフト（エッチングシフト）を低減する観点から、ドライエッチングを適用することが有利である。

[0042] ソースメタル膜の材料としては、アルミニウム（Ａｌ）、モリブデン（Ｍｏ）、銅（Ｃｕ）、チタン（Ｔｉ）等の金属もしくはその合金、または、その窒化物を用いることができる。ソースメタル膜は、上記の材料から形成された単層膜だけでなく、上記の材料から形成された積層膜であってもよい。ソースメタル層は透明であってもよく、例えば、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ（登録商標））、酸化珪素を含むインジウム錫酸化物（ＩＴＳＯ）、酸化インジウム（In_2O_3）、酸化錫（SnO_2）、酸化亜鉛（ＺｎＯ）、酸化チタン等の光透過性の導電材料を用いてソー

スメタル膜を形成してもよい。また、これらを適宜組み合わせて用いてもよい。ここでは、例えば、スパッタリング法で、チタン（Ｔｉ）膜、アルミニウム（Ａｌ）膜およびチタン（Ｔｉ）膜の積層構造（Ｔｉ／Ａｌ／Ｔｉ）のソースメタル膜を形成した後、フォトリソグラフィプロセスを用いてソースメタル膜をパターニングすることによって、ソース電極１８ｓおよびドレイン電極１８ｄ等を含むソースメタル層１８を形成する。これにより、基板１１上にＴＦＴ１０を形成することができる。

[0043] 次に、図４（ａ）に示すように、ＴＦＴ１０を覆う層間絶縁層２２を形成する。層間絶縁層２２を形成するための絶縁膜（層間絶縁膜）は、例えばプラズマＣＶＤ法やスパッタリング法を用いて形成することができる。典型的には、層間絶縁膜は、基板１１のほぼ全面に堆積される。

[0044] 層間絶縁膜の材料としては、例えば、二酸化珪素（SiO_2）、窒化珪素（SiN_x）、酸化窒化珪素（SiO_xN_y、ｘ＞ｙ）、窒化酸化珪素（SiN_xO_y、ｘ＞ｙ）等を用いることができる。層間絶縁膜は、単層膜であってもよいし、２層以上の積層膜であってもよい。ここでは、例えば、ＣＶＤ法で、二酸化珪素（SiO_2）膜および窒化珪素（SiN_x）膜を順次積層することにより、層間絶縁膜を形成する。

[0045] その後、基板全体に熱処理（３５０℃程度、１時間）を行う。熱処理を行うことにより、酸化物半導体層（半導体層１６）とＴｉ層（ソース電極１８ｓおよびドレイン電極１８ｄにおける、基板１１側のＴｉ層）との界面に反応層を形成して、コンタクト抵抗を小さくすることができる。本明細書では、このような反応層と、酸化物半導体層とをまとめて「半導体層」ということがある。また、酸化物半導体層のチャネル領域が酸化される結果、チャネル領域内の酸素欠損を低減でき、所望のＴＦＴ特性を実現できる。熱処理の後、フォトリソグラフィプロセスを用いて、ドレイン電極１８ｄと、後述する画素電極３２ｐとを接続するための開口部（不図示）を層間絶縁膜に形成する。これにより、層間絶縁層２２が得られる。

[0046] 次に、層間絶縁層２２上に有機絶縁層２４を形成する。より詳細には、層

間絶縁層２２上に、例えば、ポジ型の感光性樹脂材料（例えば、アクリル系樹脂材料）を付与し、フォトリソグラフィプロセスを用いて感光性樹脂材料の膜のパターニングを行うことにより、有機絶縁層２４を形成する。有機絶縁層２４は平坦化層としても機能する。パターニング工程において、層間絶縁層２２の開口部と重なる位置に、有機絶縁層２４の開口部（不図示）を形成することによって、ドレイン電極１８ｄの一部の表面を露出する。層間絶縁層２２の開口部および有機絶縁層２４の開口部によって、ドレイン電極１８ｄと、後述する画素電極３２ｐとを接続するためのコンタクトホール（不図示）を形成することができる。なお、有機絶縁層２４を形成する感光性樹脂材料として、ネガ型を用いてもよい。

[0047] 次に、図４（ｂ）に示すように、画素電極３２ｐを形成する。有機絶縁層２４上にスパッタリング法等により透明導電膜を堆積した後、フォトリソグラフィプロセスを用いて透明導電膜をパターニングすることにより、画素電極３２ｐを有する透明導電層３２を形成することができる。透明導電膜の材料としては、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ（登録商標））等を用いることができる。画素電極３２ｐは、上述したコンタクトホールを介して、ＴＦＴ１０のドレイン電極１８ｄと電気的に接続される。

[0048] 図４（ｂ）に示したように、有機絶縁層２４上に画素電極３２ｐを形成する工程において、画素電極３２ｐとともに、画素電極３２ｐとは別の導電層を形成してもよい。図示する例では、有機絶縁層２４上に堆積された透明導電膜をパターニングすることによって、表示装置の非表示領域（額縁領域）となるべき領域に、画素電極３２ｐと同層の導電層３２ｑが形成されている。すなわち、図示する例では、透明導電層３２は、画素電極３２ｐおよび導電層３２ｑを含む。画素電極３２ｐおよび導電層３２ｑは、有機絶縁層２４と接するように形成され得る。なお、額縁領域には、液晶層を間に介して互いに対向するように配置される２枚の基板（ＴＦＴ基板および対向基板）を貼り合わせるためのシール部の他に、端子部、さらには、駆動回路部が形成

されることがある。導電層３２ｑは、このような端子部および／または駆動回路部の電極や配線として利用され得る。

[0049] 次に、基板１１上に感光性樹脂材料を付与してパターニングすることにより、フォトスペーサ３８を形成する。感光性樹脂としては、紫外線硬化樹脂を用いることができ、例えば、公知のアクリル系の紫外線硬化樹脂（例えばネガ型フォトレジスト）を用いることができる。より詳細には、アクリル系紫外線硬化樹脂を２０～３０質量％、溶剤として例えばジエチレングリコールメチルエチルエーテルを６０～７０質量％を含む溶液を、スピンコート法で、画素電極３２ｐが形成された基板１１上に塗布し、例えば、９０℃で１０分間、プリベークを行う。その後、所定のフォトマスクを介して紫外線を照射し、現像液（例えば、テトラメチルアンモニウム水溶液（０．１質量％））を用いて現像する。その後、例えば、２００℃で６０分間、ポストベークする。このようにして、フォトスペーサ３８が形成される。

[0050] フォトスペーサ３８は、例えば、画素毎に配置されたＴＦＴ１０と重なる位置に形成される。フォトスペーサ３８は、ゲートバスラインまたはソースバスラインと重なる位置に形成されてもよい。フォトスペーサ３８の高さは、例えば４μｍである。

[0051] 次に、図４（ｃ）に示すように、プラズマ処理を行う。本発明の実施形態においては、プラズマ処理は、フッ素系ガスを含み、かつ酸素ガスを含まないガスを用いて実行される。プラズマ処理は、実質的にフッ素系ガスのみを用いて実行されてもよい。フッ素系ガスとしては、CF_4ガスまたはC_2F_6ガスを用いることができ、したがって、プラズマ処理は、CF_4またはC_2F_6のいずれかを単体で用いて実行され得る。

[0052] プラズマ処理におけるチェンバ内の圧力、ガス流量、ステージの温度（ステージの温度制御に用いられる電極の温度といってもよい）、および高周波出力は、それぞれ、例えば以下の範囲内で適宜調整され得る。

チェンバ内の圧力：１０～１５Ｐａ

ガス流量：１００～３００ｓｃｃｍ（０℃、10^5Ｐａ）

ステージの温度：６０℃

高周波出力：５００～１０００Ｗ

[0053] 以上により、図１に示したＴＦＴ基板１００Ａが得られる。

[0054] 上述したように、本発明の実施形態のＴＦＴ基板の製造方法では、ＰＳ残渣の除去に、フッ素系ガスを含み、かつ酸素ガスを含まないガスを用いてプラズマ処理を行う。フッ素系ガスを含み、かつ酸素ガスを含まないガスを用いたプラズマ処理の方が、酸素ガスを用いたプラズマ処理よりもアッシングレートが小さいので、フォトスペーサの高さの減少量を低減できる。また、アッシングレートが比較的小さいので、酸素ガスを用いたプラズマ処理を実行する場合と比較して、フォトスペーサのサイズの面内ばらつきを低減し得る。

[0055] 本発明の実施形態によれば、フォトスペーサ３８のサイズが小さくなることを抑制しつつ、画素電極３２ｐ上のＰＳ残渣を除去することができる。また、酸素ガスを用いたプラズマ処理を適用する場合と比較して、画素電極３２ｐ下の有機絶縁層２４の分解（サイドエッチ）を抑制することができるので、画素電極３２ｐの剥離を抑制することができる。画素電極３２ｐと同層の導電層３２ｑを有機絶縁層２４と接するように形成する場合には、導電層３２ｑの剥離も防止することができる。このように、本発明の実施形態によれば、比較的厚い有機絶縁層２４がＴＦＴ１０と画素電極３２ｐとの間に介在する構造を採用でき、有機絶縁層２４と接するように形成された電極および／または配線の剥離を防止しながら、ＰＳ残渣を除去することができる。

[0056] 上述の説明では、ＴＦＴの素子構造として、ボトムゲート構造を例示したが、ＴＦＴの素子構造は、トップゲート構造であってもよい。また、上述の説明では、半導体層１６が酸化物半導体層である場合を例示したが、半導体層１６の材料としては、他の半導体材料を用いてもよい。例えば、半導体層１６の材料として、アモルファスシリコン、微結晶シリコン、多結晶シリコン、連続粒界結晶シリコン（ＣＧＳ：Continuous Grain Silicon）等のシリコン系の材料を用いてもよい。なお、用いる半導体材料によっては、ソース

電極１８ｓと半導体層１６のソース領域との間、およびドレイン電極１８ｄと半導体層１６のドレイン領域との間に、オーミック接合を形成するためのコンタクト層が形成されていてもよい。

[0057] 基板１１上にＴＦＴ１０を形成する工程において、ＴＦＴ１０の半導体層１６のチャネル領域を覆うエッチストップ層を形成してもよい。すなわち、島状の半導体層１６の形成後、ソース電極１８ｓおよびドレイン電極１８ｄ等を含むソースメタル層１８を形成する前に、基板１１上にエッチストップ層を形成してもよい。

[0058] 図５に、このような改変例によって得られるＴＦＴ基板１００Ｂの模式的な断面を示す。図５に示すように、ＴＦＴ基板１００Ｂは、ＴＦＴ１０の半導体層１６のチャネル領域を覆うエッチストップ層１７を有している。図示する例では、エッチストップ層１７は、半導体層１６およびゲート絶縁膜１４を覆うように形成されており、エッチストップ層１７には、半導体層１６のソース領域を露出する第１開口部１７ａおよび半導体層１６のドレイン領域を露出する第２開口部１７ｂが設けられている。ソース電極１８ｓおよびドレイン電極１８ｄは、それぞれ、第１開口部１７ａおよび第２開口部１７ｂを介して半導体層１６に電気的に接続されている。

[0059] エッチストップ層１７は、半導体層１６上に保護膜を堆積し、この保護膜をパターニングすることによって形成することができる。より詳細には、半導体層１６の形成後、例えば、ＣＶＤ法により、半導体層１６上に、保護膜（厚さ：例えば３０ｎｍ以上２００ｎｍ以下）を堆積する。保護膜の例は、二酸化珪素（SiO_2）膜、窒化珪素膜、酸化窒化珪素膜またはこれらの積層膜である。続けて、フォトリソグラフィプロセスを用いてパターニングを行う。パターニングは、半導体層１６のうちチャネル領域となる領域がエッチストップ層１７によって覆われるように実行される。ソースメタル層１８の形成に先立ち、エッチストップ層１７を形成しておくことにより、半導体層１６に生じるプロセスダメージを低減できる。

[0060] 次に、図６を参照して、本発明の他の実施形態による製造方法によって得

られるアクティブマトリクス基板の概略的な構造を説明する。

[0061] 図６に示すＴＦＴ基板１００Ｃは、図１に示したＴＦＴ基板１００Ａと同様に、基板１１と、基板１１に支持されたＴＦＴ１０およびフォトスペーサ（柱状スペーサ）３８とを備えている。図６に示すように、ＴＦＴ基板１００Ｃは、「２層電極構造」を有する。ここで、２層電極構造とは、薄膜トランジスタを覆う層間絶縁層上に、下層電極と、下層電極を覆う誘電体層と、誘電体層を介して下層電極に重なる上層電極とが設けられている構造をいう。

[0062] 図６に例示した構成において、ＴＦＴ基板１００Ｃは、有機絶縁層２４上に形成された下層電極３２ｃと、下層電極３２ｃを覆う誘電体層３４と、誘電体層３４を介して下層電極３２ｃに重なる上層電極３６ｐとを有している。上層電極３６ｐおよび下層電極３２ｃは、それぞれ透明な導電材料から形成されている。図６に示したように、ＴＦＴ基板１００Ｃのフォトスペーサ３８は、誘電体層３４上に配置されている。

[0063] ＴＦＴ基板１００Ｃは、例えばＦＦＳ（Fringe Field Switching）モードで表示を行う液晶表示装置に用いられる。ＦＦＳモードのように液晶層に対して横電界が印加される表示モードでは、ＴＦＴ基板に共通電極が設けられる。ＴＦＴ基板１００Ｃでは、例えば、２層電極構造における下層電極３２ｃを共通電極として機能させることができる。下層電極３２ｃは、液晶表示装置におけるすべての画素にわたって連続するように形成されている。２層電極構造における上層電極３６ｐは、誘電体層３４、有機絶縁層２４および層間絶縁層２２に設けられたコンタクトホール（不図示）を介してＴＦＴ１０のドレイン電極１８ｄに電気的に接続されることにより、画素電極として機能する。上層電極３６ｐは、液晶表示装置における各画素ごとに独立に（分離して）形成されており、上層電極３６ｐには、少なくとも１つ（ここでは複数）のスリット３６Ｓが形成されている。なお、下層電極３２ｃをＦＦＳモードにおける画素電極として機能させ、かつ上層電極３６ｐをＦＦＳモードにおける共通電極として機能させてもよい。

[0064] 以下、図７を参照して、ＴＦＴ基板１００Ｃの製造方法を説明する。図７（ａ）～（ｃ）は、ＴＦＴ基板１００Ｃの製造方法を説明するための工程断面図である。なお、ＴＦＴ基板１００Ｃの製造方法は、有機絶縁層２４上に２層電極構造を形成する点以外は、図３（ａ）～（ｄ）および図４（ａ）～（ｃ）を参照しながら前述したＴＦＴ基板１００Ａの製造方法とほぼ同様である。したがって、ここでは、ＴＦＴ基板１００Ｃの製造方法のうち、ＴＦＴ基板１００Ａの製造方法と共通する部分についての説明および工程図を省略する。

[0065] まず、図７（ａ）を参照する。層間絶縁層２２の形成後、層間絶縁層２２上に有機絶縁層２４を形成し、有機絶縁層２４上に下層電極３２ｃを形成する。より詳細には、スパッタリング法等により有機絶縁層２４上に透明導電膜を堆積した後、フォトリソグラフィプロセスを用いて透明導電膜をパターニングすることにより、下層電極３２ｃを有する透明導電層３２を形成する。透明導電膜の材料としては、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ（登録商標））等を用いることができる。

[0066] このとき、有機絶縁層２４と接するように形成された透明導電膜をパターニングすることにより、下層電極３２ｃを形成するとともに、下層電極３２ｃとは別の導電層３２ｑを形成してもよい。下層電極３２ｃと同層の導電層３２ｑは、例えば表示装置の非表示領域（額縁領域）となるべき領域に形成され、端子部および／または駆動回路部の電極や配線として利用され得る。

[0067] 次に、下層電極３２ｃ上（透明導電層３２上）に誘電体層３４を形成する。誘電体層３４を形成するための絶縁膜（誘電体膜）は、例えばプラズマＣＶＤ法やスパッタリング法を用いて形成することができる。誘電体膜の材料としては、層間絶縁膜と同様の材料を用いることができる。誘電体膜は、単層膜であってもよいし、２層以上の積層膜であってもよい。ここでは、例えば、ＣＶＤ法で、窒化珪素（SiN_x）膜および二酸化珪素（SiO_2）膜を順次積層することにより、誘電体膜を形成する。

[0068] 典型的には、誘電体膜は、基板１１のほぼ全面に堆積されるが、図７（ａ

）に示したように、下層電極３２ｃを覆い、かつ導電層３２ｑおよびその周辺の有機絶縁層２４を露出するように誘電体膜をパターニングしてもよい。すなわち、パターニングにより、表示装置の非表示領域となるべき領域上の誘電体膜を除去してもよい。

[0069] 次に、図７（ｂ）に示すように、誘電体層３４上に上層電極３６ｐを形成する。より詳細には、スパッタリング法等により誘電体層３４上に透明導電膜を堆積する。上層電極３６ｐの材料としては、下層電極３２ｃと同様の材料を用いることができる。その後、フォトリソグラフィプロセスを用いて透明導電膜をパターニングすることにより、上層電極３６ｐを形成する。

[0070] 次に、ＴＦＴ基板１００Ａにおけるフォトスペーサ形成の工程と同様の方法により、誘電体層３４上にフォトスペーサ３８を形成する。その後、図７（ｃ）に示すように、フッ素系ガスを含み、かつ酸素ガスを含まないガスを用いてプラズマ処理を行う。なお、ＴＦＴ基板１００Ａの製造方法の説明において示したプラズマ処理の条件を適用した場合における、プラズマ処理が誘電体層３４に与える影響は、無視できる程度に小さい。

[0071] 以上により、図６に示したＴＦＴ基板１００Ｃが得られる。

[0072] 上述した製造方法においても、ＰＳ残渣の除去に、フッ素系ガスを含み、かつ酸素ガスを含まないガスを用いてプラズマ処理が行われるので、フォトスペーサ３８のサイズが小さくなることを抑制しつつ、画素電極または共通電極として機能する上層電極３６ｐ上のＰＳ残渣を除去することができる。また、表示装置の非表示領域となるべき領域上の誘電体膜をパターニングにより除去した場合であっても、上記領域上において有機絶縁層２４と接するように形成された電極および／または配線の剥離を防止しながら、ＰＳ残渣を除去することができる。

[0073] 上記では、例えばＦＦＳ（Fringe Field Switching）モードで表示を行う液晶表示装置用のＴＦＴ基板を例示したが、ＴＦＴ基板１００Ｃのように、図７（ａ）～（ｃ）を参照しながら説明した上記の製造方法によって得られるアクティブマトリクス基板は、例えばＶＡモードのように、液晶層に対し

て縦電界が印加される表示モードで表示を行う液晶表示装置にも用いられ得る。この場合、下層電極３２ｃには補助容量電圧（Ｃｓ電圧）が供給され、下層電極３２ｃは、補助容量電極（補助容量配線）として機能する。つまり、下層電極３２ｃおよび上層電極３６ｐと、これらの間に位置する誘電体層３４とにより、補助容量を形成することができる。なお、液晶層に対して縦電界が印加される表示モードで表示を行う場合、上層電極３６ｐへのスリット３６Ｓの形成は必須ではない。

[0074] また、上記では、層間絶縁層２２上に有機絶縁層２４を有するＴＦＴ基板を例示したが、有機絶縁層２４の形成は必須ではない。ただし、有機絶縁性材料を用いて比較的厚い（例えば１μｍから３μｍ程度）有機絶縁層２４を形成することにより、ゲートバスラインまたはソースバスラインと重なるように画素電極を配置できる。これは、有機絶縁性材料が無機絶縁性材料に比べて低い誘電率を有し、および／または、厚く形成しやすいという利点を有するので、画素電極の周辺部分がゲートおよび／またはソースバスラインと有機絶縁層を介して重なるように配置されても、画素電極とゲートおよび／またはソースバスラインとの間に形成される寄生容量が小さいことによる。したがって、画素電極とゲートおよび／またはソースバスラインとが互いに重ならないように画素電極を配置する場合と比較して、画素開口率を向上させるという効果が得られる。

[0075] 次に、上述したＴＦＴ基板１００Ａ～１００Ｃが用いられ得る表示装置の例と、そのような表示装置の製造方法の例とを説明する。

[0076] 図８および図９に、ＴＦＴ基板１００Ａを備える表示装置の模式的な断面図と平面図とをそれぞれ示す。図８および図９に示す表示装置１０００は、ＴＦＴ基板１００Ａ（アクティブマトリクス基板）と、ＴＦＴ基板１００Ａに対向する対向基板２００と、ＴＦＴ基板１００Ａおよび対向基板２００の間に配置された表示媒体層４０とを備える。表示装置１０００では、対向基板２００上にはフォトスペーサは形成されていない。図９に示すように、表示装置１０００は、複数の画素がマトリクス状に配列された表示領域ＤＲと

、その周辺の額縁領域ＰＲとを有している。

[0077] 表示装置１０００は、例えば透過型の液晶表示装置である。すなわち、表示媒体層４０は、例えば液晶層であり、表示装置１０００は、ＴＦＴ基板１００Ａおよび対向基板２００のそれぞれの外側に配置された偏光板Ｒ1およびＲ2と、表示用の光をＴＦＴ基板１００Ａに向けて出射するバックライトユニットＢＬとを備える。ＴＦＴ基板１００および対向基板２００の少なくとも一方の液晶層側の表面には、表示モードに応じて、垂直配向膜または水平配向膜（不図示）が設けられている。ＴＦＴ基板１００Ａおよび／または対向基板２００に設けられる配向膜は、光配向処理の施された光配向膜であってもよい。

[0078] 対向基板２００は、ブラックマトリクスＢＭおよびカラーフィルタ４４を備えている。図８に例示するように、ＴＦＴ基板１００Ａに対向基板２００を貼り合わせたとき、基板１１上のフォトスペーサ３８に対向基板２００のブラックマトリクスＢＭが重なるように、フォトスペーサ３８およびブラックマトリクスＢＭが配置されている。ＶＡモード等の縦電界モードが適用される場合、カラーフィルタ４４の表示媒体層４０側の表面に対向電極４２が配置される。ＦＦＳモード等の横電界モードが適用される場合、対向電極はＴＦＴ基板に形成され、対向基板２００は対向電極を有しない。

[0079] 図８および図９に示したような表示装置１０００は、次のようにして得られる。まず、上述した製造方法によってＴＦＴ基板（アクティブマトリクス基板）１００Ａを製造する。次に、対向基板２００を用意する。次に、対向基板２００がＴＦＴ基板１００Ａと対向するように、対向基板２００とＴＦＴ基板１００Ａとを貼り合わせる。次に、対向基板２００およびＴＦＴ基板１００Ａの間隙に真空下で液晶材料を注入することにより表示媒体層（液晶層）４０を形成する。なお、ワンドロップフィリング（ＯＤＦ：One Drop Fill）法を適用する場合には、一方の基板上に液晶材料の液滴を付与してから、他方の基板との貼り合わせを行う。

[0080] 本発明の実施形態による液晶表示装置は、上記の例に限られず、フォトス

ペーサを有する種々の液晶表示装置に広く適用できる。また、本発明の実施形態による表示装置は、液晶表示装置に限られず、フォトスペーサを有する種々の表示装置に広く適用できる。

産業上の利用可能性

[0081] 本発明の実施形態は、各種の表示モードの液晶表示装置等、アクティブマトリクス基板を備える表示装置に広く適用できる。

符号の説明

[0082]
１０　薄膜トランジスタ（ＴＦＴ）
１１　基板
１６　半導体層
１７　エッチストップ層
２２　層間絶縁層
２４　有機絶縁層
３２ｐ　画素電極
３２ｑ　導電層
３２ｃ　下層電極
３４　誘電体層
３６ｐ　上層電極
３６Ｓ　スリット
３８　フォトスペーサ
４０　表示媒体層
１００Ａ～１００Ｃ　ＴＦＴ基板（アクティブマトリクス基板）
１０００　表示装置

請求の範囲

[請求項1] 基板と、前記基板に支持された薄膜トランジスタおよびフォトスペーサとを備えるアクティブマトリクス基板の製造方法であって、

前記基板上に前記薄膜トランジスタを形成する工程（ａ）と、

前記薄膜トランジスタを覆う層間絶縁層を形成する工程（ｂ）と、

前記工程（ｂ）の後、第１電極を形成する工程（ｃ）と、

前記工程（ｃ）の後、前記基板上に感光性樹脂材料を付与してパターニングすることにより、前記フォトスペーサを形成する工程（ｄ）と、

前記工程（ｄ）の後、フッ素系ガスを含み、かつ酸素ガスを含まないガスを用いてプラズマ処理を行う工程（ｅ）と

を包含する、アクティブマトリクス基板の製造方法。

[請求項2] 前記工程（ｅ）において、前記プラズマ処理は、実質的にフッ素系ガスのみを用いて実行される、請求項１に記載のアクティブマトリクス基板の製造方法。

[請求項3] 前記フッ素系ガスは、CF_4ガスまたはC_2F_6ガスである、請求項１または２に記載のアクティブマトリクス基板の製造方法。

[請求項4] 前記工程（ｂ）の後、かつ前記工程（ｃ）の前に、

前記層間絶縁層上に有機絶縁層を形成する工程（ｂ１）をさらに包含し、

前記工程（ｃ）において、前記第１電極は、前記有機絶縁層と接するように形成される、請求項１から３のいずれかに記載のアクティブマトリクス基板の製造方法。

[請求項5] 前記工程（ｂ）の後、かつ前記工程（ｃ）の前に、

前記層間絶縁層上に有機絶縁層を形成する工程（ｂ１）と、

前記有機絶縁層上に第２電極を形成する工程（ｂ２）と、

前記第２電極上に誘電体層を形成する工程（ｂ３）と

をさらに包含し、

前記工程（ｃ）において、前記第１電極は、前記誘電体層上に形成される、請求項１から３のいずれかに記載のアクティブマトリクス基板の製造方法。

[請求項6] 前記工程（ｂ２）は、前記有機絶縁層と接するように前記有機絶縁層上に導電膜を形成する工程と、前記導電膜をパターニングすることにより、前記第２電極を形成するとともに前記第２電極とは別の導電層を形成する工程とを含み、

前記工程（ｂ３）は、前記第２電極上および前記導電層上に誘電体膜を形成する工程と、前記第２電極を覆い、かつ前記導電層およびその周辺の前記有機絶縁層を露出するように前記誘電体膜をパターニングする工程とを含む、請求項５に記載のアクティブマトリクス基板の製造方法。

[請求項7] アクティブマトリクス基板と、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板および前記対向基板の間に配置された表示媒体層とを備える表示装置の製造方法であって、

請求項１から６のいずれかに記載のアクティブマトリクス基板の製造方法によって前記アクティブマトリクス基板を製造する工程（Ａ）と、

前記対向基板を用意する工程（Ｂ）と、

前記対向基板が前記アクティブマトリクス基板と対向するように、前記対向基板と前記アクティブマトリクス基板とを貼り合わせる工程（Ｃ）と、

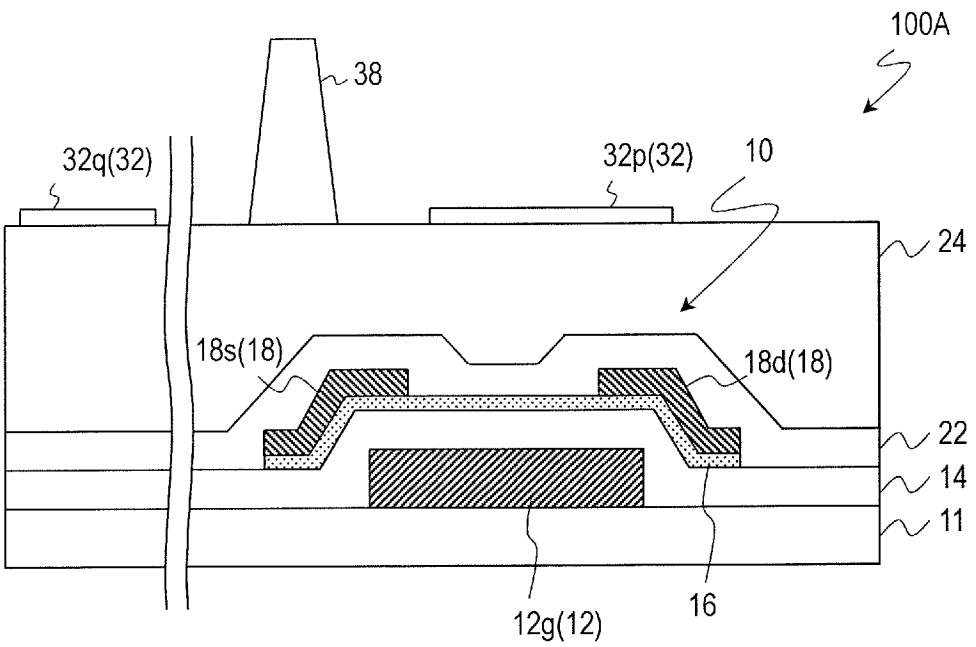
前記工程（Ｃ）の前または後に、前記表示媒体層を形成する工程（Ｄ）と

を包含する、表示装置の製造方法。

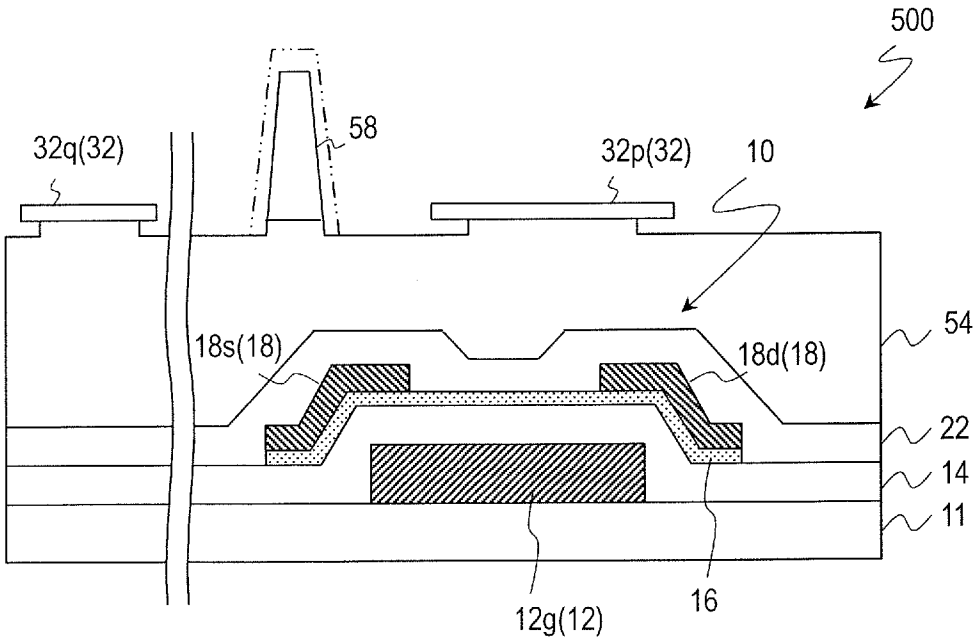
[請求項8] 前記表示媒体層は、液晶層である、請求項７に記載の表示装置の製造方法。

[請求項9] 請求項７または８に記載の製造方法によって製造された表示装置。

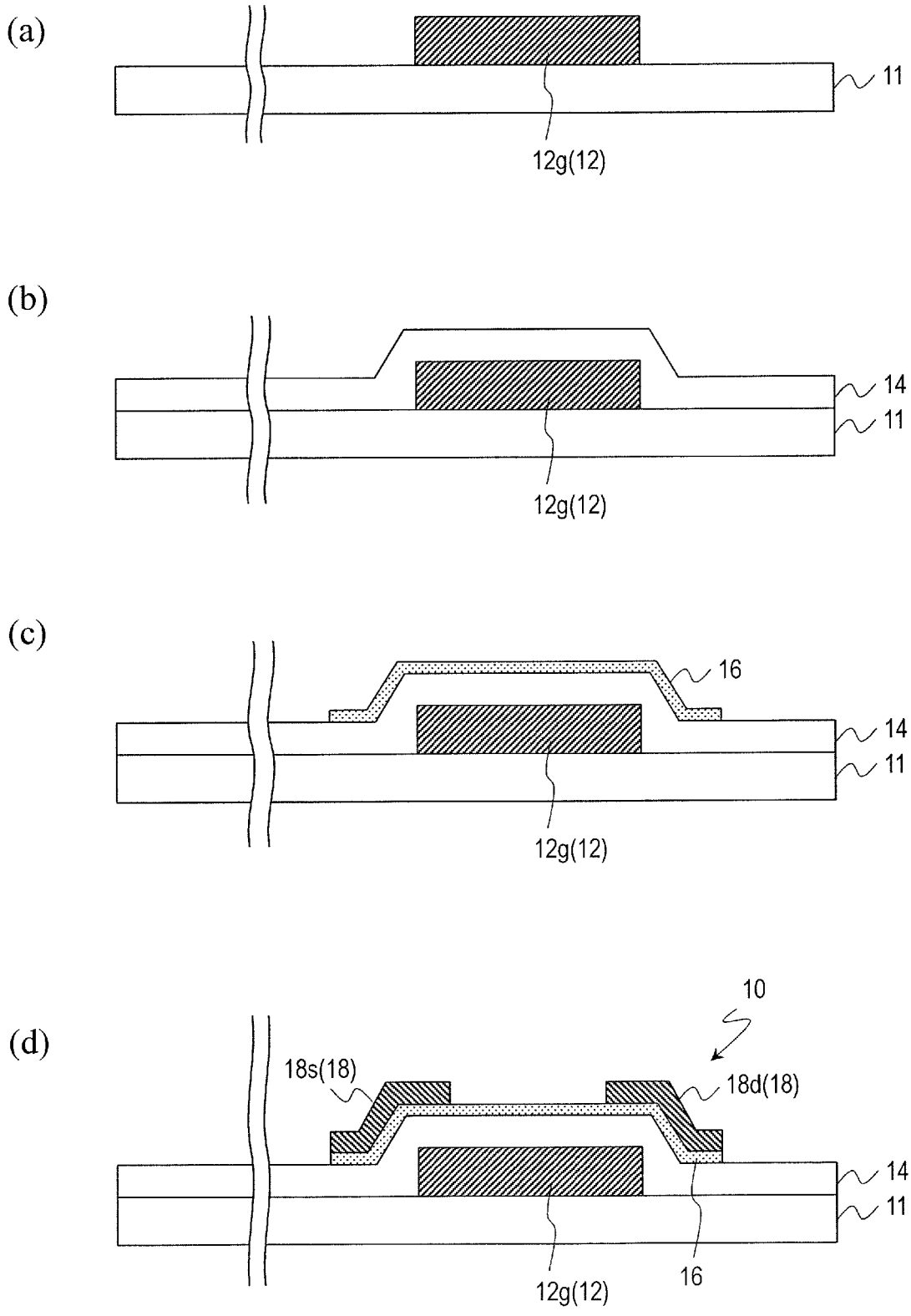
[図1]


100A
38
32q(32)
32p(32)
10
24
18s(18)
18d(18)
22
14
11
12g(12)
16

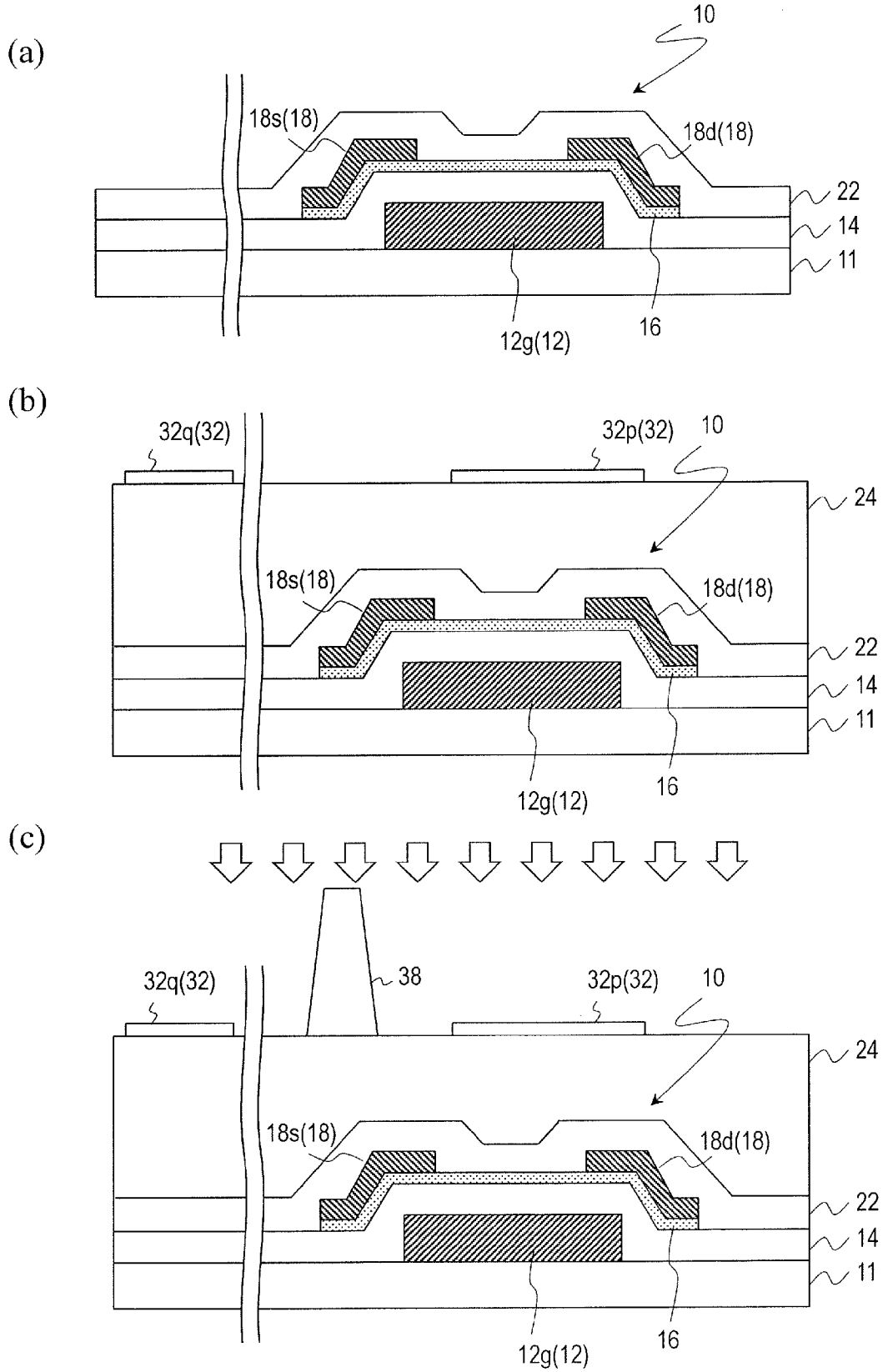
[図2]


500
58
32q(32)
32p(32)
10
54
18s(18)
18d(18)
22
14
11
12g(12)
16

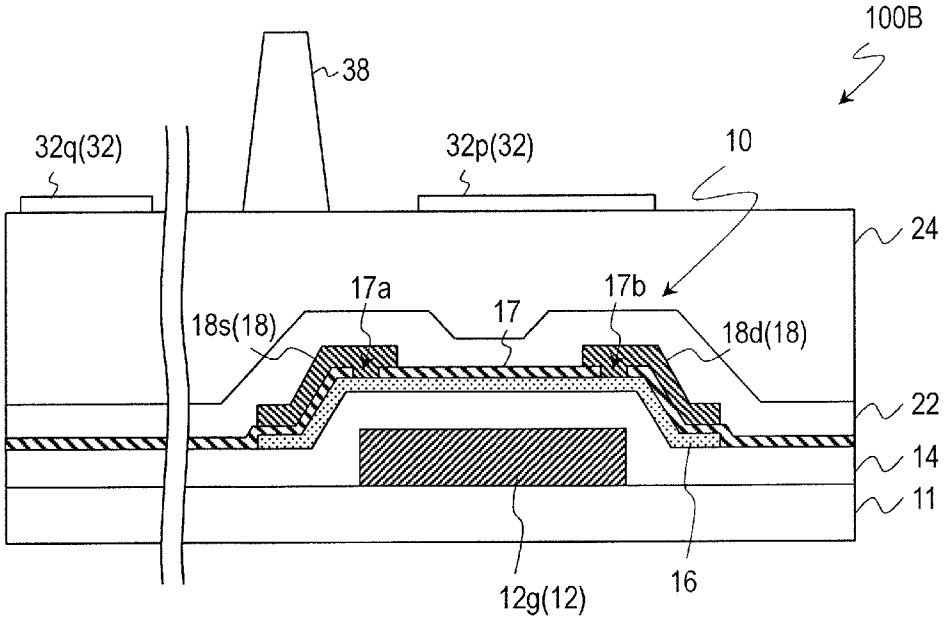
[図3]


(a)
11
12g(12)
(b)
14
11
12g(12)
(c)
16
14
11
12g(12)
(d)
10
18s(18)
18d(18)
14
11
12g(12)
16

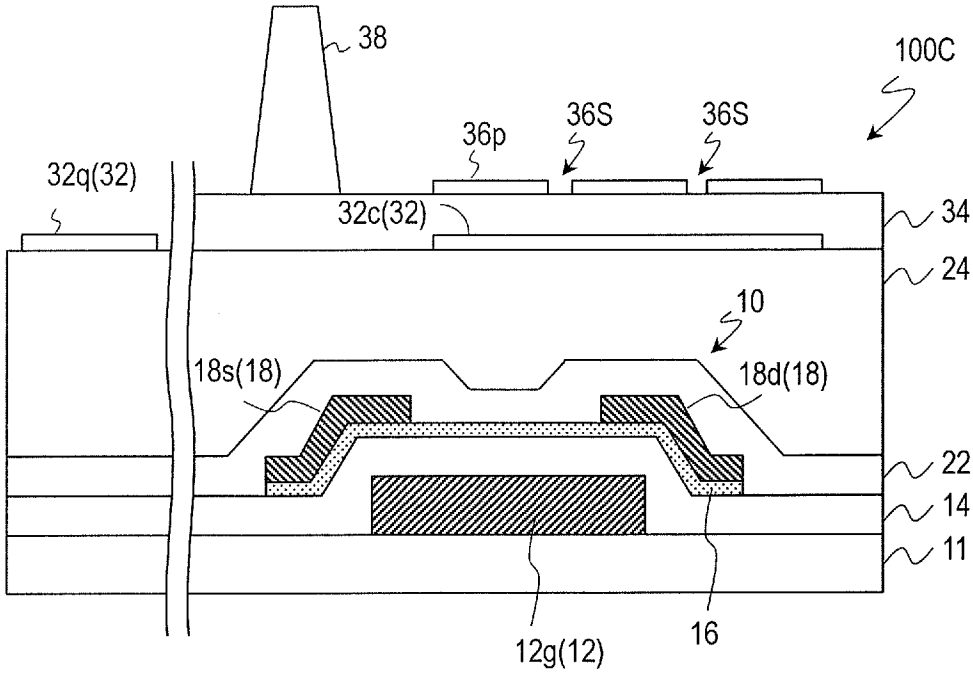
[図4]


(a)
10
18s(18)
18d(18)
22
14
11
12g(12)
16
(b)
32q(32)
32p(32)
10
24
18s(18)
18d(18)
22
14
11
12g(12)
16
(c)
38
32q(32)
32p(32)
10
24
18s(18)
18d(18)
22
14
11
12g(12)
16

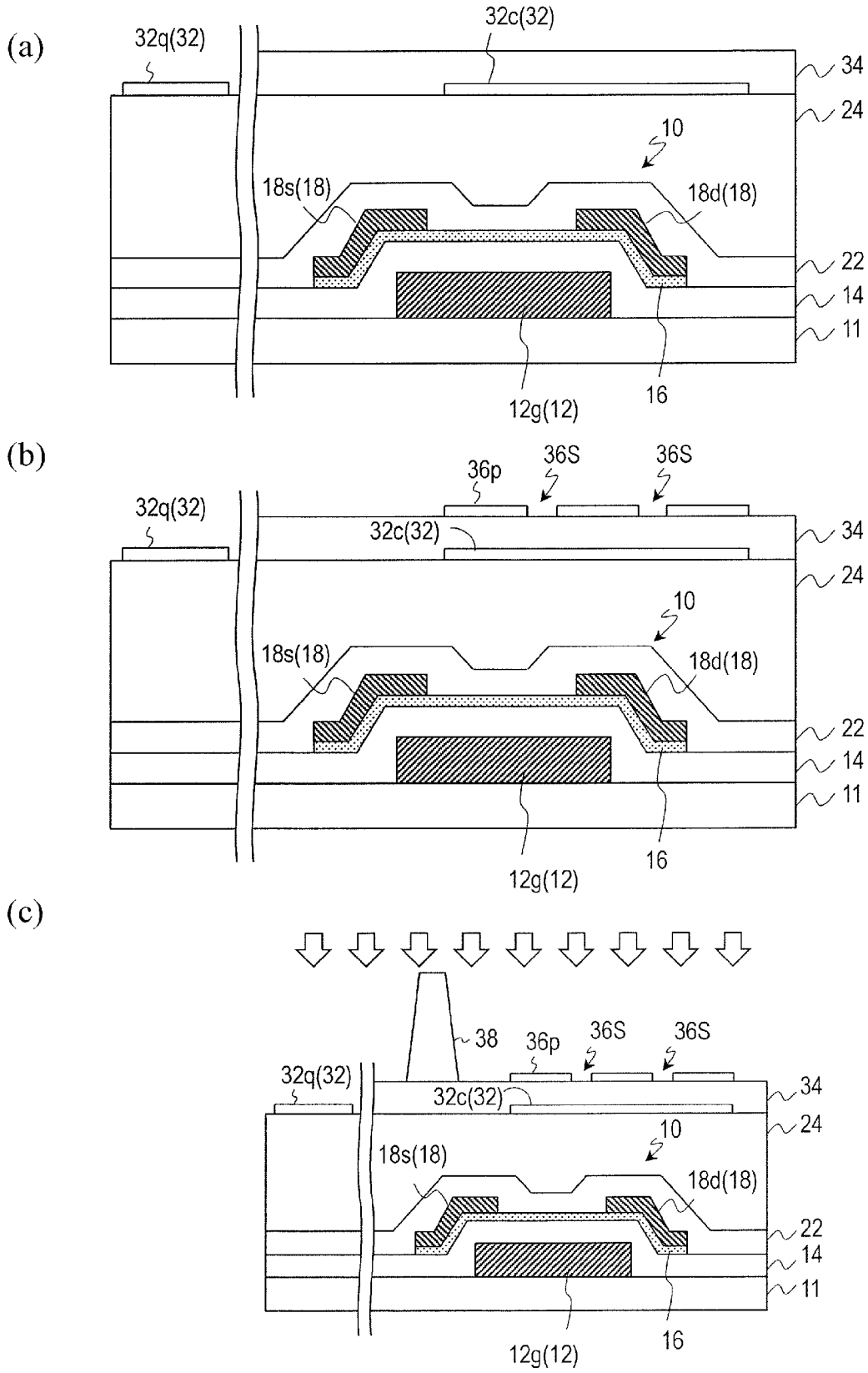
[図5]


100B
38
32q(32)
32p(32)
10
24
17a
17b
17
18s(18)
18d(18)
22
14
11
12g(12)
16

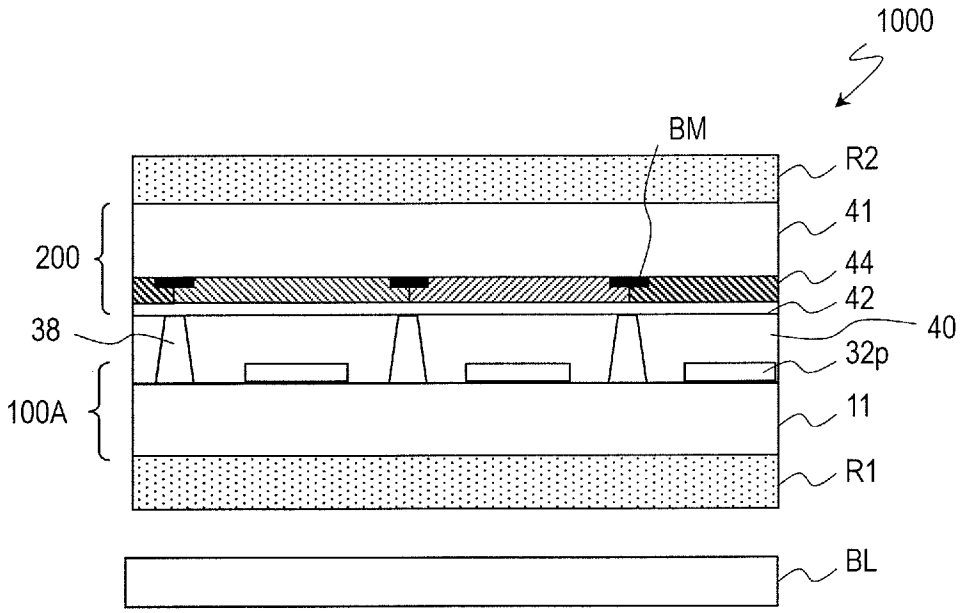
[図6]


38
100C
36p
36S
36S
32q(32)
32c(32)
34
24
10
18s(18)
18d(18)
22
14
11
12g(12)
16

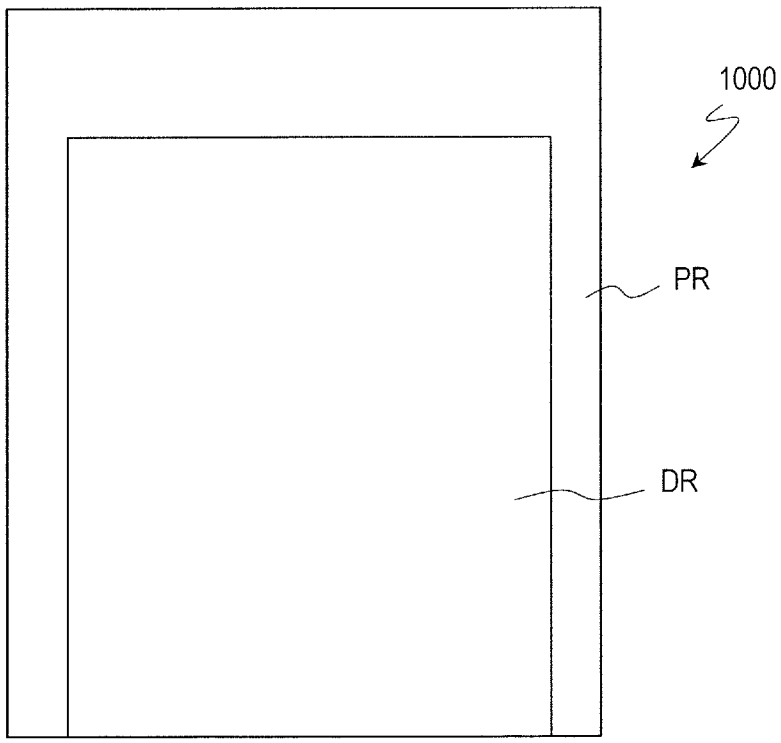
[図7]


(a)
32q(32)
32c(32)
34
24
10
18s(18)
18d(18)
22
14
11
12g(12)
16
(b)
36p
36S
36S
32q(32)
32c(32)
34
24
10
18s(18)
18d(18)
22
14
11
12g(12)
16
(c)
38
36p
36S
36S
32q(32)
32c(32)
34
24
10
18s(18)
18d(18)
22
14
11
12g(12)
16

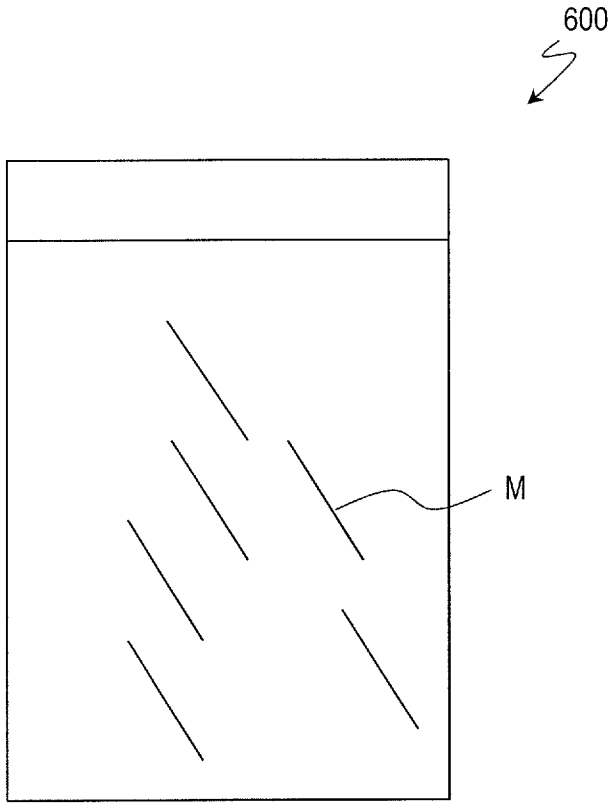
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/072624

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/1339(2006.01)i, *G02F1/13*(2006.01)i, *G02F1/1343*(2006.01)i, *G09F9/00*(2006.01)i, *G09F9/30*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1339, G02F1/13, G02F1/1343, G09F9/00, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-99409 A (Toshiba Corp.), 14 April 2005 (14.04.2005), paragraphs [0024] to [0042]; fig. 2 to 8 & US 2005/0106768 A1	1-9
A	JP 2011-81177 A (Dainippon Printing Co., Ltd.), 21 April 2011 (21.04.2011), paragraphs [0041] to [0046]; fig. 1 (Family: none)	1-9
A	JP 2005-202258 A (NEC LCD Technologies, Ltd.), 28 July 2005 (28.07.2005), entire text; all drawings & US 2005/0157246 A1 & CN 1645194 A	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 06 November, 2014 (06.11.14)	Date of mailing of the international search report 18 November, 2014 (18.11.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０７２６２４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1339(2006.01)i, G02F1/13(2006.01)i, G02F1/1343(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1339, G02F1/13, G02F1/1343, G09F9/00, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2005-99409 A（株式会社東芝）2005.04.14, 段落【００２４】－【００４２】、図２－８ & US 2005/0106768 A1	1-9
A	JP 2011-81177 A（大日本印刷株式会社）2011.04.21, 段落【００４１】－【００４６】、図１（ファミリーなし）	1-9
A	JP 2005-202258 A（ＮＥＣ液晶テクノロジー株式会社）2005.07.28, 全文、全図 & US 2005/0157246 A1 & CN 1645194 A	1-9

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．１１．２０１４	１８．１１．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｌ　３４１３
佐藤　洋允
電話番号　０３－３５８１－１１０１　内線　３２５５