

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年7月22日(22.07.2010)

(10) 国際公開番号
WO 2010/082389 A1

PCT

- (51) 国際特許分類:
H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 27/115 (2006.01) H01L 29/792 (2006.01)
- (21) 国際出願番号: PCT/JP2009/068275
- (22) 国際出願日: 2009年10月23日(23.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2009/050435 2009年1月15日(15.01.2009) JP
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 舟山 幸太(FUNAYAMA, Kota) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 茶木原 啓(CHAKIHARA, Hiraku) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地

ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 石井 泰之(ISHII, Yasushi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

- (74) 代理人: 筒井 大和(TSUTSUI, Yamato); 〒1600022 東京都新宿区新宿2丁目3番10号 新宿御苑ビル3階 筒井国際特許事務所 Tokyo Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

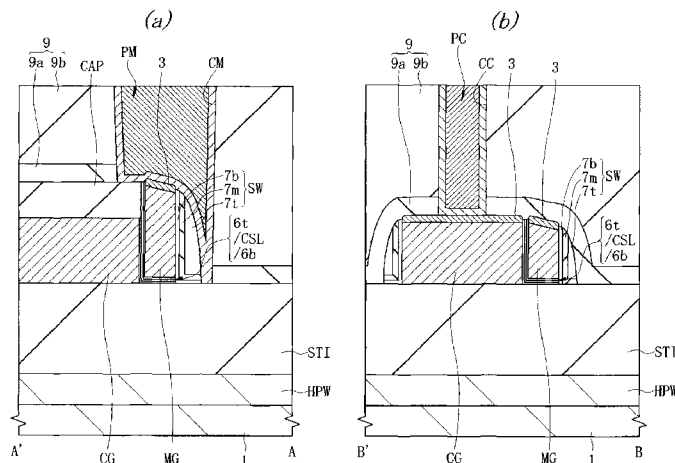
[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図3]

図 3



(57) Abstract: In a power feeding region of a memory cell (MC) wherein a side wall-shaped memory gate electrode (MG) of a memory nMIS (Qnm) is formed by self alignment on a lateral surface of a selection gate electrode (CG) of a selection nMIS (Qnc) with an insulating film interposed therebetween, a plug (PM) for applying a voltage to the memory gate electrode (MG) is embedded in a contact hole (CM) which is formed in an interlayer insulating film (9) that is formed on the memory gate electrode (MG), and electrically connected to the memory gate electrode (MG). Since a cap insulating film (CAP) is formed on the upper surface of the selection gate electrode (CG), electrical conduction between the plug (PM) and the selection gate electrode (CG) can be prevented.

(57) 要約:

[続葉有]

WO 2010/082389 A1



(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, 添付公開書類:

GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

— 国際調査報告 (条約第 21 条(3))

選択用 $n\text{MIS}$ (Q_{nc}) の選択ゲート電極 (CG) の側面に絶縁膜を介して、サイドウォール形状のメモリ用 $n\text{MIS}$ (Q_{nm}) のメモリゲート電極 (MG) が自己整合により設けられたメモリセル (MC) の給電領域において、メモリゲート電極 (MG) に電圧を供給するプラグ (PM) が、メモリゲート電極 (MG) 上に形成された層間絶縁膜 (9) に形成されたコンタクトホール (CM) の内部に埋め込まれて、メモリゲート電極 (MG) と電氣的に接続している。選択ゲート電極 (CG) の上面にはキャップ絶縁膜 (CAP) が形成されているので、プラグ (PM) と選択ゲート電極 (CG) との導通を防ぐことができる。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造技術に関し、特に、スプリットゲート構造のMONOS (Metal Oxide Nitride Oxide Semiconductor) 型不揮発性メモリセルを有する半導体装置およびその製造に適用して有効な技術に関するものである。

背景技術

[0002] 例えば特開2003-309193号公報(特許文献1)には、第1ゲート電極(コントロールゲート電極)と、絶縁膜および電荷蓄積領域を介して配置された第2ゲート電極(メモリゲート電極)とを有する不揮発性のメモリセルトランジスタにおいて、第1ゲート電極の基板表面からの高さが第2ゲート電極の基板表面からの高さまたは周辺回路に形成されたトランジスタのゲート電極の基板表面からの高さよりも低く加工された構造のメモリセルトランジスタが開示されている。

[0003] また、特開2006-54292号公報(特許文献2)には、スプリットゲート構造のメモリセルにおいて、選択ゲート電極に隣接して孤立した補助パターンを配置し、両者の間隙にサイドウォールゲートのポリシリコンが充填され自己整合的に形成された配線部に対してコンタクトを取る方法が開示されている。

[0004] また、特開2006-49737号公報(特許文献3)には、メモリゲート線は、選択ゲート線の側壁上に絶縁膜を介して形成され、選択ゲート線の第2の部分上から素子分離領域上にかけてX方向に延在するコンタクト部を有し、コンタクト部上に形成されたコンタクトホールを埋めるプラグを介して配線に接続されたメモリセルが開示されている。

[0005] また、特開2005-347679号公報(特許文献4)には、DRAMの製造工程において、メモリセル選択用MISFETを覆う酸化シリコン膜

をエッチングして、ソース、ドレインに達する接続孔を形成する際、メモリセル選択用M I S F E Tのゲート電極の上部および側壁に窒化シリコン膜を形成することにより自己整合で接続孔を形成する方法が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2003-309193号公報

特許文献2：特開2006-54292号公報

特許文献3：特開2006-49737号公報

特許文献4：特開2005-347679号公報

発明の概要

発明が解決しようとする課題

[0007] 電氣的に書き換え可能な不揮発性メモリとしては、多結晶シリコンをフローティング電極としたEEPROM (Electrically Erasable Programmable Read Only Memory) が主に使用されている。しかし、この構造のEEPROMでは、フローティングゲート電極を取り囲む酸化膜のどこか一部にでも欠陥があると、電荷蓄積層が導体であるため、異常リークにより蓄積ノードに貯えられた電荷がすべて抜けてしまう場合がある。特に今後、微細化が進み集積度が向上すると、この問題がより顕著になると考えられる。

[0008] そこで、近年は、窒化膜を電荷蓄積層とするMONOS型不揮発性メモリセルが注目されている。この場合、データ記憶に寄与する電荷は、絶縁体である窒化膜の離散トラップに蓄積されるため、蓄積ノードを取り巻く酸化膜のどこか一部に欠陥が生じて異常リークがおきても、電荷蓄積層の電荷が全て抜けてしまうことがないため、データ保持の信頼度を向上させることが可能である。

[0009] MONOS型不揮発性メモリセルとしては、単トランジスタ構造のメモリセルが提案されている。この構造のメモリセルの場合は、EEPROMのメモリセルと比べてディスターブの影響を受け易いので、さらに、選択ゲー

ト電極を設けた２トランジスタ構成のスプリットゲート構造のメモリセルも提案されている。

[0010] しかしながら、スプリットゲート構造のMONOS型不揮発性メモリセルについては、以下に説明する種々の技術的課題が存在する。

[0011] スプリットゲート構造のMONOS型不揮発性メモリセルには、選択ゲート電極の側面に絶縁膜を介して、サイドウォール形状のメモリゲート電極が自己整合により設けられたメモリセルがある。この場合、フォトリソグラフィの位置合わせマージンが不要であること、自己整合で形成するメモリゲート電極のゲート長をフォトリソグラフィの最小解像寸法以下にできることから、フォトレジストマスクを用いてメモリゲート電極を形成するメモリセルに比べて、より微細なメモリセルを実現することができる。

[0012] サイドウォール形状のメモリゲート電極を採用した場合は、その外部への電氣的な取り出しは、例えば図２７に示すように、メモリゲート電極MGと同一層の導電膜からなるパッド電極５１を用いる。すなわち、選択ゲート電極CGの側壁に自己整合によりサイドウォール形状のメモリゲート電極MGを形成すると同時に、メモリゲート電極MGの給電領域（シャント部）にフォトレジストマスクを用いてパッド電極５１を形成し、その後、メモリゲート電極MG上に形成された層間絶縁膜に、このパッド電極５１に達するコンタクトホール５２を形成する。そして、メモリゲート電極MGとコンタクトホール５２に埋め込まれた導電膜とを電氣的に接続している。パッド電極５１は、メモリゲート電極MGとパッド電極５１との位置合わせマージンや寸法ばらつきマージンなどを考慮して、選択ゲート電極CG上に乗り上げた形状となっている。

[0013] しかし、パッド電極５１は選択ゲート電極CGの段差部分を覆うように形成されるため、フォトレジストマスクを形成するフォトリソグラフィでは、段差によるフォーカスずれが生じてフォトレジストマスクの加工精度が悪くなり、その結果、パッド電極５１の形状不良が発生することがある。半導体装置の高集積化には、給電領域の面積を縮小することが望まれているが、上

記パッド電極 51 の形状不良を回避するためには、パッド電極 51 の平面形状の面積を小さくすることができず、給電領域の面積の縮小は困難となっている。

[0014] また、通常、選択ゲート電極 CG 上に乗り上げた導電膜の上面に塗布されたフォトレジストの厚さは、選択ゲート電極 CG 上に乗り上げた導電膜の上面以外に塗布されたフォトレジストの厚さよりも薄くなる。そのため、このフォトレジストをマスクとした導電膜のドライエッチングにおいて、選択ゲート電極 CG 上に乗り上げた導電膜の上面に塗布されたフォトレジストが選択ゲート電極 CG 上に乗り上げた導電膜の上面以外に塗布されたフォトレジストよりも早くエッチング除去され、そして選択ゲート電極 CG 上に乗り上げた導電膜が削れて、パッド電極 51 の形状不良が発生するという問題もある。所定の形状のパッド電極が得られない場合は、パッド電極 51 と、コンタクトホール 52 を介してパッド電極 51 に接続するプラグとの間が高抵抗または非導通となり、製造歩留まりが低下する。

[0015] 本発明の目的は、スプリットゲート構造の不揮発性メモリセルを有する半導体装置において、高集積化を実現できる技術を提供することにある。

[0016] また、本発明の他の目的は、スプリットゲート構造の不揮発性メモリセルを有する半導体装置において、製造歩留まりを向上できる技術を提供することにある。

[0017] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0018] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0019] 本発明による半導体装置は、不揮発性メモリセルを含む半導体装置である。不揮発性メモリセルは、半導体基板上に形成された第 1 ゲート絶縁膜と、第 1 ゲート絶縁膜上に形成された第 1 導電膜からなる選択ゲート電極と、選択ゲート電極上に形成されたキャップ絶縁膜と、キャップ絶縁膜および選択

ゲート電極からなる積層膜の片側面にサイドウォール状に形成された第2導電膜からなるメモリゲート電極と、キャップ絶縁膜および選択ゲート電極からなる積層膜とメモリゲート電極との間に形成され、かつ、メモリゲート電極と半導体基板との間に形成された第2ゲート絶縁膜とを有し、メモリゲート電極に電圧を供給するプラグが形成される領域において、キャップ絶縁膜上およびメモリゲート電極上に形成された層間絶縁膜にコンタクトホールが形成され、コンタクトホールに埋め込まれたプラグがメモリゲート電極と電氣的に接続している。

[0020] 本発明による半導体装置は、メモリセルを有する半導体装置である。メモリセルは、半導体基板上に形成された第1ゲート絶縁膜と、第1ゲート絶縁膜上に形成された第1導電膜からなる選択ゲート電極と、選択ゲート電極上に形成されたキャップ絶縁膜と、キャップ絶縁膜および選択ゲート電極からなる積層膜の片側面にサイドウォール状に形成された第2導電膜からなるメモリゲート電極と、キャップ絶縁膜および選択ゲート電極からなる積層膜とメモリゲート電極との間に形成され、かつ、メモリゲート電極と半導体基板との間に形成された第2ゲート絶縁膜と、選択ゲート電極のメモリゲート電極と反対側の半導体基板に形成されたドレイン領域とを有し、メモリセルが形成される領域において、キャップ絶縁膜上およびドレイン領域上に形成された層間絶縁膜にコンタクトホールが形成され、コンタクトホールに埋め込まれたプラグがドレイン領域と電氣的に接続している。

[0021] 本発明による半導体装置の製造方法は、メモリセルを含む半導体装置の製造方法である。メモリセルを形成する工程は、(a)半導体基板上に第1ゲート絶縁膜を形成する工程と、(b)第1ゲート絶縁膜上に第1導電膜を形成する工程と、(c)第1導電膜上に第2絶縁膜を形成する工程と、(d)第2絶縁膜および第1導電膜を順次加工することによって、第1導電膜からなる選択ゲート電極と、選択ゲート電極上に第2絶縁膜からなるキャップ絶縁膜を形成する工程と、(e)メモリセルが形成される領域の選択ゲート電極上のキャップ絶縁膜は残し、選択ゲート電極に電圧を供給する第2プラグ

が形成される領域の選択ゲート電極上のキャップ絶縁膜は除去する工程と、
（f）前記（e）工程の後に、半導体基板上に第2ゲート絶縁膜を形成する工程と、（g）第2ゲート絶縁膜上に第2導電膜を形成する工程と、（h）第2導電膜に対して異方性エッチングを施すことによって、キャップ絶縁膜および選択ゲート電極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成する工程と、（i）前記（h）工程の後に、メモリセルが形成される領域では、半導体基板にソース領域およびド레인領域を形成する工程と、（j）前記（i）工程の後に、メモリゲート電極の上面および前記（e）工程においてキャップ絶縁膜が除去された選択ゲート電極の上面にシリサイド層を形成し、かつ、ソース領域およびド레인領域の上面にシリサイド層を形成する工程とを有する。

[0022] 本発明による半導体装置の製造方法は、メモリセルを含む半導体装置の製造方法である。メモリセルを形成する工程は、（a）半導体基板上に第1ゲート絶縁膜を形成する工程と、（b）第1ゲート絶縁膜上に第1導電膜を形成する工程と、（c）第1導電膜上に第2絶縁膜を形成する工程と、（d）第2絶縁膜および第1導電膜を順次加工することによって、第1導電膜からなる選択ゲート電極と、選択ゲート電極上に第2絶縁膜からなるキャップ絶縁膜とを形成する工程と、（e）前記（d）工程の後に、半導体基板上に第2ゲート絶縁膜を形成する工程と、（f）第2ゲート絶縁膜上に第2導電膜を形成する工程と、（g）第2導電膜に対して異方性エッチングを施すことによって、キャップ絶縁膜および選択ゲート電極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成する工程と、（h）前記（g）工程の後に、半導体基板にソース領域およびド레인領域を形成する工程と、（i）前記（h）工程の後に、メモリゲート電極、ソース領域およびド레인領域の上面にシリサイド層を形成する工程と、（j）半導体基板、キャップ絶縁膜およびメモリゲート電極上に層間絶縁膜を形成する工程と、（k）層間絶縁膜にコンタクトホールを形成する工程と、（l）コンタクトホール内に第3導電膜を埋め込み、ド레인領域の上面のシリサイド層と接続する

第3プラグを形成する工程とを有し、第3プラグはキャップ絶縁膜上にも形成されている。

発明の効果

[0023] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0024] スプリットゲート構造の不揮発性メモリセルを有する半導体装置において、高集積化を実現することができる。

[0025] また、スプリットゲート構造の不揮発性メモリセルを有する半導体装置において、製造歩留まりを向上することができる。

図面の簡単な説明

[0026] [図1]本発明の実施の形態1による不揮発性メモリセルのチャネルをメモリゲート電極に対して交差する方向に沿って切断した不揮発性メモリセルの要部断面図である。

[図2]本発明の実施の形態1による不揮発性メモリセルの給電領域の要部平面図である。

[図3] (a) は図2のA-A'線に沿った要部断面図(メモリゲート電極のシャント部の要部断面図)であり、(b) は図2のB-B'線に沿った要部断面図(選択ゲート電極のシャント部の要部断面図)である。

[図4]本発明の実施の形態1による不揮発性メモリセルを有する半導体装置の製造工程を示す半導体基板の要部断面図である。

[図5]不揮発性メモリセルを有する半導体装置の図4と同じ製造工程での給電領域の要部平面図である。

[図6]図4および図5に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図7]図6に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図8]図7に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図9]図7に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図5と同じ箇所の要部平面図である。

[図10]図8および図9に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図11]図10に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図12]図11に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図13]図11に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図5と同じ箇所の要部平面図である。

[図14]図12および図13に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図15]図14に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図16]図15に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図17]図16に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図18]図17に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図19]図18に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図20]図19に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図21]図20に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図22]図21に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図23]図22に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図24]図23に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図25]図24に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図26]図24に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図5と同じ箇所の要部断面図である。

[図27]本発明者によって検討された不揮発性メモリセルの給電領域の要部断面図である。

[図28]本発明の実施の形態2による不揮発性メモリセルを有する半導体装置の製造工程を示す半導体基板の要部断面図である。

[図29]図28に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図28と同じ箇所の要部断面図である。

[図30]図29に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図28と同じ箇所の要部断面図である。

[図31]図30に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図28と同じ箇所の要部断面図である。

[図32]図31に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図28と同じ箇所の要部断面図である。

[図33]本発明の実施の形態3による不揮発性メモリセルのチャネルをメモリゲート電極に対して交差する方向に沿って切断した不揮発性メモリセルの要部断面図である。

[図34]本発明の実施の形態3による不揮発性メモリセルのメモリ領域の要部断面図である。

[図35]本発明の実施の形態3による不揮発性メモリセルのメモリ領域に形成されたコンタクトホールの変形例を示す要部断面図である。

[図36]本発明の実施の形態3による不揮発性メモリセルのメモリ領域に形成

されたコンタクトホール第2の変形例を示す要部平面図である。

[図37] 本発明の実施の形態3による不揮発性メモリセルのメモリ領域に形成されたコンタクトホール第3の変形例を示す要部断面図である。

発明を実施するための形態

[0027] 以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0028] また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、本実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0029] また、以下の実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、以下の実施の形態においては、電界効果トランジスタを代表するMISFET（Metal Insulator Semiconductor Field Effect Transistor）をMISと略し、nチャネル型のMISFETをnMISと略す。また、以下の実施の形態で記載するMONOS型メモリセルについても、上記MISの下位概念に含まれることは勿論である。また、以下の実施の形態において、窒化シリコン、窒化ケイ素またはシリコンナイトライドというときは、 Si_3N_4 は勿論であるが、それのみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。ま

た、以下の実施の形態において、ウエハと言うときは、Si (Silicon) 単結晶ウエハを主とするが、そのみではなく、SOI (Silicon On Insulator) ウエハ、集積回路をその上に形成するための絶縁膜基板等を指すものとする。その形も円形またはほぼ円形のみでなく、正方形、長方形等も含むものとする。

[0030] また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

[0031] (実施の形態 1)

本発明の実施の形態 1 による不揮発性メモリセルの構造の一例を図 1 によって説明し、不揮発性メモリセルを構成するメモリゲート電極および選択ゲート電極の給電領域の構造の一例を図 2 および図 3 によって説明する。図 1 はチャネルをメモリゲート電極に対して交差する方向に沿って切断した不揮発性メモリセルの要部断面図、図 2 は給電領域の要部平面図、図 3 (a) および (b) はそれぞれ図 2 の A-A' 線に沿った要部断面図 (メモリゲート電極のシャント部の要部断面図) および図 2 の B-B' 線に沿った要部断面図 (選択ゲート電極のシャント部の要部断面図) である。ここでは、サイドウォール形状のメモリゲート電極を採用したスプリットゲート構造の MONOS 型不揮発性メモリセルを例示している。

[0032] まず、メモリ領域 (メモリセルが形成される領域) に形成された不揮発性メモリセルの構造について説明する。

[0033] 図 1 に示すように、半導体基板 1 は、例えば p 型の単結晶シリコンからなり、その主面 (デバイス形成面) の活性領域にはメモリセル MC の選択用 nMIS (Qnc) とメモリ用 nMIS (Qnm) とが配置されている。このメモリセル MC のドレイン領域 Drm は、例えば相対的に低濃度の n-型の半導体領域 2ad と、その n-型の半導体領域 2ad よりも不純物濃度の高い相対的に高濃度の n+型の半導体領域 2b とを有している (LDD (Lightly Doped Drain) 構造)。また、このメモリセル MC のソース領域 Srm は、例え

ば相対的に低濃度の n^- 型の半導体領域 $2a_s$ と、その n^- 型の半導体領域 $2a_s$ よりも不純物濃度の高い相対的に高濃度の n^+ 型の半導体領域 $2b$ とを有している（LDD構造）。 n^- 型の半導体領域 $2a_d$ 、 $2a_s$ は、メモリセルMCのチャネル領域側に配置され、 n^+ 型の半導体領域 $2b$ は、メモリセルMCのチャネル領域側から n^- 型の半導体領域 $2a_d$ 、 $2a_s$ 分だけ離れた位置に配置されている。

[0034] このドレイン領域 D_{rm} とソース領域 S_{rm} との間の半導体基板1の主面には、上記選択用 $nMIS$ （ Q_{nc} ）の選択ゲート電極CGと、上記メモリ用 $nMIS$ （ Q_{nm} ）のメモリゲート電極MGとが隣接して延在しており、その延在方向において複数のメモリセルMCは半導体基板1に形成された素子分離部STI（Shallow Trench Isolation）を介して隣接している。選択ゲート電極CGの上面には、キャップ絶縁膜CAPが形成されている。メモリゲート電極MGは、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜の片側面にサイドウォール状に形成されている。選択ゲート電極CGは第1導電膜、例えば n 型の低抵抗多結晶シリコンからなり、選択ゲート電極CGのゲート長は、例えば80～120nm程度である。また、メモリゲート電極MGは第2導電膜、例えば n 型の低抵抗多結晶シリコンからなり、メモリゲート電極MGのゲート長は、例えば50～100nm程度である。キャップ絶縁膜CAPは第2絶縁膜、例えば窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコン、または窒素を含んだ炭化シリコンからなり、その厚さは、例えば50nm程度である。また、選択ゲート電極CGの半導体基板1の主面からの高さは、例えば140nm程度であり、メモリゲート電極MGの半導体基板1の主面からの高さは、選択ゲート電極CGの半導体基板1の主面からの高さよりも50nm程度高く形成されている。

[0035] さらに、メモリゲート電極MGの上面には、例えばニッケルシリサイド（ $NiSi$ ）、コバルトシリサイド（ $CoSi_2$ ）等のようなシリサイド層3が形成されている。シリサイド層3の厚さは、例えば20nm程度である。スプリットゲート構造の不揮発性メモリセルでは、選択ゲート電極CGおよび

メモリゲート電極MGの双方に電位を供給する必要がある、その動作速度は選択ゲート電極CGおよびメモリゲート電極MGの抵抗値に大きく依存する。従ってシリサイド層3を形成することにより選択ゲート電極CGおよびメモリゲート電極MGの低抵抗化を図ることが望ましい。本実施の形態では、シリサイド層3はメモリゲート電極MGの上面のみに形成し、選択ゲート電極CGの上面には形成していない。しかし、選択ゲート電極CGを構成する第1導電膜の低抵抗化等により所望する動作速度を得ることができる。上記シリサイド層3は、ソース領域 S_{rm} またはドレイン領域 D_{rm} を構成する n^+ 型の半導体領域2bの上面にも形成されている。

[0036] 選択ゲート電極CGと半導体基板1の主面との間には、ゲート絶縁膜（第1ゲート絶縁膜）4が設けられている。ゲート絶縁膜4は第1絶縁膜、例えば酸化シリコンからなり、その厚さは、例えば1～5nm程度である。従って素子分離部上およびゲート絶縁膜4を介した半導体基板1の第1領域上に選択ゲート電極CGが配置されている。このゲート絶縁膜4下の半導体基板1（pウェルHPW）の主面には、例えばボロンが導入されてp型の半導体領域5が形成されている。この半導体領域5は、選択用nMIS（ Q_{nc} ）のチャネル形成用の半導体領域であり、この半導体領域5により選択用nMIS（ Q_{nc} ）のしきい値電圧が所定の値に設定されている。

[0037] メモリゲート電極MGは、ゲート絶縁膜（第2ゲート絶縁膜）を介して選択ゲート電極CGの側面に設けられている。選択ゲート電極CGとメモリゲート電極MGとを絶縁するこのゲート絶縁膜は、絶縁膜（第4絶縁膜）6b、電荷蓄積層CSLおよび絶縁膜（第5絶縁膜）6tからなる積層膜（以下、絶縁膜6b、6tおよび電荷蓄積層CSLと記す）により構成される。また、絶縁膜6b、6tおよび電荷蓄積層CSLを介した半導体基板1の第2領域上にメモリゲート電極MGが配置されている。なお、図1では絶縁膜6b、6tおよび電荷蓄積層CSLの表記を6b/CSL/6tとして表現している。

[0038] 電荷蓄積層CSLは、例えば窒化シリコンからなり、その厚さは、例えば

5～20 nm程度である。絶縁膜6b, 6tは、例えば酸化シリコンからなり、絶縁膜6bの厚さは、例えば1～10 nm程度、絶縁膜6tの厚さは、例えば4～15 nm程度である。絶縁膜6b, 6tは窒素を含んだ酸化シリコンで形成することもできる。

[0039] 選択ゲート電極CGの片側面（メモリゲート電極MGと反対側の側面、ドレイン領域Dr_m側の側面）およびメモリゲート電極MGの片側面（選択ゲート電極CGと反対側の側面、ソース領域Sr_m側の側面）にはそれぞれサイドウォールSWが形成されている。サイドウォールSWは、例えば酸化シリコン膜7b、窒化シリコン膜7mおよび酸化シリコン膜7tからなる積層膜により構成される。酸化シリコン膜7bの厚さは、例えば20 nm、窒化シリコン膜7mの厚さは、例えば25 nm、酸化シリコン膜7tの厚さは、例えば50 nmである。

[0040] 上記絶縁膜6b下、p型の半導体領域5とソース領域Sr_mとの間の半導体基板1（pウェルHPW）には、例えばヒ素またはリンが導入されてn型の半導体領域8が形成されている。この半導体領域8は、メモリ用nMIS（Q_{nm}）のチャネル形成用の半導体領域であり、この半導体領域8によりメモリ用nMIS（Q_{nm}）のしきい値電圧が所定の値に設定されている。

[0041] メモリセルMCは層間絶縁膜9により覆われており、層間絶縁膜9にはドレイン領域Dr_mに達するコンタクトホール（第3コンタクトホール）CNTが形成されている。層間絶縁膜9は第3絶縁膜からなり、例えば窒化シリコン膜9aおよび酸化シリコン膜9bからなる積層膜によって構成される。ドレイン領域Dr_mには、コンタクトホールCNTに埋め込まれたプラグ（第3プラグ）PLGを介してメモリゲート電極MG（または選択ゲート電極CG）に対して交差する方向に延在する第1層配線M1が接続されている。プラグPLGは第3導電膜からなり、例えばチタンと窒化チタンとの積層膜からなる相対的に薄いバリア膜、およびそのバリア膜に包まれるように形成されたタングステンまたはアルミニウム等からなる相対的に厚い導電膜からなる積層膜によって構成される。

[0042] 次に、給電領域に形成されたメモリゲート電極のシャント部および選択ゲート電極のシャント部の構造について説明する。

[0043] 図2および図3(a)に示すように、給電領域に形成されたメモリゲート電極MGのシャント部（以下、MGシャント部と記す）の構造は、メモリゲート電極MGおよび選択ゲート電極CGが素子分離部STI上に形成されている以外は、メモリ領域に形成された選択用nMIS(Qnc)およびメモリ用nMIS(Qnm)の構造とほぼ同じである。そして、給電領域の層間絶縁膜9には、選択ゲート電極CGの側面に絶縁膜6b, 6tおよび電荷蓄積層CSLを介して形成されたメモリゲート電極MGの上面に形成されたシリサイド層3に達するコンタクトホール（第1コンタクトホール）CMが形成されている。このコンタクトホールCMは、給電領域の素子分離部STI、サイドウォールSW、メモリゲート電極MG、ならびに絶縁膜6b, 6tおよび電荷蓄積層CSL上に形成されている。さらに、このコンタクトホールCMは、選択ゲート電極CG上に乗り上げた形状であるが、選択ゲート電極CGの上面にはキャップ絶縁膜CAPが形成されているので、コンタクトホールCMは、選択ゲート電極CGと接続することはない。また、コンタクトホールCMは、素子分離部STI上に形成されているため、半導体基板1と接続することもない。給電領域のメモリゲート電極MGには、コンタクトホールCMに埋め込まれた第3導電膜からなるプラグ（第1プラグ）PMを介して第1層配線（図示は省略）に接続されている。

[0044] これに対して、図2および図3(b)に示すように、給電領域に形成された選択ゲート電極CGのシャント部（以下、CGシャント部）の構造は、メモリ領域に形成された選択用nMIS(Qnc)の構造とは異なっている。メモリ領域に形成された選択用nMIS(Qnc)では、その選択ゲート電極CGの上面にキャップ絶縁膜CAPが形成されていたが、給電領域に形成された選択ゲート電極CGの上面にはキャップ絶縁膜CAPは形成されておらず、選択ゲート電極CGの上面にはシリサイド層3が形成されている。そして、給電領域の層間絶縁膜9には、選択ゲート電極CGの上面に形成され

たシリサイド層 3 に達するコンタクトホール（第 2 コンタクトホール）C C が形成されている。給電領域の選択ゲート電極 C G には、コンタクトホール C C に埋め込まれた第 3 導電膜からなるプラグ（第 2 プラグ）P C を介して第 1 層配線（図示は省略）に接続されている。

[0045] また、選択ゲート電極 C G のシャント部において、メモリゲート M G の高さは、制御ゲート電極 C G の高さと同じか、制御ゲート電極 C G の高さよりも低くなるように形成されている。ここで、制御ゲート電極 C G の高さよりも低く形成した場合には、メモリゲート M G 上および選択ゲート電極 C G 上に形成されるシリサイド層 3 がショートする可能性を低くすることができる。

[0046] このように、本実施の形態によれば、給電領域の M G シャント部では、層間絶縁膜 9 に形成されるコンタクトホール C M を、給電領域のメモリ用 n M I S（Q n m）のメモリゲート電極 M G に達するように形成し、このコンタクトホール C M の内部にプラグ P M を埋め込むことによって、メモリゲート電極 M G とプラグ P M とを電氣的に接続している。従って、前述の図 27 に示したパッド電極 51 の形成が不要となることから、給電領域の面積の縮小が可能となり、また、メモリゲート電極 M G とプラグ P M との間で良好な電氣的な接続が得られる。これにより、不揮発性メモリセルを有する半導体装置の面積の縮小化を図ることができる。また、不揮発性メモリセルを有する半導体装置の製造歩留まりを向上することができる。

[0047] また、給電領域の M G シャント部では、選択用 n M I S（Q n c）の選択ゲート電極 C G の上面にはキャップ絶縁膜 C A P が形成されているので、上記コンタクトホール C M は選択ゲート電極 C G に達することはない。従って、コンタクトホール C M の内部に埋め込まれるプラグ P M と選択ゲート電極 C G との電氣的な接続を防ぐことができる。他方、給電領域の C G シャント部では、選択用 n M I S（Q n c）の選択ゲート電極 C G の上面にはキャップ絶縁膜 C A P が形成されておらず、シリサイド層 3 が形成されている。従って、上記コンタクトホール C M と同一工程で層間絶縁膜 9 に形成されるコ

ンタクトホールＣＣは、容易に選択ゲート電極ＣＧの上面のシリサイド層３に達するので、コンタクトホールＣＣの内部に埋め込まれるプラグＰＣと選択ゲート電極ＣＧとの間で良好な電氣的な接続が得られる。

[0048] また、選択ゲート電極ＣＧの上面にはキャップ絶縁膜ＣＡＰが形成されているので、シリサイド層３を形成する際に、メモリゲートＭＧと選択ゲート電極ＣＧとがショートする等の不具合を考慮する必要もない。ここで、上述のように、選択ゲート電極ＣＧのシャント部においては、選択ゲート電極ＣＧの上にシリサイド層３が形成される。この時、メモリゲートＭＧと制御ゲート電極ＣＧの間には絶縁膜６ｂ、６ｔおよび電荷蓄積層ＣＳＬが形成されているので、特に問題にならないが、上述のように、ショート等の不具合を解消するために、メモリゲートＭＧの高さを制御ゲート電極ＣＧの高さよりも低く形成しておくことも可能である。

[0049] 次に、本発明の一実施の形態による不揮発性メモリセルを有する半導体装置の製造方法を図４～図２６を用いて工程順に説明する。図４、図６～図８、図１０～図１２および図１４～図２５は半導体装置の製造工程中におけるメモリ領域、給電領域（ＭＧシャント部およびＣＧシャント部）、容量素子領域および周辺回路領域（低圧系ｎＭＩＳ領域、低圧系ｐＭＩＳ領域、高圧系ｎＭＩＳ領域および高圧系ｐＭＩＳ領域）の要部断面図であり、図５、図９、図１３および図２６は半導体装置の製造工程中における給電領域の要部平面図である。

[0050] まず、図４および図５に示すように、半導体基板（この段階では半導体ウエハと称する平面略円形状の半導体の薄板）１の主面に、例えば溝型の素子分離部ＳＴＩおよびこれに取り囲まれるように配置された活性領域ＡＣＴ等を形成する。すなわち半導体基板１の所定箇所に分離溝を形成した後、半導体基板１の主面上に、例えば酸化シリコン等の絶縁膜を堆積し、さらにその絶縁膜が分離溝内のみに残されるように、絶縁膜をＣＭＰ（Chemical Mechanical Polishing）法等によって研磨することで、分離溝内に絶縁膜を埋め込む。このようにして素子分離部ＳＴＩを形成する。この素子分離部ＳＴＩは

、給電領域および容量素子領域の半導体基板 1 にも形成される。

[0051] 次に、図 6 に示すように、周辺回路領域の半導体基板 1 に n 型不純物を選択的にイオン注入することにより、埋め込み n ウェル N I S O を形成する。続いてメモリ領域および高圧系 n M I S 領域の半導体基板 1 に p 型不純物を選択的にイオン注入することにより p ウェル H P W を形成し、高圧系 p M I S 領域の半導体基板 1 に n 型不純物を選択的にイオン注入することにより n ウェル H N W を形成する。同様に、低圧系 n M I S 領域の半導体基板 1 に p 型不純物を選択的にイオン注入することにより p ウェル P W を形成し、低圧系 p M I S 領域の半導体基板 1 に n 型不純物を選択的にイオン注入することにより n ウェル N W を形成する。

[0052] 次に、メモリ領域の半導体基板 1 に p 型不純物、例えばボロンを選択的にイオン注入する。これによりメモリ領域の半導体基板 1 に、選択用 n M I S (Q n c) のチャネル形成用の p 型の半導体領域 5 を形成する。同様に、周辺回路領域の低圧系 n M I S 領域、低圧系 p M I S 領域、高圧系 n M I S 領域および高圧系 p M I S 領域のそれぞれの半導体基板 1 に所定の不純物をイオン注入する。これにより、周辺回路領域の低圧系 n M I S 領域、低圧系 p M I S 領域、高圧系 n M I S 領域および高圧系 p M I S 領域のそれぞれの半導体基板 1 にチャネル形成用の半導体領域 D c を形成する。

[0053] 次に、半導体基板 1 に対して酸化処理を施すことにより、半導体基板 1 の主面に、例えば酸化シリコンからなる厚さ 20 nm 程度のゲート絶縁膜 4 A を形成する。続いてメモリ領域、低圧系 n M I S 領域および低圧系 p M I S 領域のゲート絶縁膜 4 A を除去した後、半導体基板 1 に対して酸化処理を施す。これにより、メモリ領域の半導体基板 1 の主面に、例えば酸化シリコンからなる厚さ 1 ~ 5 nm 程度のゲート絶縁膜 (第 1 ゲート絶縁膜) 4 を形成し、同時に、低圧系 n M I S 領域および低圧系 p M I S 領域の半導体基板 1 の主面に、例えば酸化シリコンからなる厚さ 1 ~ 5 nm 程度のゲート絶縁膜 (第 3 ゲート絶縁膜) 4 を形成する。

[0054] 次に、図 7 に示すように、半導体基板 1 の主面上に、例えば非晶質シリコ

ンからなる導電膜 10 を CVD (Chemical Vapor Deposition) 法により堆積した後、メモリ領域、給電領域および容量素子領域の導電膜 10 に n 型不純物をイオン注入法等によって導入することにより、n 型の導電膜 (第 1 導電膜) 10n を形成する。導電膜 10, 10n の厚さは、例えば 140 nm 程度である。続いて、導電膜 10, 10n 上にキャップ絶縁膜 CAP を CVD 法により堆積する。キャップ絶縁膜 CAP は、例えば窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコン、炭化シリコンであり、その厚さは、例えば 50 nm である。

[0055] 次に、図 8 に示すように、メモリ領域、給電領域および容量素子領域のキャップ絶縁膜 CAP および n 型の導電膜 10n をリソグラフィ技術およびドライエッチング技術により順次パターニングする。これにより、メモリ領域および給電領域に、n 型の導電膜 10n からなる選択用 nMIS (Qnc) の選択ゲート電極 CG を形成する。メモリ領域の選択ゲート電極 CG のゲート長は、例えば 100 nm 程度である。同時に、容量素子領域に n 型の導電膜 10n からなる下部電極 10E を形成する。

[0056] 次に、図 9 および図 10 に示すように、給電領域の CG シャント部、容量素子領域および周辺回路領域のキャップ絶縁膜 CAP を除去する。図 9 中、給電領域の選択ゲート電極 CG 上に残されたキャップ絶縁膜 CAP を網掛けのハッチングで示している。ここで、周辺回路領域では、後の工程で形成される低圧系 nMIS、低圧系 pMIS、高圧系 nMIS および高圧系 pMIS のそれぞれのゲート電極上にシリサイド層 3 を形成する必要がある。従って、この工程で周辺回路領域のキャップ絶縁膜 CAP を除去しておく必要がある。また、容量素子領域では、キャップ絶縁膜 CAP を残しておく、下部電極 10E と後の工程で形成される上部電極との間の誘電膜が厚くなりすぎて、容量値が減少してしまう。従って、この工程で容量素子領域のキャップ絶縁膜 CAP を除去しておく必要がある。

[0057] 次に、キャップ絶縁膜 CAP および選択用 nMIS (Qnc) の選択ゲート電極 CG、ならびにレジストパターンをマスクとして、メモリ領域の半導

体基板 1 の主面に n 型不純物、例えばヒ素またはリンをイオン注入することにより、メモリ用 n M I S (Q n m) のチャネル形成用の n 型の半導体領域 8 を形成する。

[0058] 次に、図 1 1 に示すように、半導体基板 1 の主面上に、例えば酸化シリコンからなる絶縁膜（第 4 絶縁膜） 6 b、窒化シリコンからなる電荷蓄積層 C S L および酸化シリコンからなる絶縁膜（第 5 絶縁膜） 6 t を順次形成する。絶縁膜 6 b は、例えば熱酸化法または I S S G 酸化法により形成され、その厚さは、例えば 1 ~ 1 0 n m 程度、電荷蓄積層 C S L は C V D 法により形成され、その厚さは、例えば 5 ~ 2 0 n m 程度、絶縁膜 6 t は、例えば C V D 法または I S S G 酸化法により形成され、その厚さは、例えば 4 ~ 1 5 n m 程度を例示することができる。また、絶縁膜 6 b, 6 t は窒素を含んだ酸化シリコンで形成してもよい。

[0059] 次に、半導体基板 1 の主面上に低抵抗多結晶シリコンからなるメモリゲート形成用の導電膜（第 2 導電膜）を堆積する。この導電膜は C V D 法により形成され、その厚さは、例えば 5 0 ~ 1 0 0 n m 程度である。続いて、リソグラフィ技術およびドライエッチング技術により、この導電膜を異方性のドライエッチング法でエッチバックする。これにより、メモリ領域および給電領域の M G シャント部では、キャップ絶縁膜 C A P および選択用 n M I S (Q n c) の選択ゲート電極 C G からなる積層膜の両側面に絶縁膜 6 b, 6 t および電荷蓄積層 C S L （第 2 ゲート絶縁膜）を介してサイドウォール 1 1 を形成する。同時に、給電領域の C G シャント部では、選択 n M I S (Q n c) の選択ゲート電極 C G の両側面に絶縁膜 6 b, 6 t および電荷蓄積層 C S L を介してサイドウォール 1 1 を形成する。さらに、容量素子領域では、レジストパターン R P をマスクとして下部電極 1 0 E を覆うように上部電極 1 1 E を形成する。

[0060] 次に、図 1 2 および図 1 3 に示すように、レジストパターンをマスクとして、そこから露出するサイドウォール 1 1 をエッチングする。これにより、メモリ領域および給電領域の M G シャント部では、キャップ絶縁膜 C A P お

よび選択用 $n\text{MIS}$ (Q_{nc}) の選択ゲート電極 CG からなる積層膜の片側面のみにメモリ用 $n\text{MIS}$ (Q_{nm}) のメモリゲート電極 MG (サイドウォール 11) を形成する。メモリゲート電極 MG のゲート長は、例えば 65 nm 程度である。同時に、給電領域の CG シャント部では、選択用 $n\text{MIS}$ (Q_{nc}) の選択ゲート電極 CG の片側面のみにメモリ用 $n\text{MIS}$ (Q_{nm}) のメモリゲート電極 MG (サイドウォール 11) を形成する。

[0061] 次に、メモリ領域では、キャップ絶縁膜 CAP および選択ゲート電極 CG からなる積層膜とメモリゲート電極 MG との間、および半導体基板 1 とメモリゲート電極 MG との間の絶縁膜 6b, 6t および電荷蓄積層 CSL を残して、給電領域の MG シャント部では、キャップ絶縁膜 CAP および選択ゲート電極 CG からなる積層膜とメモリゲート電極 MG との間、および素子分離部 STI とメモリゲート電極 MG との間の絶縁膜 6b, 6t および電荷蓄積層 CSL を残して、給電領域の CG シャント部では、選択ゲート電極 CG とメモリゲート電極 MG との間、および素子分離部 STI とメモリゲート電極 MG との間の絶縁膜 6b, 6t および電荷蓄積層 CSL を残して、容量素子領域では、下部電極 10E と上部電極 11E との間の絶縁膜 6b, 6t および電荷蓄積層 CSL を残して、その他の領域の絶縁膜 6b, 6t および電荷蓄積層 CSL を選択的にエッチングする。

[0062] メモリ領域では、キャップ絶縁膜 CAP および選択ゲート電極 CG からなる積層膜の両側面に絶縁膜 6b, 6t および電荷蓄積層 CSL を介してサイドウォール 11 が形成される。このため、メモリゲート電極 MG の半導体基板 1 の主面からの高さは、選択ゲート電極 CG の半導体基板 1 の主面からの高さよりも高く、かつキャップ絶縁膜 CAP の高さと同じか、またはそれより低く形成される。また、絶縁膜 6b, 6t および電荷蓄積層 CSL (第 2 ゲート絶縁膜) は、キャップ絶縁膜 CAP および選択ゲート電極 CG からなる積層膜とメモリゲート電極 MG との間に形成されるため、絶縁膜 6b, 6t および電荷蓄積層 CSL の高さは、選択ゲート電極 CG の半導体基板 1 の主面からの高さよりも高く形成される。

- [0063] 同様に、給電領域のMGシャント部でも、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜の両側面に絶縁膜6b, 6tおよび電荷蓄積層CSLを介してサイドウォール11が形成される。このため、メモリゲート電極MGの半導体基板1の主面からの高さは、選択ゲート電極CGの半導体基板1の主面からの高さよりも高く、かつキャップ絶縁膜CAPの高さと同じか、またはそれより低く形成される。また、絶縁膜6b, 6tおよび電荷蓄積層CSL（第2ゲート絶縁膜）は、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜とメモリゲート電極MGの間に形成されるため、絶縁膜6b, 6tおよび電荷蓄積層CSLの高さは、選択ゲート電極CGの半導体基板1の主面からの高さよりも高く形成される。
- [0064] しかし、給電領域のCGシャント部では、選択ゲート電極CGの両側面に絶縁膜6b, 6tおよび電荷蓄積層CSLを介してサイドウォール11が形成される。このため、メモリゲート電極MGの半導体基板1の主面からの高さは、選択ゲート電極CGの半導体基板1の主面からの高さとはほぼ等しいか、または低くなるように形成される。さらに、給電領域のCGシャント部のメモリゲート電極MGの高さは、メモリ領域のメモリゲート電極MGの半導体基板1の主面からの高さよりも低く形成される。
- [0065] 容量素子領域では、絶縁膜6b, 6tおよび電荷蓄積層CSLを容量絶縁膜（誘電体膜）として、選択用nMIS（Qnc）の選択ゲート電極CGと同一層の導電膜からなる下部電極10Eと、メモリ用nMIS（Qmc）のメモリゲート電極MGと同一層の導電膜からなる上部電極11Eとからなる容量素子が形成される。容量素子は、例えば入力電圧よりも高い電圧を出力する電源回路に使用されるチャージポンプ回路を構成する。チャージポンプ回路は、複数の容量素子の接続状態をスイッチなどを用いて切り替えることによって電圧を上昇させることができる。また、容量素子は、半導体基板1に形成された素子分離部STI上に形成されており、基板部分と下部電極10Eとからなる寄生容量は無視できる程小さいことから、安定して上記の動作を行うことができる。さらに、後の工程で形成される上部電極11Eに達

するコンタクトホール位置および下部電極 10E に達するコンタクトホールの位置が、フォトリソマスクずれ等によりずれたとしても、素子分離部 STI 上にずれるので、コンタクトホールを介して配線と半導体基板 1 とが短絡することもない。

[0066] 次に、図 14 に示すように、周辺回路領域の低圧系 nMIS 領域および高圧系 nMIS 領域の導電膜 10 に n 型不純物をイオン注入法等によって導入することにより、n 型の導電膜 10na を形成する。また、周辺回路領域の低圧系 pMIS 領域および高圧系 pMIS 領域の導電膜 10 に p 型不純物をイオン注入法等によって導入することにより、p 型の導電膜 10p を形成する。

[0067] 次に、図 15 に示すように、周辺回路領域の導電膜 10na, 10p をリソグラフィ技術およびドライエッチング技術によりパターニングすることにより、導電膜 10na からなる低圧系 nMIS のゲート電極 GLn、導電膜 10p からなる低圧系 pMIS のゲート電極 GLp、導電膜 10na からなる高圧系 nMIS のゲート電極 GHn および導電膜 10p からなる高圧系 pMIS のゲート電極 GHp を形成する。活性領域における低圧系 nMIS のゲート電極 GLn および低圧系 pMIS のゲート電極 GLp のゲート長は、例えば 100nm 程度であり、高圧系 nMIS のゲート電極 GHn および高圧系 pMIS のゲート電極 GHp のゲート長は、例えば 400nm 程度である。

[0068] 次に、周辺回路領域の高圧系 nMIS 領域の半導体基板 1 の主面に、レジストパターンをマスクとして n 型不純物、例えばヒ素を半導体基板 1 の主面にイオン注入することにより、周辺回路領域の高圧系 nMIS 領域の半導体基板 1 の主面に n⁻型の半導体領域 13 をゲート電極 GHn に対して自己整合的に形成する。同様に、周辺回路領域の高圧系 pMIS 領域の半導体基板 1 の主面に、レジストパターンをマスクとして p 型不純物、例えばフッ化ボロンを半導体基板 1 の主面にイオン注入することにより、周辺回路領域の高圧系 pMIS 領域の半導体基板 1 の主面に p⁻型の半導体領域 14 をゲート電極

G H p に対して自己整合的に形成する。

[0069] 次に、図 1 6 に示すように、半導体基板 1 の主面上に、例えば酸化シリコンからなる厚さ 1 0 n m 程度の絶縁膜を C V D 法により堆積した後、この絶縁膜を異方性のドライエッチング法でエッチバックする。これにより、メモリ領域および給電領域では、キャップ絶縁膜 C A P および選択ゲート電極 C G からなる積層膜のメモリゲート電極 M G と反対側の側面ならびにメモリゲート電極 M G の側面に、容量素子領域では、上部電極 1 1 E の側面に、周辺回路領域では、低圧系 n M I S のゲート電極 G L n 、低圧系 p M I S のゲート電極 G L p 、高圧系 n M I S のゲート電極 G H n および高圧系 p M I S のゲート電極 G H p の両側面にそれぞれサイドウォール 1 5 を形成する。サイドウォール 1 5 のスペーサ長は、例えば 6 n m 程度である。これにより、選択用 n M I S (Q n c) の選択ゲート電極 C G と半導体基板 1 との間のゲート絶縁膜 4 の露出していた側面、ならびにメモリ用 n M I S (Q n m) のメモリゲート電極 M G と半導体基板 1 との間の絶縁膜 6 b , 6 t および電荷蓄積層 C S L の露出していた側面をサイドウォール 1 5 によって覆うことができる。このサイドウォール 1 5 が形成されることによって、後述の周辺回路領域の低圧系 n M I S 領域に n⁻型の半導体領域を形成する工程および低圧系 p M I S 領域に p⁻型の半導体領域を形成する工程において、n⁻型の半導体領域および p⁻型の半導体領域の実効チャネル長を大きくなり、低圧系 n M I S および低圧系 p M I S の短チャネル効果を抑制することができる。

[0070] 次に、その端部がメモリ領域の選択用 n M I S (Q n c) の選択ゲート電極 C G の上面に位置してメモリ用 n M I S (Q n m) のメモリゲート電極 M G 側の選択ゲート電極 C G の一部およびメモリゲート電極 M G を覆うレジストパターン 1 6 を形成した後、選択ゲート電極 C G 、メモリゲート電極 M G およびレジストパターン 1 6 をマスクとして n 型不純物、例えばヒ素を半導体基板 1 の主面にイオン注入することにより、半導体基板 1 の主面に n⁻型の半導体領域 2 a d を選択ゲート電極 C G に対して自己整合的に形成する。

[0071] 次に、図 1 7 に示すように、レジストパターン 1 6 を除去した後、その端

部がメモリ領域の選択用 $n\text{MIS}$ (Q_{nc}) の選択ゲート電極 CG の上面に位置してメモリ用 $n\text{MIS}$ (Q_{nm}) のメモリゲート電極 MG と反対側の選択ゲート電極 CG の一部を覆うレジストパターン 17 を形成した後、選択ゲート電極 CG 、メモリゲート電極 MG およびレジストパターン 17 をマスクとして n 型不純物、例えばヒ素を半導体基板 1 の主面にイオン注入することにより、半導体基板 1 の主面に n^- 型の半導体領域 2as をメモリゲート電極 MG に対して自己整合的に形成する。

[0072] ここでは、先に n^- 型の半導体領域 2ad を形成し、その後 n^- 型の半導体領域 2as を形成したが、先に n^- 型の半導体領域 2as を形成し、その後 n^- 型の半導体領域 2ad を形成してもよい。また、 n^- 型の半導体領域 2ad を形成する n 型不純物のイオン注入に続いて、 p 型不純物、例えばボロンを半導体基板 1 の主面にイオン注入し、 n^- 型の半導体領域 2ad の下部を囲むように p 型の半導体領域を形成してもよい。

[0073] 次に、図 18 に示すように、周辺回路領域の低圧系 $n\text{MIS}$ 領域の半導体基板 1 の主面に、レジストパターンをマスクとして n 型不純物、例えばヒ素を半導体基板 1 の主面にイオン注入することにより、周辺回路領域の低圧系 $n\text{MIS}$ 領域の半導体基板 1 の主面に n^- 型の半導体領域 18 をゲート電極 GL_n に対して自己整合的に形成する。同様に、周辺回路領域の低圧系 $p\text{MIS}$ 領域の半導体基板 1 の主面に、レジストパターンをマスクとして p 型不純物、例えばフッ化ボロンを半導体基板 1 の主面にイオン注入することにより、周辺回路領域の低圧系 $p\text{MIS}$ 領域の半導体基板 1 の主面に p^- 型の半導体領域 19 をゲート電極 GL_p に対して自己整合的に形成する。

[0074] 次に、図 19 に示すように、半導体基板 1 の主面上に、例えば酸化シリコン膜 7b、窒化シリコン膜 7m および酸化シリコン膜 7t を CVD 法により順次堆積し、これらを異方性のドライエッチング法でエッチバックする。これにより、メモリ領域および給電領域では、キャップ絶縁膜 CAP および選択ゲート電極 CG からなる積層膜のメモリゲート電極 MG と反対側の側面ならびにメモリゲート電極 MG の側面に、容量素子領域では、上部電極 11E

の側面に、周辺回路領域では、低圧系 $n\text{MIS}$ のゲート電極 GL_n 、低圧系 $p\text{MIS}$ のゲート電極 GL_p 、高圧系 $n\text{MIS}$ のゲート電極 GH_n および高圧系 $p\text{MIS}$ のゲート電極 GH_p の両側面にそれぞれサイドウォール SW を形成する。酸化シリコン膜 $7b$ の厚さは、例えば 20nm 程度、窒化シリコン膜 $7m$ の厚さは、例えば 25nm 程度および酸化シリコン膜 $7t$ の厚さは、例えば 50nm 程度である。

[0075] 次に、図 20 に示すように、周辺回路領域の低圧系 $p\text{MIS}$ 領域および高圧系 $p\text{MIS}$ 領域の半導体基板 1 の主面に、レジストパターン 20 をマスクとして p 型不純物、例えばボロンまたはフッ化ボロンを半導体基板 1 の主面にイオン注入することにより、低圧系 $p\text{MIS}$ のゲート電極 GL_p および高圧系 $p\text{MIS}$ のゲート電極 GH_p に対して p^+ 型の半導体領域 21 を自己整合的に形成する。これにより、 p^- 型の半導体領域 14 と p^+ 型の半導体領域 21 とからなる高圧系 $p\text{MIS}$ のソース・ドレイン領域 SD が形成され、 p^- 型の半導体領域 19 と p^+ 型の半導体領域 21 とからなる低圧系 $p\text{MIS}$ のソース・ドレイン領域 SD が形成される。

[0076] 次に、図 21 に示すように、メモリ領域、ならびに周辺回路領域の低圧系 $n\text{MIS}$ 領域および高圧系 $n\text{MIS}$ 領域の半導体基板 1 の主面に、レジストパターン 22 をマスクとして n 型不純物、例えばヒ素およびリンを半導体基板 1 の主面にイオン注入することにより、メモリ領域では、 n^+ 型の半導体領域 2b を選択用 $n\text{MIS}$ (Q_{nc}) の選択ゲート電極 CG およびメモリ用 $n\text{MIS}$ (Q_{nm}) のメモリゲート電極 MG に対して自己整合的に形成し、周辺回路領域では、低圧系 $n\text{MIS}$ のゲート電極 GL_n および高圧系 $n\text{MIS}$ のゲート電極 GH_n に対して n^+ 型の半導体領域 23 を自己整合的に形成する。これにより、メモリ領域では、 n^- 型の半導体領域 2ad および n^+ 型の半導体領域 2b からなるドレイン領域 Dr_m 、 n^- 型の半導体領域 2as および n^+ 型の半導体領域 2b からなるソース領域 Sr_m が形成される。また、周辺回路領域では、 n^- 型の半導体領域 13 と n^+ 型の半導体領域 23 とからなる高圧系 $n\text{MIS}$ のソース・ドレイン領域 SD が形成され、 n^- 型の半導体領域

18と n^+ 型の半導体領域23とからなる低圧系 n MISのソース・ドレイン領域SDが形成される。

[0077] 次に、図22に示すように、メモリ領域では、メモリ用 n MIS (Q_{nm}) のメモリゲート電極MGの上面および n^+ 型の半導体領域2bの上面に、給電領域では、MGシャント部のメモリ用 n MIS (Q_{nm}) のメモリゲート電極MGの上面、ならびにCGシャント部の選択用 n MIS (Q_{nc}) の選択ゲート電極CGの上面およびメモリ用 n MIS (Q_{nm}) のメモリゲート電極MGの上面に、周辺回路領域では、低圧系 n MISのゲート電極 GL_n の上面および n^+ 型の半導体領域23の上面、低圧系 p MISのゲート電極 GL_p の上面および p^+ 型の半導体領域21の上面、高圧系 n MISのゲート電極 GH_n の上面および n^+ 型の半導体領域23の上面、ならびに高圧系 p MISのゲート電極 GH_p の上面および p^+ 型の半導体領域21の上面に、容量素子領域では、上部電極11Eの選択ゲート電極CGおよびサイドウォールSWとは平面的に重ならない部分の上面にシリサイド層3がシリサイド (Salicide: Self Align silicide) プロセスにより形成される。シリサイド層3としては、例えばニッケルシリサイドまたはコバルトシリサイド等が使用される。

[0078] シリサイド層3を形成することにより、シリサイド層3と、その上部に形成されるプラグ等との接触抵抗を低減することができる。また、メモリ領域では、メモリ用 n MIS (Q_{nm}) のメモリゲート電極MG、ソース領域 S_{rm} およびドレイン領域 D_{rm} 自身の抵抗を低減することができる。さらに、周辺回路領域では、低圧系 n MISのゲート電極 GL_n 、低圧系 p MISのゲート電極 GL_p 、高圧系 n MISのゲート電極 GH_n および高圧系 p MISのゲート電極 GH_p 自身の抵抗やソース・ドレイン領域SD自身の抵抗を低減することができる。

[0079] 次に、図23に示すように、半導体基板1の主面上に、絶縁膜として窒化シリコン膜9aをCVD法により堆積する。この窒化シリコン膜9aは、後述のコンタクトホールを形成する際に、エッチングストッパとして機能する

。

[0080] 続いて図24に示すように、絶縁膜として酸化シリコン膜9bをCVD法により堆積して、窒化シリコン膜9aおよび酸化シリコン膜9bからなる層間絶縁膜9を形成する。

[0081] 次に、図25および図26に示すように、メモリ領域では、ドレイン領域Dr_m上のシリサイド層3に達するコンタクトホール（第3コンタクトホール）CNTを層間絶縁膜9に形成する。同時に、給電領域では、CGシャント部の選択用nMIS（Q_{nc}）の選択ゲート電極CG上のシリサイド層3に達するコンタクトホール（第2コンタクトホール）CCを形成し、MGシャント部のメモリ用nMIS（Q_{nm}）のメモリゲート電極MG上のシリサイド層3に達するコンタクトホール（第1コンタクトホール）CMを層間絶縁膜9に形成する。MGシャント部に形成されたコンタクトホールCMは、メモリゲート電極MGとコンタクトホールCMとの位置合わせマージンや寸法ばらつきマージンなどを考慮して、選択ゲート電極CG上に乗り上げた形状となっている。しかし、選択ゲート電極CGの上面にはキャップ絶縁膜CAPが形成されているので、コンタクトホールCMは、選択ゲート電極CGと接続することはない。

[0082] さらに、周辺回路領域では、高圧系nMIS、高圧系pMIS、低圧系nMISおよび低圧系pMISにおいて、それぞれのゲート電極（GH_n、GH_p、GL_n、GL_p）上およびソース・ドレイン領域SD上のシリサイド層3に達するコンタクトホールCAを形成する。図25では、説明簡略化のため、低圧系nMISおよび低圧系pMISのソース・ドレイン領域SDに達するコンタクトホールCAを例示している。

[0083] また、容量素子領域では、上部電極11Eと下部電極10Eとが平面的に重ならない部分において、上部電極11Eおよび下部電極10Eのそれぞれの上面のシリサイド層3に達するコンタクトホールCBを形成する。図25では、説明簡略化のため、上部電極11Eに達するコンタクトホールCBを例示している。

[0084] 次に、コンタクトホールCNT内にプラグPLG（第3プラグ）、コンタクトホールCC内にプラグPC（第2プラグ）、コンタクトホールCM内にプラグPM（第1プラグ）、コンタクトホールCA内にプラグPA、コンタクトホールCB内にプラグPBを形成する。プラグPLG、PC、PM、PA、PBは、例えばチタンと窒化チタンとの積層膜からなる相対的に薄いバリア膜、およびそのバリア膜に包まれるように形成されたタングステンまたはアルミニウム等からなる相対的に厚い導電膜からなる積層膜によって構成される。その後、層間絶縁膜9上に、例えば銅またはアルミニウムを主成分とする第1層配線（図示は省略）を形成することによって、メモリセル、容量素子、ならびに周辺回路領域に形成される低圧系nMIS、低圧系pMIS、高圧系nMISおよび高圧系pMISが略完成する。

[0085] これ以降は、通常の半導体装置の製造工程を経て、不揮発性メモリを有する半導体装置を製造する。

[0086] （実施の形態2）

前述の実施の形態1と相違する点は、MGシャント部の選択ゲート電極CGとキャップ絶縁膜CAPとの間に熱酸化膜が形成されていることである。すなわち、前述した実施の形態1では、MGシャント部の選択ゲート電極CGに接してキャップ絶縁膜CAPが形成されている。しかし、本実施の形態2では、MGシャント部の選択ゲート電極CGと、例えば窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコン、炭化シリコンからなるキャップ絶縁膜CAPとの間に、例えば厚さ5～10nm程度の酸化シリコンからなる熱酸化膜が形成されている。熱酸化膜は選択ゲート電極CGを構成する導電膜10nに対して熱酸化処理を施すことにより形成され、キャップ絶縁膜CAPはCVD法により形成されるので、熱酸化膜のエッチング速度とキャップ絶縁膜CAPのエッチング速度とを互いに異なる値とすることができる。従って、MGシャント部においてメモリゲート電極MG上のシリサイド層3に達するコンタクトホールCMを層間絶縁膜9に形成する際に、窒化シリコン膜9aのオーバーエッチングにより選択ゲート電極CG上のキャップ絶縁

膜CAPが削れても、この熱酸化膜をエッチングストップ膜として機能させることができるので、コンタクトホールCMが選択ゲート電極CGに達するのを防いで、コンタクトホールCM内のプラグPMと選択ゲート電極CGとの電氣的な接続を防ぐことができる。

[0087] 特に、キャップ絶縁膜CAPを窒化シリコンで形成した場合は、キャップ絶縁膜CAPと窒化シリコン膜9aとは窒化シリコンにより構成されることになるので、コンタクトホールCMを形成する際のエッチングによってさらにキャップ絶縁膜CAPが削れることが想定される。しかし、この場合でも、窒化シリコンと酸化シリコンとはエッチングの際の選択比を得ることが可能であるため、選択ゲート電極CG上に酸化シリコンからなる熱酸化膜を形成することによって、オーバーエッチングにより選択ゲート電極CG上のキャップ絶縁膜CAPが削れた場合でも、熱酸化膜がエッチングストップ膜として効果的に働くことになる。

[0088] 次に、本発明の実施の形態2による不揮発性メモリセルを有する半導体装置の製造方法を図28～図32を用いて工程順に説明する。図28～図32は半導体装置の製造工程中におけるメモリ領域、給電領域（MGシャント部およびCGシャント部）、容量素子領域および周辺回路領域（低圧系nMIS領域、低圧系pMIS領域、高圧系nMIS領域および高圧系pMIS領域）の要部断面図である。なお、メモリ領域の半導体基板1の主面、ならびに低圧系nMIS領域および低圧系pMIS領域の半導体基板1の主面にゲート絶縁膜4を形成するまでの製造過程は、前述した実施の形態1と同様であるためその説明を省略する。

[0089] 次に、図28に示すように、半導体基板1の主面上に、例えば非晶質シリコンからなる導電膜10をCVD法により堆積した後、メモリ領域、給電領域および容量素子領域の導電膜10にn型不純物をイオン注入法等によって導入することにより、n型の導電膜10nを形成する。続いて、半導体基板1に対して熱酸化処理を施すことにより、導電膜10、10nの表面に熱酸化膜（第6絶縁膜）25を形成する。熱酸化膜25は、例えば酸化シリコン

であり、その厚さは、例えば5～10 nmである。続いて、導電膜10, 10 nm上にキャップ絶縁膜CAPをCVD法により堆積する。キャップ絶縁膜CAPは、例えば窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコン、炭化シリコンであり、その厚さは、例えば50 nmである。

[0090] 次に、図29に示すように、メモリ領域、給電領域および容量素子領域のキャップ絶縁膜CAP、熱酸化膜25およびn型の導電膜10 nmをリソグラフィ技術およびドライエッチング技術により順次パターニングする。これにより、メモリ領域および給電領域に、n型の導電膜10 nmからなる選択用nMIS (Qnc) の選択ゲート電極CGを形成する。同時に、容量素子領域にn型の導電膜10 nmからなる下部電極10Eを形成する。

[0091] 次に、図30に示すように、給電領域のCGシャント部、容量素子領域および周辺回路領域のキャップ絶縁膜CAPを除去する。ここで、キャップ絶縁膜CAPを除去する際に、給電領域のCGシャント部、容量素子領域および周辺回路領域の熱酸化膜25の一部が除去される。

[0092] このとき、キャップ絶縁膜CAPを窒化シリコンで形成すると、窒化シリコンと非晶質または多結晶シリコンからなるからなる導電膜10, 10 nmとはドライエッチングの際の選択比を得ることが困難であることから、キャップ絶縁膜CAPを除去する際に、導電膜10, 10 nmもエッチングされる恐れがある。しかし、本実施の形態2においては、導電膜10, 10 nm上に熱酸化膜25が形成されており、窒化シリコンと酸化シリコンとはドライエッチングの際の選択比を得ることが可能であるので、この熱酸化膜25がキャップ絶縁膜CAPをエッチングする際のエッチングストップ膜として機能する。

[0093] 次に、キャップ絶縁膜CAPおよび選択用nMIS (Qnc) の選択ゲート電極CG、ならびにレジストパターンをマスクとして、メモリ領域の半導体基板1の主面にn型不純物、例えばヒ素またはリンをイオン注入することにより、メモリ用nMIS (Qnm) のチャネル形成用のn型の半導体領域8を形成する。

[0094] 次に、図 3 1 に示すように、給電領域の CG シャント部、容量素子領域および周辺回路領域に残存している熱酸化膜 2 5 を完全に除去する。周辺回路領域では、後の工程で形成される低圧系 n M I S、低圧系 p M I S、高圧系 n M I S および高圧系 p M I S のそれぞれのゲート電極上にシリサイド層 3 を形成する必要がある。従って、この工程で周辺回路領域の熱酸化膜 2 5 を除去しておく必要がある。また、容量素子領域では、熱酸化膜 2 5 を残しておく、下部電極 1 0 E と後の工程で形成される上部電極との間の誘電膜が厚くなりすぎて、容量値が減少してしまう。従って、この工程で容量素子領域の熱酸化膜 2 5 を除去しておく必要がある。

[0095] 次に、半導体基板 1 の主面上に、例えば酸化シリコンからなる絶縁膜 6 b、窒化シリコンからなる電荷蓄積層 C S L および酸化シリコンからなる絶縁膜 6 t を順次形成した後、メモリ領域および給電領域の MG シャント部では、キャップ絶縁膜 C A P および選択用 n M I S (Q n c) の選択ゲート電極 C G からなる積層膜の両側面に絶縁膜 6 b、6 t および電荷蓄積層 C S L を介してサイドウォール 1 1 を形成する。同時に、給電領域の CG シャント部では、選択 n M I S (Q n c) の選択ゲート電極 C G の両側面に絶縁膜 6 b、6 t および電荷蓄積層 C S L を介してサイドウォール 1 1 を形成する。さらに、容量素子領域では、レジストパターン R P をマスクとして下部電極 1 0 E を覆うように上部電極 1 1 E を形成する。

[0096] 次に、前述した実施の形態 1 と同様の製造工程（図 1 2、図 1 3 参照）に従って、メモリ領域および給電領域の MG シャント部では、キャップ絶縁膜 C A P および選択用 n M I S (Q n c) の選択ゲート電極 C G からなる積層膜の片側面のみにメモリ用 n M I S (Q n m) のメモリゲート電極 MG（サイドウォール 1 1）を形成し、同時に、給電領域の CG シャント部では、選択用 n M I S (Q n c) の選択ゲート電極 C G の片側面のみにメモリ用 n M I S (Q n m) のメモリゲート電極 MG（サイドウォール 1 1）を形成する。

[0097] 次に、前述した実施の形態 1 と同様の製造工程（図 1 4、図 1 5 参照）に

従って、周辺回路領域の低圧系 $nMIS$ 領域および高圧系 $nMIS$ 領域の導電膜 10 を n 型の導電膜 10_{na} とし、周辺回路領域の低圧系 $pMIS$ 領域および高圧系 $pMIS$ 領域の導電膜 10 を p 型の導電膜 10_p にとした後、周辺回路領域の導電膜 10_{na}、10_p をリソグラフィ技術およびドライエッチング技術によりパターニングすることにより、導電膜 10_{na} からなる低圧系 $nMIS$ のゲート電極 GL_n 、導電膜 10_p からなる低圧系 $pMIS$ のゲート電極 GL_p 、導電膜 10_{na} からなる高圧系 $nMIS$ のゲート電極 GH_n および導電膜 10_p からなる高圧系 $pMIS$ のゲート電極 GH_p を形成する。

[0098] 次に、前述した実施の形態 1 と同様の製造工程（図 15～図 22 参照）に従って、メモリ領域では、 n^- 型の半導体領域 2_{ad} および n^+ 型の半導体領域 2_b からなるドレイン領域 Dr_m 、 n^- 型の半導体領域 2_{as} および n^+ 型の半導体領域 2_b からなるソース領域 Sr_m が形成し、周辺回路領域では、 n^- 型の半導体領域 1₃ と n^+ 型の半導体領域 2₃ とからなる高圧系 $nMIS$ のソース・ドレイン領域 SD を形成し、 n^- 型の半導体領域 1₈ と n^+ 型の半導体領域 2₃ とからなる低圧系 $nMIS$ のソース・ドレイン領域 SD を形成する。さらに、所定の領域にシリサイド層 3 を形成する。

[0099] 次に、前述した実施の形態 1 と同様の製造工程（図 23、図 24 参照）に従って、半導体基板 1 の主面上に、絶縁膜として窒化シリコン膜 9_a を CVD 法により堆積する。この窒化シリコン膜 9_a は、後述のコンタクトホールを形成する際に、エッチングストッパとして機能する。続いて、絶縁膜として酸化シリコン膜 9_b を CVD 法により堆積して、窒化シリコン膜 9_a および酸化シリコン膜 9_b からなる層間絶縁膜 9 を形成する。

[0100] 次に、図 32 に示すように、リソグラフィ技術およびドライエッチング技術により、酸化シリコン膜 9_b および窒化シリコン膜 9_a を順次エッチングして、メモリ領域では、ドレイン領域 Dr_m 上のシリサイド層 3 に達するコンタクトホール CNT を層間絶縁膜 9 に形成する。同時に、給電領域では、CG シャント部の選択用 $nMIS$ (Q_{nc}) の選択ゲート電極 CG 上のシリ

サイド層 3 に達するコンタクトホール C C を形成し、M G シャント部のメモリ用 n M I S (Q n m) のメモリゲート電極 M G 上のシリサイド層 3 に達するコンタクトホール C M を層間絶縁膜 9 に形成する。

[0101] M G シャント部に形成されたコンタクトホール C M は、メモリゲート電極 M G とコンタクトホール C M との位置合わせマージンや寸法ばらつきマージンなどを考慮して、選択ゲート電極 C G 上に乗り上げた形状となっている。しかし、選択ゲート電極 C G の上面にはキャップ絶縁膜 C A P が形成されているので、コンタクトホール C M は選択ゲート電極 C G と接続することはない。さらに、コンタクトホール C M を形成する際には、層間絶縁膜 9 を構成する酸化シリコン膜 9 b および窒化シリコン膜 9 a を順次エッチングするため、窒化シリコン膜 9 a のオーバーエッチング時にキャップ絶縁膜 C A P がエッチングされることも考えられる。しかし、M G シャント部の選択ゲート部 C G とキャップ絶縁膜 C A P との間には、キャップ絶縁膜 C A P のエッチングストップ膜として機能する熱酸化膜 2 5 が形成されているので、コンタクトホール C M は選択ゲート電極 C G と接続することはない。

[0102] また、周辺回路領域では、高圧系 n M I S 、高圧系 p M I S 、低圧系 n M I S および低圧系 p M I S において、それぞれのゲート電極 (G H n 、 G H p 、 G L n 、 G L p) 上およびソース・ドレイン領域 S D 上のシリサイド層 3 に達するコンタクトホール C A を形成する。図 3 2 では、説明簡略化のため、低圧系 n M I S および低圧系 p M I S のソース・ドレイン領域 S D に達するコンタクトホール C A を例示している。

[0103] また、容量素子領域では、上部電極 1 1 E と下部電極 1 0 E とが平面的に重ならない部分において、上部電極 1 1 E および下部電極 1 0 E のそれぞれの上面のシリサイド層 3 に達するコンタクトホール C B を形成する。図 3 2 では、説明簡略化のため、上部電極 1 1 E に達するコンタクトホール C B を例示している。

[0104] 次に、コンタクトホール C N T 内にプラグ P L G (第 3 プラグ) 、コンタクトホール C C 内にプラグ P C (第 2 プラグ) 、コンタクトホール C M 内に

プラグPM（第1プラグ）、コンタクトホールCA内にプラグPA、コンタクトホールCB内にプラグPBを形成する。その後、層間絶縁膜9上に、例えば銅またはアルミニウムを主成分とする第1層配線（図示は省略）を形成することによって、メモリセル、容量素子、ならびに周辺回路領域に形成される低圧系nMIS、低圧系pMIS、高圧系nMISおよび高圧系nMISが略完成する。

[0105] これ以降は、通常の半導体装置の製造工程を経て、不揮発性メモリを有する半導体装置を製造する。

[0106] （実施の形態3）

前述の実施の形態1と相違する点は、メモリ領域のドレイン領域Dr_m上のシリサイド層3に達するコンタクトホールCNTが、選択ゲート電極CGの上面に形成されたキャップ絶縁膜CAP上に乗り上げた形状となっていることである。

[0107] 本実施の形態3による不揮発性メモリセルの構造の一例を図33および図34によって説明する。図33はチャネルをメモリゲート電極に対して交差する方向に沿って切断した不揮発性メモリセルの要部断面図、図34はメモリ領域の要部平面図である。

[0108] 図33および図34に示すように、前述した実施の形態1と同様に（図1参照）、半導体基板1の主面の活性領域にメモリセルMC2の選択用nMIS（Q_{nc}）とメモリ用nMIS（Q_{nm}）とが配置されている。

[0109] メモリセルMC2は層間絶縁膜9により覆われている。層間絶縁膜9は第3絶縁膜からなり、例えば窒化シリコン膜9aおよび酸化シリコン膜9bからなる積層膜によって構成されている。層間絶縁膜9にはドレイン領域Dr_mに達するコンタクトホール（第4コンタクトホール）CNTSが形成されている。

[0110] 本実施の形態3によるメモリセルにおいては、層間絶縁膜9に形成されるコンタクトホールCNTSの径が、ドレイン領域Dr_mを挟んで隣接する選択ゲート電極CG間の距離よりも大きくなっているため、このコンタクトホ

ールCNTSは、隣接する選択ゲート電極CG上のそれぞれに乗り上げた形状となっている。従って、例えば前述した実施の形態1に示すメモリセル（選択ゲート電極CG上にコンタクトホールCNTが乗り上げていないメモリセル）MCに比べて、本実施の形態3に示すメモリセル（選択ゲート電極CG上にコンタクトホールCNTSが乗り上げたメモリセル）MC2の方が、ドレイン領域Dr_mとコンタクトホールCNTSとの位置合わせマージンを考慮しなくてもよいので、ドレイン領域Dr_mを挟んで隣接する選択ゲート電極CGの距離を短くすることができる。これにより、メモリセルMC2のセルサイズを縮小することができる。なお、選択ゲート電極CGの上面にはキャップ絶縁膜CAPが形成されているので、前述した実施の形態1のMGシャント部に形成されたコンタクトホールCMと同様に、コンタクトホールCNTSは、選択ゲート電極CGと接続することはない。

[0111] 例えば、前述した実施の形態1に示した選択ゲート電極CG上にコンタクトホールCNTが乗り上げていないメモリセルMCでは、サイドウォールSWの幅を50nm、コンタクトホールCNTがドレイン領域Dr_mに接続している部分の径を80nm、ドレイン領域Dr_mとコンタクトホールCNTSとの位置合わせマージンを±30nmとすると、ドレイン領域Dr_mを挟んで隣接する選択ゲート電極CGの距離としては240nmが必要となる。これに対して、本実施の形態3に示した選択ゲート電極CG上にコンタクトホールCNTSが乗り上げたメモリセルMC2では、サイドウォールSWの幅を50nmとすると、ドレイン領域Dr_mとコンタクトホールCNTSとの位置合わせマージンを考慮しなくてもよいので、コンタクトホールCNTSがドレイン領域Dr_mに接続している部分の図33に示される断面方向の長さを例えば50nmと短くすることができて、ドレイン領域Dr_mを挟んで隣接する選択ゲート電極CGの距離を150nmとすることができる。

[0112] 図35に、本実施の形態3によるコンタクトホールCNTSの第1の変形例を示す。図35は、前述の図33に示した要部断面図と同じ箇所の要部断面図である。

- [0113] 前述した図 3 3 では、コンタクトホール CNT S は、ドレイン領域 D r m を挟んで隣接する 2 つのメモリセル MC 2 のそれぞれの選択ゲート電極 C G の上面に形成されたキャップ絶縁膜 C A P 上に乗り上げている。これに対して、図 3 5 に示す第 1 の変形例では、コンタクトホール CNT S の一方は、ドレイン領域 D r m を挟んで隣接する 2 つのメモリセル MC 2 のうち、一方の選択ゲート電極 C G の上面に形成されたキャップ絶縁膜 C A P 上に乗り上げている。このように、コンタクトホール CNT S が選択ゲート電極 C G の一方側にしか乗り上げない形状であっても、コンタクトホール CNT S の他方はサイドウォール S W 上に乗り上がっているため、コンタクトホール CNT S は、選択ゲート電極 C G と接続することはない。
- [0114] 図 3 6 に、本実施の形態 3 によるコンタクトホール CNT S の第 2 の変形例を示す。図 3 6 は、前述の図 3 4 に示した要部平面図と同じ箇所の要部平面図である。
- [0115] 前述した図 3 4 では、長方形のコンタクトホール CNT S を設計しており、実際に形成されるコンタクトホール CNT S の平面形状は楕円形となる。これに対して、図 3 6 に示す第 2 の変形例では、正方形のコンタクトホール CNT S を設計し、実際に形成されるコンタクトホール CNT S の平面形状を真円形としている。これにより、隣接する選択ゲート電極 C G の間隔をさらに狭くすることができる。
- [0116] 図 3 7 に、本実施の形態 3 によるコンタクトホール CNT S の第 3 の変形例を示す。図 3 7 は、前述の図 3 3 に示した要部断面図と同じ箇所の要部断面図である。
- [0117] 前述した図 3 3 では、選択ゲート電極 C G に接してキャップ絶縁膜 C A P が形成されている。これに対して図 3 7 に示す第 3 の変形例では、選択ゲート電極 C G とキャップ絶縁膜 C A P との間に熱酸化膜 2 5 が形成されている。熱酸化膜 2 5 は、例えば厚さ 5 ~ 10 nm 程度の酸化シリコンからなり、熱酸化膜のエッチング速度とキャップ絶縁膜 C A P のエッチング速度とを互いに異なる値とすることができる。従って、窒化シリコン膜 9 a および酸化

シリコン膜 9 b との積層膜からなる層間絶縁膜 9 にコンタクトホール C N T S を形成する際に、窒化シリコン膜 9 a のオーバーエッチングによりキャップ絶縁膜 C A P が削れても、この熱酸化膜 2 5 をエッチングストップ膜として機能させることができるので、コンタクトホール C N T S が選択ゲート電極 C G に達するのを防いで、コンタクトホール C N T S 内のプラグ P L G と選択ゲート電極 C G との電氣的な接続を防ぐことができる。

[0118] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

[0119] 本発明は、絶縁膜を介して隣接して形成される第 1 ゲート電極と第 2 ゲート電極とを備える半導体素子を有する半導体装置に利用することができる。特に 2 トランジスタ構成のスプリットゲート構造のメモリセルを有する半導体装置に利用することができる。

請求の範囲

- [請求項1] メモリセルを有する半導体装置であって、前記メモリセルは、半導体基板上に形成された第1絶縁膜からなる第1ゲート絶縁膜と、
- 、
- 前記第1ゲート絶縁膜上に形成された第1導電膜からなる選択ゲート電極と、
- 前記選択ゲート電極上に形成された第2絶縁膜からなるキャップ絶縁膜と、
- 前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の片側面にサイドウォール状に形成された第2導電膜からなるメモリゲート電極と、
- 前記キャップ絶縁膜および前記選択ゲート電極からなる前記積層膜と前記メモリゲート電極との間に形成され、かつ、前記メモリゲート電極と前記半導体基板との間に形成された第2ゲート絶縁膜とを有し、
- 、
- 前記メモリゲート電極に電圧を供給する第1プラグが形成された領域では、前記半導体基板、前記キャップ絶縁膜および前記メモリゲート電極上に第3絶縁膜からなる層間絶縁膜があり、前記層間絶縁膜に形成された第1コンタクトホールに第3導電膜を埋め込んで形成された前記第1プラグは、前記メモリゲート電極と電氣的に接続し、かつ、前記キャップ絶縁膜の一部を覆うように形成されていることを特徴とする半導体装置。
- [請求項2] 請求項1に記載の半導体装置において、前記キャップ絶縁膜は、窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコンまたは炭化シリコンであることを特徴とする半導体装置。
- [請求項3] 請求項1に記載の半導体装置において、前記第2ゲート絶縁膜は、第4絶縁膜、前記第4絶縁膜上に形成された電荷蓄積層および前記電荷蓄積層上に形成された第5絶縁膜からなる積層膜によって形成され

ていることを特徴とする半導体装置。

[請求項4] 請求項3に記載の半導体装置において、前記電荷蓄積層は、窒化シリコンであることを特徴とする半導体装置。

[請求項5] 請求項1に記載の半導体装置において、前記メモリセルの周辺にはMISFETが形成されており、前記MISFETは、

前記半導体基板上に形成された前記第1絶縁膜からなる第3ゲート絶縁膜と、

前記第3ゲート絶縁膜上に形成され、前記第1導電膜からなるゲート電極とを有することを特徴とする半導体装置。

[請求項6] 請求項1に記載の半導体装置において、前記選択ゲート電極に電圧を供給する第2プラグが形成された領域では、前記キャップ絶縁膜は除去されており、前記層間絶縁膜に形成された第2コンタクトホールに前記第3導電膜を埋め込んで形成された前記第2プラグは、前記選択ゲート電極の上面に形成されたシリサイド層と電氣的に接続していることを特徴とする半導体装置。

[請求項7] 請求項1に記載の半導体装置において、前記メモリセルが形成された領域では、前記選択ゲート電極の前記半導体基板の主面からの高さは、前記メモリゲート電極の前記半導体基板の主面からの高さよりも低いことを特徴とする半導体装置。

[請求項8] 請求項1に記載の半導体装置において、前記メモリセルが形成された領域および前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域における前記メモリゲート電極の前記半導体基板の主面からの高さは、前記選択ゲート電極に電圧を供給する前記第2プラグが形成された領域における前記メモリゲート電極の前記半導体基板の主面からの高さよりも高いことを特徴とする半導体装置。

[請求項9] 請求項1に記載の半導体装置において、前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域および前記選択ゲート電極に電圧を供給する前記第2プラグが形成された領域では、前記半

導体基板に絶縁膜からなる素子分離部が形成されていることを特徴とする半導体装置。

[請求項10] 請求項1に記載の半導体装置において、さらに、前記メモリセルは、前記選択ゲート電極の前記メモリゲート電極と反対側の前記半導体基板にドレイン領域を有し、

前記メモリセルが形成された領域では、前記半導体基板、前記キャップ絶縁膜および前記メモリゲート電極上に前記第3絶縁膜からなる前記層間絶縁膜があり、前記層間絶縁膜に形成された第3コンタクトホールに前記第3導電膜を埋め込んで形成された第3プラグは、前記ドレイン領域と電氣的に接続しており、

前記第3プラグは、前記キャップ絶縁膜上にも形成されていることを特徴とする半導体装置。

[請求項11] 請求項10に記載の半導体装置において、前記ドレイン領域を共有して2つの前記メモリセルがチャネル方向に対称的に配置されており、

前記第3プラグは、前記2つのメモリセルのそれぞれの前記キャップ絶縁膜上に形成されていることを特徴とする半導体装置。

[請求項12] 請求項10に記載の半導体装置において、前記第3コンタクトホールは平面形状が楕円形または真円であることを特徴とする半導体装置。

[請求項13] 請求項10に記載の半導体装置において、前記ドレイン領域上にはシリサイド層が形成され、前記第3プラグは前記シリサイド層と接続していることを特徴とする半導体装置。

[請求項14] 請求項1に記載の半導体装置において、前記メモリセルが形成された領域および前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域では、前記選択ゲート電極と前記キャップ絶縁膜との間に、第6絶縁膜からなる熱酸化膜が形成されていることを特徴とする半導体装置。

- [請求項15] 請求項 1 4 に記載の半導体装置において、前記第 6 絶縁膜は酸化シリコンであることを特徴とする半導体装置。
- [請求項16] メモリセルおよび容量素子を有する半導体装置において、
前記メモリセルは、
半導体基板上に形成された第 1 絶縁膜からなる第 1 ゲート絶縁膜と、
、
前記第 1 ゲート絶縁膜上に形成された第 1 導電膜からなる選択ゲート電極と、
前記選択ゲート電極上に形成された第 2 絶縁膜からなるキャップ絶縁膜と、
前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の片側面にサイドウォール状に形成された第 2 導電膜からなるメモリゲート電極と、
前記キャップ絶縁膜および前記選択ゲート電極からなる前記積層膜と前記メモリゲート電極との間に形成され、かつ、前記メモリゲート電極と前記半導体基板との間に形成された第 2 ゲート絶縁膜とを有し、
、
前記容量素子は、
前記第 1 導電膜からなる下部電極と、
前記下部電極上に形成され、前記第 2 ゲート絶縁膜と同一層の膜である誘電体膜と、
前記誘電体膜上に形成された前記第 2 導電膜からなる上部電極とを有し、
前記容量素子は前記キャップ絶縁膜を有していないことを特徴とする半導体装置。
- [請求項17] 請求項 1 6 に記載の半導体装置において、前記容量素子は、チャージポンプ回路に用いられることを特徴とする半導体装置。
- [請求項18] 請求項 1 6 に記載の半導体装置において、前記メモリゲート電極に

電圧を供給する第1プラグが形成された領域では、前記半導体基板、前記キャップ絶縁膜および前記メモリゲート電極上に第3絶縁膜からなる層間絶縁膜があり、前記層間絶縁膜に形成された第1コンタクトホールに第3導電膜を埋め込んで形成された第1プラグは、前記メモリゲート電極と電氣的に接続していることを特徴とする半導体装置。

[請求項19] 請求項16に記載の半導体装置において、前記キャップ絶縁膜は窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコンまたは炭化シリコンであることを特徴とする半導体装置。

[請求項20] 請求項16に記載の半導体装置において、前記第2ゲート絶縁膜は、第4絶縁膜、前記第4絶縁膜上に形成された電荷蓄積層および前記電荷蓄積層上に形成された第5絶縁膜からなる積層膜によって形成されていることを特徴とする半導体装置。

[請求項21] 請求項20に記載の半導体装置において、前記電荷蓄積層は、窒化シリコンであることを特徴とする半導体装置。

[請求項22] 請求項16に記載の半導体装置において、前記メモリセルおよび容量素子が形成された領域の周辺には、M I S F E Tが形成されており、前記M I S F E Tは、

前記半導体基板上に形成された前記第1絶縁膜からなる第3ゲート絶縁膜と、

前記第3ゲート絶縁膜上に形成され、前記第1導電膜からなるゲート電極とを有することを特徴とする半導体装置。

[請求項23] 請求項16に記載の半導体装置において、前記選択ゲート電極に電圧を供給する第2プラグが形成された領域では、前記キャップ絶縁膜は除去されおり、前記層間絶縁膜に形成された第2コンタクトホールに前記第3導電膜を埋め込んで形成された前記第2プラグは、前記選択ゲートの上面に形成されたシリサイド層と電氣的に接続していることを特徴とする半導体装置。

[請求項24] 請求項16に記載の半導体装置において、前記メモリセルが形成さ

れた領域では、前記選択ゲート電極の前記半導体基板の主面からの高さは、前記メモリゲート電極の前記半導体基板の主面からの高さよりも低いことを特徴とする半導体装置。

[請求項25] 請求項16に記載の半導体装置において、前記メモリセルが形成された領域および前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域における前記メモリゲート電極の前記半導体基板の主面からの高さは、前記選択ゲート電極に電圧を供給する第2プラグが形成された領域における前記メモリゲート電極の前記半導体基板の主面からの高さよりも高いことを特徴とする半導体装置。

[請求項26] 請求項16に記載の半導体装置において、前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域および前記選択ゲート電極に電圧を供給する前記第2プラグが形成された領域では、前記半導体基板に絶縁膜からなる素子分離部が形成されていることを特徴とする半導体装置。

[請求項27] 請求項18に記載の半導体装置において、前記メモリセルが形成された領域および前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域では、前記選択ゲート電極と前記キャップ絶縁膜との間に、第6絶縁膜からなる熱酸化膜が形成されていることを特徴とする半導体装置。

[請求項28] 請求項27に記載の半導体装置において、前記第6絶縁膜は酸化シリコンであることを特徴とする半導体装置。

[請求項29] メモリセルを有する半導体装置であって、前記メモリセルは、
半導体基板上に形成された第1絶縁膜からなる第1ゲート絶縁膜と、
前記第1ゲート絶縁膜上に形成された第1導電膜からなる選択ゲート電極と、
前記選択ゲート電極上に形成された第2絶縁膜からなるキャップ絶縁膜と、

前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の片面にサイドウォール状に形成された第2導電膜からなるメモリゲート電極と、

前記キャップ絶縁膜および前記選択ゲート電極からなる前記積層膜と前記メモリゲート電極との間に形成され、かつ、前記メモリゲート電極と前記半導体基板との間に形成された第2ゲート絶縁膜と、

前記選択ゲート電極の前記メモリゲート電極と反対側の前記半導体基板にドレイン領域とを有し、

前記メモリセルが形成された領域では、前記半導体基板、前記キャップ絶縁膜および前記メモリゲート電極上に第3絶縁膜からなる層間絶縁膜があり、前記層間絶縁膜に形成された第4コンタクトホールに第3導電膜を埋め込んで形成された第3プラグは、前記ドレイン領域と電氣的に接続しており、

前記第3プラグは、前記キャップ絶縁膜上にも形成されていることを特徴とする半導体装置。

[請求項30] 請求項29に記載の半導体装置において、前記ドレイン領域を共有して2つのメモリセルがチャネル方向に対称的に配置されており、

前記第3プラグは、前記2つのメモリセルのそれぞれの前記キャップ絶縁膜上に形成されていることを特徴とする半導体装置。

[請求項31] 請求項29に記載の半導体装置において、前記第4コンタクトホールは平面形状が楕円形または真円であることを特徴とする半導体装置。

[請求項32] 請求項29に記載の半導体装置において、前記ドレイン領域上にはシリサイド層が形成され、前記第3プラグは前記シリサイド層と接続していることを特徴とする半導体装置。

[請求項33] 請求項29に記載の半導体装置において、前記選択ゲート電極と前記キャップ絶縁膜との間には、第6絶縁膜からなる熱酸化膜が形成されていることを特徴とする半導体装置。

[請求項34] 請求項33に記載の半導体装置において、前記第6絶縁膜は酸化シリコンであることを特徴とする半導体装置。

[請求項35] 第1メモリセルを有する半導体装置の製造方法であって、前記第1メモリセルを形成する工程は、

(a) 半導体基板上に第1絶縁膜を堆積して、第1ゲート絶縁膜を形成する工程と、

(b) 前記第1ゲート絶縁膜上に第1導電膜を形成する工程と、

(c) 前記第1導電膜上に第2絶縁膜を形成する工程と、

(d) 前記第2絶縁膜および前記第1導電膜を加工することによって、前記第1導電膜からなる選択ゲート電極と、前記選択ゲート電極上に前記第2絶縁膜からなるキャップ絶縁膜とを形成する工程と、

(e) 前記第1メモリセルが形成される領域の前記選択ゲート電極上の前記キャップ絶縁膜は残し、前記選択ゲート電極に電圧を供給する第2プラグが形成される領域の前記選択ゲート電極上の前記キャップ絶縁膜は除去する工程と、

(f) 前記(e)工程の後に、前記半導体基板上に第2ゲート絶縁膜を形成する工程と、

(g) 前記第2ゲート絶縁膜上に第2導電膜を形成する工程と、

(h) 前記第2導電膜に対して異方性エッチングを施すことによって、前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成する工程と、

(i) 前記(h)工程の後に、前記第1メモリセルが形成される領域では、前記半導体基板に第1ソース領域および第1ドレイン領域を形成する工程と、

(j) 前記(i)工程の後に、前記メモリゲート電極の上面、前記選択ゲート電極に電圧を供給する前記第2プラグが形成される領域の前記選択ゲート電極の上面、ならびに前記第1メモリセルが形成される領域の前記第1ソース領域および第1ドレイン領域の上面にシリサイ

ド層を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

[請求項36] 請求項35に記載の半導体装置の製造方法において、前記選択ゲート電極に電圧を供給する前記第2プラグが形成される領域では、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第2コンタクトホールを形成する工程と、

前記第2コンタクトホール内に前記第3導電膜を埋め込み、前記第2プラグを形成する工程と、

を含み、前記第2プラグは前記選択ゲート電極の上面の前記シリサイド層と接続していることを特徴とする半導体装置の製造方法。

[請求項37] 請求項35に記載の半導体装置の製造方法において、前記メモリゲート電極に電圧を供給する第1プラグが形成される領域では、

前記(e)工程において、前記選択ゲート電極上の前記キャップ絶縁膜を残す工程と、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第1コンタクトホールを形成する工程と、

前記第1コンタクトホール内に第3導電膜を埋め込み、第1プラグを形成する工程と、

を含み、前記第1プラグは前記メモリゲート電極の上面の前記シリサイド層と接続し、かつ、前記キャップ絶縁膜の一部を覆うように形成されていることを特徴とする半導体装置の製造方法。

[請求項38] 請求項35に記載の半導体装置の製造方法において、前記(f)工程における前記第2ゲート絶縁膜を形成する工程は、

前記(e)工程の後に、前記半導体基板上に第4絶縁膜を形成する工程と、

前記第4絶縁膜上に電荷蓄積層を形成する工程と、

前記電荷蓄積層上に第5絶縁膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

[請求項39] 請求項35に記載の半導体装置の製造方法において、前記メモリゲート電極に電圧を供給する前記第1プラグが形成される領域および前記選択ゲート電極に電圧を供給する前記第2プラグが形成される領域には、前記半導体基板に絶縁膜からなる素子分離部が形成されていることを特徴とする半導体装置の製造方法。

[請求項40] 半導体基板上に第1メモリセルおよび前記第1メモリセルの周辺に形成されるM I S F E Tを有する半導体装置の製造方法であって、前記第1メモリセルおよび前記M I S F E Tを形成する工程は、

(a) 前記半導体基板上に第1絶縁膜を堆積し、前記第1メモリセルの第1ゲート絶縁膜および前記M I S F E Tの第3ゲート絶縁膜を形成する工程と、

(b) 前記第1ゲート絶縁膜上および第3ゲート絶縁膜上に第1導電膜を形成する工程と、

(c) 前記第1導電膜上に第2絶縁膜を形成する工程と、

(d) 前記第1メモリセルが形成される領域の前記第2絶縁膜および前記第1導電膜を加工することによって、前記第1導電膜からなる前記第1メモリセルの選択ゲート電極と、前記選択ゲート電極上に前記第2絶縁膜からなるキャップ絶縁膜とを形成する工程と、

(e) 前記第1メモリセルが形成される領域の前記選択ゲート電極上の前記キャップ絶縁膜は残し、前記M I S F E Tが形成される領域の前記第2絶縁膜は除去する工程と、

(f) 前記(e)工程の後に、前記半導体基板上に第2ゲート絶縁膜を形成する工程と、

(g) 前記第2ゲート絶縁膜上に第2導電膜を形成する工程と、

(h) 前記第2導電膜に対して異方性エッチングを施すことによって、前記第1メモリセルの前記キャップ絶縁膜および前記選択ゲート電

極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成する工程と、

(i) 前記M I S F E Tが形成される領域の前記第1導電膜を加工することによって、前記M I S F E Tのゲート電極を形成する工程と、

(j) 前記(i)工程の後に、前記第1メモリセルが形成される領域では、前記半導体基板に第1ソース領域および第1ドレイン領域を形成し、前記M I S F E Tが形成される領域では、前記半導体基板に第2ソース領域および第2ドレイン領域を形成する工程と、

(k) 前記(j)工程の後に、前記メモリゲート電極の上面および前記M I S F E Tのゲート電極の上面にシリサイド層を形成し、かつ、前記第1ソース領域および前記第1ドレイン領域の上面、ならびに前記第2ソース領域および前記第2ドレイン領域の上面にシリサイド層を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

[請求項41]

請求項40に記載の半導体装置の製造方法において、前記選択ゲート電極に電圧を供給する第2プラグが形成される領域では、

前記(e)工程において、前記選択ゲート電極上の前記キャップ絶縁膜を除去する工程と、

前記(k)工程において、前記選択ゲート電極の上面にシリサイド層を形成する工程と、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第2コンタクトホールを形成する工程と、

前記第2コンタクトホール内に前記第3導電膜を埋め込み、前記第2プラグを形成する工程と、

を含み、前記第2プラグは前記選択ゲート電極の上面の前記シリサイド層と接続していることを特徴とする半導体装置の製造方法。

[請求項42]

請求項40に記載の半導体装置の製造方法において、前記メモリゲ

ート電極に電圧を供給する第1プラグが形成される領域では、

前記(e)工程において、前記選択ゲート電極上の前記キャップ絶縁膜を残す工程と、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第1コンタクトホールを形成する工程と、

前記第1コンタクトホール内に第3導電膜を埋め込み、第1プラグを形成する工程と、

を含み、前記第1プラグは前記メモリゲート電極の上面の前記シリサイド層と接続し、かつ、前記キャップ絶縁膜の一部を覆うように形成されていることを特徴とする半導体装置の製造方法。

[請求項43] 請求項40に記載の半導体装置の製造方法において、前記(f)工程における前記第2ゲート絶縁膜を形成する工程は、

前記(e)工程の後に、前記半導体基板上に第4絶縁膜を形成する工程と、

前記第4絶縁膜上に電荷蓄積層を形成する工程と、

前記電荷蓄積層上に第5絶縁膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

[請求項44] 請求項40に記載の半導体装置の製造方法において、前記メモリゲート電極に電圧を供給する前記第1プラグが形成される領域および前記選択ゲート電極に電圧を供給する前記第2プラグが形成される領域には、前記半導体基板に絶縁膜からなる素子分離部が形成されていることを特徴とする半導体装置の製造方法。

[請求項45] 半導体基板上に第1メモリセルおよび前記第1メモリセルの周辺に形成された容量素子を有する半導体装置の製造方法であって、前記第1メモリセルおよび前記容量素子を形成する工程は、

(a) 前記半導体基板上に第1絶縁膜を堆積し、前記第1メモリセルの第1ゲート絶縁膜を形成する工程と、

(b) 前記第 1 ゲート絶縁膜上および前記容量素子が形成される領域の半導体基板上に第 1 導電膜を形成する工程と、

(c) 前記第 1 導電膜上に第 2 絶縁膜を形成する工程と、

(d) 前記第 2 絶縁膜および前記第 1 導電膜を加工することによって、前記第 1 導電膜からなる第 1 メモリセルの選択ゲート電極と、前記選択ゲート上に前記第 2 絶縁膜からなるキャップ絶縁膜を形成し、前記第 1 導電膜からなる前記容量素子の下部電極と、前記下部電極上に前記第 2 絶縁膜からなるキャップ絶縁膜を形成する工程と、

(e) 前記選択ゲート電極上の前記キャップ絶縁膜は残し、前記下部電極上の前記キャップ絶縁膜を除去する工程と、

(f) 前記 (e) 工程の後に、前記半導体基板上に第 2 ゲート絶縁膜を形成する工程と、

(g) 前記第 2 ゲート絶縁膜上に第 2 導電膜を形成する工程と、

(h) 前記第 2 導電膜に対して異方性エッチングを施すことによって、前記第 1 メモリセルの前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成し、かつ前記下部電極を覆うように前記容量素子の上部電極を形成する工程と、

を含み、前記 (f) 工程で前記容量素子が形成される領域に形成された前記第 2 ゲート絶縁膜は、前記容量素子の容量絶縁膜として機能することを特徴とする半導体装置の製造方法。

[請求項46]

請求項 4 5 に記載の半導体装置の製造方法において、前記第 1 メモリセルが形成される領域では、

(i) 前記 (h) 工程の後に、前記半導体基板に第 1 ソース領域および第 1 ドレイン領域を形成する工程と、

(j) 前記 (i) 工程の後に、前記メモリゲート電極の上面、ならびに前記第 1 ソース領域および前記第 1 ドレイン領域の上面にシリサイド層を形成する工程と、

をさらに含むことを特徴とする半導体装置の製造方法。

[請求項47]

請求項45に記載の半導体装置の製造方法において、前記選択ゲート電極に電圧を供給する第2プラグが形成される領域では、

前記(e)工程において、前記選択ゲート電極上の前記キャップ絶縁膜を除去する工程と、

前記選択ゲート電極の上面にシリサイド層を形成する工程と、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第2コンタクトホールを形成する工程と、

前記第2コンタクトホール内に前記第3導電膜を埋め込み、前記第2プラグを形成する工程と、

を含み、前記第2プラグは前記選択ゲート電極の上面の前記シリサイド層と接続していることを特徴とする半導体装置の製造方法。

[請求項48]

請求項45に記載の半導体装置の製造方法において、前記メモリゲート電極に電圧を供給する第1プラグが形成される領域では、

前記(e)工程において、前記選択ゲート電極上の前記キャップ絶縁膜を残す工程と、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記メモリゲート電極の上面にシリサイド層を形成する工程と、

前記層間絶縁膜に第1コンタクトホールを形成する工程と、

前記第1コンタクトホール内に第3導電膜を埋め込み、第1プラグを形成する工程と、

を含み、前記第1プラグは前記メモリゲートの上面の前記シリサイド層と接続し、かつ、前記キャップ絶縁膜の一部を覆うように形成されていることを特徴とする半導体装置の製造方法。

[請求項49]

請求項45に記載の半導体装置の製造方法において、前記(f)工程における前記第2ゲート絶縁膜を形成する工程は、

前記（e）工程の後に、前記半導体基板上に第4絶縁膜を形成する工程と、

前記第4絶縁膜上に電荷蓄積層を形成する工程と、

前記電荷蓄積層上に第5絶縁膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

[請求項50] 請求項45に記載の半導体装置の製造方法において、前記メモリゲート電極に電圧を供給する前記第1プラグが形成される領域および前記選択ゲート電極に電圧を供給する前記第2プラグが形成される領域には、前記半導体基板に絶縁膜からなる素子分離部が形成されていることを特徴とする半導体装置の製造方法。

[請求項51] 請求項35に記載の半導体装置の製造方法において、
前記（c）工程において、前記第2絶縁膜を形成する前に、前記第1導電膜上に第6絶縁膜を形成する工程をさらに含み、
前記（e）工程において、前記選択ゲート電極に電圧を供給する前記第2プラグが形成される領域で、前記キャップ絶縁膜に加えて、前記第6絶縁膜を全て除去する工程をさらに含むことを特徴とする半導体装置の製造方法。

[請求項52] 請求項40に記載の半導体装置の製造方法において、
前記（c）工程において、前記第2絶縁膜を形成する前に、前記第1導電膜上に第6絶縁膜を形成する工程をさらに含み、
前記（e）工程において、前記MISFETが形成される領域で、前記第2絶縁膜に加えて、前記第6絶縁膜を全て除去する工程をさらに含むことを特徴とする半導体装置の製造方法。

[請求項53] 請求項45に記載の半導体装置の製造方法において、
前記（c）工程において、前記第2絶縁膜を形成する前に、前記第1導電膜上に第6絶縁膜を形成する工程をさらに含み、
前記（e）工程において、前記容量素子が形成される領域で、前記キャップ絶縁膜に加えて、前記第6絶縁膜を全て除去する工程をさら

に含むことを特徴とする半導体装置の製造方法。

[請求項54]

メモリセルを有する半導体装置の製造方法であって、前記メモリセルを形成する工程は、

(a) 半導体基板上に第1絶縁膜を堆積して、第1ゲート絶縁膜を形成する工程と、

(b) 前記第1ゲート絶縁膜上に第1導電膜を形成する工程と、

(c) 前記第1導電膜上に第2絶縁膜を形成する工程と、

(d) 前記第2絶縁膜および前記第1導電膜を加工することによって、前記第1導電膜からなる選択ゲート電極と、前記選択ゲート電極上に前記第2絶縁膜からなるキャップ絶縁膜とを形成する工程と、

(e) 前記(d)工程の後に、前記半導体基板上に第2ゲート絶縁膜を形成する工程と、

(f) 前記第2ゲート絶縁膜上に第2導電膜を形成する工程と、

(g) 前記第2導電膜に対して異方性エッチングを施すことによって、前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成する工程と、

(h) 前記(g)工程の後に、前記半導体基板にソース領域およびドレイン領域を形成する工程と、

(i) 前記(h)工程の後に、前記メモリゲート電極、前記ソース領域および前記ドレイン領域の上面にシリサイド層を形成する工程と、

(j) 前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

(k) 前記層間絶縁膜に第4コンタクトホールを形成する工程と、

(l) 前記第4コンタクトホール内に第3導電膜を埋め込み、第3プラグを形成する工程と、

を含み、前記第3プラグは、前記キャップ絶縁膜上に形成されていることを特徴とする半導体装置の製造方法。

[請求項55]

請求項54に記載の半導体装置の製造方法において、前記ドレイン

領域を共有して２つのメモリセルがチャネル方向に対称的に形成されており、

前記第３プラグは、前記２つのメモリセルのそれぞれの前記キャップ絶縁膜上に形成されていることを特徴とする半導体装置の製造方法。

[請求項56] 請求項５４に記載の半導体装置の製造方法において、前記第４コンタクトホールは平面形状が楕円形または真円であることを特徴とする半導体装置の製造方法。

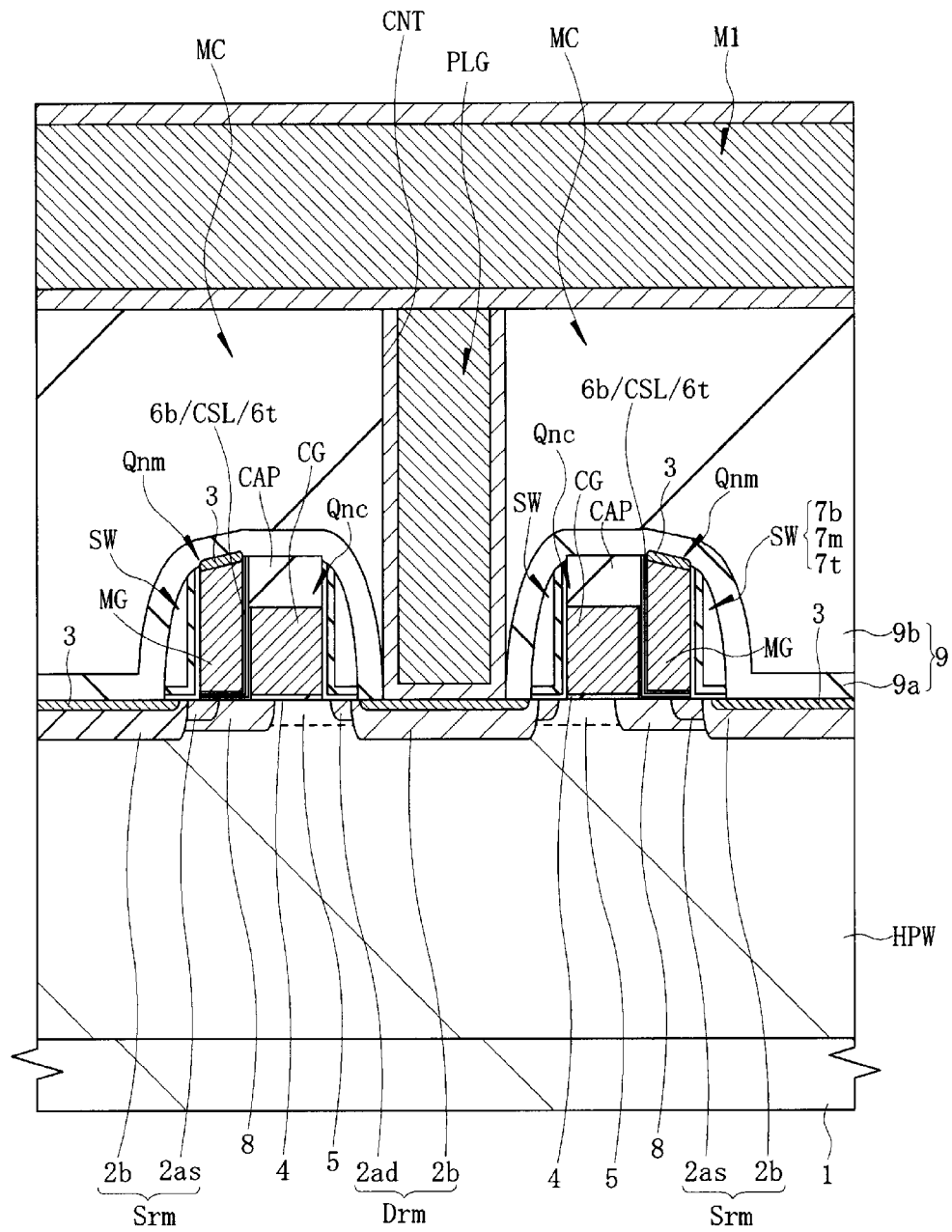
[請求項57] 請求項５４に記載の半導体装置の製造方法において、
(m) 前記（c）工程において、前記第２絶縁膜を形成する前に、前記第１導電膜上に第６絶縁膜を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

[請求項58] 請求項５７に記載の半導体装置の製造方法において、前記第６絶縁膜は酸化シリコンであることを特徴とする半導体装置の製造方法。

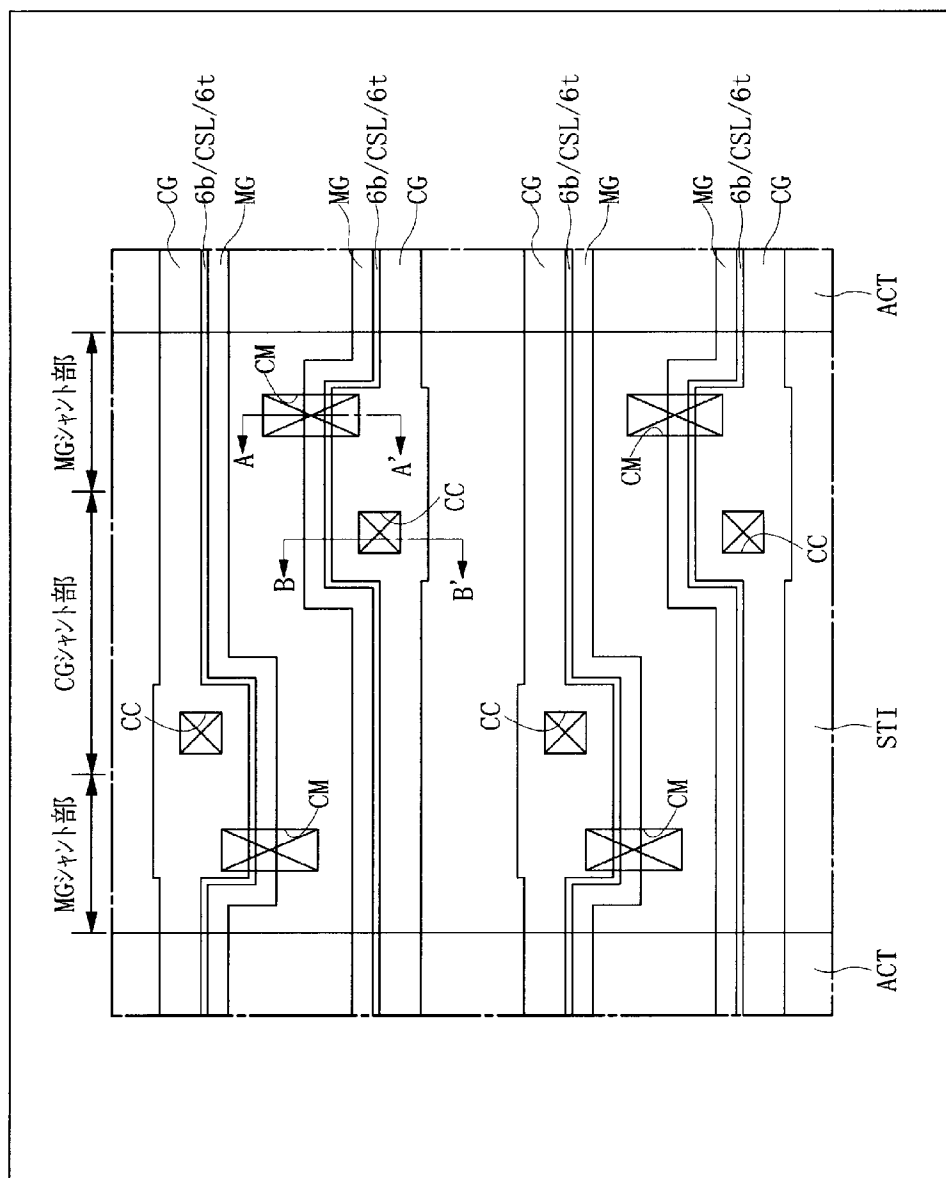
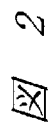
[請求項59] 請求項５７に記載の半導体装置の製造方法において、前記第６絶縁膜は、前記第１導電膜の熱酸化処理により形成されることを特徴とする半導体装置の製造方法。

[図1]

図 1

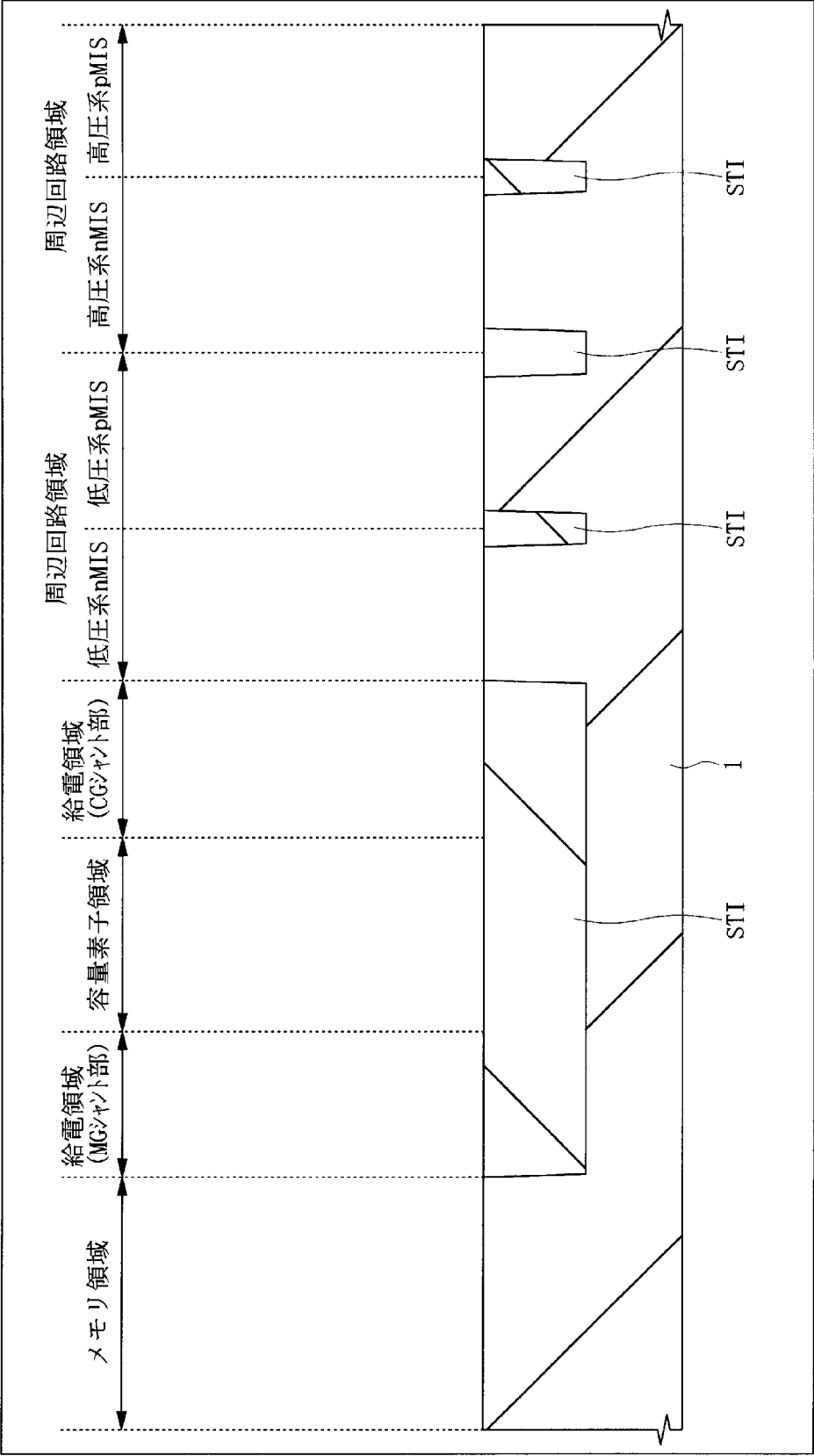


[図2]

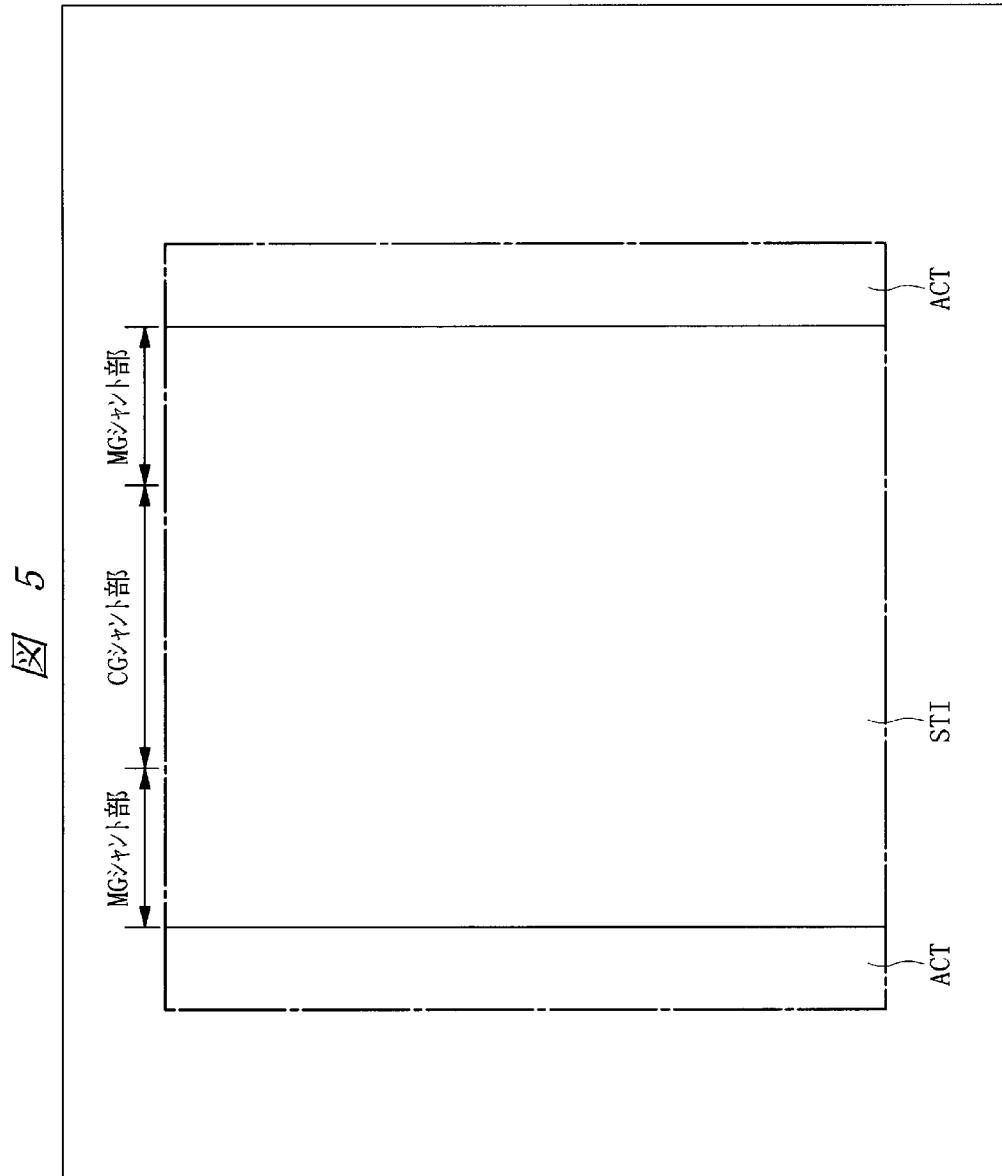


[図4]

図 4

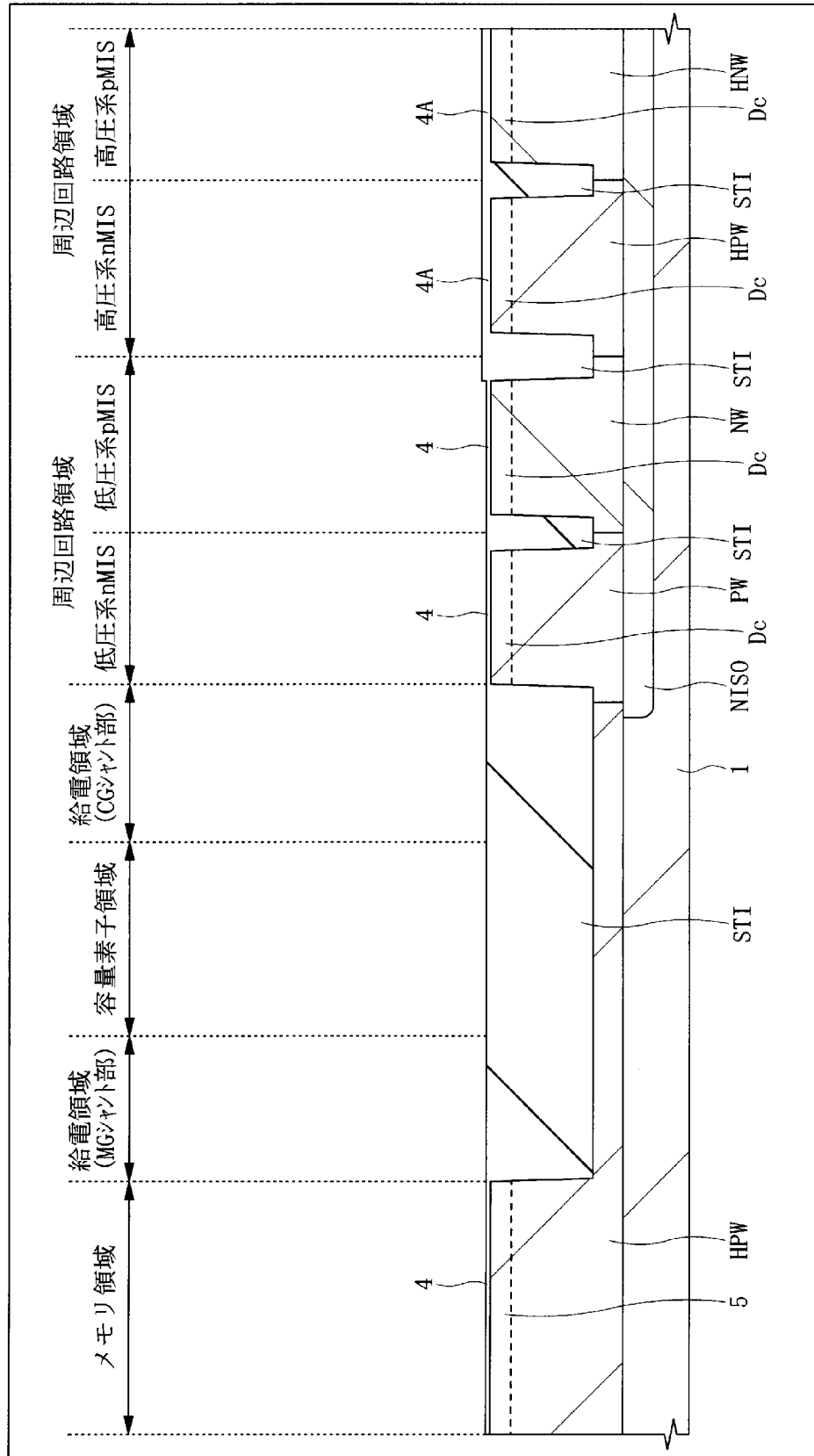


[図5]



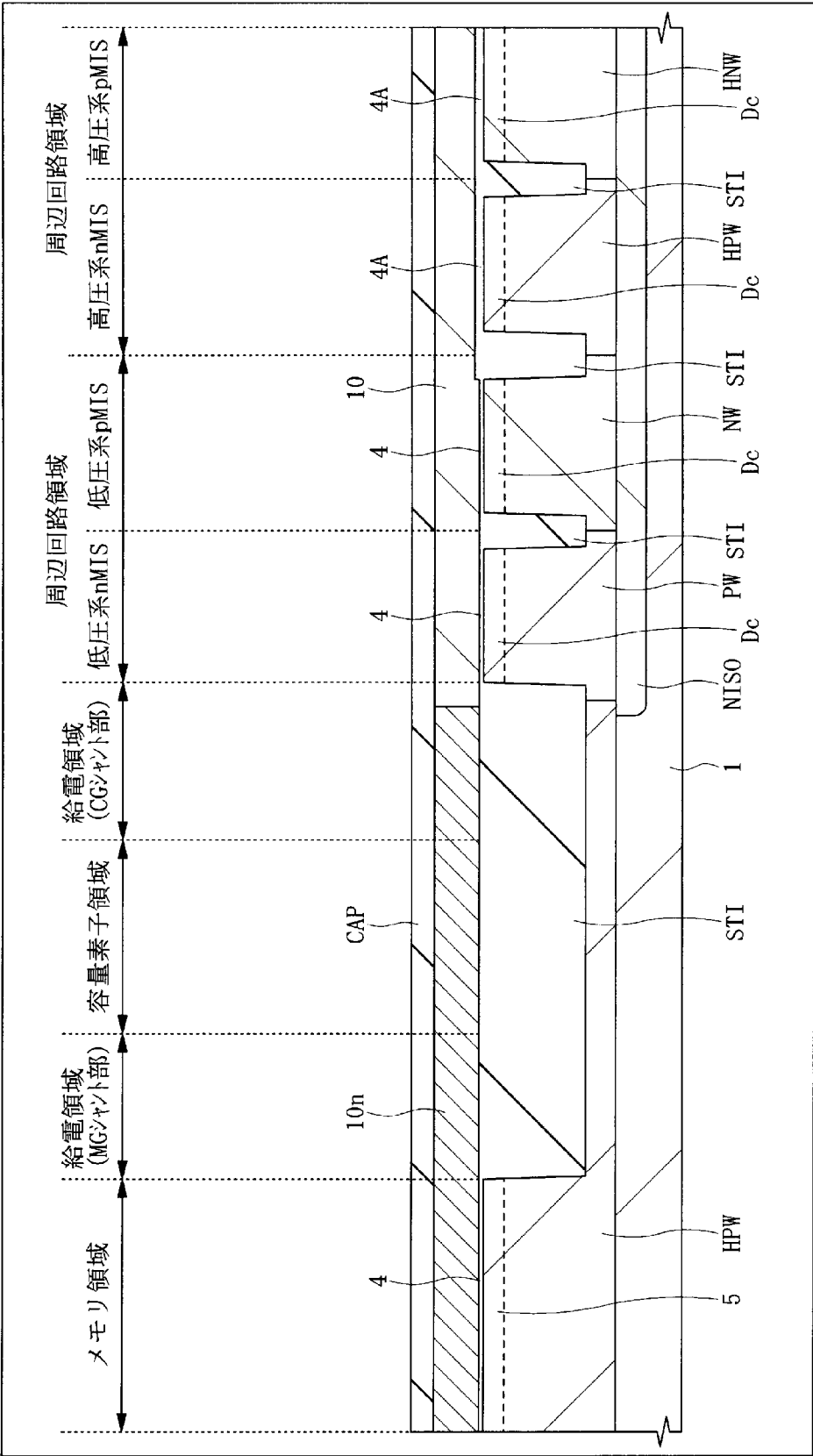
[図6]

図 6



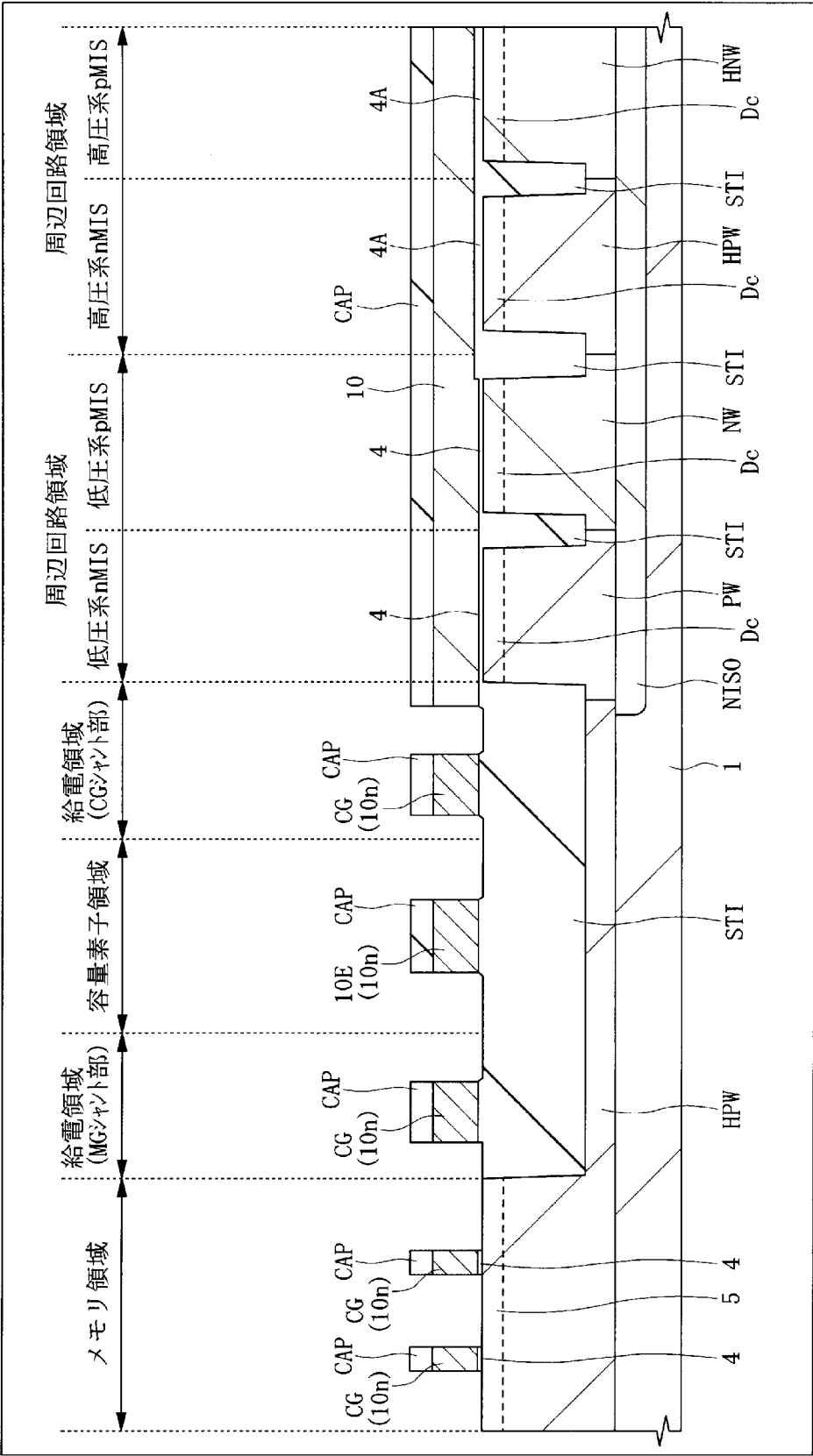
[図7]

図 7



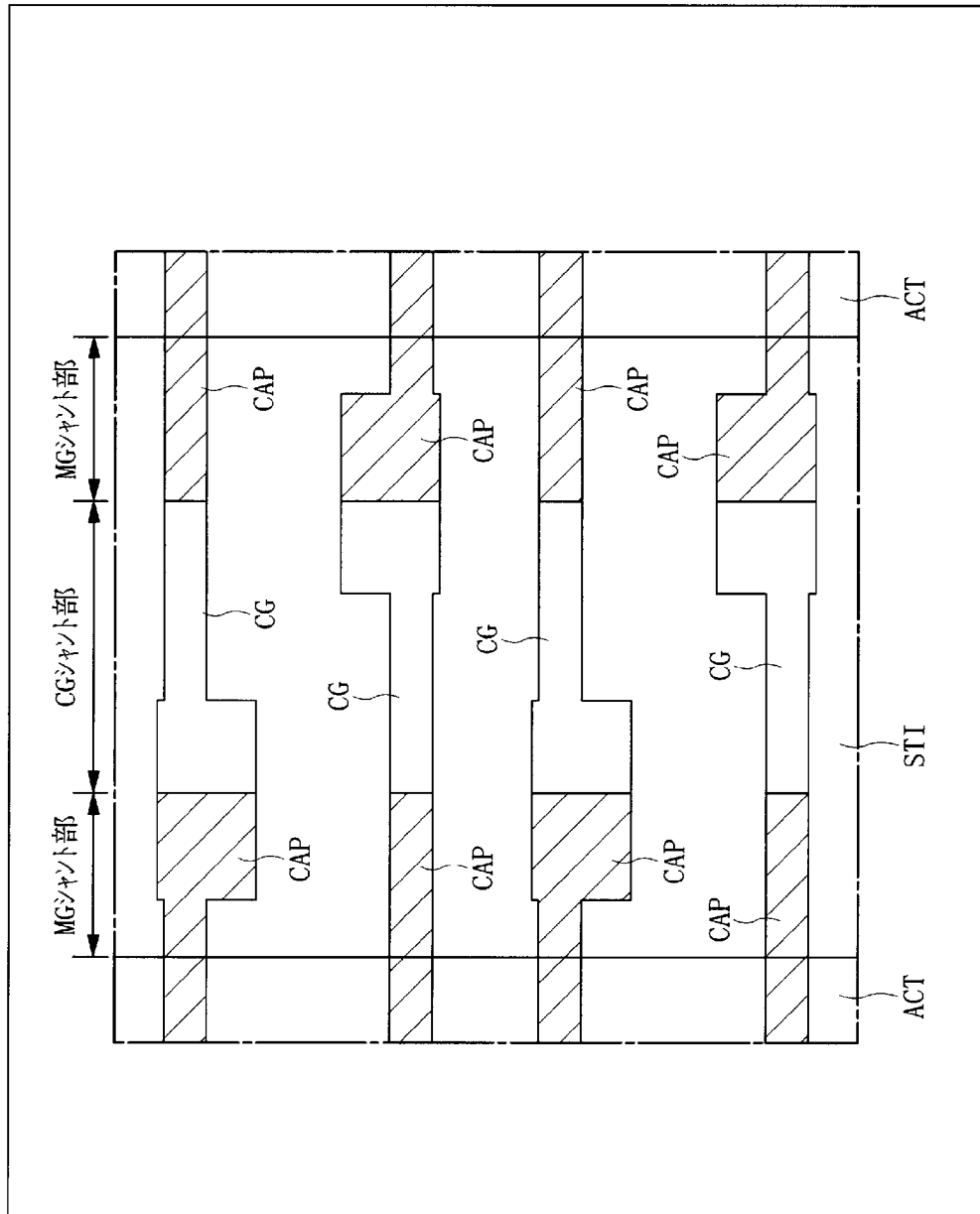
[図8]

図 8



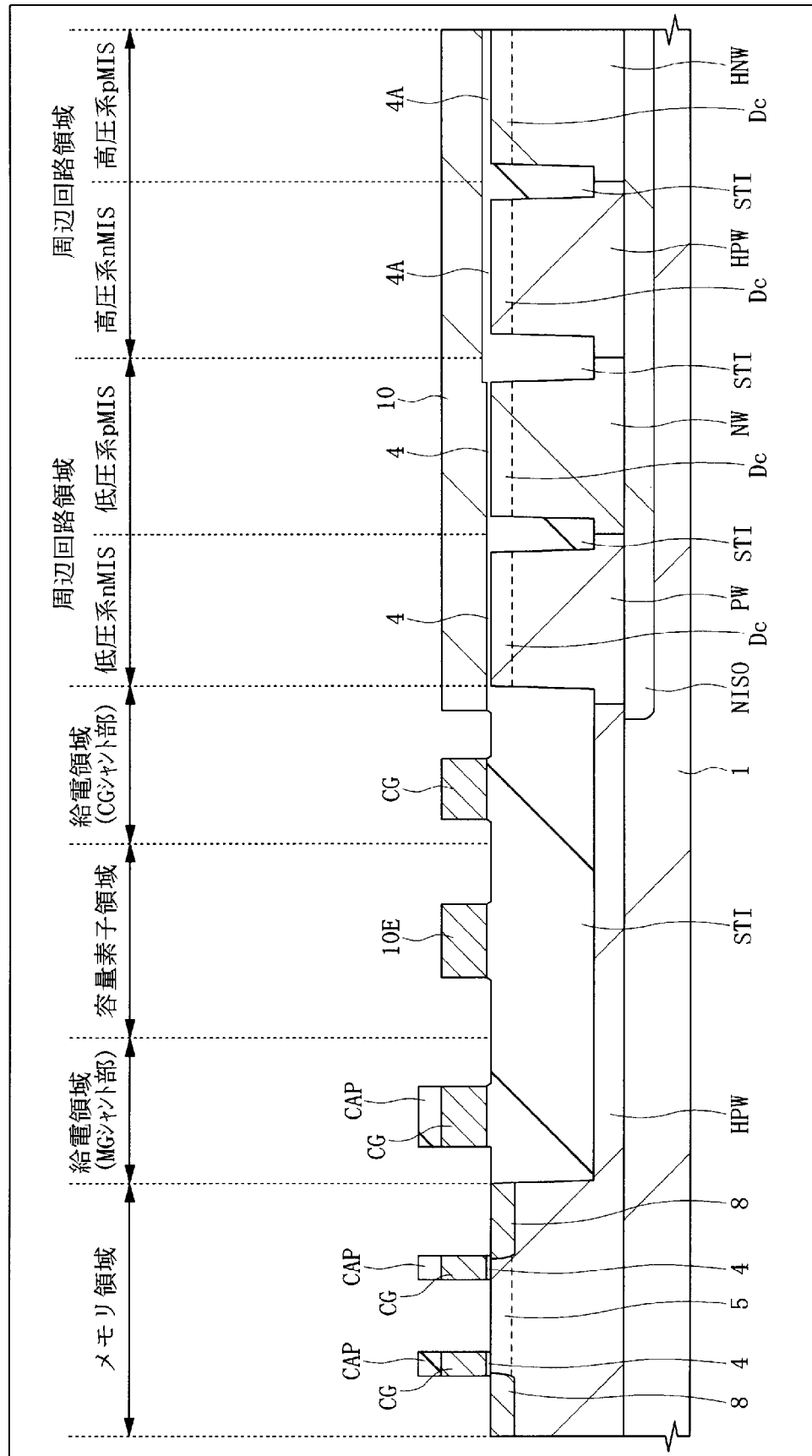
[図9]

図 9

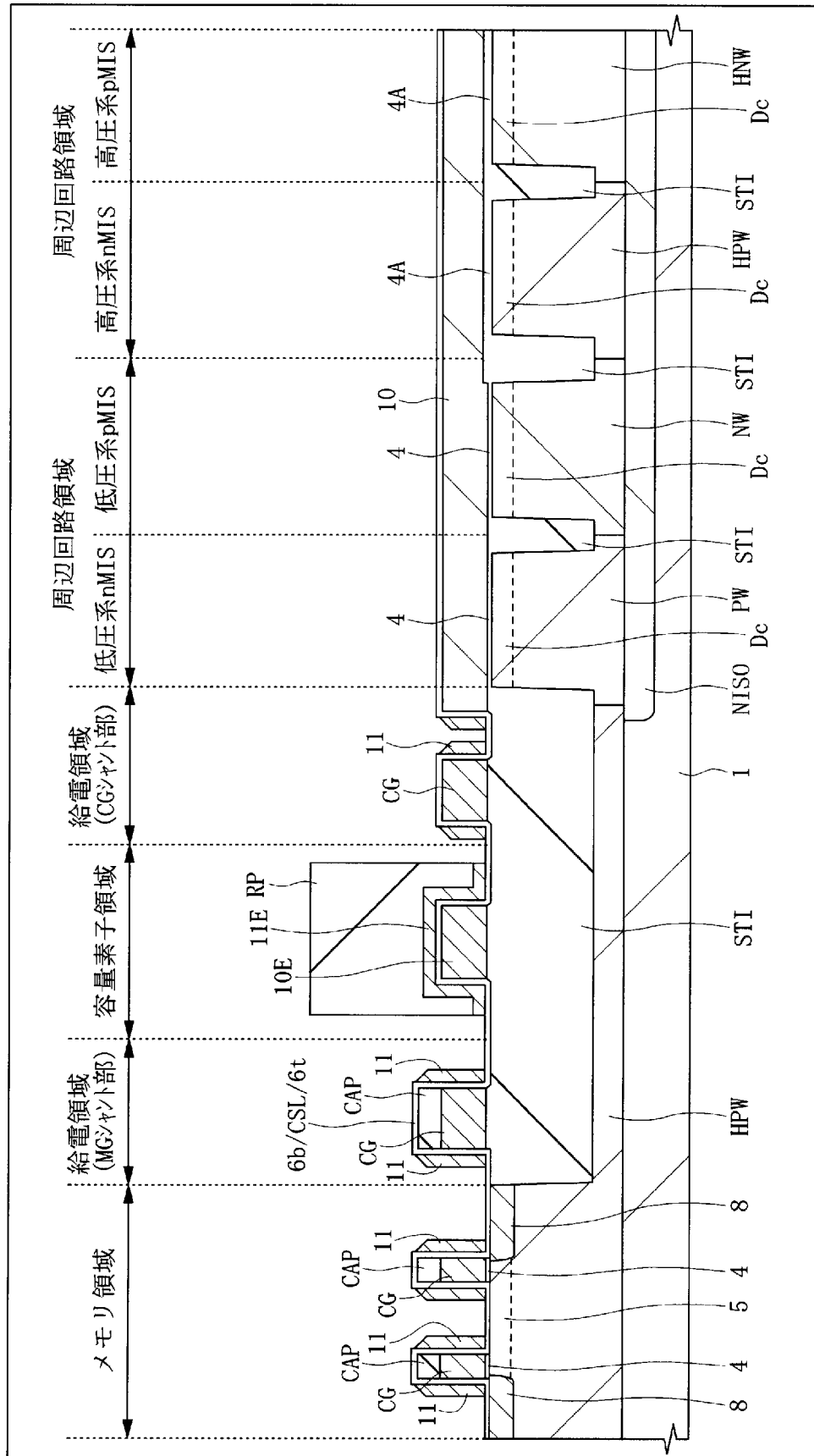


[図10]

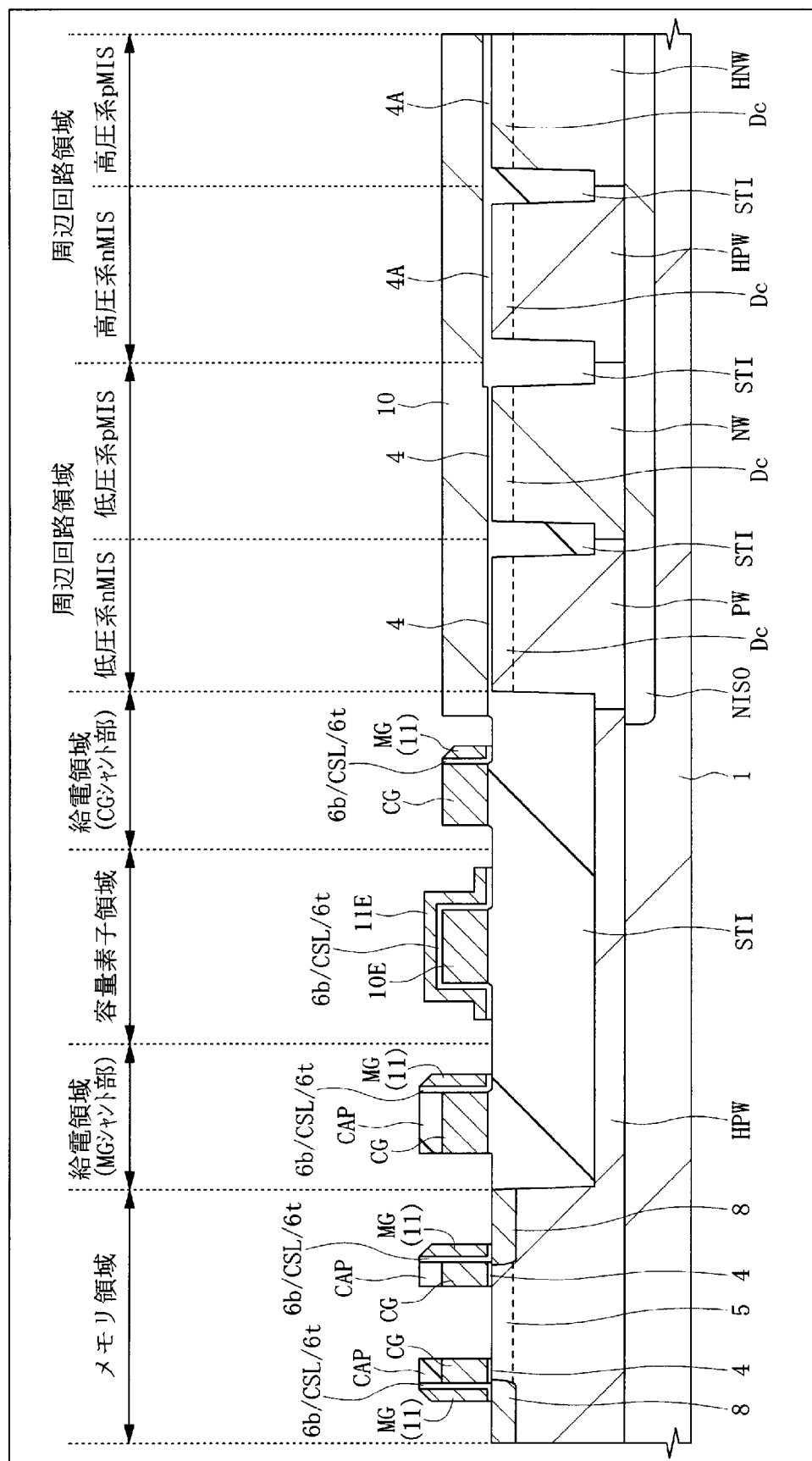
図 10



11

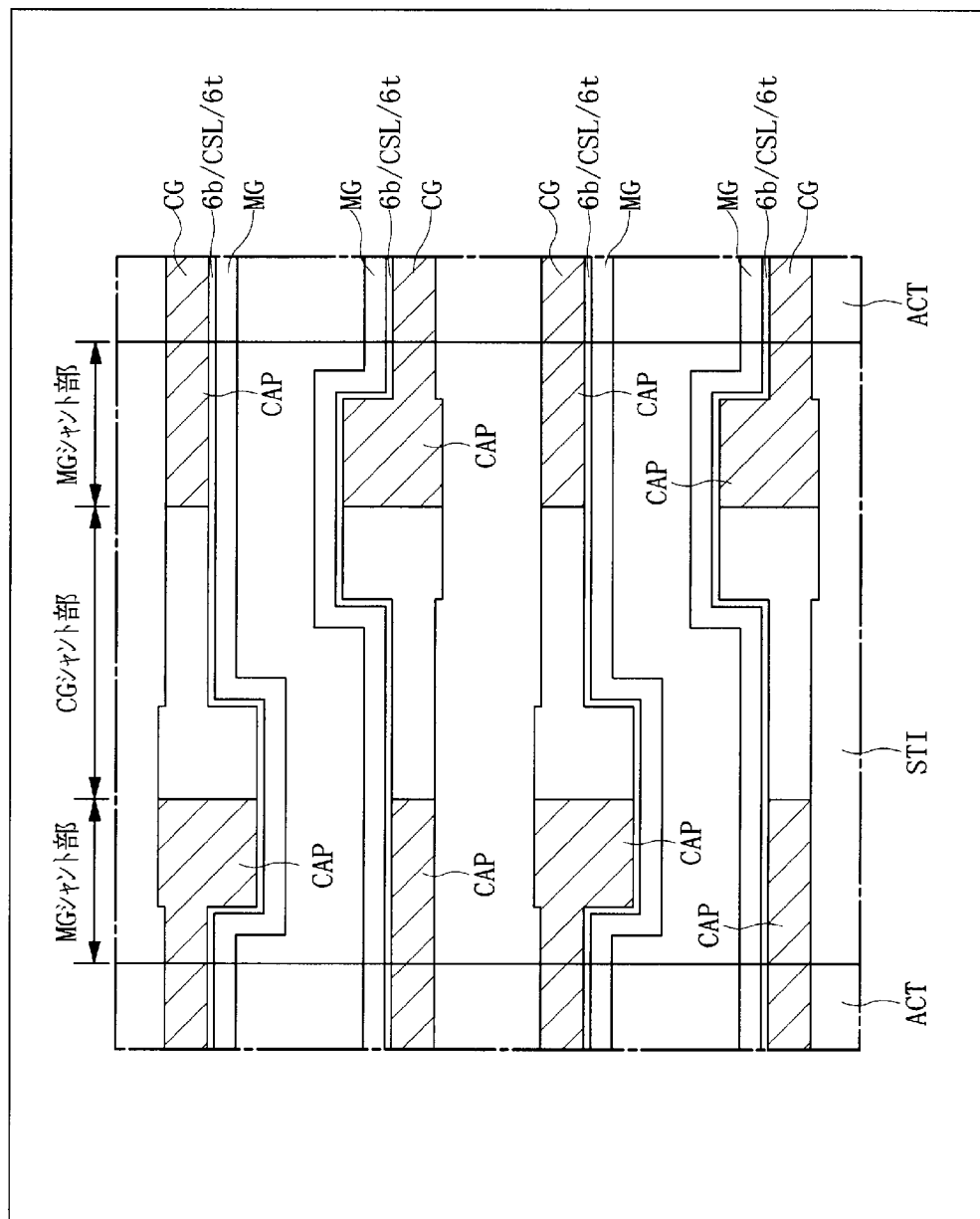


12



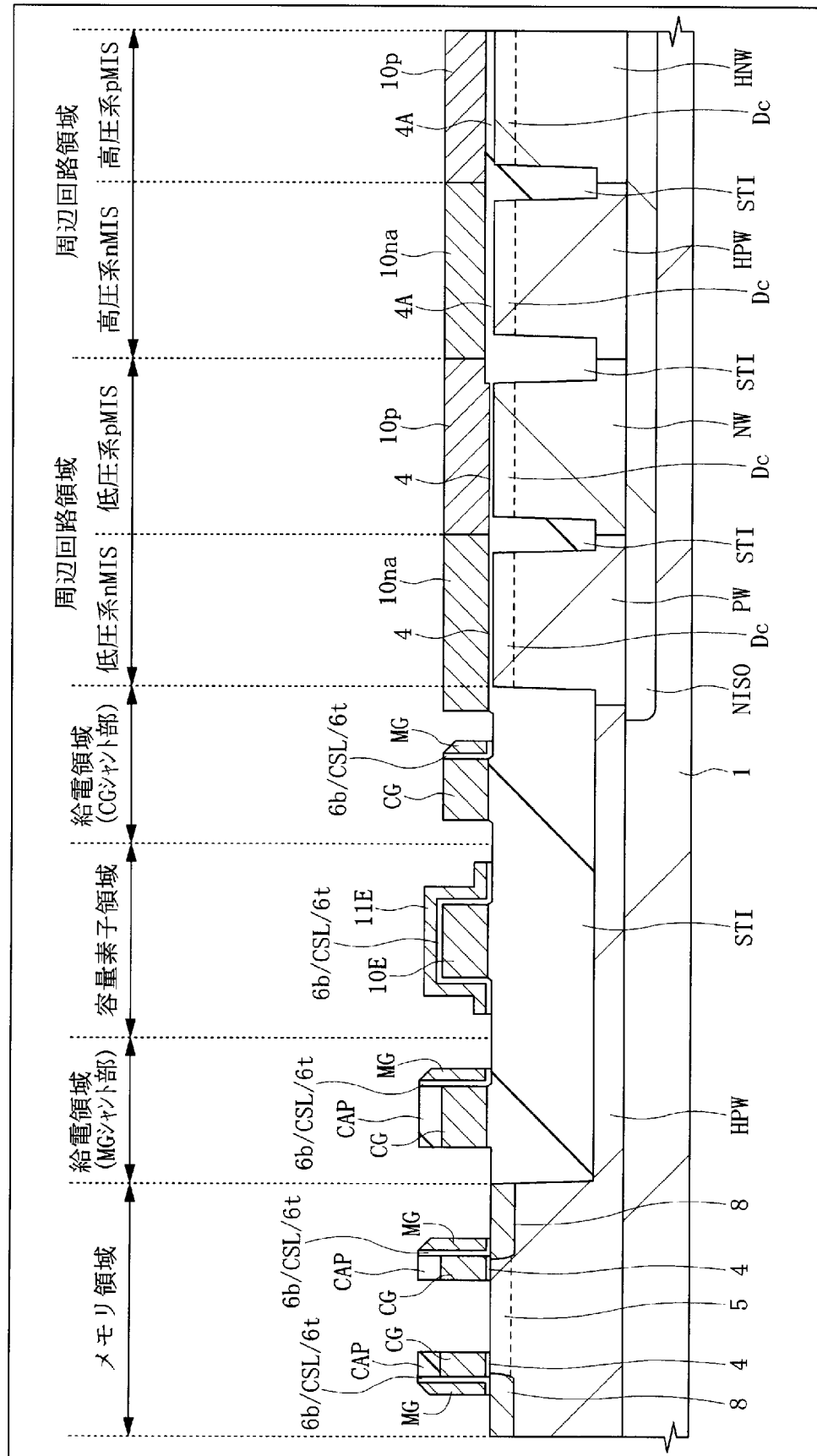
[図13]

図 13



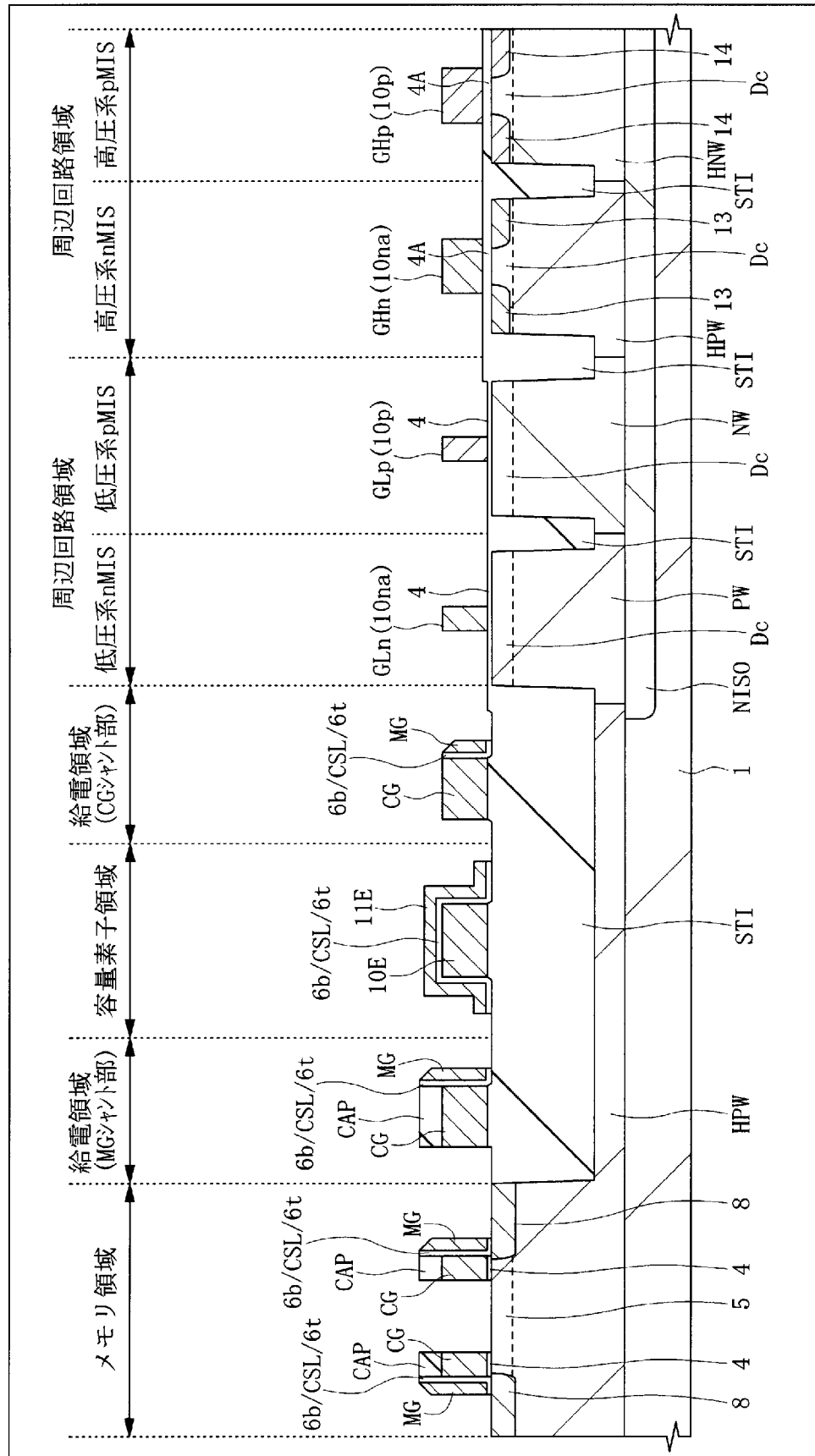
[図14]

図 14

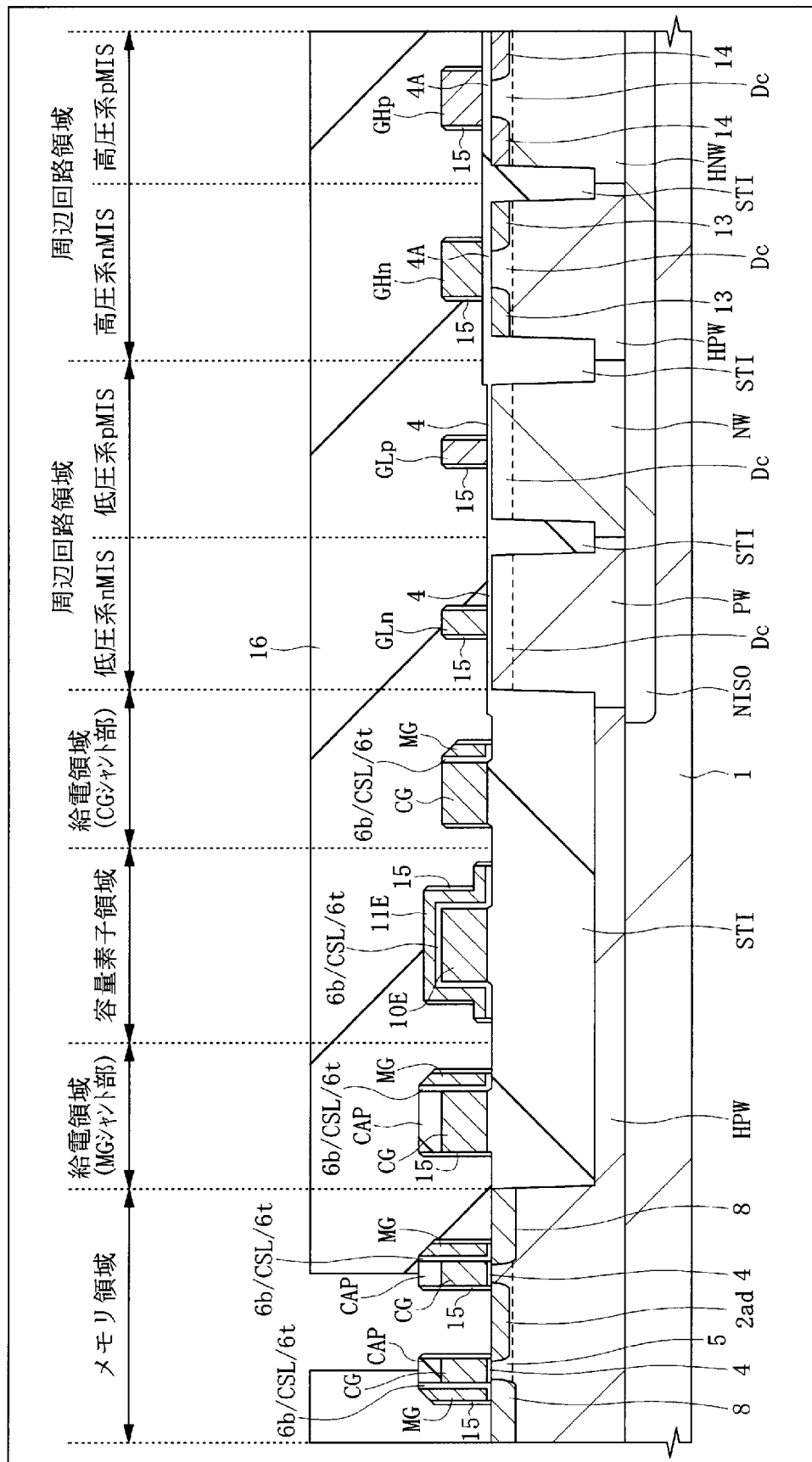


[図15]

図 15

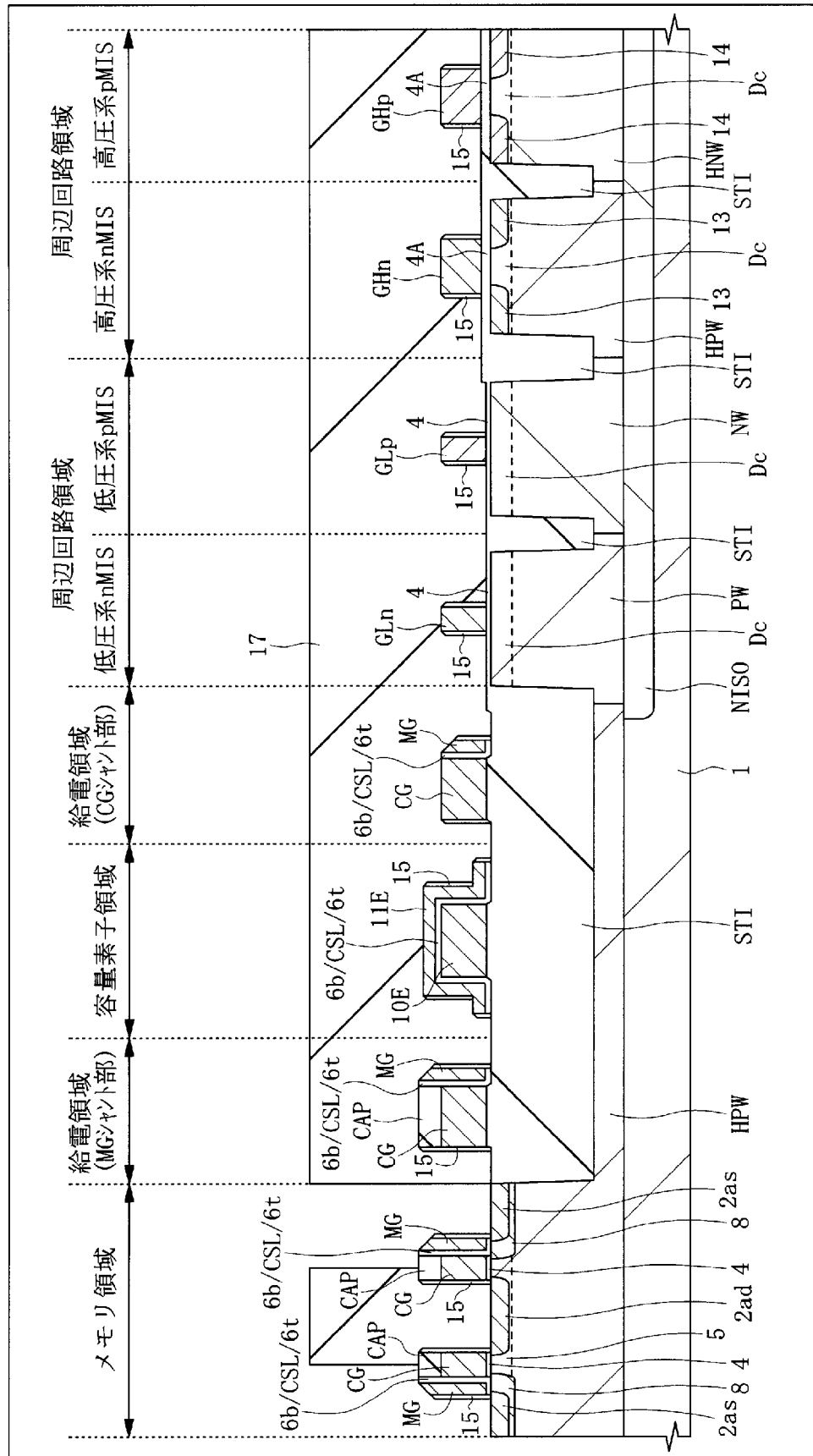


16

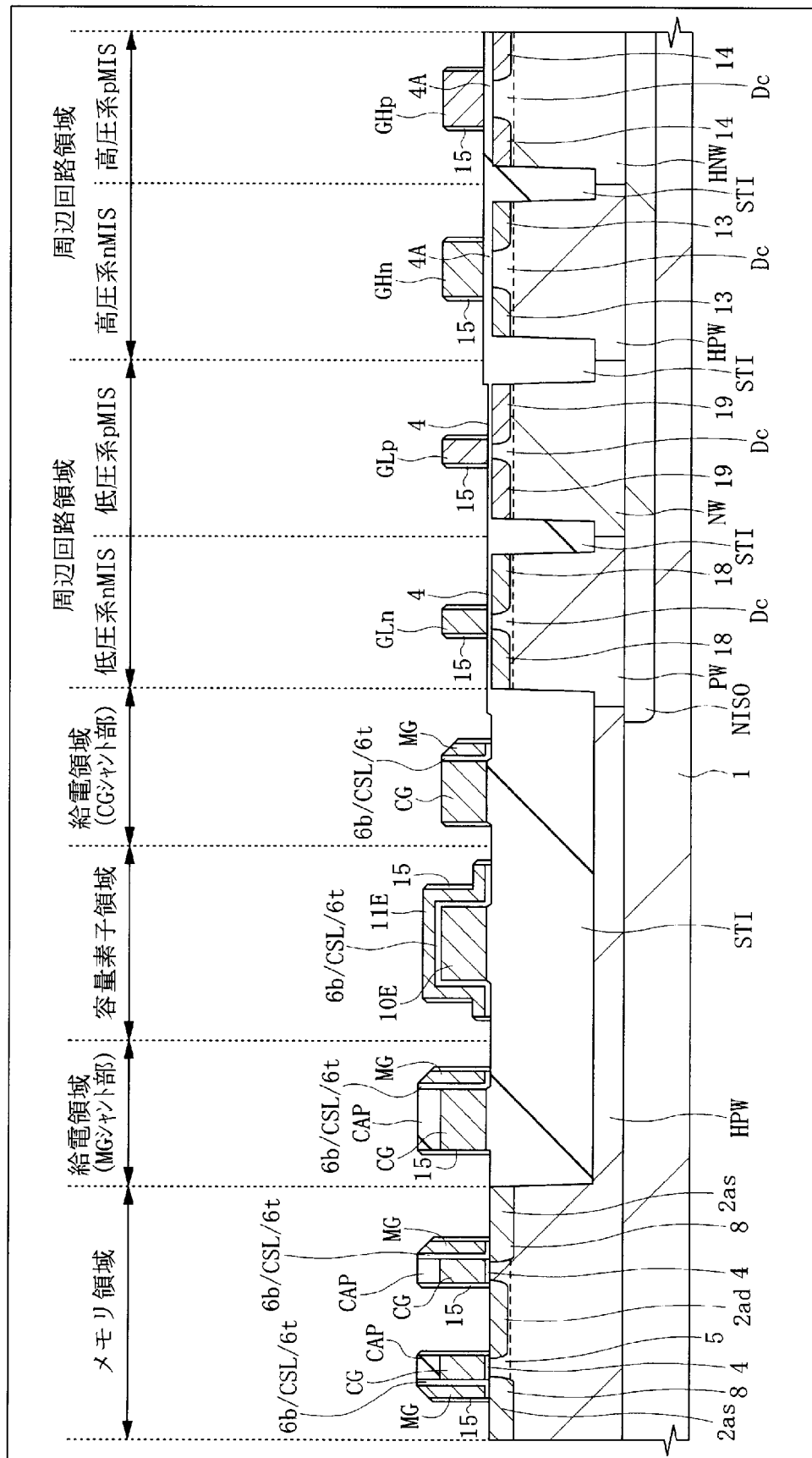


[図17]

図 17

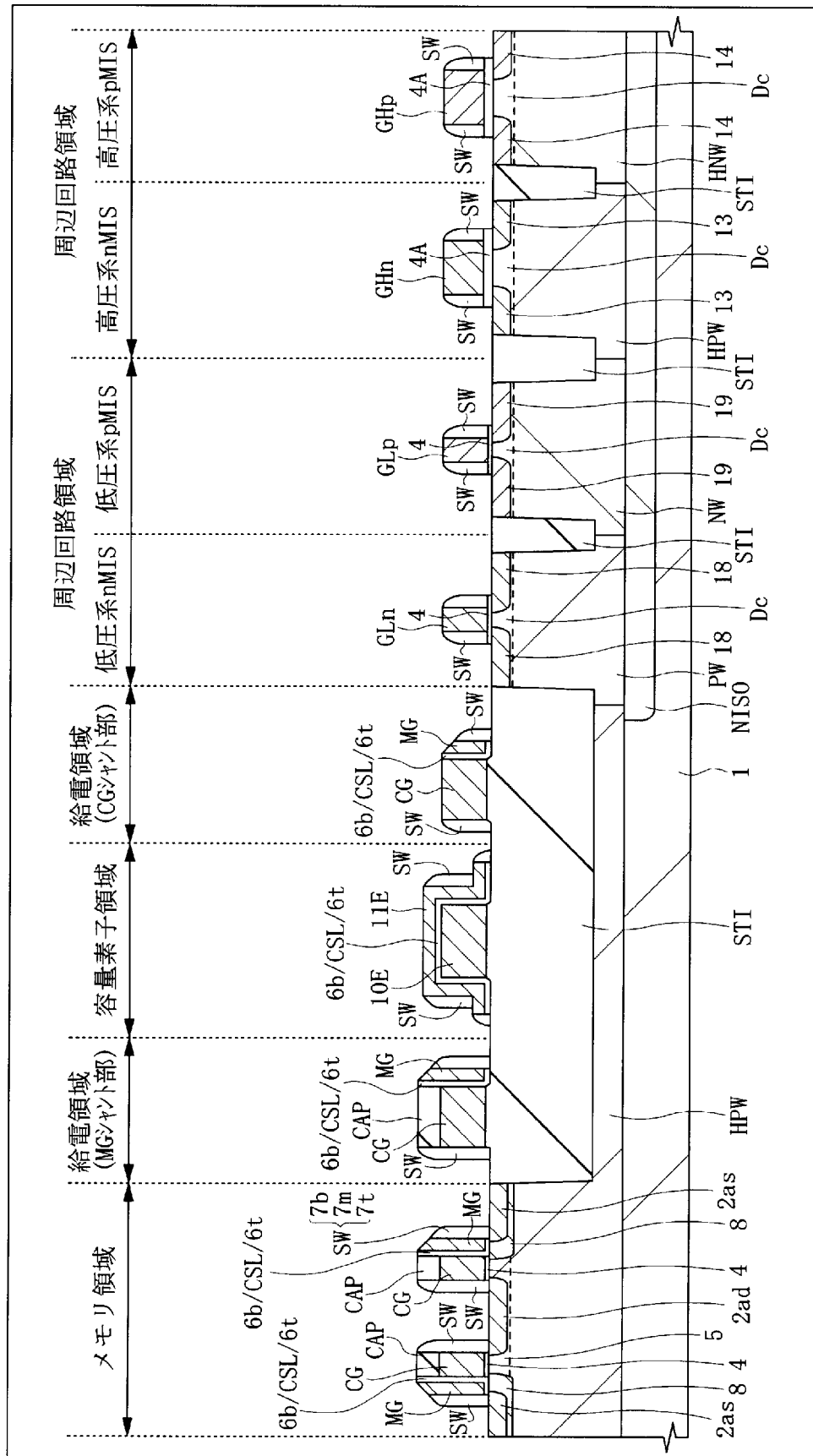


18



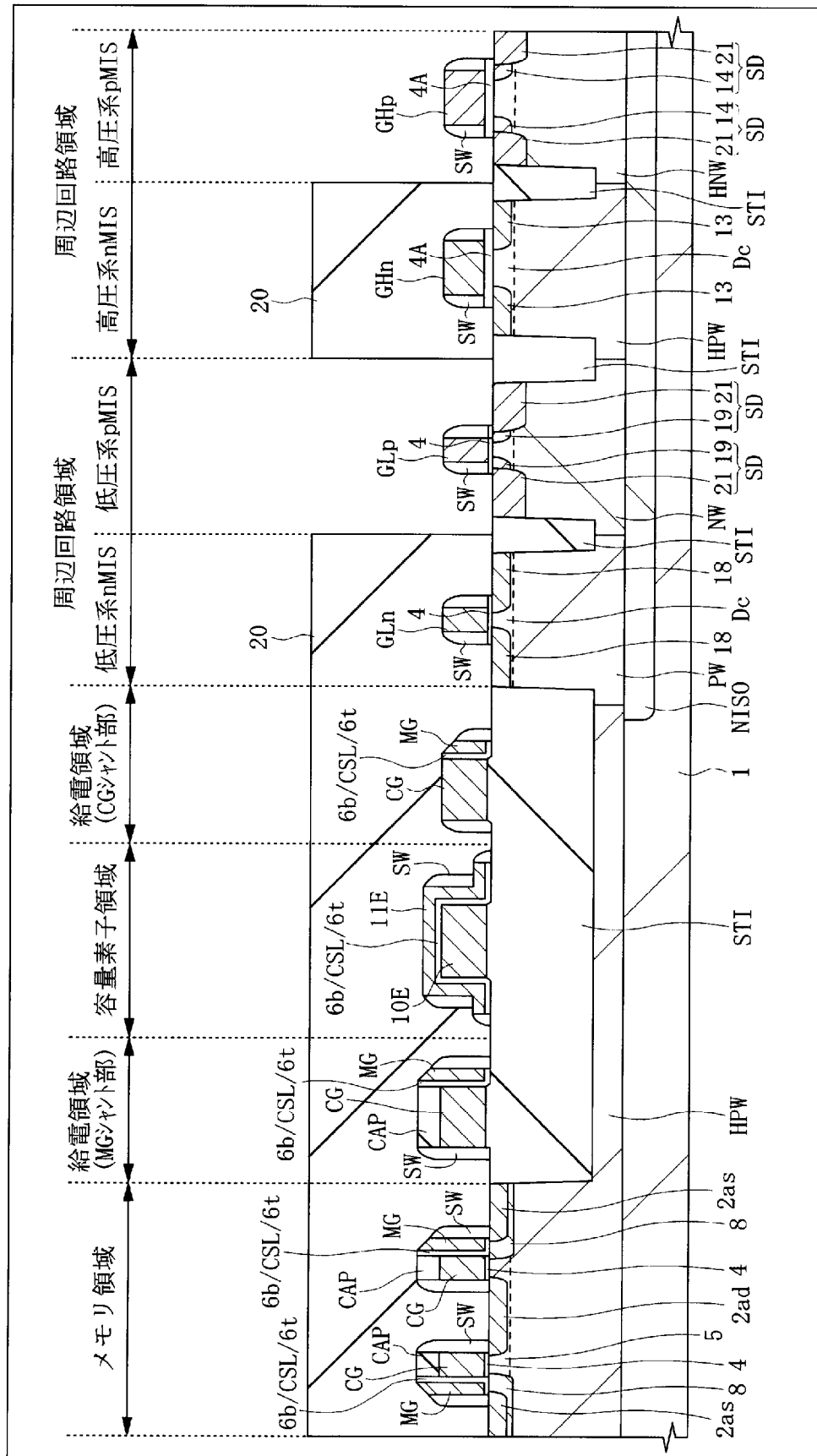
[図19]

図 19



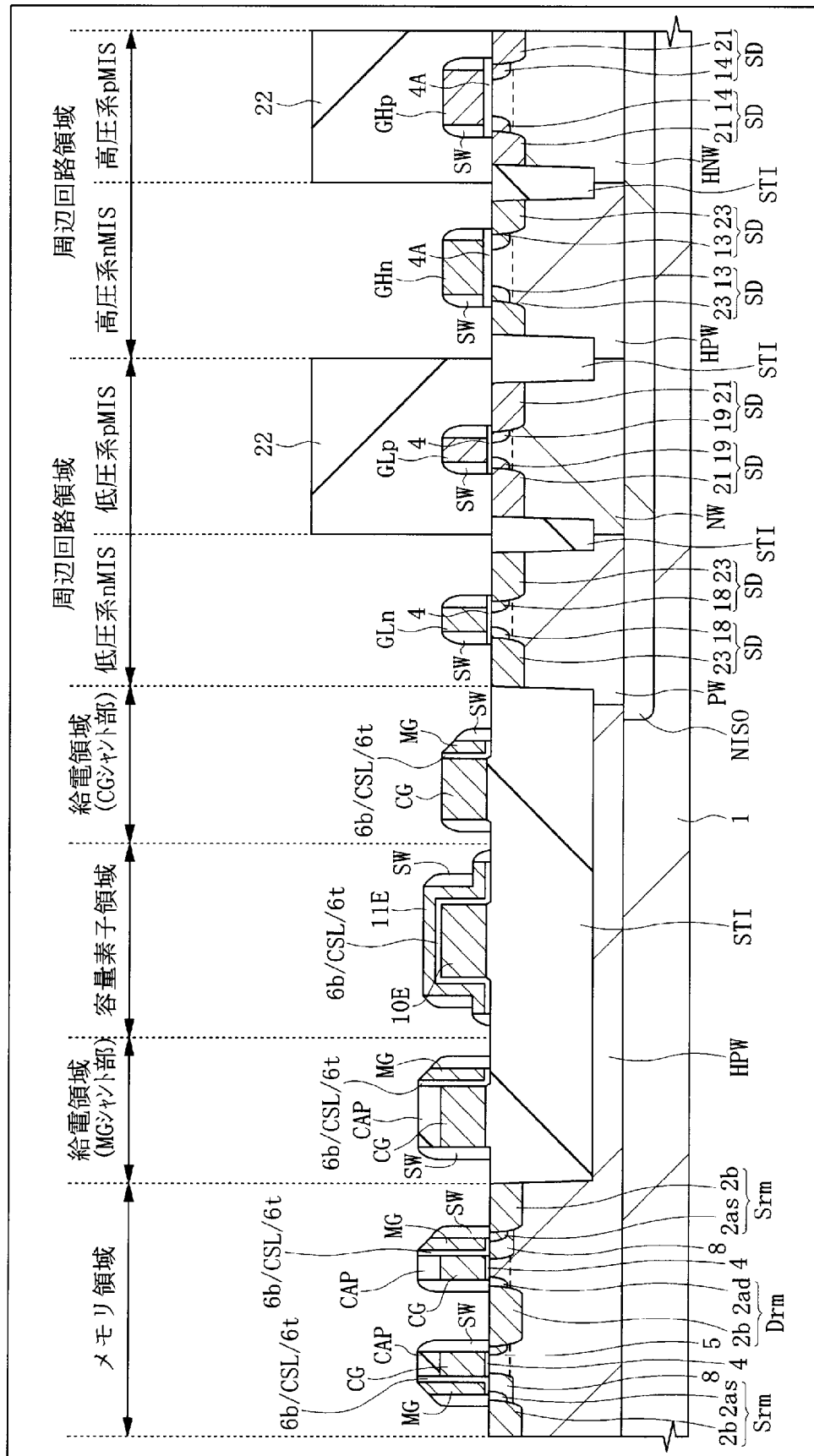
[図20]

図 20

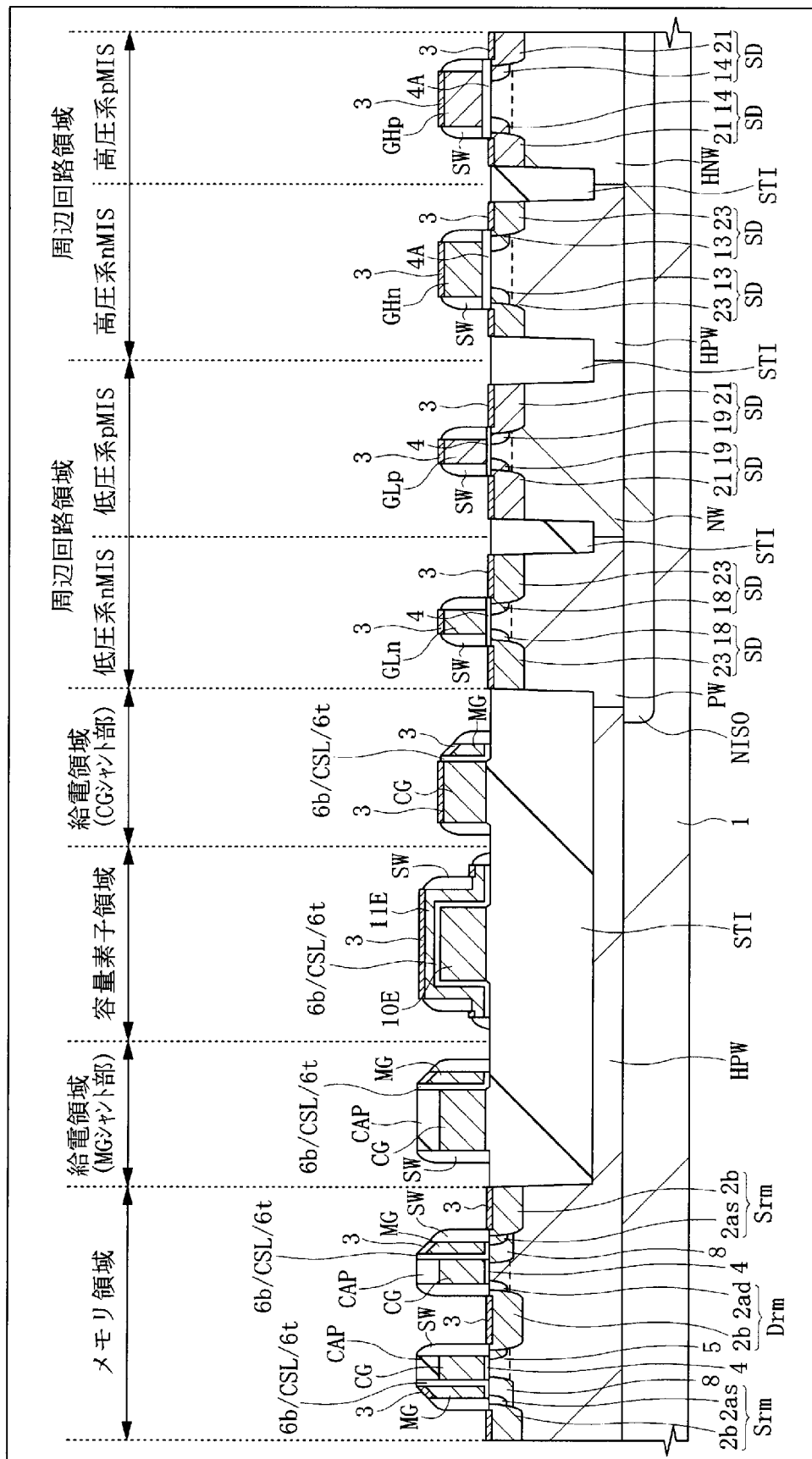


[図21]

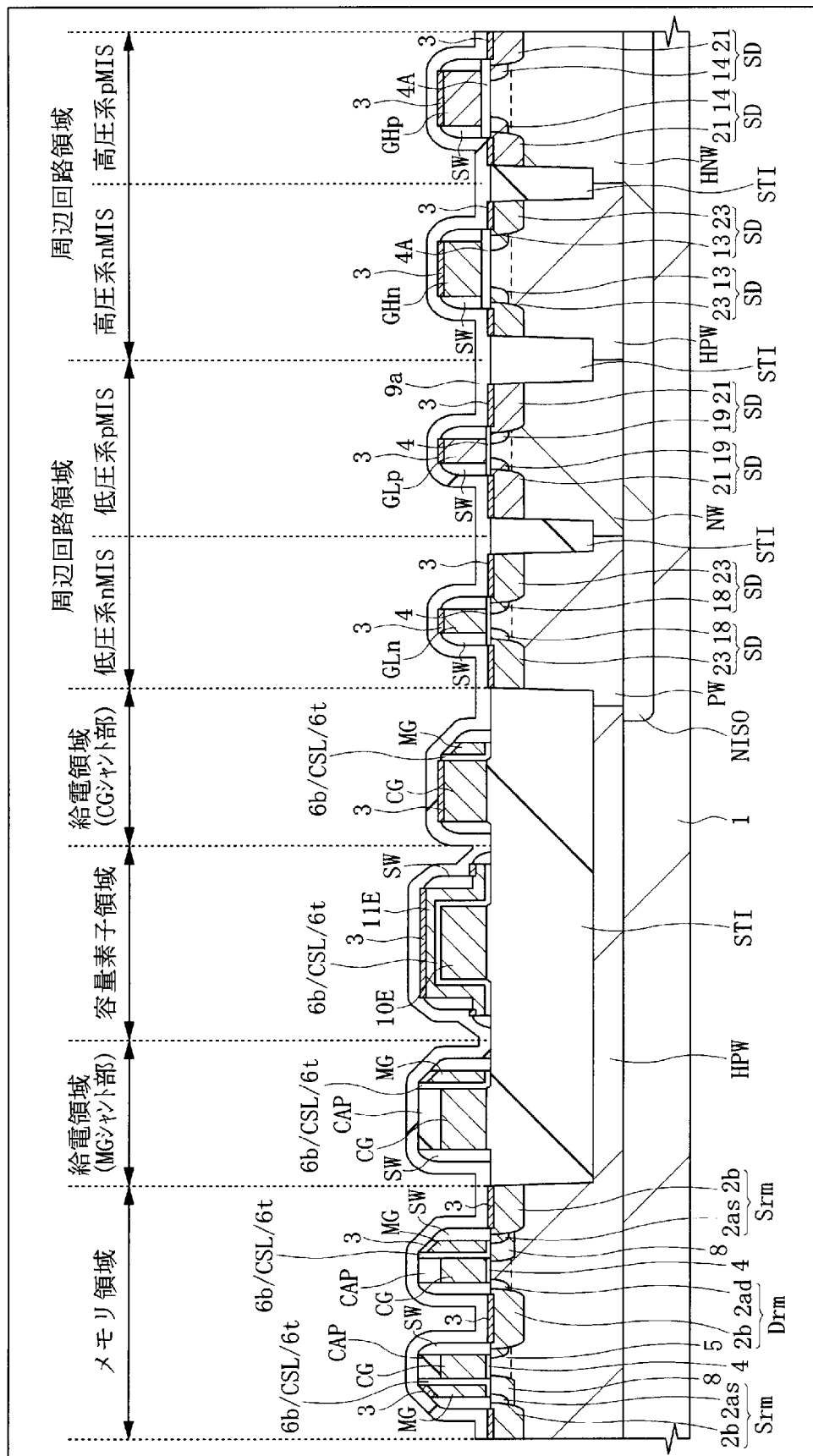
図 21



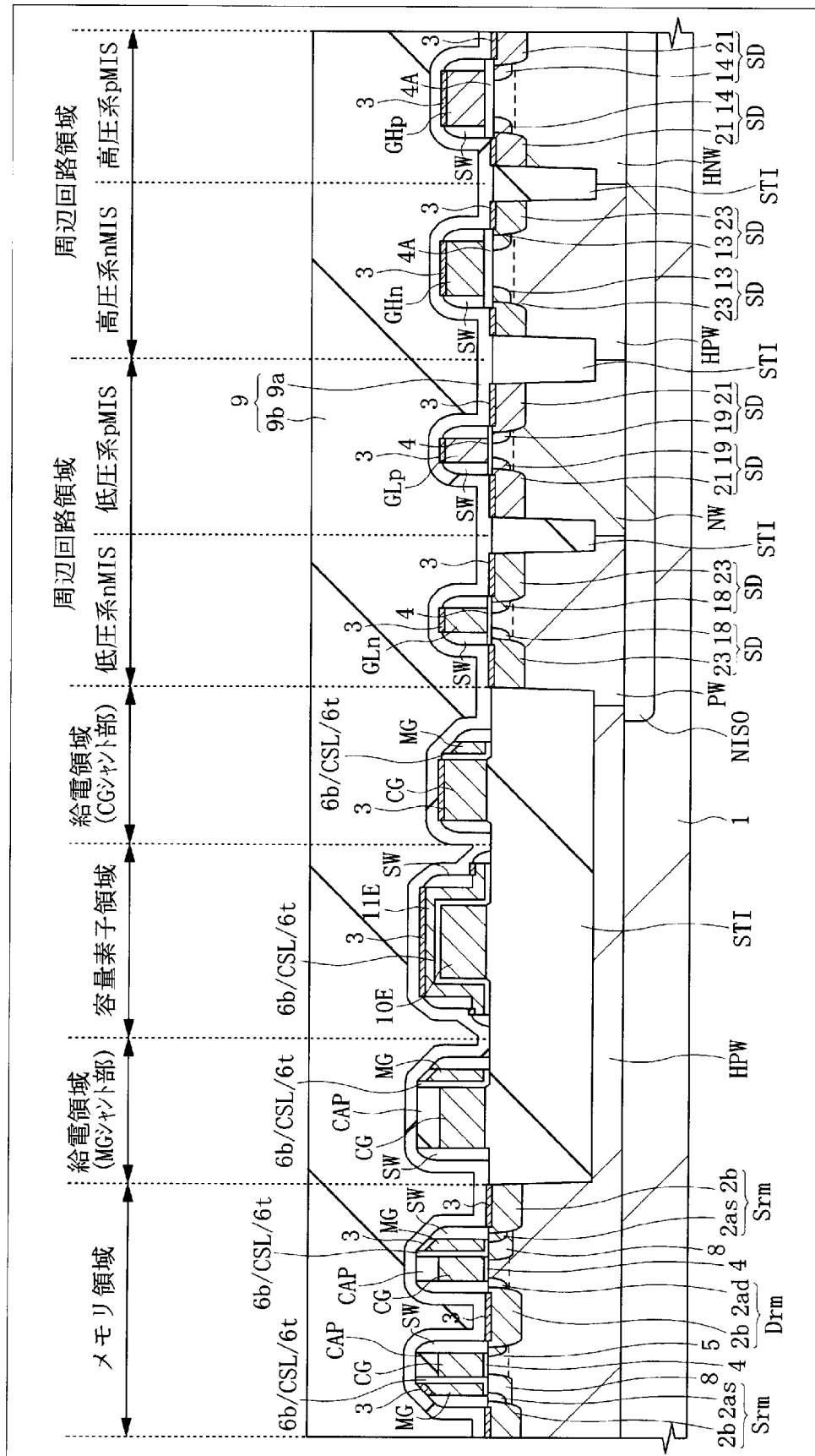
22



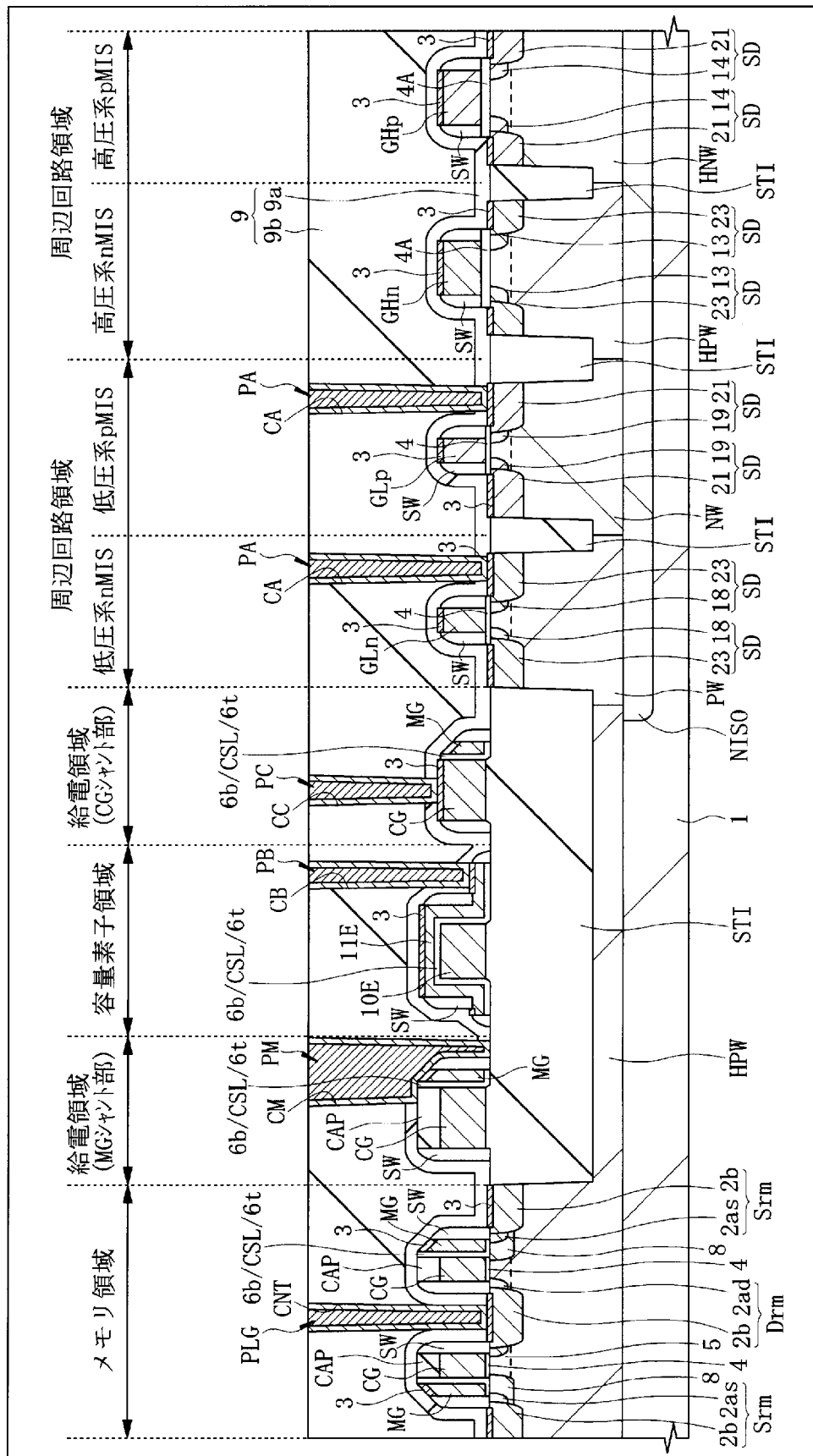
23



24 ☒

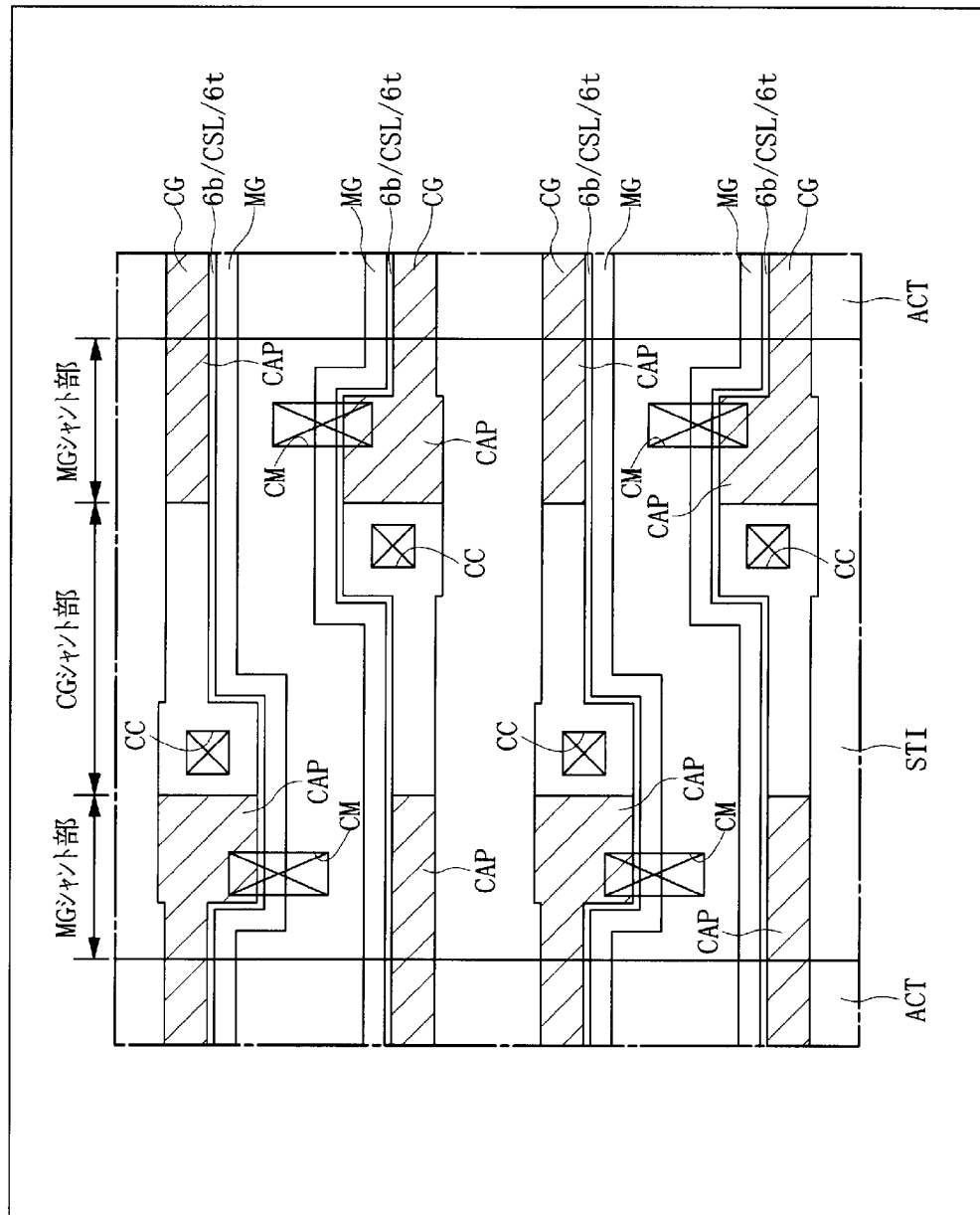


25



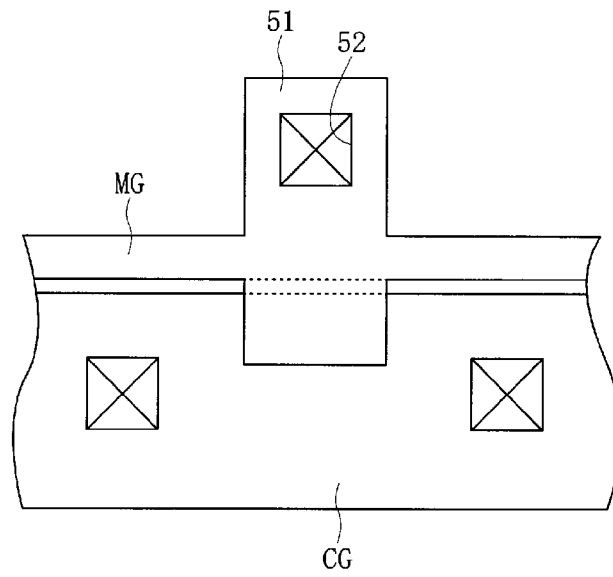
[図26]

図 26



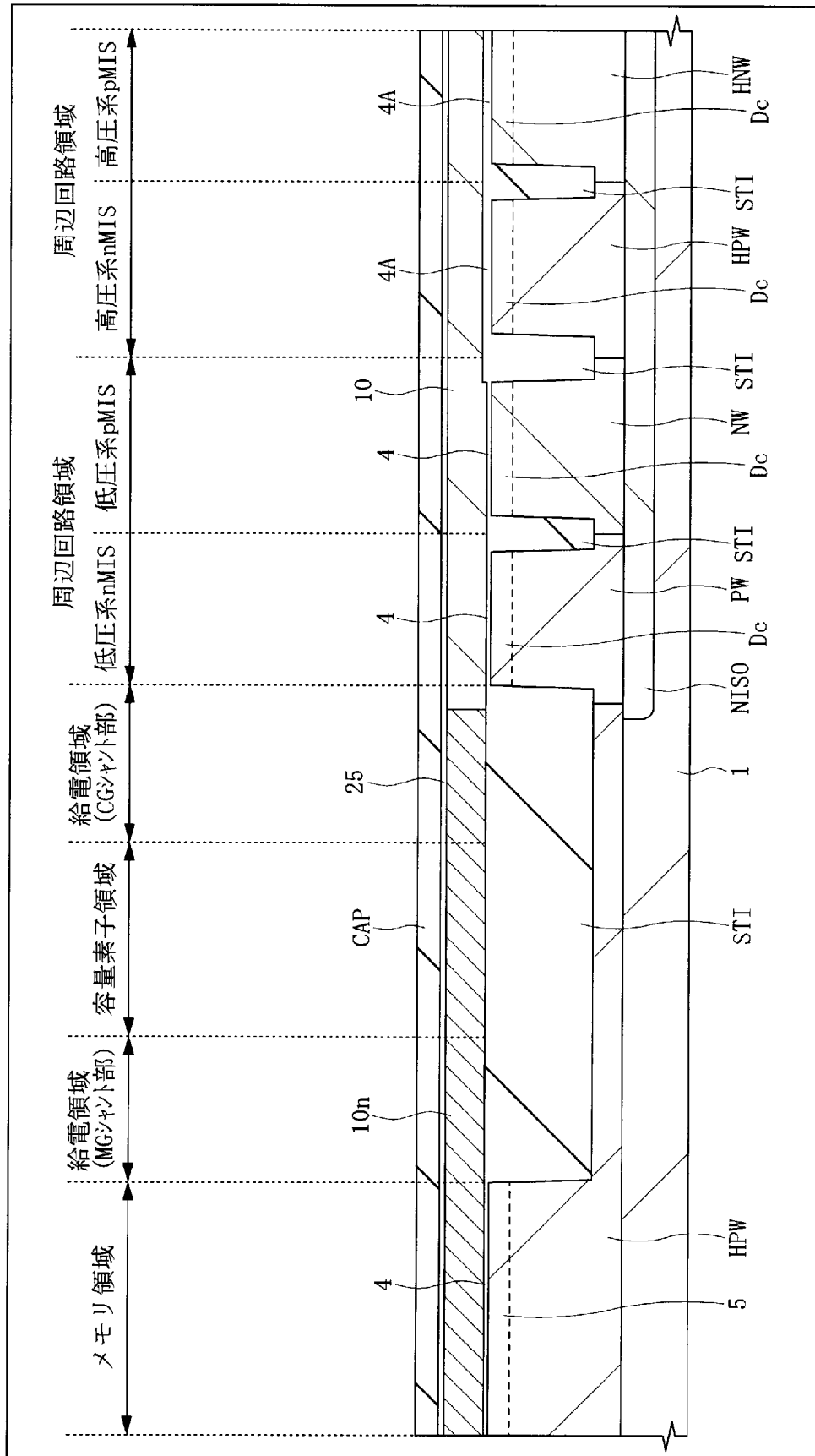
[図27]

図 27

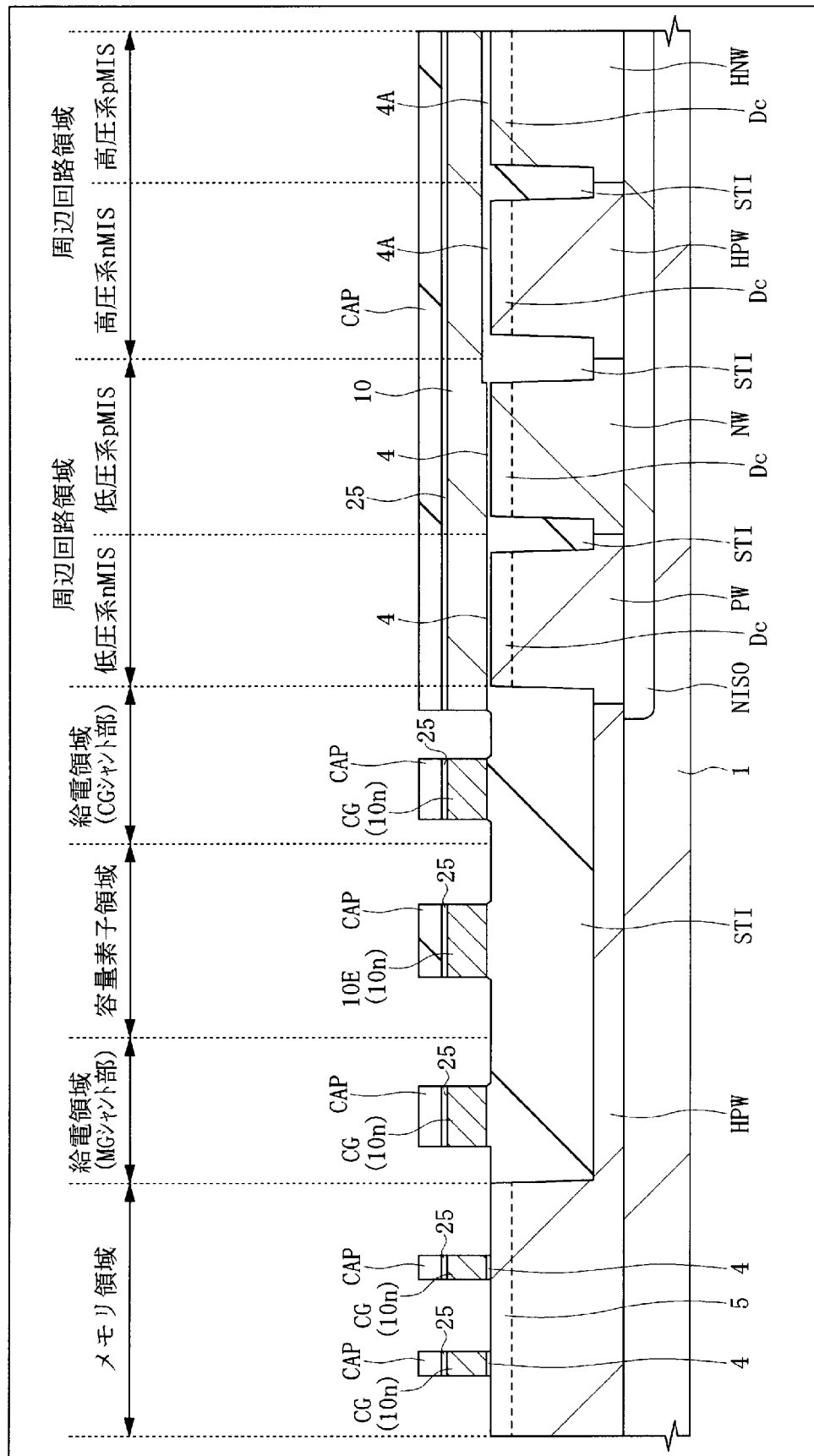


[図28]

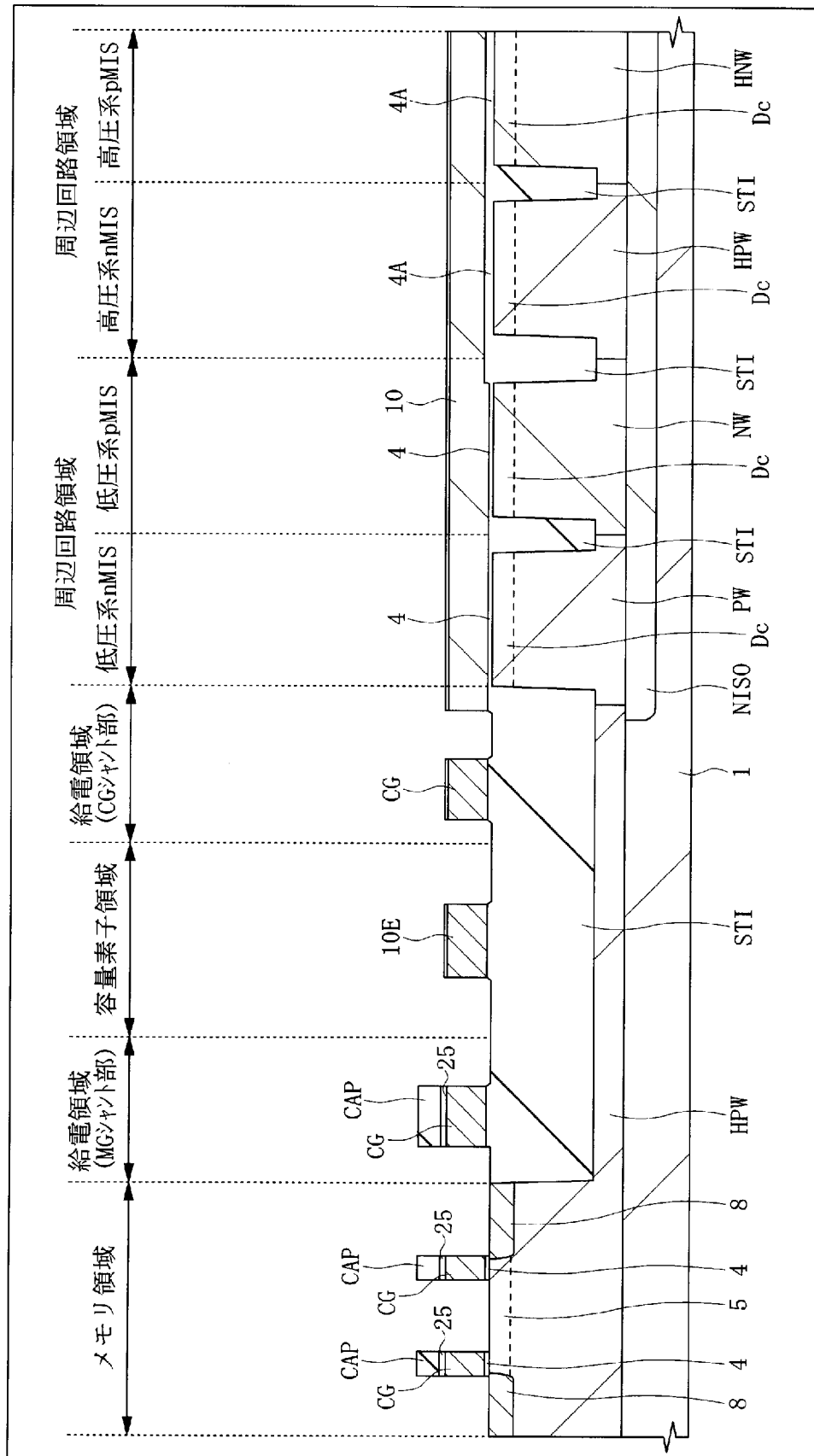
図 28



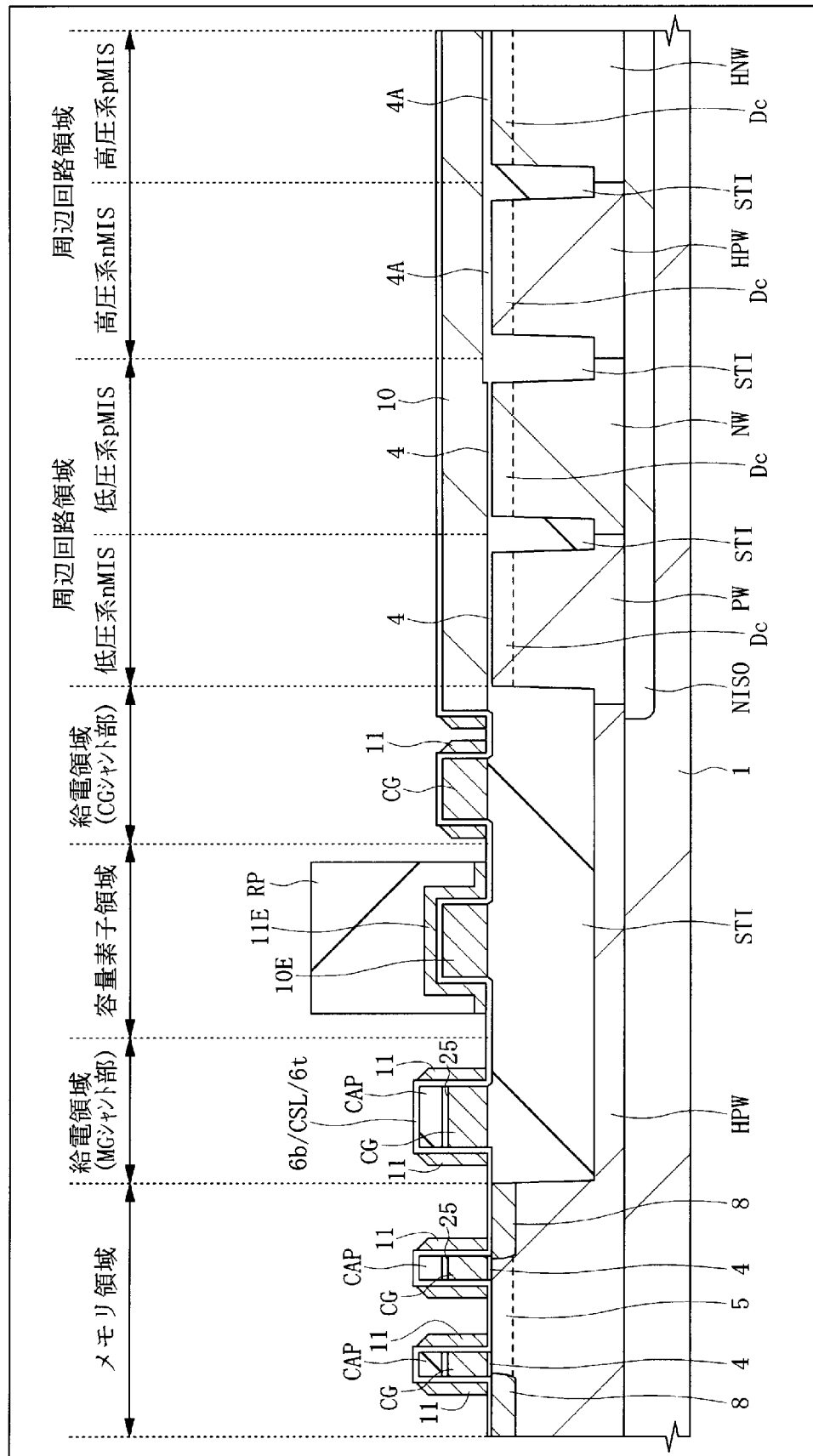
29



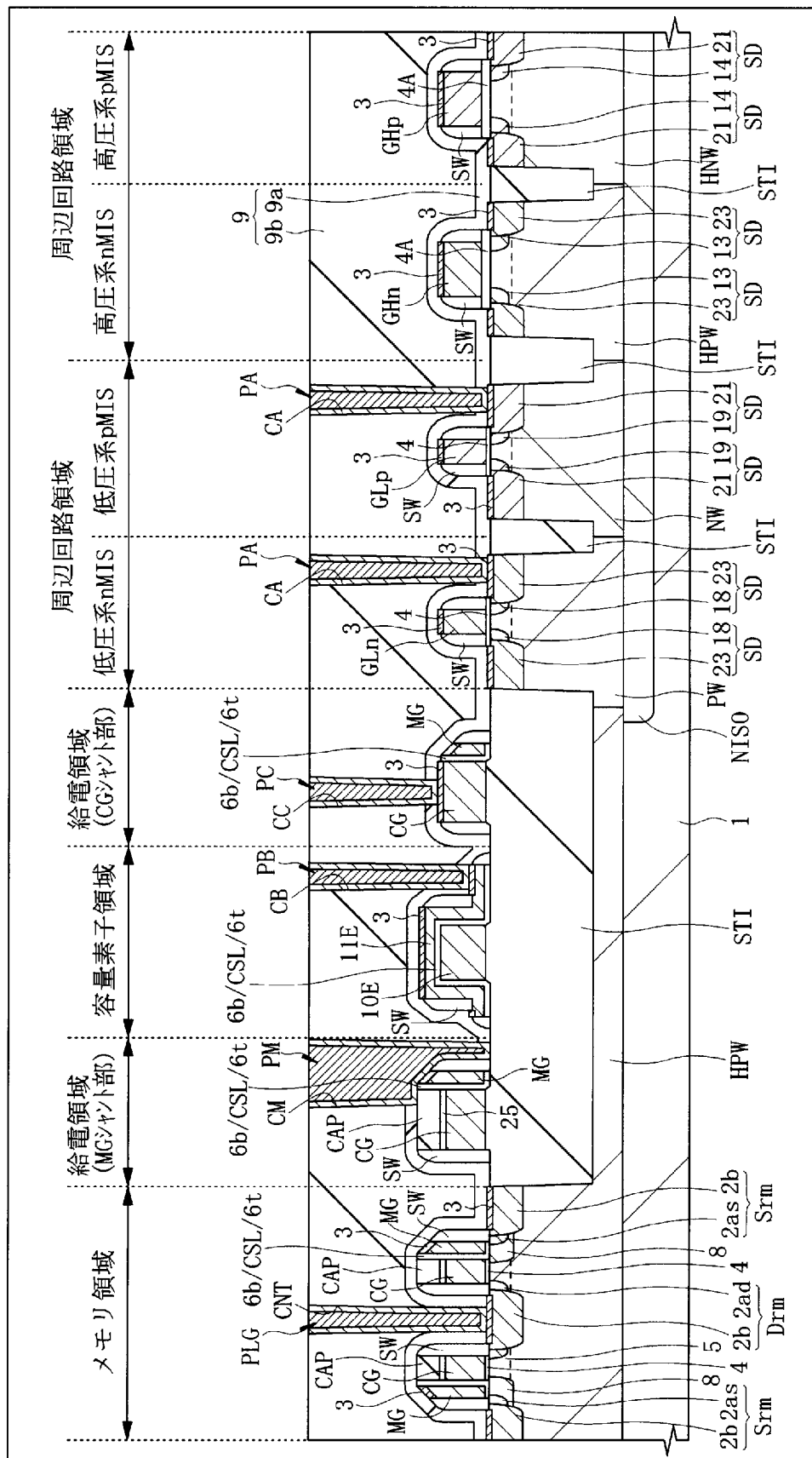
30



31

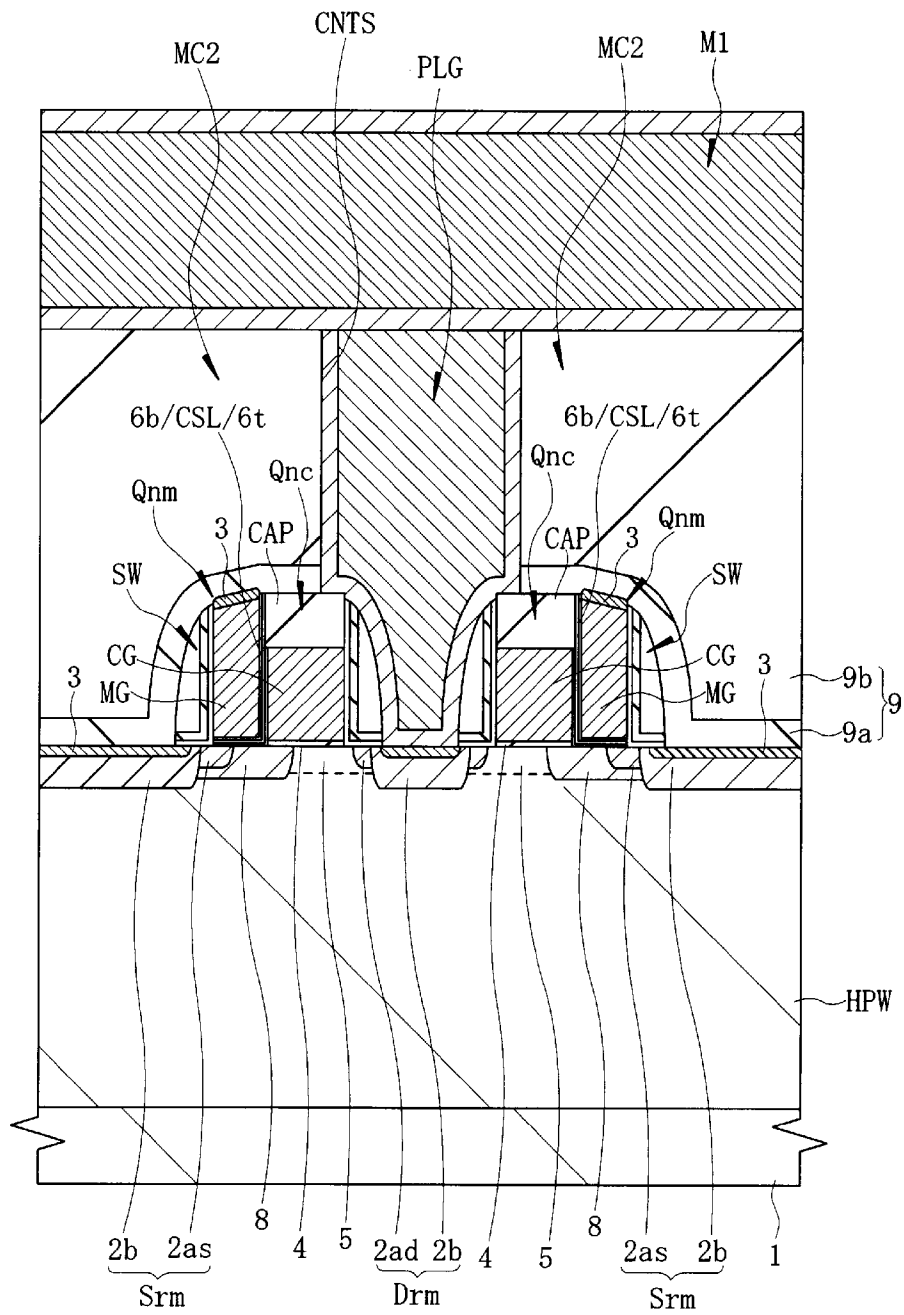


32

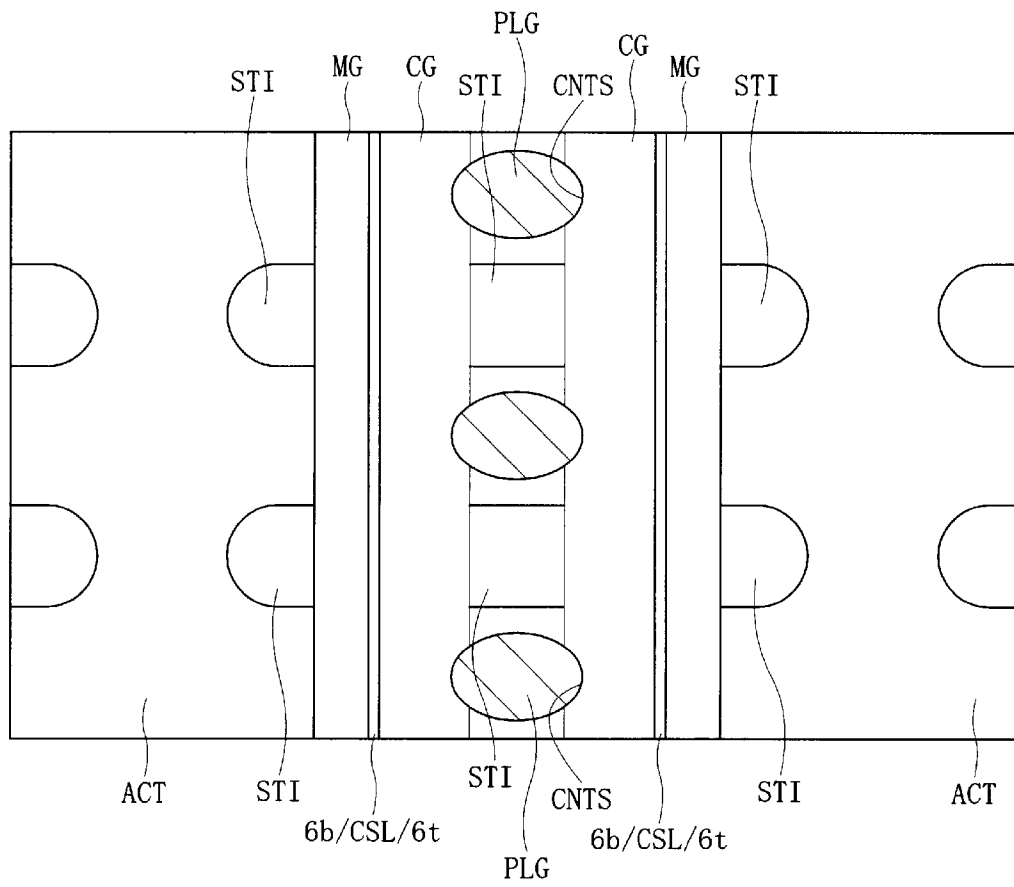


[図33]

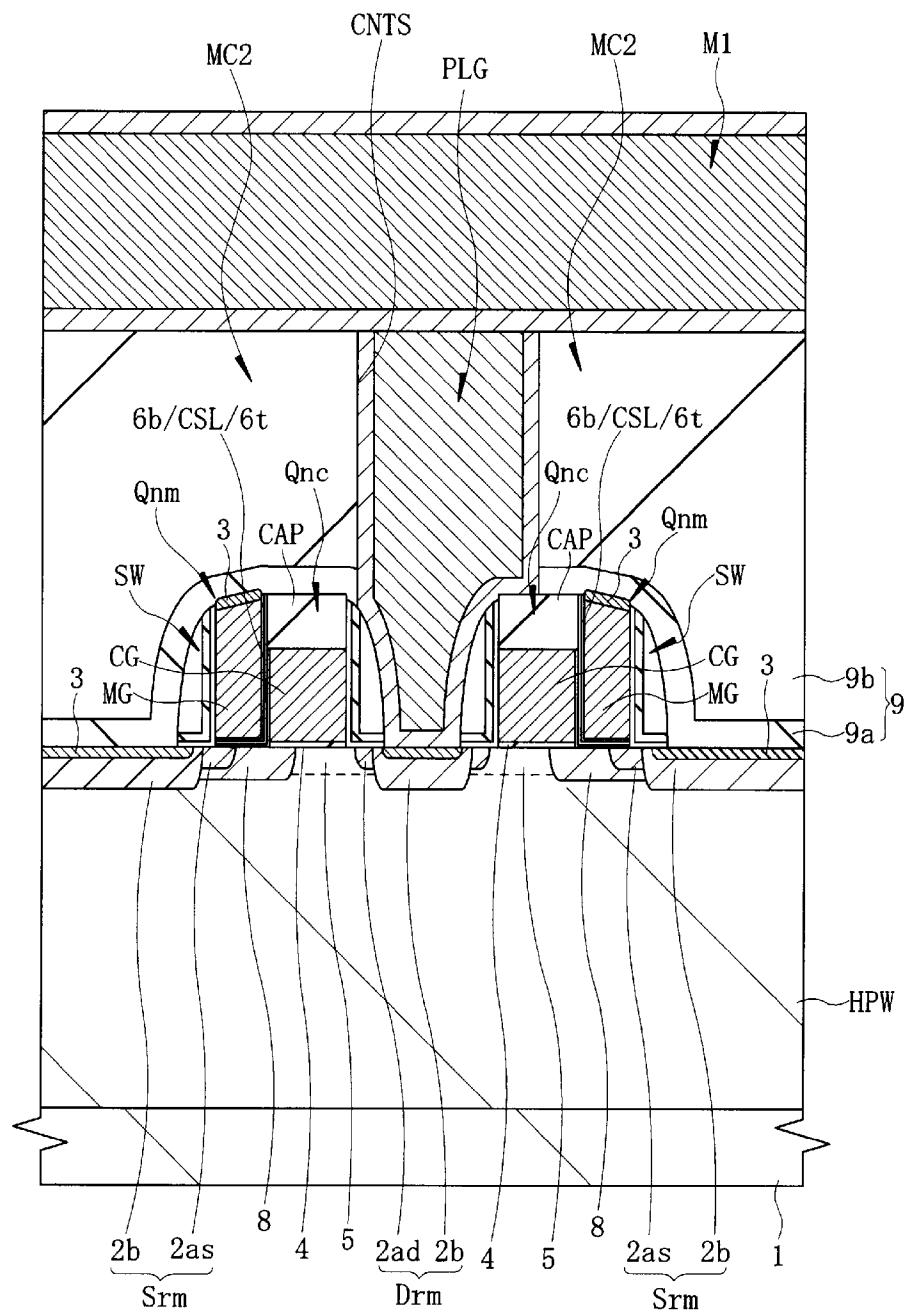
図 33



34

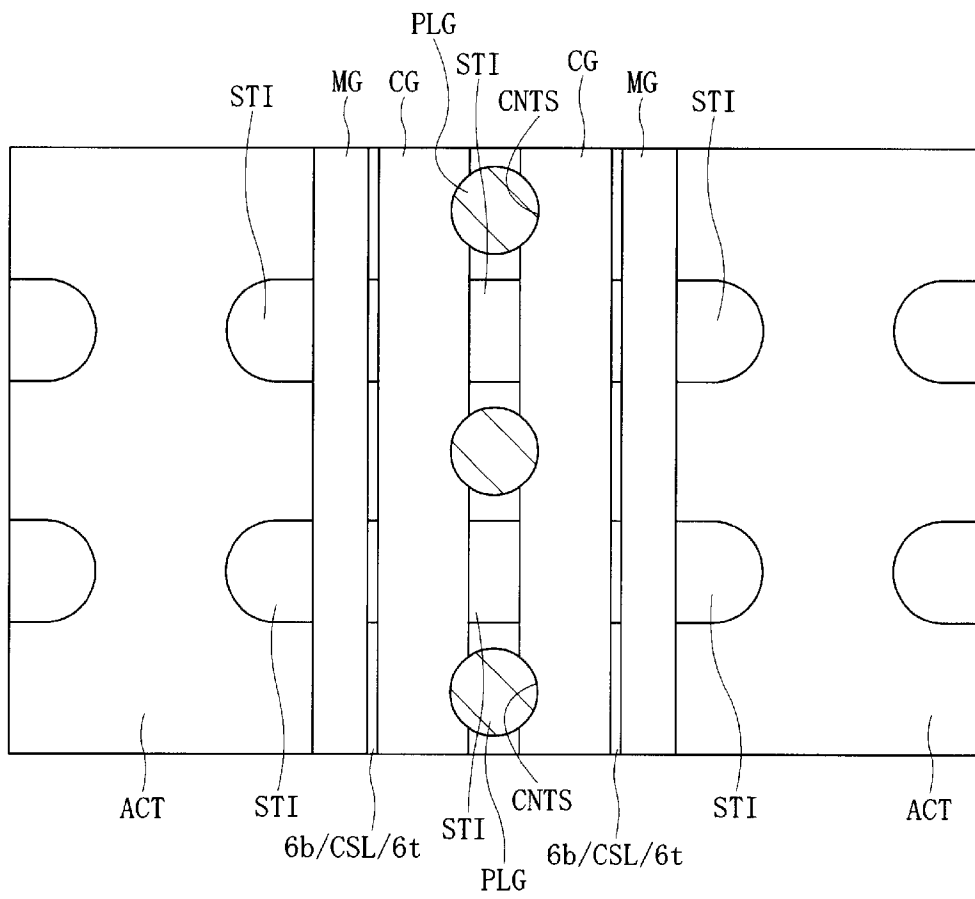


35



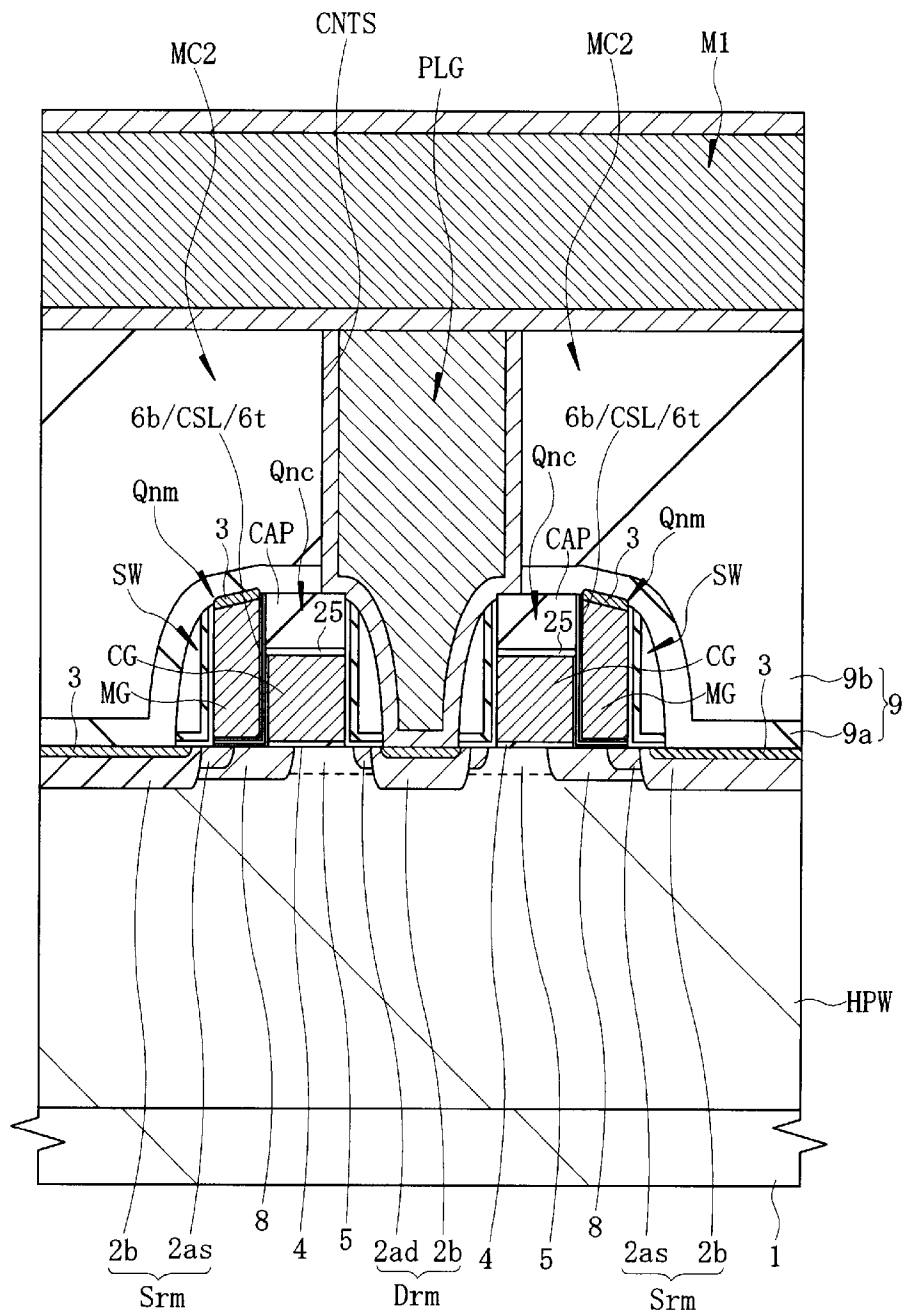
[図36]

図 36



[図37]

図 37



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068275

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i,
H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-270343 A (Renesas Technology Corp.), 06 November 2008 (06.11.2008), fig. 16 to 24 & US 2008/0258205 A1 & KR 10-2008-0093872 A & CN 101290800 A	1-59
A	JP 2005-347679 A (Renesas Technology Corp.), 15 December 2005 (15.12.2005), fig. 1 & US 2005/0272198 A1	1-59
A	JP 2005-294498 A (Renesas Technology Corp.), 20 October 2005 (20.10.2005), fig. 17 to 24 & US 2005/0230736 A1 & KR 10-2005-0096843 A & CN 1677675 A	1-59



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 January, 2010 (18.01.10)

Date of mailing of the international search report
26 January, 2010 (26.01.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068275

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-235519 A (Renesas Technology Corp.), 19 August 2004 (19.08.2004), fig. 5 & US 2004/0183122 A1	1-59
A	JP 2007-281092 A (Renesas Technology Corp.), 25 October 2007 (25.10.2007), fig. 18, 15 to 17, 19 to 21 & US 2007/0228498 A1 & CN 101051652 A	1-59
A	JP 2005-277430 A (Renesas Technology Corp.), 06 October 2005 (06.10.2005), fig. 1 to 7 (Family: none)	1-59
A	JP 2007-189063 A (Renesas Technology Corp.), 26 July 2007 (26.07.2007), entire text & US 2007/0164342 A1 & KR 10-2007-0076444 A & CN 101000913 A	1-59
A	JP 2008-294111 A (Renesas Technology Corp.), 04 December 2008 (04.12.2008), entire text (Family: none)	1-59
A	JP 2008-294088 A (Renesas Technology Corp.), 04 December 2008 (04.12.2008), entire text (Family: none)	1-59
A	JP 2007-311695 A (Renesas Technology Corp.), 29 November 2007 (29.11.2007), entire text & US 2007/0269972 A1	1-59
A	JP 2004-247633 A (Renesas Technology Corp.), 02 September 2004 (02.09.2004), entire text (Family: none)	1-59
A	JP 2008-41832 A (Renesas Technology Corp.), 21 February 2008 (21.02.2008), entire text & US 2008/0029805 A1	1-59
A	JP 2003-45981 A (Seiko Epson Corp.), 14 February 2003 (14.02.2003), entire text & US 2003/0025149 A1	1-59

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068275

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-353346 A (Halo LSI, Inc.), 06 December 2002 (06.12.2002), entire text & US 6759290 B2 & US 2004/0166630 A1 & EP 1248298 A1 & DE 60231267 D & TW 541627 B & KR 10-2002-0076199 A & AT 424042 T	1-59
P, A	JP 2009-271966 A (Renesas Technology Corp.), 19 November 2009 (19.11.2009), entire text (Family: none)	1-59

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068275

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068275

Continuation of Box No.III of continuation of first sheet (2)

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-59 of this international application is considered to be linked only by the following technical feature.

"A semiconductor device having a memory cell, wherein the memory cell comprises: a first gate insulating film which is composed of a first insulating film formed on a semiconductor substrate; a selection gate electrode which is composed of a first conductive film formed on the first gate insulating film; a cap insulating film which is composed of a second insulating film formed on the selection gate electrode; a memory gate electrode which is composed of a second conductive film formed in the form of a side wall on one lateral surface of the multilayer film which consists of the cap insulating film and the selection gate electrode; and a second gate insulating film which is formed between the multilayer film, which consists of the cap insulating film and the selection gate electrode, and the memory gate electrode, and between the memory gate electrode and the semiconductor substrate.

This common technical feature, however, cannot be a special technical feature since it is disclosed in document 1 (JP 2008-270343 A (Renesas Technology Corp.), 6 November 2008 (06.11.2008), fig. 16-24), document 2 (JP 2005-347679 A (Renesas Technology Corp.), 15 December 2005 (15.12.2005), fig. 1), document 3 (JP 2005-294498 A (Renesas Technology Corp.), 20 October 2005 (20.10.2005), fig. 17-24), document 4 (JP 2004-235519 A (Renesas Technology Corp.), 19 August 2004 (19.08.2004), fig. 5), and document 5 (JP 2007-281092 A (Renesas Technology Corp.), 25 October 2007 (25.10.2007), fig. 18, 15-17, 19-21).

Consequently, there is no special technical feature so linking the group of inventions of claims 1-59 as to form a single general inventive concept. The group of inventions of claims 1-59 therefore does not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8247, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-270343 A（株式会社ルネサステクノロジ） 2008.11.06, 図 1 6 - 2 4 & US 2008/0258205 A1 & KR 10-2008-0093872 A & CN 101290800 A	1-59
A	JP 2005-347679 A（株式会社ルネサステクノロジ） 2005.12.15, 図 1 & US 2005/0272198 A1	1-59
A	JP 2005-294498 A（株式会社ルネサステクノロジ） 2005.10.20, 図 1 7 - 2 4 & US 2005/0230736 A1 & KR 10-2005-0096843 A	1-59

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 1 . 2 0 1 0

国際調査報告の発送日

2 6 . 0 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

正山 旭

4 M

9 2 7 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	& CN 1677675 A	
A	JP 2004-235519 A (株式会社ルネサステクノロジ) 2004.08.19, 図5 & US 2004/0183122 A1	1-59
A	JP 2007-281092 A (株式会社ルネサステクノロジ) 2007.10.25, 図18, 15-17, 19-21 & US 2007/0228498 A1 & CN 101051652 A	1-59
A	JP 2005-277430 A (株式会社ルネサステクノロジ) 2005.10.06, 図1-7 (ファミリーなし)	1-59
A	JP 2007-189063 A (株式会社ルネサステクノロジ) 2007.07.26, 全文 & US 2007/0164342 A1 & KR 10-2007-0076444 A & CN 101000913 A	1-59
A	JP 2008-294111 A (株式会社ルネサステクノロジ) 2008.12.04, 全文 (ファミリーなし)	1-59
A	JP 2008-294088 A (株式会社ルネサステクノロジ) 2008.12.04, 全文 (ファミリーなし)	1-59
A	JP 2007-311695 A (株式会社ルネサステクノロジ) 2007.11.29, 全文 & US 2007/0269972 A1	1-59
A	JP 2004-247633 A (株式会社ルネサステクノロジ) 2004.09.02, 全文 (ファミリーなし)	1-59
A	JP 2008-41832 A (株式会社ルネサステクノロジ) 2008.02.21, 全文 & US 2008/0029805 A1	1-59
A	JP 2003-45981 A (セイコーエプソン株式会社) 2003.02.14, 全文 & US 2003/0025149 A1	1-59
A	JP 2002-353346 A (ヘイロ エルエスアイ インコーポレイテッド) 2002.12.06, 全文 & US 6759290 B2 & US 2004/0166630 A1 & EP 1248298 A1 & DE 60231267 D & TW 541627 B & KR 10-2002-0076199 A & AT 424042 T	1-59
P, A	JP 2009-271966 A (株式会社ルネサステクノロジ) 2009.11.19, 全 文 (ファミリーなし)	1-59

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
以下、特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

(第1 ページの続葉 (2) 第 III 欄の続き)

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その群の発明において、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴が必要であるところ、この国際出願の請求項 1 - 5 9 に記載されている一群の発明は、次の事項の範囲内で連関していると認める。

「メモリセルを有する半導体装置であって、前記メモリセルは、半導体基板上に形成された第 1 絶縁膜からなる第 1 ゲート絶縁膜と、

前記第 1 ゲート絶縁膜上に形成された第 1 導電膜からなる選択ゲート電極と、

前記選択ゲート電極上に形成された第 2 絶縁膜からなるキャップ絶縁膜と、

前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の片側面にサイドウォール状に形成された第 2 導電膜からなるメモリゲート電極と、

前記キャップ絶縁膜および前記選択ゲート電極からなる前記積層膜と前記メモリゲート電極との間に形成され、かつ、前記メモリゲート電極と前記半導体基板との間に形成された第 2 ゲート絶縁膜とを有」する点。

しかしながら、この事項は、

文献 1 (JP 2008-270343 A (株式会社ルネサステクノロジ) 2008.11.06, 図 1 6 - 2 4)

文献 2 (JP 2005-347679 A (株式会社ルネサステクノロジ) 2005.12.15, 図 1)

文献 3 (JP 2005-294498 A (株式会社ルネサステクノロジ) 2005.10.20, 図 1 7 - 2 4)

文献 4 (JP 2004-235519 A (株式会社ルネサステクノロジ) 2004.08.19, 図 5)

文献 5 (JP 2007-281092 A (株式会社ルネサステクノロジ) 2007.10.25, 図 1 8, 1 5 - 1 7, 1 9 - 2 1)

に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求項 1 - 5 9 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないことになり、請求項 1 - 5 9 に記載されている一群の発明が発明の単一性の要件を満たしていない。