

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97137459

※申請日期：97年09月30日

※IPC分類：H01L27/10 (2006.01)  
H01L21/8244 (2006.01)

## 一、發明名稱：(中文/英文)

利用高K金屬閘極堆疊以致能多重定限電壓裝置的技術  
TECHNIQUES FOR ENABLING MULTIPLE VT DEVICES  
USING HIGH-K METAL GATE STACKS

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

琳奈 D 安德森 / ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國 / US

## 三、發明人：(共 5 人)

姓名 (中文/英文)

1、馬汀 M 法蘭克 / FRANK, MARTIN M.

2、亞凡 庫瑪 / KUMAR, ARVIND

3、衛賈 那雷雅南 / NARAYANAN, VIJAY

4、傑佛瑞 思雷特 / SLEIGHT, JEFFREY

5、瓦蒙西 K 帕魯齊里 / PARUCHURI, VAMSI K.

國籍 (中文/英文)

1 為德國 / DE

2、4 為美國 / US

3、5 為印度 / IN

#### 四、 聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；西元 2007 年 10 月 30 日；11/927,964

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

提供結合彼此具有不同臨界電壓需求之電晶體之技術。於一方面，半導體裝置包含：基板，具有至少一第一與第二 nFET 區域以及至少一第一與第二 pFET 區域；邏輯 nFET 於基板之第一 nFET 區域；邏輯 pFET 於基板之第一 pFET 區域；SRAM nFET 於基板之第二 nFET 區域；以及 SRAM pFET 於基板之第二 pFET 區域，各包含一閘極堆疊，具有金屬層於高 K 層上。邏輯 nFET 閘極堆疊更包含帽蓋層，將金屬層與高 K 層分開，其中帽蓋層更用以相對於邏輯 pFET、SRAM nFET、以及 SRAM pFET 中之一或更多個之臨界電壓，偏移邏輯 nFET 之臨界電壓。

## 六、英文發明摘要：

Techniques for combining transistors having different threshold voltage requirements from one another are provided. In one aspect, a semiconductor device comprises a substrate having a first and a second nFET region, and a first and a second pFET region; a logic nFET on the substrate over the first nFET region; a logic pFET on the substrate over the first pFET region; a SRAM nFET on the substrate over the second nFET region; and a SRAM pFET on the substrate over the second pFET region, each comprising a gate stack having a metal layer over a high-K layer. The logic nFET gate stack further comprises a capping layer separating the metal layer from the high-K layer, wherein the capping layer is further configured to shift a threshold voltage of the logic nFET relative to a threshold voltage of one or more of the logic pFET, SRAM nFET and SRAM pFET.

**七、指定代表圖：**

(一)本案指定代表圖為：圖 1G。

(二)本代表圖之元件符號簡單說明：

106	邏輯 nFET 區域
108	SRAM nFET 區域
110	邏輯 pFET 區域
112	SRAM pFET 區域
116a、116b、116c、116d	面際層介電質
118a、118b、118c、118d	高 K 層
121a	帽蓋層
126a、126b、126c、126d	金屬層
128a、128b、128c、128d	矽層
130、132、134、136	閘極堆疊

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。**

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於積體電路，尤其是關於積體電路中結合彼此具有不同臨界電壓需求之電晶體之技術。

### 【先前技術】

現今積體電路通常包含各種各樣不同類型彼此結合的電晶體。舉例而言，隨機存取記憶體電晶體，如靜態隨機存取記憶體(SRAM)或動態隨機存取記憶體(DRAM)電晶體，以許多組態用以與各種邏輯電晶體結合。然而，關於整合不同電晶體的挑戰在於，各種類型的電晶體通常需要與其他種類型電晶體所需不同的臨界電壓( $V_t$ )。例如於結合 SRAM 及邏輯電晶體之積體電路組態中，SRAM 電晶體典型需要比與其相應的邏輯電晶體還高的  $V_t$ 。 $V_t$  的差異是由於相較於邏輯電晶體，SRAM 電晶體相對較低的功率需求。

於習知設計中，不同的  $V_t$  需求透過摻雜解決。具體而言，執行額外的摻雜步驟，而相對於邏輯電晶體來改變 SRAM 電晶體的  $V_t$ ，反之亦然。然而，此方案有著需注意的缺點。由於電晶體的  $V_t$  透過摻雜來決定，因此裝置間的摻雜必須一致以得到一致的  $V_t$ 。亦即，大量生產的裝置會發生摻雜質變動，而導致電晶體的變化性。電晶體的變化性導致裝置的變化性，因而影響性能。隨著裝置特徵的縮減，摻雜質變動及裝置變化性的效應甚至變的更顯著。

因此，需要一種結合具有不同  $V_t$  需求之電晶體的改良技術。

### 【發明內容】

本發明提供結合彼此具有不同臨界電壓( $V_t$ )需求之電晶體之技術。於本發明之一方面，提供一種半導體裝置。此半導體裝置包含一基板，具有至少一第一與第二 n 通道場效電晶體(nFET)區域以及至少一第一與第二 p 通道場效電晶體(pFET)區域；至少一邏輯 nFET 於基板之第一 nFET 區域；至少一邏輯 pFET 於基板之第一 pFET 區域；至少一靜態隨機存取記憶體(SRAM) nFET 於基板之第二 nFET 區域；以及至少一 SRAM pFET 於基板之第二 pFET 區域。邏輯 nFET、邏輯 pFET、SRAM nFET、以及 SRAM pFET 各包含閘極堆疊，具有金屬層於高 K 層上。邏輯 nFET 閘極堆疊更包含帽蓋層，將金屬層與高 K 層分開，其中帽蓋層更用以相對於邏輯 pFET、SRAM nFET、以及 SRAM pFET 中之一或更多個之臨界電壓，偏移邏輯 nFET 之臨界電壓。

於本發明另一方面，提供一種製造半導體裝置之方法。本方法包含以下步驟。提供基板，其具有至少一邏輯 nFET 區域、至少一 SRAM nFET 區域、至少一邏輯 pFET 區域、以及至少一 SRAM pFET 區域。選擇性形成結晶矽鍍於邏輯 pFET 區域。成長面際層介電質於邏輯 nFET 區域、SRAM nFET 區域、邏輯 pFET 區域、以及 SRAM pFET 區域上。沉積高 K 層於面

際層介電質上。形成帽蓋層於邏輯 nFET 區域中且於高 K 層與面際層介電質相對之一側上。沉積金屬層於邏輯 nFET 區域中之帽蓋層上，且於 SRAM nFET 區域、邏輯 pFET 區域、以及 SRAM pFET 區域之高 K 層上。沉積矽層於金屬層上。執行蝕刻穿過面際層介電質、高 K 層、帽蓋層、金屬層、以及矽層，以形成邏輯 nFET 閘極堆疊於邏輯 nFET 區域上，以及穿過面際層介電質、高 K 層、金屬層、以及矽層，以形成 SRAM nFET 閘極堆疊於 SRAM nFET 區域上、邏輯 pFET 閘極堆疊於邏輯 pFET 區域上、以及 SRAM pFET 閘極堆疊於 SRAM pFET 區域上。

於本發明又另一方面，提供另一種製造半導體裝置之方法。本方法包含以下步驟。提供基板，其具有至少一邏輯 nFET 區域、至少一 SRAM nFET 區域、至少一邏輯 pFET 區域、以及至少一 SRAM pFET 區域。成長面際層介電質於邏輯 nFET 區域、SRAM nFET 區域、邏輯 pFET 區域、以及 SRAM pFET 區域上。沉積高 K 層於面際層介電質上。形成帽蓋層於邏輯 nFET 區域及 SRAM pFET 區域中之高 K 層與面際層介電質相對之一側上。沉積金屬層於邏輯 nFET 區域及 SRAM pFET 區域之帽蓋層上，且於 SRAM nFET 區域及邏輯 pFET 區域之高 K 層上。沉積矽層於金屬層上。執行蝕刻穿過面際層介電質、高 K 層、帽蓋層、金屬層、以及矽層，以形成邏輯 nFET 閘極堆疊於邏輯 nFET 區域及 SRAM pFET 閘極堆疊於 SRAM pFET 區域上，以及穿過面際層介電質、高 K 層、金屬層、以

及矽層，以形成 SRAM nFET 閘極堆疊於 SRAM nFET 區域上以及邏輯 pFET 閘極堆疊於邏輯 pFET 區域上。

本發明更包含以下步驟。沉積拉伸氮化矽層於邏輯 nFET 區域及 SRAM nFET 區域上。氧化邏輯 pFET 區域及 SRAM pFET 區域。沉積壓縮氮化矽層於邏輯 pFET 區域及 SRAM pFET 區域上。

對於本發明之更完整的了解以及本發明進一步特徵及優勢，將參照以下說明及圖式而獲得

### 【實施方式】

圖 1A-G 顯示形成積體靜態隨機存取記憶體(SRAM)-邏輯半導體裝置之例示方法之截面示意圖。此裝置包含例如具有複數個 SRAM 及邏輯電晶體之積體電路。

以積體 SRAM-邏輯裝置而言，相較於邏輯電晶體之臨界電壓( $V_t$ )，需要能精確且一致地改變 SRAM 電晶體之臨界電壓。舉例而言，SRAM 電晶體可能需要比邏輯電晶體還高的臨界電壓。如下將描述，本技術涉及具有高 K/金屬閘極堆疊之電晶體。可選擇性使用帽蓋層於一或更多的閘極堆疊，及/或可選擇性成長結晶矽鍺(cSiGe)以改變對應電晶體的臨界電壓。

如圖 1A 所示，提供基板 104。基板 104 可包含絕緣層上矽(SOI)基板或塊矽基板。根據一例示實施例，基板 104 包含 SOI 基板，其具有矽層於絕緣體(例如二氧化矽( $\text{SiO}_2$ ))上，其中矽層具有約 5 奈米(nm)至約 100nm 之厚度。

基板 104 具有 SRAM 及邏輯 n 通道電晶體(nFET)以及 p 通道電晶體(pFET)區域界定於其中。具體而言，根據圖 1A 所示之例示實施例，基板 104 包含邏輯 nFET 區域 106、SRAM nFET 區域 108、邏輯 pFET 區域 110、以及 SRAM pFET 區域 112。邏輯 nFET 區域 106 及 SRAM nFET 區域 108 各包含矽且摻雜有 p 型摻雜質。邏輯 pFET 區域 110 及 SRAM pFET 區域 112 亦包含矽且摻雜有 n 型摻雜質。將如下所述，於 SRAM pFET 區域 112 中之 cSiGe 將具有降低的鍺(Ge)分率。僅作為範例而言，於 SRAM pFET 區域 112 中之 cSiGe 可具有小於約 30%的鍺分率，而較佳約 15%至約 25%之間。相較而言，於邏輯 pFET 區域 110 之 cSiGe 可具有約 30%至 40%間的鍺分率。於成長 cSiGe 期間調整鍺量的程序為熟此技藝者所熟知，因而於此不贅述。

沉積硬遮罩層於裝置上，並圖案化以形成硬遮罩 114 於 nFET 區域，即 nFET 區域 106 及 SRAM nFET 區域 108。硬遮罩 114 屏蔽邏輯 nFET 區域 106 及 SRAM nFET 區域 108，然後選擇性形成(即成長)cSiGe 113 及 115 分別於邏輯 pFET 區域 110 及 SRAM pFET 區域 112。如上所述，例如當相較於邏輯

pFET 區域 110 時，SRAM pFET 區域 112 具有降低的鍍分率。根據一例示實施例，利用兩步驟遮罩程序完成了兩 pFET 區域間的變化，其中首先放置一遮罩(未顯示)於邏輯 pFET 區域 110，而形成具有降低鍍分率之 cSiGe 於 SRAM pFET 區域 112 中。移除遮罩，以及放置第二遮罩(未顯示)於 SRAM pFET 區域 112，而 cSiGe 形成於邏輯 pFET 區域 110 中。然後移除第二遮罩。此兩步驟遮罩程序執行時硬遮罩 114 乃置於適當處。此兩步驟遮罩程序的順序並不重要，且可執行成先形成 cSiGe 於邏輯 pFET 區域 110 中，而後形成具有降低鍍分率之 cSiGe 於 SRAM pFET 區域 112 中。

如圖 1B 所示，剝除硬遮罩 114。根據一例示實施例，利用濕化學蝕刻剝除硬遮罩 114。

如圖 1C 所示，面際層(IL)介電質 116 成長於 nFET/pFET 區域。根據例示實施例，面際層介電質 116 包含  $\text{SiO}_2$ 。然後，結合氮入面際層(IL)介電質 116(例如藉由氮化、熱氮化、及/或電將氧化而後氮化)。然後沉積高 K 層 118 於面際層介電質 116 相對於 nFET/pFET 區域之一側上。根據例示實施例，高 K 層 118 包含以下中之一或更多個：氧化鈣( $\text{HfO}_2$ )、氧化鋯( $\text{ZrO}_2$ )、矽酸鈣( $\text{HfSiO}$ )、氮化矽酸鈣( $\text{HfSiON}$ )、氧化鉭( $\text{Ta}_2\text{O}_5$ )、氧化鈦( $\text{TiO}_2$ )、氧化鋁( $\text{Al}_2\text{O}_3$ )、以及包含前述高 K 材料至少其一之混合物。

帽蓋層 120 沉積於高 K 層 118 相對於面際層介電質 116 之一側上。根據例示實施例，帽蓋層 120 包含以下中之一或更多個：氧化鏷( $\text{La}_2\text{O}_3$ )、氧化鎂( $\text{MgO}$ )、IIA 族及 IIIB 族元素之氧化物、以及 IIA 族及 IIIB 族元素之氮化物。帽蓋層描述於如 Brown 等人申請之美國專利公開案 2006/0289948 號，名稱為「控制高 k 金屬閘極堆疊之平帶/臨界電壓之方法及其結構」，以及 Bojarczuk 等人申請之美國專利公開案 2006/0244035 號，名稱為「穩定 CMOS 中氧化鉛基矽電晶體之平帶電壓及臨界電壓」，此兩者之整體揭露於此作為參考。如下將述，於完成的裝置中，帽蓋層 120 可提供 nFET 中約 300mV 至約 350mV 的臨界電壓偏移。再者，降低鍺分率之 cSiGe 可提供 pFET 中約 200mV 至約 350mV 的臨界電壓偏移。

如圖 1D 所示，圖案化光阻 124 於邏輯 nFET 區域 106 上。以光阻 124 作為遮罩，自 SRAM nFET 區域 108、邏輯 pFET 區域 110、以及 SRAM pFET 區域 112 上，選擇性移除(即剝除)帽蓋層 120。根據一例示實施例，利用氫氯酸(HCl)自 SRAM nFET 區域 108、邏輯 pFET 區域 110、以及 SRAM pFET 區域 112 上，選擇性移除帽蓋層 120。舉例而言，若高 K 層 118 為  $\text{HfO}_2$ (如上所述)而若帽蓋層 120 包含  $\text{La}_2\text{O}_3$ (如上所述)，則 HCl 選擇自  $\text{HfO}_2$  層移除  $\text{La}_2\text{O}_3$  層。對於不同的帽蓋層組成而言，可使用其他合適的化學劑來選擇性移除帽蓋層。

如圖 1E 所示，移除光阻 124 露出形成於邏輯 nFET 區域

上之帽蓋層剩餘部份，即於邏輯 nFET 區域 106 上之帽蓋層 121。如圖 1F 所示，沉積金屬層 126 於帽蓋層 121/高 K 層 118 上。根據例示實施例，金屬層 126 包含以下中之一或更多個：氮化鈦(TiN)、氮化鈮(TaN)、氮化鋁鈮(TaAlN)、氮化鋁鈦(TiAlN)、以及碳化鈮(TaC 或 Ta<sub>2</sub>C)。

然後沉積矽層 128 於金屬層 126 相對於帽蓋層 121/高 K 層 118 之一側上。根據例示實施例，矽層 128 包含多晶矽 (poly-Si)及/或非晶矽，且沉積厚度之最厚點為約 1,000 埃。然而，可視技術而矽層 128 厚度的最厚點變化於約 500 埃到約 1,000 埃。

如圖 1G 所示，然後執行反應式離子蝕刻(RIE)穿過許多層，以界定各 nFET 及 pFET 區域上之個別閘極堆疊。亦即，閘極堆疊 130 界定於邏輯 nFET 區域 106 上。閘極堆疊 130 包含面際層介電質 116a(自面際層介電質 116 所形成)、高 K 層 118a(自高 K 層 118 所形成)於面際層介電質 116a 上、帽蓋層 121a(自帽蓋層 121 所形成)於高 K 層 118a 相對於面際層介電質 116a 之一側上、金屬層 126a(自金屬層 126 所形成)於帽蓋層 121a 相對於高 K 層 118a 之一側上、以及矽層 128a(自矽層 128 所形成)於金屬層 126a 相對於帽蓋層 121a 之一側上。

閘極堆疊 132 界定於 SRAM nFET 區域 108 上。閘極堆疊 132 包含面際層介電質 116b(自面際層介電質 116 所形成)、高

K 層 118b(自高 K 層 118 所形成)於面際層介電質 116b 上、金屬層 126b(自金屬層 126 所形成)於高 K 層 118b 相對於面際層介電質 116b 之一側上、以及矽層 128b(自矽層 128 所形成)於金屬層 126b 相對於高 K 層 118b 之一側上。

閘極堆疊 134 界定於邏輯 pFET 區域 110 上。閘極堆疊 134 包含面際層介電質 116c(自面際層介電質 116 所形成)、高 K 層 118c(自高 K 層 118 所形成)於面際層介電質 116c 上、金屬層 126c(自金屬層 126 所形成)於高 K 層 118c 相對於面際層介電質 116c 之一側上、以及矽層 128c(自矽層 128 所形成)於金屬層 126c 相對於高 K 層 118c 之一側上。

閘極堆疊 136 界定於 SRAM pFET 區域 112 上。閘極堆疊 136 包含面際層介電質 116d(自面際層介電質 116 所形成)、高 K 層 118d(自高 K 層 118 所形成)於面際層介電質 116d 上、金屬層 126d(自金屬層 126 所形成)於高 K 層 118d 相對於面際層介電質 116d 之一側上、以及矽層 128d(自矽層 128 所形成)於金屬層 126d 相對於高 K 層 118d 之一側上。

然後可執行標準製程來形成源極及汲極區域於相對於閘極堆疊之一側。如有需要，亦可形成氧化物及/或氮化物間隙壁於閘極堆疊周圍。

執行如圖 1A-G 所示之步驟，結果如上所述，帽蓋層僅呈

現於閘極堆疊 130。如此一來，對應的邏輯 nFET 將具有臨界電壓於帶邊緣。藉由不同製程的組合，帽蓋層偏移邏輯 nFET 臨界電壓。僅舉例而言，a)可能為臨界電壓之負偏移，由於當以較低價之鐳離子(La<sup>3+</sup>)或鎂離子(Mg<sup>2+</sup>)異價取代 HfO<sub>2</sub> 中之 Hf<sup>4+</sup>時，形成正電荷移動氧空缺，且需要補償鐳鉛(LaHf)之負效電荷；b)越多像鐳(La)或鎂(Mg)的正電性雜質呈現於 HfO<sub>2</sub> 中可導致雙極，其將更負地偏移臨界電壓(只要於閘極堆疊有非對稱的 La 組成分佈，就會形成此類雙極)；以及 c)La 或 Mg 與面際層介電質(例如 SiO<sub>2</sub>)的互動，藉由 a)及 b)的機制，可導致負的臨界電壓偏移。

相較而言，閘極堆疊不具有帽蓋層(例如閘極堆疊 132)之 SRAM nFET 具有大於邏輯 nFET 臨界電壓約 200mV 的臨界電壓。對 pFET 而言，其亦不具有帽蓋層於閘極堆疊，臨界電壓達到目標(即接近或於 pFET 帶邊緣)。再者，SRAM pFET 中呈現降低鍺分率的 cSiGe(如上所述)，相較於邏輯 pFET，於 SRAM pFET 中提供約 200mV 至約 350mV 的正臨界電壓偏移。因此，操作使用降低鍺分率的 cSiGe 來偏移臨界電壓，乃獨立於使用帽蓋層偏移臨界電壓。一般而言，使用降低鍺分率的 cSiGe 提供正臨界電壓偏移，使用帽蓋層提供負臨界電壓偏移。

上述技術的益處在於最小化涉及的遮罩步驟的數目，而有利於降低生產時間及成本。然而，可使用其他技術。舉例而言，

可利用不同的遮罩製程獲得相同閘極堆疊組態。具體而言，參考圖 1C 所示之步驟，沉積金屬層(例如 TiN 層)而非帽蓋層於高 K 層上。然後圖案化遮罩以覆蓋 SRAM nFET、邏輯 pFET、以及 SRAM pFET 區域上之金屬層，容許選擇性移除邏輯 nFET 區域上之金屬層。自邏輯 nFET 區域移除金屬層後，亦移除遮罩。

然後沉積帽蓋層於金屬層/高 K 層上，接著沉積第二金屬層(例如第二 TiN 層)於帽蓋層上。然後圖案化第二遮罩，以覆蓋邏輯 nFET 區域上之第二 TiN 層，容許自 SRAM nFET、邏輯 pFET、以及 SRAM pFET 區域選擇性移除第二 TiN 層及帽蓋層。自 SRAM nFET、邏輯 pFET、以及 SRAM pFET 區域移除第二 TiN 層及帽蓋層後，亦移除遮罩。從此點開始，剩餘的製程與圖 1F-G 所示相同(如上所述)。

圖 2A-G 顯示根據本發明實施例形成積體 SRAM-邏輯半導體裝置之另一例示方法之截面示意圖。此裝置包含例如具有複數個 SRAM 及邏輯電晶體之積體電路。如圖 2A 所示，提供基板 204。基板 204 可包含絕緣層上矽(SOI)基板或塊矽基板。根據一例示實施例，基板 204 包含 SOI 基板，其具有矽層於絕緣體(例如二氧化矽( $\text{SiO}_2$ ))上，其中矽層具有約 5 奈米(nm)至約 100nm 之厚度。

基板 204 具有 SRAM 及邏輯 n 通道電晶體(nFET)以及 p

通道電晶體(pFET)區域界定於其中。具體而言，根據圖 2A 所示之例示實施例，基板 204 包含邏輯 nFET 區域 206、SRAM nFET 區域 208、邏輯 pFET 區域 210、以及 SRAM pFET 區域 212。邏輯 nFET 區域 206 及 SRAM nFET 區域 208 各包含矽且摻雜有 p 型摻雜質。邏輯 pFET 區域 210 及 SRAM pFET 區域 212 亦包含矽且摻雜有 n 型摻雜質。將如下所述，cSiGe 將形成於各邏輯 pFET 區域 210 及 SRAM pFET 區域 212 中。

沉積硬遮罩層於裝置上，並圖案化以形成硬遮罩 214 於 nFET 區域，即邏輯 nFET 區域 206 及 SRAM nFET 區域 208。硬遮罩 214 屏蔽邏輯 nFET 區域 206 及 SRAM nFET 區域 208，然後選擇性形成(即成長)cSiGe 213 及 215 分別於邏輯 pFET 區域 210 及 SRAM pFET 區域 212。如圖 2B 所示，剝除硬遮罩 214。根據一例示實施例，利用濕化學蝕刻剝除硬遮罩 214。

如圖 2C 所示，面際層介電質 216 成長於 nFET/pFET 區域。根據例示實施例，面際層介電質 216 包含  $\text{SiO}_2$ 。然後，結合氮入面際層介電質 216(例如藉由氮化、熱氮化、及/或電將氧化而後氮化)。然後沉積高 K 層 218 於面際層介電質 216 相對於 nFET/pFET 區域之一側上。根據例示實施例，高 K 層 218 包含以下中之一或更多個：氧化鈦( $\text{HfO}_2$ )、氧化鋯( $\text{ZrO}_2$ )、矽酸鈦( $\text{HfSiO}$ )、氮化矽酸鈦( $\text{HfSiON}$ )、氧化鉭( $\text{Ta}_2\text{O}_5$ )、氧化鈦( $\text{TiO}_2$ )、氧化鋁( $\text{Al}_2\text{O}_3$ )、以及包含前述高 K 材料至少其一之混合物。帽蓋層 220 沉積於高 K 層 218 相對於面際層介電質

216 之一側上。根據例示實施例，帽蓋層 220 包含以下中之一或更多個：氧化鏷( $\text{La}_2\text{O}_3$ )、氧化鎂( $\text{MgO}$ )、IIA 族及 IIIB 族元素之氧化物、以及 IIA 族及 IIIB 族元素之氮化物。

如圖 2D 所示，圖案化光阻 224 及 225 於邏輯 nFET 區域 206 及 SRAM pFET 區域 212 上。以光阻 224 及 225 作為遮罩，自 SRAM nFET 區域 208 及邏輯 pFET 區域 210 上，選擇性移除(即剝除)帽蓋層 220。根據一例示實施例，利用氫氯酸( $\text{HCl}$ )自 SRAM nFET 區域 208 及邏輯 pFET 區域 210 上，選擇性移除帽蓋層 220。

如圖 2E 所示，移除光阻 224 及 225 露出形成於邏輯 nFET 區域及 SRAM pFET 區域上之帽蓋層剩餘部份，即分別於邏輯 nFET 區域 206 及 SRAM pFET 區域 212 上之帽蓋層 221 及 222。如圖 2F 所示，沉積金屬層 226 於高 K 層 218/帽蓋層 221/帽蓋層 222 上。根據例示實施例，金屬層 226 包含以下中之一或更多個：氮化鈦( $\text{TiN}$ )、氮化鉭( $\text{TaN}$ )、氮化鋁鉭( $\text{TaAlN}$ )、氮化鋁鈦( $\text{TiAlN}$ )、以及碳化鉭( $\text{TaC}$  或  $\text{Ta}_2\text{C}$ )。

然後沉積矽層 228 於金屬層 226 相對於高 K 層 218/帽蓋層 221/帽蓋層 222 之一側上。根據例示實施例，矽層 228 包含多晶矽(poly-Si)及/或非晶矽，且沉積厚度之最厚點為約 1,000 埃。然而，可視技術而矽層 228 厚度的最厚點變化於約 500 埃到約 1,000 埃。

如圖 2G 所示，然後執行反應式離子蝕刻(RIE)穿過許多層，以界定各 nFET 及 pFET 區域上之個別閘極堆疊。亦即，閘極堆疊 230 界定於邏輯 nFET 區域 206 上。閘極堆疊 230 包含面際層介電質 216a(自面際層介電質 216 所形成)、高 K 層 218a(自高 K 層 218 所形成)於面際層介電質 216a 上、帽蓋層 221a(自帽蓋層 221 所形成)於高 K 層 218a 相對於面際層介電質 216a 之一側上、金屬層 226a(自金屬層 226 所形成)於帽蓋層 221a 相對於高 K 層 218a 之一側上、以及矽層 228a(自矽層 228 所形成)於金屬層 226a 相對於帽蓋層 221a 之一側上。

閘極堆疊 232 界定於 SRAM nFET 區域 208 上。閘極堆疊 232 包含面際層介電質 216b(自面際層介電質 216 所形成)、高 K 層 218b(自高 K 層 218 所形成)於面際層介電質 216b 上、金屬層 226b(自金屬層 226 所形成)於高 K 層 218b 相對於面際層介電質 216b 之一側上、以及矽層 228b(自矽層 228 所形成)於金屬層 226b 相對於高 K 層 218b 之一側上。

閘極堆疊 234 界定於邏輯 pFET 區域 210 上。閘極堆疊 234 包含面際層介電質 216c(自面際層介電質 216 所形成)、高 K 層 218c(自高 K 層 218 所形成)於面際層介電質 216c 上、金屬層 226c(自金屬層 226 所形成)於高 K 層 218c 相對於面際層介電質 216c 之一側上、以及矽層 228c(自矽層 228 所形成)於金屬層 226c 相對於高 K 層 218c 之一側上。

閘極堆疊 236 界定於 SRAM pFET 區域 212 上。閘極堆疊 236 包含面際層介電質 216d(自面際層介電質 216 所形成)、高 K 層 218d(自高 K 層 218 所形成)於面際層介電質 216d 上、帽蓋層 222d(自帽蓋層 222 所形成)於高 K 層 218d 相對於面際層介電質 216d 之一側上、金屬層 226d(自金屬層 226 所形成)於帽蓋層 222d 相對於高 K 層 218d 之一側上、以及矽層 228d(自矽層 228 所形成)於金屬層 226d 相對於帽蓋層 222d 之一側上。

然後可執行標準製程來形成源極及汲極區域於相對於閘極堆疊之一側。如有需要，亦可形成氧化物及/或氮化物間隙壁於閘極堆疊周圍。

執行如圖 2A-G 所示之步驟，結果如上所述，帽蓋層呈現於閘極堆疊 230 及 236。藉由將帽蓋層包含於閘極堆疊 230，對應的邏輯 nFET 將具有臨界電壓於帶邊緣。相對地，藉由將帽蓋層排除於閘極堆疊 234，對應的邏輯 pFET 將亦具有臨界電壓於帶邊緣。閘極堆疊不具有帽蓋層(例如閘極堆疊 232)之 SRAM nFET 具有大於邏輯 nFET 臨界電壓約 200mV 的臨界電壓。對具有帽蓋層於閘極堆疊(例如閘極堆疊 236)之 SRAM pFET 而言，將具有大於邏輯 pFET 臨界電壓約 250mV 的臨界電壓。

上述技術的益處在於僅涉及單一的遮罩步驟，而有利於降低生產時間及成本。然而，可使用其他技術。舉例而言，可利

用兩步驟遮罩製程獲得相同閘極堆疊組態。具體而言，參考圖 2C 所示之步驟，沉積金屬層(例如 TiN 層)而非帽蓋層於高 K 層上。然後圖案化遮罩以覆蓋 SRAM nFET 及邏輯 pFET 區域上之金屬層，容許選擇性移除邏輯 nFET 及 SRAM pFET 區域上之金屬層。自邏輯 nFET 及 SRAM pFET 區域移除金屬層後，亦移除遮罩。

然後沉積帽蓋層於金屬層/高 K 層上，接著沉積第二金屬層(例如第二 TiN 層)於帽蓋層上。然後圖案化第二遮罩，以覆蓋邏輯 nFET 及 SRAM pFET 區域上之第二 TiN 層，容許自 SRAM nFET 及邏輯 pFET 區域選擇性移除第二 TiN 層及帽蓋層。自 SRAM nFET 及邏輯 pFET 區域移除第二 TiN 層及帽蓋層後，亦移除遮罩。從此點開始，剩餘的製程與圖 2F-G 所示相同(如上所述)。

圖 3A-G 顯示形成積體 SRAM-邏輯半導體裝置之又另一例示方法之截面示意圖。此裝置包含例如具有複數個 SRAM 及邏輯電晶體之積體電路。如圖 3A 所示，提供基板 304。基板 304 可包含絕緣層上矽(SOI)基板或塊矽基板。根據一例示實施例，基板 304 包含 SOI 基板，其具有矽層於絕緣體(例如二氧化矽( $\text{SiO}_2$ ))上，其中矽層具有約 5 奈米(nm)至約 100nm 之厚度。

基板 304 具有 SRAM 及邏輯 nFET 以及 pFET 區域界定於

其中。具體而言，根據圖 3A 所示之例示實施例，基板 304 包含邏輯 nFET 區域 306、SRAM nFET 區域 308、邏輯 pFET 區域 310、以及 SRAM pFET 區域 312。邏輯 nFET 區域 306 及 SRAM nFET 區域 308 各包含矽且摻雜有 p 型摻雜質。邏輯 pFET 區域 310 及 SRAM pFET 區域 312 亦包含矽且摻雜有 n 型摻雜質。將如下所述，cSiGe 將形成於邏輯 pFET 區域 310 中。

沉積硬遮罩層於裝置上，並圖案化以分別形成硬遮罩 313 及 314 於邏輯 nFET 區域 306/SRAM nFET 區域 308 以及 SRAM pFET 區域 312。硬遮罩 313 屏蔽邏輯 nFET 區域 306/SRAM nFET 區域 308，而硬遮罩 314 屏蔽 SRAM pFET 區域 312，然後選擇性形成(即成長)cSiGe 315 於邏輯 pFET 區域 310。如圖 3B 所示，剝除硬遮罩 313 及 314。根據一例示實施例，利用濕化學蝕刻剝除硬遮罩 313 及 314。

如圖 3C 所示，面際層介電質 316 成長於 nFET/pFET 區域。根據例示實施例，面際層介電質 316 包含  $\text{SiO}_2$ 。然後，結合氮入面際層介電質 316(例如藉由氮化、熱氮化、及/或電將氧化而後氮化)。然後沉積高 K 層 318 於面際層介電質 316 相對於 nFET/pFET 區域之一側上。根據例示實施例，高 K 層 318 包含以下中之一或更多個：氧化鈣( $\text{HfO}_2$ )、氧化鋯( $\text{ZrO}_2$ )、矽酸鈣( $\text{HfSiO}$ )、氮化矽酸鈣( $\text{HfSiON}$ )、氧化鉭( $\text{Ta}_2\text{O}_5$ )、氧化鈦( $\text{TiO}_2$ )、氧化鋁( $\text{Al}_2\text{O}_3$ )、以及包含前述高 K 材料至少其一之

混合物。

帽蓋層 320 沉積於高 K 層 318 相對於面際層介電質 316 之一側上。根據例示實施例，帽蓋層 320 包含以下中之一或更多個：氧化鏷( $\text{La}_2\text{O}_3$ )、氧化鎂( $\text{MgO}$ )、IIA 族及 IIIB 族元素之氧化物、以及 IIA 族及 IIIB 族元素之氮化物。

如圖 3D 所示，圖案化光阻 324 於邏輯 nFET 區域 306 上。以光阻 324 作為遮罩，自 SRAM nFET 區域 308、邏輯 pFET 區域 310、以及 SRAM pFET 區域 312 上，選擇性移除(即剝除)帽蓋層 320。根據一例示實施例，利用氫氯酸( $\text{HCl}$ )自 SRAM nFET 區域 308、邏輯 pFET 區域 310、以及 SRAM pFET 區域 312 上，選擇性移除帽蓋層 320。

如圖 3E 所示，移除光阻 324 露出形成於邏輯 nFET 區域上之帽蓋層剩餘部份，即於邏輯 nFET 區域 306 上之帽蓋層 321。如圖 3F 所示，沉積金屬層 326 於帽蓋層 321/高 K 層 318 上。根據例示實施例，金屬層 326 包含以下中之一或更多個：氮化鈦( $\text{TiN}$ )、氮化鉭( $\text{TaN}$ )、氮化鋁鉭( $\text{TaAlN}$ )、氮化鋁鈦( $\text{TiAlN}$ )、以及碳化鉭( $\text{TaC}$  或  $\text{Ta}_2\text{C}$ )。

然後沉積矽層 328 於金屬層 326 相對於帽蓋層 321/高 K 層 318 之一側上。根據例示實施例，矽層 328 包含多晶矽 (poly-Si) 及/或非晶矽，且沉積厚度之最厚點為約 1,000 埃。然

而，可視技術而矽層 328 厚度的最厚點變化於約 500 埃到約 1,000 埃。

如圖 3G 所示，然後執行反應式離子蝕刻(RIE)穿過許多層，以界定各 nFET 及 pFET 區域上之個別閘極堆疊。亦即，閘極堆疊 330 界定於邏輯 nFET 區域 306 上。閘極堆疊 330 包含面際層介電質 316a(自面際層介電質 316 所形成)、高 K 層 318a(自高 K 層 318 所形成)於面際層介電質 316a 上、帽蓋層 321a(自帽蓋層 321 所形成)於高 K 層 318a 相對於面際層介電質 316a 之一側上、金屬層 326a(自金屬層 326 所形成)於帽蓋層 321a 相對於高 K 層 318a 之一側上、以及矽層 328a(自矽層 328 所形成)於金屬層 326a 相對於帽蓋層 321a 之一側上。

閘極堆疊 332 界定於 SRAM nFET 區域 308 上。閘極堆疊 332 包含面際層介電質 316b(自面際層介電質 316 所形成)、高 K 層 318b(自高 K 層 318 所形成)於面際層介電質 316b 上、金屬層 326b(自金屬層 326 所形成)於高 K 層 318b 相對於面際層介電質 316b 之一側上、以及矽層 328b(自矽層 328 所形成)於金屬層 326b 相對於高 K 層 318b 之一側上。

閘極堆疊 334 界定於邏輯 pFET 區域 310 上。閘極堆疊 334 包含面際層介電質 316c(自面際層介電質 316 所形成)、高 K 層 318c(自高 K 層 318 所形成)於面際層介電質 316c 上、金屬層 326c(自金屬層 326 所形成)於高 K 層 318c 相對於面際層介

電質 316c 之一側上、以及矽層 328c(自矽層 328 所形成)於金屬層 326c 相對於高 K 層 318c 之一側上。

閘極堆疊 336 界定於 SRAM pFET 區域 312 上。閘極堆疊 336 包含面際層介電質 316d(自面際層介電質 316 所形成)、高 K 層 318d(自高 K 層 318 所形成)於面際層介電質 316d 上、金屬層 326d(自金屬層 326 所形成)於高 K 層 318d 相對於面際層介電質 316d 之一側上、以及矽層 328d(自矽層 328 所形成)於金屬層 326d 相對於高 K 層 318d 之一側上。

然後可執行標準製程來形成源極及汲極區域於相對於閘極堆疊之一側。如有需要，亦可形成氧化物及/或氮化物間隙壁於閘極堆疊周圍。

執行如圖 3A-G 所示之步驟，結果如上所述，帽蓋層僅呈現於閘極堆疊 330。藉由將帽蓋層包含於閘極堆疊 330，對應的邏輯 nFET 將具有臨界電壓於帶邊緣。相對地，藉由將帽蓋層排除於閘極堆疊 334，對應的邏輯 pFET 將亦具有臨界電壓於帶邊緣。閘極堆疊不具有帽蓋層(例如閘極堆疊 332)之 SRAM nFET 電晶體具有大於邏輯 nFET 電晶體臨界電壓約 200mV 的臨界電壓。對不具有帽蓋層於閘極堆疊(例如閘極堆疊 336)之 SRAM pFET 電晶體而言，將具有大於邏輯 pFET 電晶體臨界電壓約 500mV 的臨界電壓。

上述技術的益處在於僅涉及單一的遮罩步驟，而有利於降低生產時間及成本。然而，可使用其他技術。舉例而言，可利用兩步驟遮罩製程獲得相同閘極堆疊組態。具體而言，參考圖 3C 所示之步驟，沉積金屬層(例如 TiN 層)而非帽蓋層於高 K 層上。然後圖案化遮罩以覆蓋 SRAM nFET、邏輯 pFET、以及 SRAM pFET 區域上之金屬層，容許選擇性移除邏輯 nFET 區域上之金屬層。自邏輯 nFET 區域移除金屬層後，亦移除遮罩。

然後沉積帽蓋層於金屬層/高 K 層上，接著沉積第二金屬層(例如第二 TiN 層)於帽蓋層上。然後圖案化第二遮罩，以覆蓋邏輯 nFET 區域上之第二 TiN 層，容許自 SRAM nFET、邏輯 pFET、及 SRAM pFET 區域選擇性移除第二 TiN 層及帽蓋層。自 SRAM nFET、邏輯 pFET、及 SRAM pFET 區域移除第二 TiN 層及帽蓋層後，亦移除遮罩。從此點開始，剩餘的製程與圖 3F-G 所示相同(如上所述)。

圖 4A-L 顯示形成積體 SRAM-邏輯半導體裝置之又另一例示方法之截面示意圖。此裝置包含例如具有複數個 SRAM 及邏輯電晶體之積體電路。如圖 4A 所示，提供基板 402。基板 402 可包含絕緣層上矽(SOI)基板或塊矽基板。根據一例示實施例，基板 402 包含 SOI 基板，其具有矽層於絕緣體(例如二氧化矽( $\text{SiO}_2$ ))上，其中矽層具有約 5 奈米(nm)至約 100nm 之厚度。基板 402 具有淺溝渠隔離(STI)區域 403、404、及 405

界定於其中。將如下所述，淺溝渠隔離區域 403、404、及 405 用以區分而界定出裝置的 nFET 及 FET 區域。亦即，淺溝渠隔離區域 403 左邊所示的裝置區域將為裝置的邏輯 nFET 區域，而淺溝渠隔離區域 403 右邊所示的裝置區域將為裝置的 SRAM pFET 區域。淺溝渠隔離區域 404 左邊所示的裝置區域將為裝置的 SRAM nFET 區域，而淺溝渠隔離區域 404 右邊所示的裝置區域將為裝置的邏輯 pFET 區域。淺溝渠隔離區域 405 將裝置的 SRAM pFET 區域與裝置的 SRAM nFET 區域分開。

如圖 4B 所示，面際層介電質 406 成長於 nFET/pFET 區域。面際層介電質 406 由淺溝渠隔離區域 403、404、及 405 分隔。如圖 4C 所示，沉積高 K 層 408 於面際層介電質 406/淺溝渠隔離區域 403/淺溝渠隔離區域 404/淺溝渠隔離區域 405 上。根據例示實施例，高 K 層 408 包含以下中之一或更多個：氧化鈦( $\text{HfO}_2$ )、氧化鋯( $\text{ZrO}_2$ )、矽酸鈦( $\text{HfSiO}$ )、氮化矽酸鈦( $\text{HfSiON}$ )、氧化鉭( $\text{Ta}_2\text{O}_5$ )、氧化鈦( $\text{TiO}_2$ )、氧化鋁( $\text{Al}_2\text{O}_3$ )、以及包含前述高 K 材料至少其一之混合物。

然後，帽蓋層沉積於高 K 層 408 相對於面際層介電質 406/淺溝渠隔離區域 403/淺溝渠隔離區域 404/淺溝渠隔離區域 405 之一側上。帽蓋層 320 包含以下中之一或更多個：氧化釷( $\text{La}_2\text{O}_3$ )、氧化鎂( $\text{MgO}$ )、IIA 族及 IIIB 族元素之氧化物、以及 IIA 族及 IIIB 族元素之氮化物。然後，自 SRAM nFET 區域/

邏輯 pFET 區域，選擇性移除(即剝除)帽蓋層，以形成帽蓋層 410 於邏輯 nFET/SRAM pFET 區域上，如圖 4D 所示。根據一例示實施例，利用氫氯酸(HCl)，自 SRAM nFET/邏輯 pFET 區域，選擇性移除帽蓋層。

如圖 4E 所示，沉積金屬層 412 於帽蓋層 410/高 K 層 408 上。根據例示實施例，金屬層 412 包含以下中之一或更多個：氮化鈦(TiN)、氮化鉭(TaN)、氮化鋁鉭(TaAlN)、氮化鋁鈦(TiAlN)、以及碳化鉭(TaC 或 Ta<sub>2</sub>C)。如圖 4F 所示，沉積矽層(即矽層 414)於金屬層 412 上。根據例示實施例，矽層 414 包含多晶矽(poly-Si)及/或非晶矽。

如圖 4G 所示，然後執行反應式離子蝕刻(RIE)穿過許多層，以界定各 nFET 及 pFET 區域上之個別閘極堆疊。亦即，閘極堆疊 430 界定於邏輯 nFET 區域上。閘極堆疊 430 包含面際層介電質 406a(自面際層介電質 406 所形成)、高 K 層 408a(自高 K 層 408 所形成)於面際層介電質 406a 上、帽蓋層 410a(自帽蓋層 410 所形成)於高 K 層 408a 相對於面際層介電質 406a 之一側上、金屬層 412a(自金屬層 412 所形成)於帽蓋層 410a 相對於高 K 層 408a 之一側上、以及矽層 414a(自矽層 414 所形成)於金屬層 412a 相對於帽蓋層 410a 之一側上。

閘極堆疊 432 界定於 SRAM pFET 區域上。閘極堆疊 432 包含面際層介電質 406b(自面際層介電質 406 所形成)、高 K

層 408b(自高 K 層 408 所形成)於面際層介電質 406b 上、帽蓋層 410b(自帽蓋層 410 所形成)於高 K 層 408b 相對於面際層介電質 406b 之一側上、金屬層 412b(自金屬層 412 所形成)於帽蓋層 410b 相對於高 K 層 408b 之一側上、以及矽層 414b(自矽層 414 所形成)於金屬層 412b 相對於帽蓋層 410b 之一側上。

閘極堆疊 434 界定於 SRAM nFET 區域上。閘極堆疊 434 包含面際層介電質 406c(自面際層介電質 406 所形成)、高 K 層 408c(自高 K 層 408 所形成)於面際層介電質 406c 上、金屬層 412c(自金屬層 412 所形成)於高 K 層 408c 相對於面際層介電質 406c 之一側上、以及矽層 414c(自矽層 414 所形成)於金屬層 412c 相對於高 K 層 408c 之一側上。

閘極堆疊 436 界定於邏輯 pFET 區域上。閘極堆疊 436 包含面際層介電質 406d(自面際層介電質 406 所形成)、高 K 層 408d(自高 K 層 408 所形成)於面際層介電質 406d 上、金屬層 412d(自金屬層 412 所形成)於高 K 層 408d 相對於面際層介電質 406d 之一側上、以及矽層 414d(自矽層 414 所形成)於金屬層 414d 相對於高 K 層 408d 之一側上。

如圖 4H 所示，形成間隙壁組合鄰接各閘極堆疊。亦即，對邏輯 nFET 區域而言，形成氮化物間隙壁 440a 鄰接閘極堆疊 430，然後形成氧化物間隙壁 442a 鄰接氮化物間隙壁 440a，以及形成氮化物間隙壁 444a 鄰接氧化物間隙壁 442a。對

SRAM pFET 區域而言，形成氮化物間隙壁 440b 鄰接閘極堆疊 432，然後形成氧化物間隙壁 442b 鄰接氮化物間隙壁 440b，以及形成氮化物間隙壁 444b 鄰接氧化物間隙壁 442b。對 SRAM nFET 區域而言，形成氮化物間隙壁 440c 鄰接閘極堆疊 434，然後形成氧化物間隙壁 442c 鄰接氮化物間隙壁 440c，以及形成氮化物間隙壁 444c 鄰接氧化物間隙壁 442c。對邏輯 pFET 區域而言，形成氮化物間隙壁 440d 鄰接閘極堆疊 436，然後形成氧化物間隙壁 442d 鄰接氮化物間隙壁 440d，以及形成氮化物間隙壁 444d 鄰接氧化物間隙壁 442d。

於各 nFET 及 pFET 區域形成源極/汲極擴散。亦即，形成源極/汲極擴散 446a 及 448a 於邏輯 nFET 區域，形成源極/汲極擴散 446b 及 448b 於 SRAM pFET 區域，形成源極/汲極擴散 446c 及 448c 於 SRAM nFET 區域，形成源極/汲極擴散 446d 及 448d 於邏輯 pFET 區域。

然後矽化於各 nFET 及 pFET 區域中裸露的矽區域。結果形成矽化區域 450a 於邏輯 nFET 區域的裸露矽區域，即閘極堆疊 430 及源極/汲極擴散 446a 及 448a。形成矽化區域 450b 於 SRAM pFET 區域的裸露矽區域，即閘極堆疊 432 及源極/汲極擴散 446b 及 448b。形成矽化區域 450c 於 SRAM nFET 區域的裸露矽區域，即閘極堆疊 434 及源極/汲極擴散 446c 及 448c。形成矽化區域 450d 於邏輯 pFET 區域的裸露矽區域，即閘極堆疊 436 及源極/汲極擴散 446d 及 448d。

矽化後，自各 nFET 及 pFET 區域移除氮化物間隙壁，如圖 4I 所示。如圖 4J 所示，沉積拉伸氮化矽(SiN)層於 nFET 區域。亦即，SiN 層 452 沉積於邏輯 nFET 區域上，而 SiN 層 454 沉積於 SRAM nFET 區域上。拉伸 SiN 層與壓縮 SiN 層(描述於下)的組合形成雙應力襯層於裝置上。於後續 pFET 區域的氧化中(描述於下)，拉伸 SiN 層更屏蔽了 nFET 區域。

如圖 4K 所示，利用氧化以得到 pFET 區域的帶邊緣偏移。於此所用之「帶邊緣偏移」一詞，表示藉由暴露高 K 層(即可為上述之鉛基)於氧氣(O<sub>2</sub>)來中和正電荷氧空缺(例如箭頭 455 所示)。消除正電荷提供了臨界電壓的正偏移，使得臨界電壓接近於理想的 pFET 帶邊緣位置，此為期望的。

如圖 4L 所示，沉積壓縮 SiN 層於 pFET 區域。亦即，SiN 層 456 沉積於 SRAM pFET 區域，而 SiN 層 458 沉積於邏輯 pFET 區域。如上所強調的，拉伸 SiN 層與壓縮 SiN 層的組合形成雙應力襯層於裝置上。

圖 5 顯示具有高 K/金屬閘極堆疊與帽蓋層(即 La<sub>2</sub>O<sub>3</sub>)之 n 通道金氧半電容(nMOSCAP)以及具有高 K/金屬閘極堆疊而無帽蓋層之 nMOSCAP 之平帶電壓(V<sub>fb</sub>)漂移之圖式。兩個 nMOSCAP 閘極堆疊皆暴露於 1,000°C 之 5 秒活化退火。圖式 500 描繪出閘極偏壓(單位為伏特(V))對電容密度(單位為  $\mu\text{F}/\text{cm}^2$ )之圖式。電容的面積 A 為  $10 \times 10 \mu\text{m}^2$ 。

本發明雖已於此描述例示性實施例，但應了解本發明不限於這些實施例，且在不悖離本發明精神及範疇下熟此技藝者應知可有各種其他改變及修改。

### 【圖式簡單說明】

圖 1A-G 顯示根據本發明實施例形成積體靜態隨機存取記憶體(SRAM)-邏輯半導體裝置之例示方法之截面示意圖；

圖 2A-G 顯示根據本發明實施例形成積體 SRAM-邏輯半導體裝置之另一例示方法之截面示意圖；

圖 3A-G 顯示根據本發明實施例形成積體 SRAM-邏輯半導體裝置之又另一例示方法之截面示意圖；

圖 4A-L 顯示根據本發明實施例形成積體 SRAM-邏輯半導體裝置之再另一例示方法之截面示意圖；

圖 5 顯示根據本發明實施例之具有高 K/金屬閘極堆疊與帽蓋層之 n 通道金氧半電容(nMOSCAP)之平帶電壓( $V_{fb}$ )漂移之圖式。

### 【主要元件符號說明】

104	基板
106	邏輯 nFET 區域
108	SRAM nFET 區域
110	邏輯 pFET 區域
112	SRAM pFET 區域
113	cSiGe

114	硬遮罩
115	cSiGe
116、116a、116b、116c、116d	面際層介電質
118、118a、118b、118c、118d	高 K 層
120、121、121a	帽蓋層
124	光阻
126、126a、126b、126c、126d	金屬層
128、128a、128b、128c、128d	矽層
130、132、134、136	閘極堆疊
204	基板
206	邏輯 nFET 區域
208	SRAM nFET 區域
210	邏輯 pFET 區域
212	SRAM pFET 區域
213、215	cSiGe
214	硬遮罩
215	cSiGe
216、216a、216b、216c、216d	面際層介電質
218、218a、218b、218c、218d	高 K 層
220	帽蓋層
221、221a	帽蓋層
222、222d	帽蓋層
224、225	光阻
226、226a、226b、226c、226d	金屬層

228、228a、228b、228c、228d	矽層
230、232、234、236	閘極堆疊
304	基板
306	邏輯 nFET 區域
308	SRAM nFET 區域
310	邏輯 pFET 區域
312	SRAM pFET 區域
313、314	硬遮罩
315	cSiGe
316、316a、316b、316c、316d	面際層介電質
318、318a、318b、318c、318d	高 K 層
320、321、321a	帽蓋層
324	光阻
326、326a、326b、326c、326d	金屬層
328、328a、328b、328c、328d	矽層
330、332、334、336	閘極堆疊
402	基板
403、404、405	淺溝渠隔離區域
406、406a、406b、406c、406d	面際層介電質
408、408a、408b、408c、408d	高 K 層
410、410a、410b	帽蓋層
412、412a、412b、412c、412d	金屬層
414、414a、414b、414c、414d	矽層
430、432、434、436	閘極堆疊

440a、440b、440c、440d	氮化物間隙壁
442a、442b、442c、442d	氧化物間隙壁
444a、444b、444c、444d	氮化物間隙壁
446a、446b、446c、446d	源極/汲極擴散
448a、448b、448c、448d	源極/汲極擴散
450a、450b、450b、450d	矽化區域
452	SiN 層
454	SiN 層
455	箭頭
456	SiN 層
458	SiN 層
500	圖式

## 十、申請專利範圍：

### 1. 一種半導體裝置，包含：

一基板，具有至少一第一與一第二 nFET 區域以及至少一第一與一第二 pFET 區域，其中該第一與第二 pFET 區域包含結晶矽鍺，以及其中於該第二 pFET 區域之該結晶矽鍺具有一降低的鍺分率；

至少一邏輯 nFET 於該基板之該第一 nFET 區域；

至少一邏輯 pFET 於該基板之該第一 pFET 區域；

至少一 SRAM nFET 於該基板之該第二 nFET 區域；以及

至少一 SRAM pFET 於該基板之該第二 pFET 區域，

其中該邏輯 nFET、該邏輯 pFET、該 SRAM nFET、以及該 SRAM pFET 各包含一閘極堆疊，具有一金屬層於一高 K 層上，

其中該邏輯 nFET 閘極堆疊更包含一帽蓋層將該金屬層與該高 K 層分開，以及其中該帽蓋層更用以相對於該邏輯 pFET、該 SRAM nFET、以及該 SRAM pFET 中之一或更多個之一臨界電壓，偏移該邏輯 nFET 之一臨界電壓。

2. 如請求項 1 所述之裝置，其中該第一與第二 nFET 區域以及該第一與第二 pFET 區域包含矽。

3. 如請求項 1 所述之裝置，其中該第一與第二 pFET 區域包含結晶矽鍺。

4. 如請求項 1 所述之裝置，其中該第一 pFET 區域包含結晶矽鍺。
5. 如請求項 1 所述之裝置，其中該基板包含一或更多的一絕緣層上矽基板或一塊矽基板。
6. 如請求項 1 所述之裝置，其中該 SRAM pFET 閘極堆疊更包含一帽蓋層將該金屬層與該高 K 層分開，該帽蓋層更相對於該邏輯 nFET、該邏輯 pFET、以及該 SRAM nFET 中之一或更多個之該臨界電壓，用以偏移該 SRAM pFET 之該臨界電壓。
7. 如請求項 1 所述之裝置，其中該金屬層包含以下中之一或更多個：氮化鈦、氮化鈮、氮化鋁鈮、氮化鋁鈦、以及碳化鈮。
8. 如請求項 1 所述之裝置，其中該帽蓋層包含以下中之一或更多個：氧化釧、氧化鎂、IIA 族及 IIIB 族元素之氧化物、以及 IIA 族及 IIIB 族元素之氮化物。
9. 如請求項 1 所述之裝置，其中該高 K 層包含以下中之一或更多個：氧化鉛、氧化鋯、矽酸鉛、氮化矽酸鉛、氧化鈮、氧化鈦、氧化鋁、以及包含前述高 K 材料至少其一之混合物。
10. 如請求項 1 所述之裝置，其中該邏輯 nFET、該邏輯

pFET、該 SRAM nFET、以及該 SRAM pFET 閘極堆疊各更包含一矽層於該金屬層上。

11. 如請求項 10 所述之裝置，其中該矽層包含一或更多的多晶矽及非晶矽。

12. 如請求項 1 所述之裝置，其中該邏輯 nFET、該邏輯 pFET、該 SRAM nFET、以及該 SRAM pFET 閘極堆疊各更包含一面際層介電質將該高 K 層及該基板分開。

13. 一種半導體裝置，包含：

一基板，具有至少一第一與一第二 nFET 區域以及至少一第一與一第二 pFET 區域；

至少一邏輯 nFET 於該基板之該第一 nFET 區域；

至少一邏輯 pFET 於該基板之該第一 pFET 區域；

至少一 SRAM nFET 於該基板之該第二 nFET 區域；以及

至少一 SRAM pFET 於該基板之該第二 pFET 區域，

其中該邏輯 nFET、該邏輯 pFET、該 SRAM nFET、以及該 SRAM pFET 各包含一閘極堆疊，具有一金屬層於一高 K 層上，

其中該邏輯 nFET 閘極堆疊更包含一帽蓋層將該金屬層與該高 K 層分開，以及其中該帽蓋層更用以相對於該邏輯 pFET、該 SRAM nFET、以及該 SRAM pFET 中之一或更多個之一臨界電壓，偏移該邏輯 nFET 之一臨界電壓，

其中該基板更包含一或更多的淺溝渠隔離區域呈現於該第一 nFET 區域、該第二 nFET 區域、該第一 pFET 區域、以及該第二 pFET 區域中的至少兩個之間。

14. 如請求項 15 所述之裝置，其中該裝置為一積體電路。

15. 一種半導體裝置，包含：

一基板，具有至少一第一與一第二 nFET 區域以及至少一第一與一第二 pFET 區域；

至少一邏輯 nFET 於該基板之該第一 nFET 區域；

至少一邏輯 pFET 於該基板之該第一 pFET 區域；

至少一 SRAM nFET 於該基板之該第二 nFET 區域；以及

至少一 SRAM pFET 於該基板之該第二 pFET 區域，

其中該邏輯 nFET、該邏輯 pFET、該 SRAM nFET、以及該 SRAM pFET 各包含一閘極堆疊，具有一金屬層於一高 K 層上，

其中該邏輯 nFET 閘極堆疊更包含一帽蓋層將該金屬層與該高 K 層分開，以及其中該帽蓋層更用以相對於該邏輯 pFET、該 SRAM nFET、以及該 SRAM pFET 中之一或更多個之一臨界電壓，偏移該邏輯 nFET 之一臨界電壓，

其中該邏輯 pFET 及該 SRAM pFET 閘極堆疊被氧化，以相對於該邏輯 nFET 及該 SRAM nFET 中之一或更多個之一臨界電壓，偏移該邏輯 pFET 及 SRAM FET 之該臨界電壓。

16. 如請求項 1 所述之裝置，更包含一拉伸氮化矽層於一或更多的該邏輯 nFET 及 SRAM nFET 上方，以及一壓縮氮化矽層於一或更多的該邏輯 pFET 及 SRAM pFET 上方。

17. 如請求項 16 所述之裝置，其中該裝置為一積體電路。

18. 一種製造一半導體裝置之方法，包含以下步驟：

提供一基板，具有至少一邏輯 nFET 區域、至少一 SRAM nFET 區域、至少一邏輯 pFET 區域、以及至少一 SRAM pFET 區域；

選擇性形成結晶矽鍺於該邏輯 pFET 區域；

成長一面際層介電質於該邏輯 nFET 區域、該 SRAM nFET 區域、該邏輯 pFET 區域、以及該 SRAM pFET 區域上；

沉積一高 K 層於該面際層介電質上；

形成一帽蓋層於該邏輯 nFET 區域中且於該高 K 層與該面際層介電質相對之一側上；

沉積一金屬層於該邏輯 nFET 區域中之該帽蓋層上，且於該 SRAM nFET 區域、該邏輯 pFET 區域、以及該 SRAM pFET 區域之該高 K 層上；

沉積一矽層於該金屬層上；

執行一蝕刻穿過該面際層介電質、該高 K 層、該帽蓋層、該金屬層、以及該矽層，以形成一邏輯 nFET 閘極堆疊於該邏輯 nFET 區域上，以及穿過該面際層介電質、該高 K 層、該金屬層、以及該矽層，以形成一 SRAM nFET 閘極堆疊於該 SRAM

nFET 區域上、一邏輯 pFET 閘極堆疊於該邏輯 pFET 區域上、以及一 SRAM pFET 閘極堆疊於該 SRAM pFET 區域上。

19. 如請求項 18 所述之方法，更包含選擇性形成結晶矽鍺於該 SRAM pFET 區域之步驟。

20 一種製造一半導體裝置之方法，包含以下步驟：

提供一基板，具有至少一邏輯 nFET 區域、至少一 SRAM nFET 區域、至少一邏輯 pFET 區域、以及至少一 SRAM pFET 區域；

成長一面際層介電質於該邏輯 nFET 區域、該 SRAM nFET 區域、該邏輯 pFET 區域、以及該 SRAM pFET 區域上；

沉積一高 K 層於該面際層介電質上；

形成一帽蓋層於該邏輯 nFET 區域及該 SRAM pFET 區域中之該高 K 層與該面際層介電質相對之一側上；

沉積一金屬層於該邏輯 nFET 區域及該 SRAM pFET 區域之該帽蓋層上，且於該 SRAM nFET 區域及該邏輯 pFET 區域之該高 K 層上；

沉積一矽層於該金屬層上；

執行一蝕刻穿過該面際層介電質、該高 K 層、該帽蓋層、該金屬層、以及該矽層，以形成一邏輯 nFET 閘極堆疊於該邏輯 nFET 區域及一 SRAM pFET 閘極堆疊於該 SRAM pFET 區域上，以及穿過該面際層介電質、該高 K 層、該金屬層、以及該矽層，以形成一 SRAM nFET 閘極堆疊於該 SRAM nFET

區域上以及一邏輯 pFET 閘極堆疊於該邏輯 pFET 區域上。

21. 如請求項 20 所述之方法，更包含選擇性形成結晶矽鍺於該邏輯 pFET 及該 SRAM pFET 區域之步驟。

22. 如請求項 20 所述之方法，更包含以下步驟：

沉積一拉伸氮化矽層於該邏輯 nFET 區域及該 SRAM nFET 區域上；

氧化該邏輯 pFET 區域及該 SRAM pFET 區域；以及

沉積一壓縮氮化矽層於該邏輯 pFET 區域及該 SRAM pFET 區域上。

23. 如請求項 1 所述之裝置，其中該裝置為一積體電路。

圖 1A

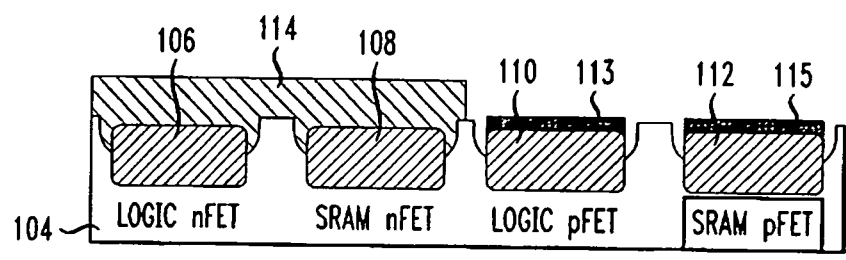


圖 1B

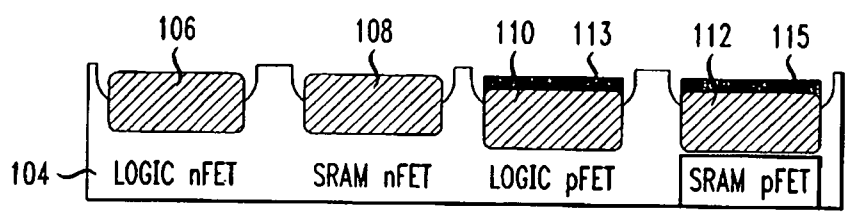


圖 1C

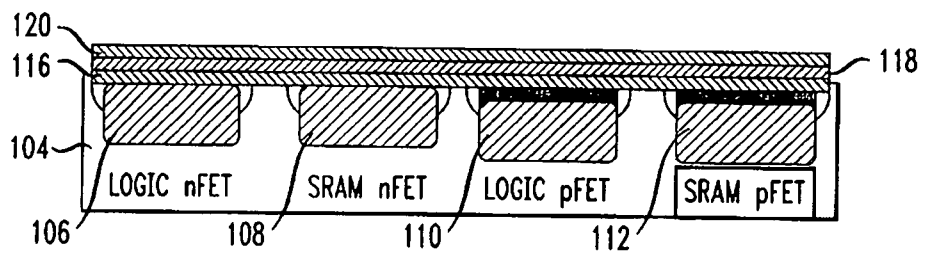


圖 1D

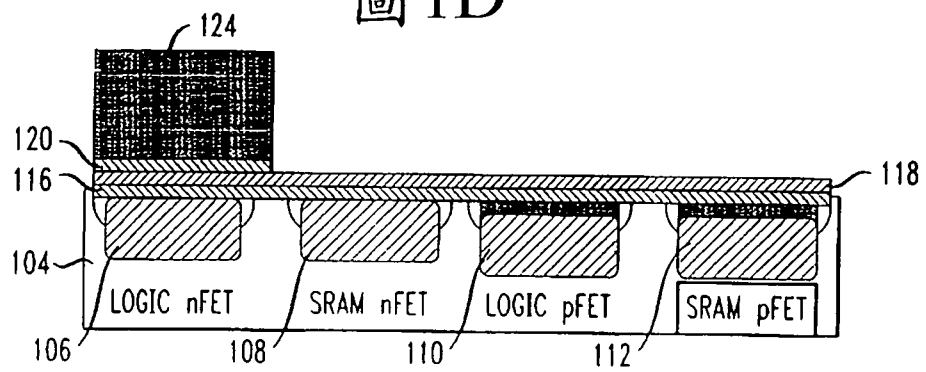


圖 1E

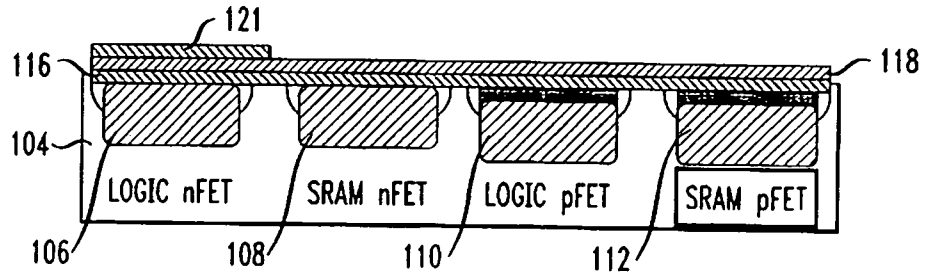


圖 1F

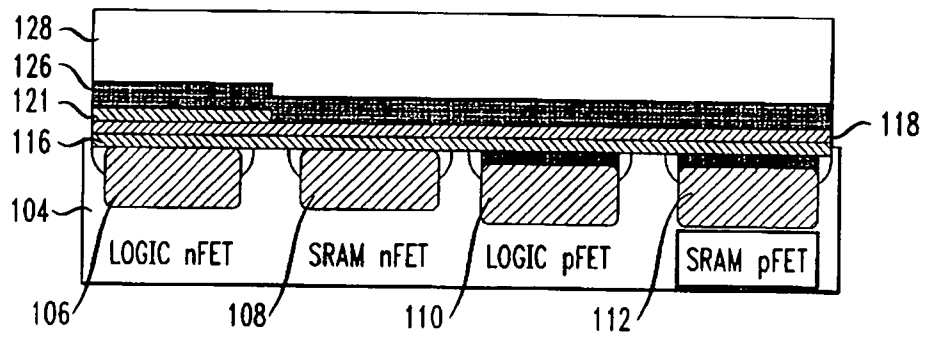


圖 1G

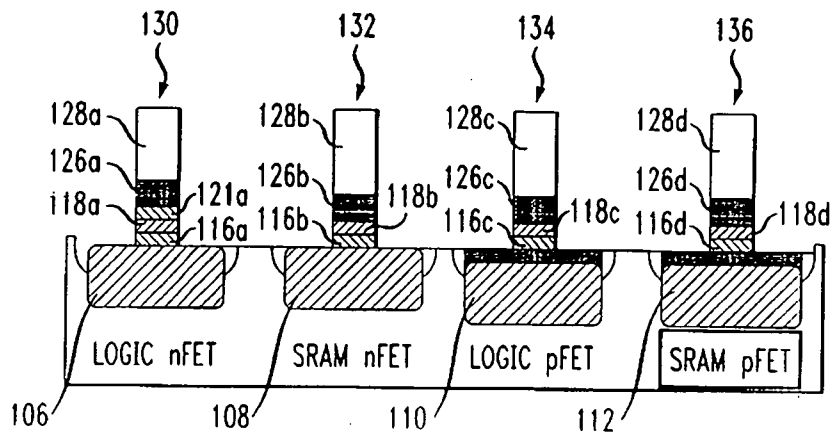


圖 2A

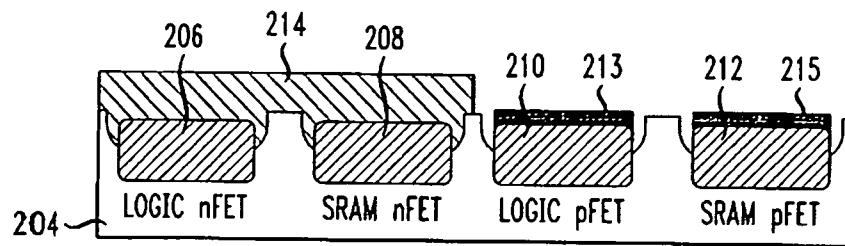


圖 2B

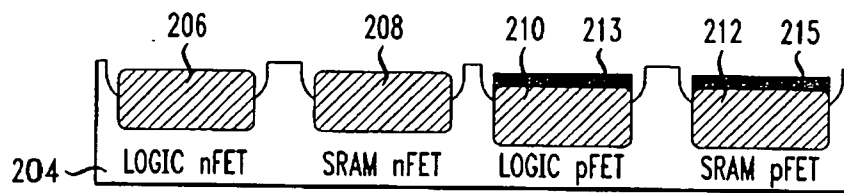


圖 2C

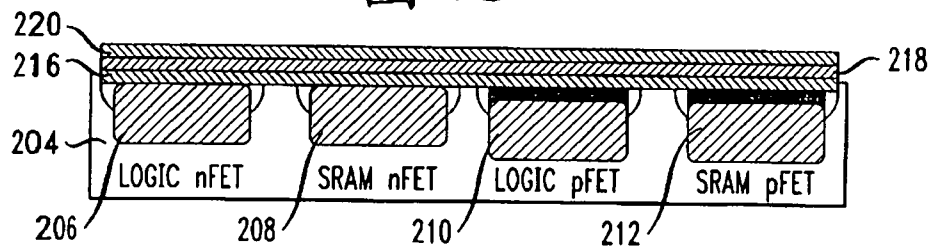


圖 2D

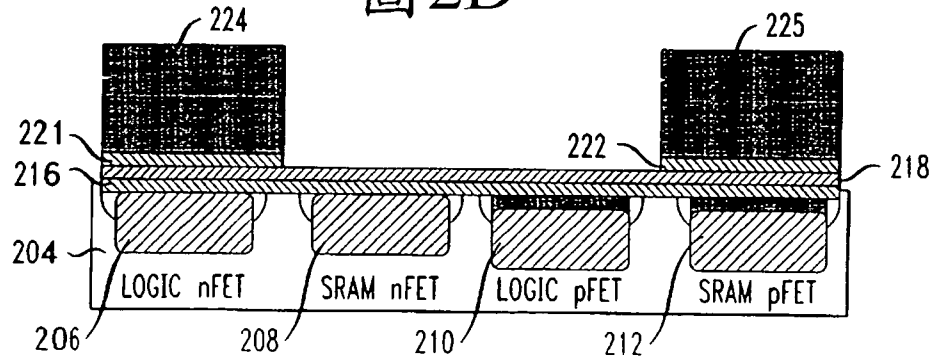


圖 2E

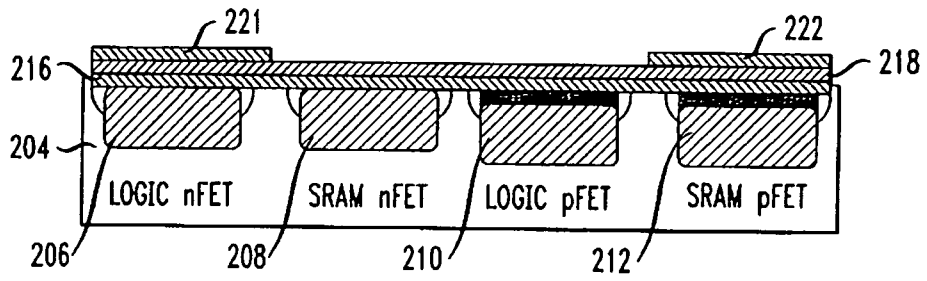


圖 2F

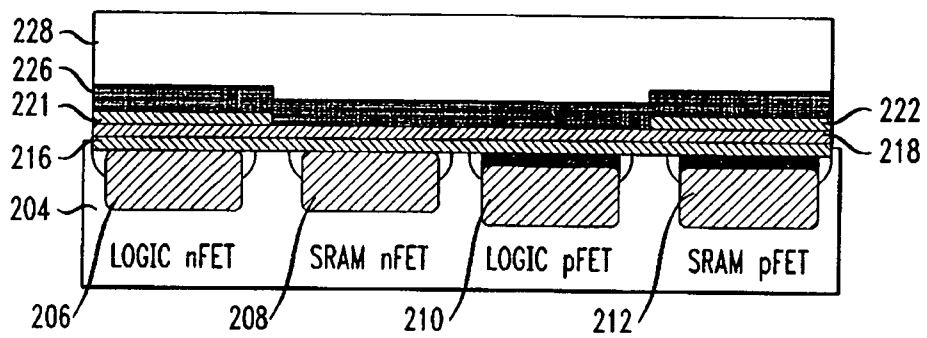


圖 2G

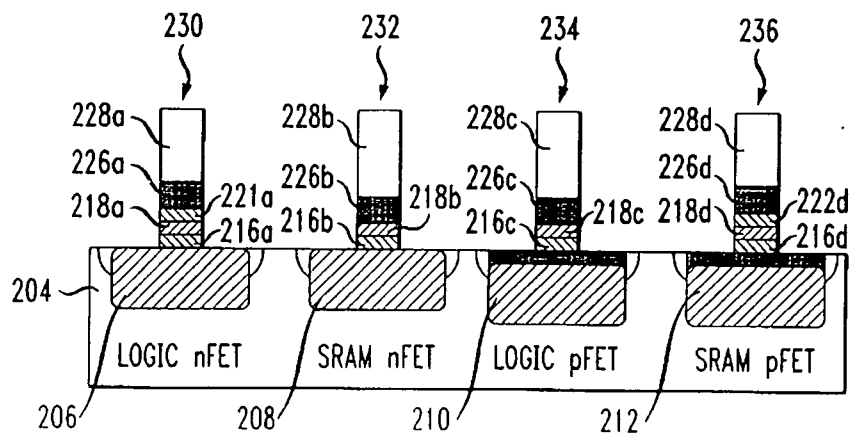


圖 3A

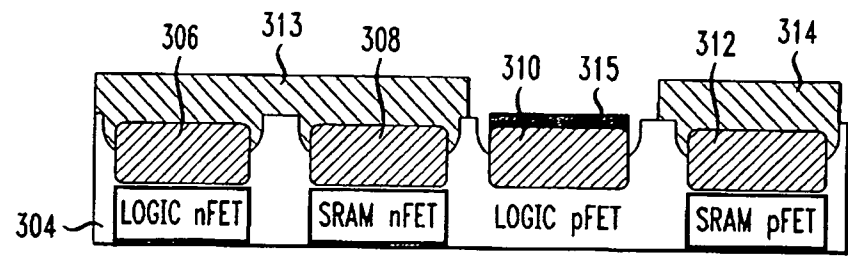


圖 3B

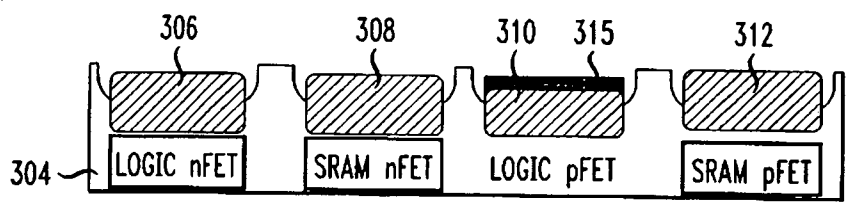


圖 3C

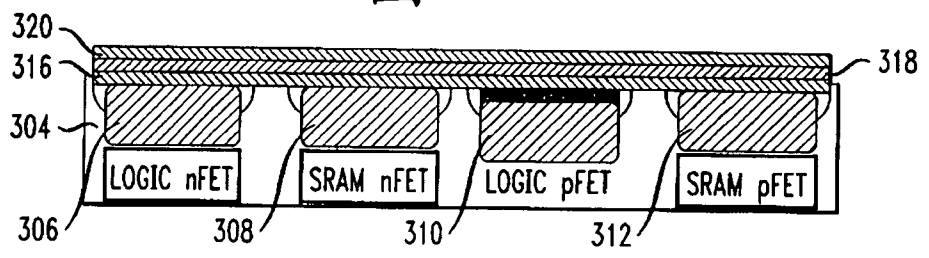


圖 3D

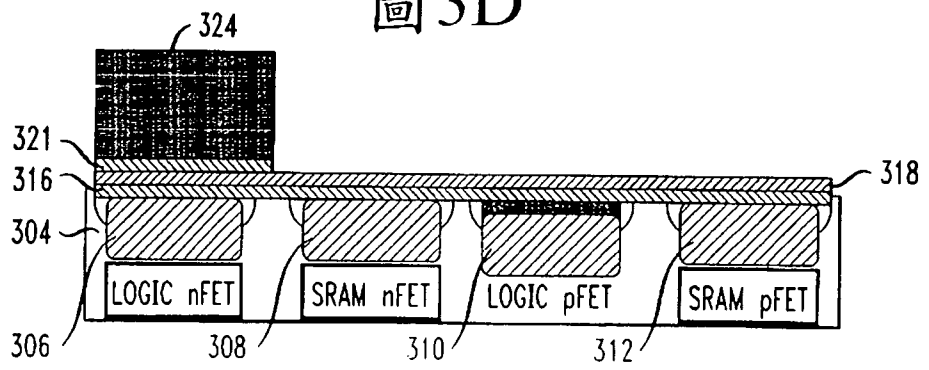


圖 3E

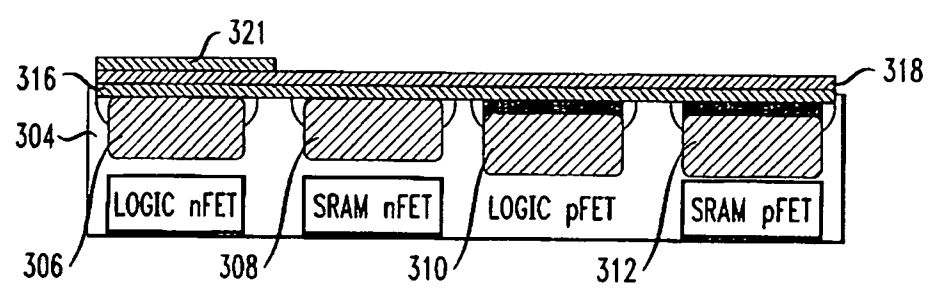


圖 3F

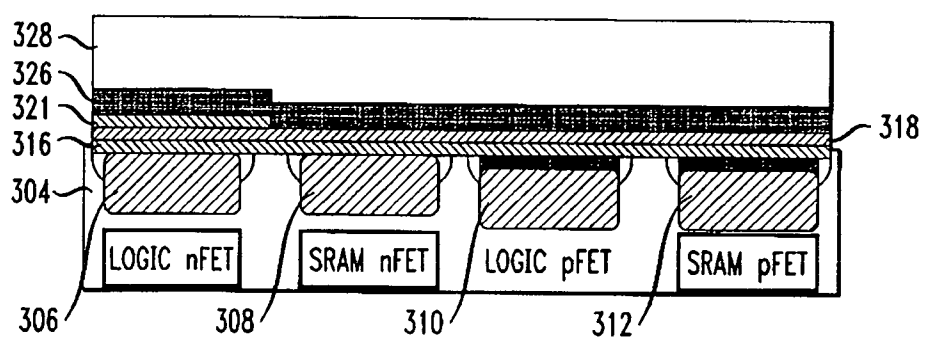


圖 3G

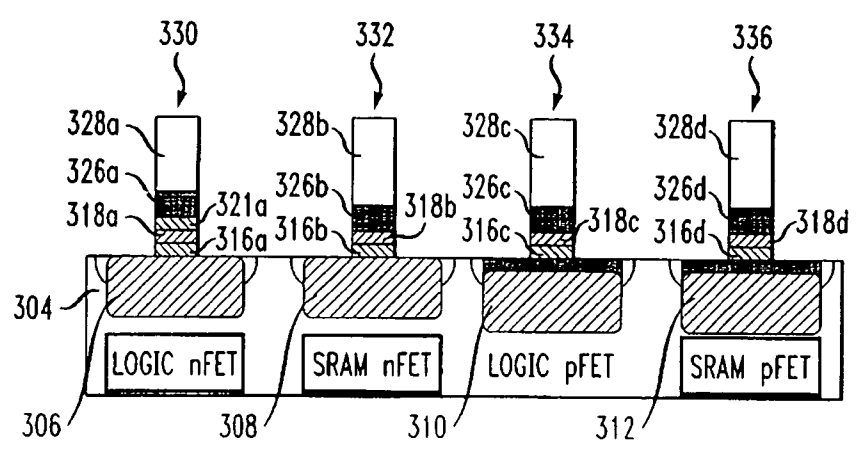


圖4A

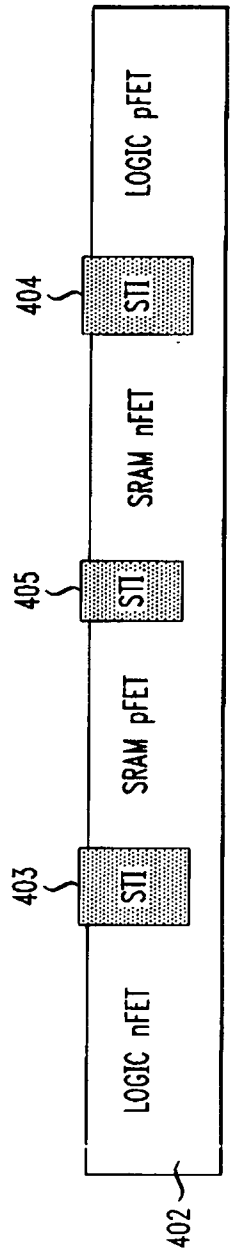


圖4B

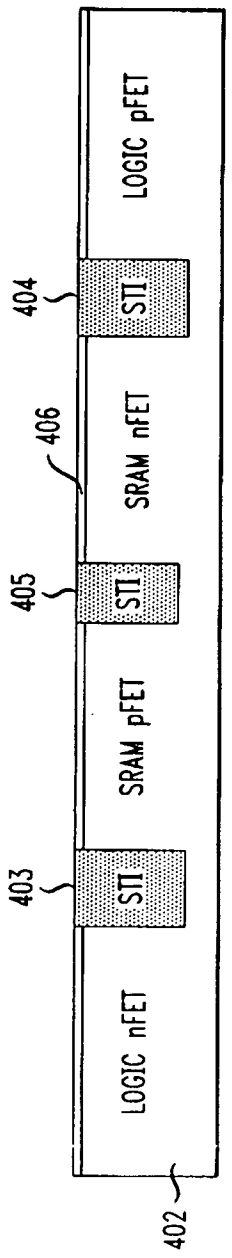


圖4C

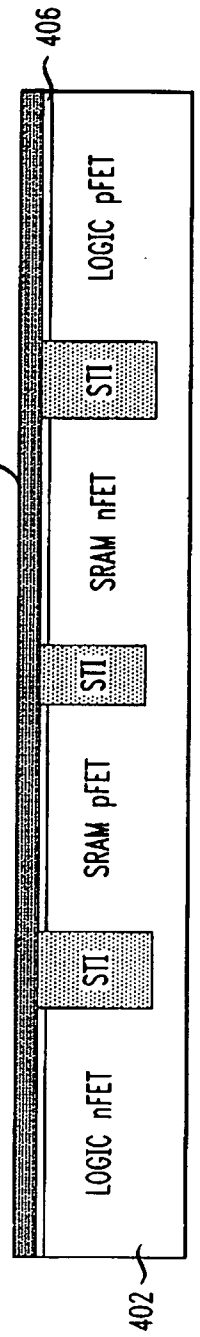


圖 4D

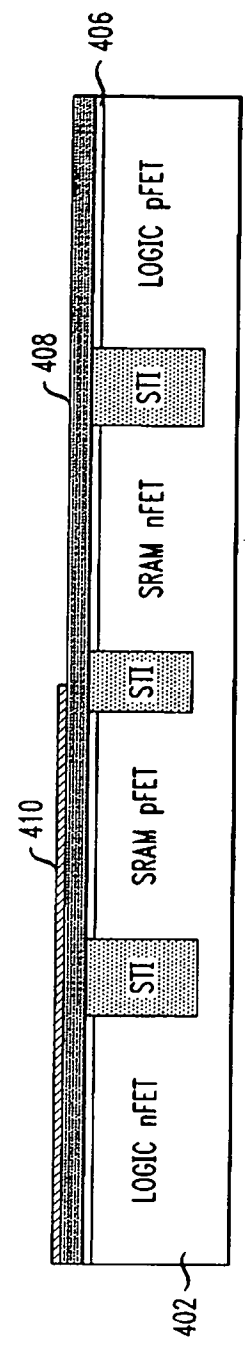


圖 4E

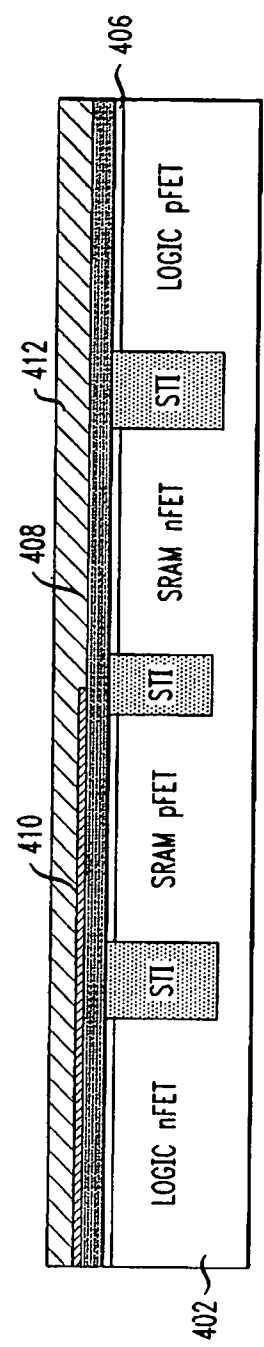


圖 4F

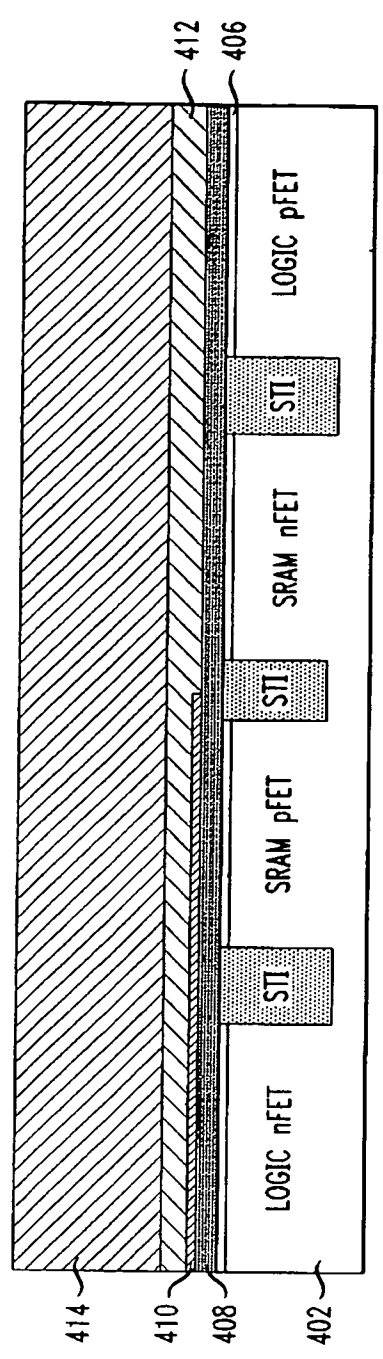


圖 4G

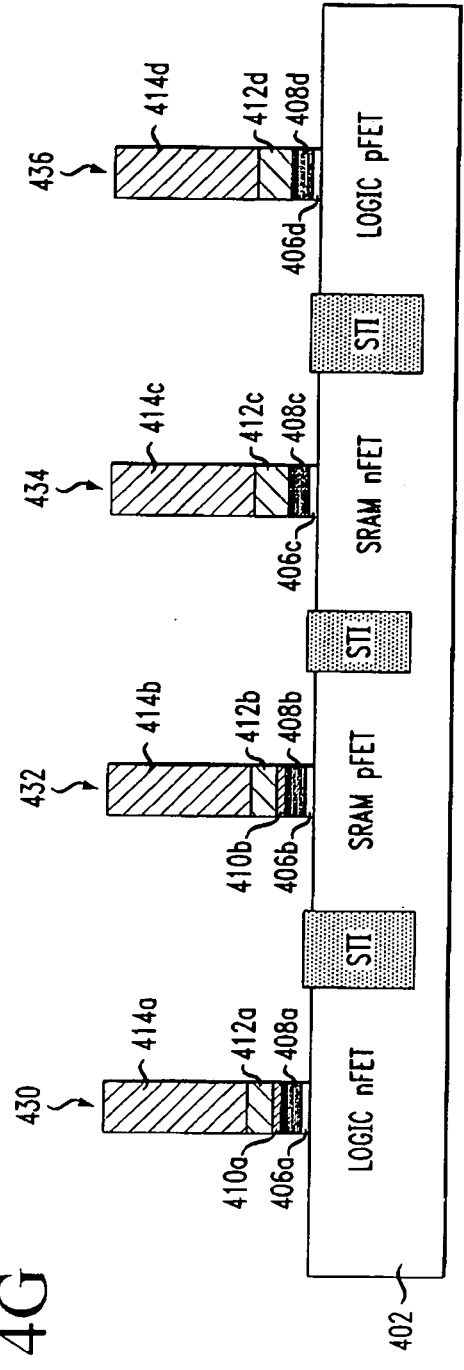


圖 4H

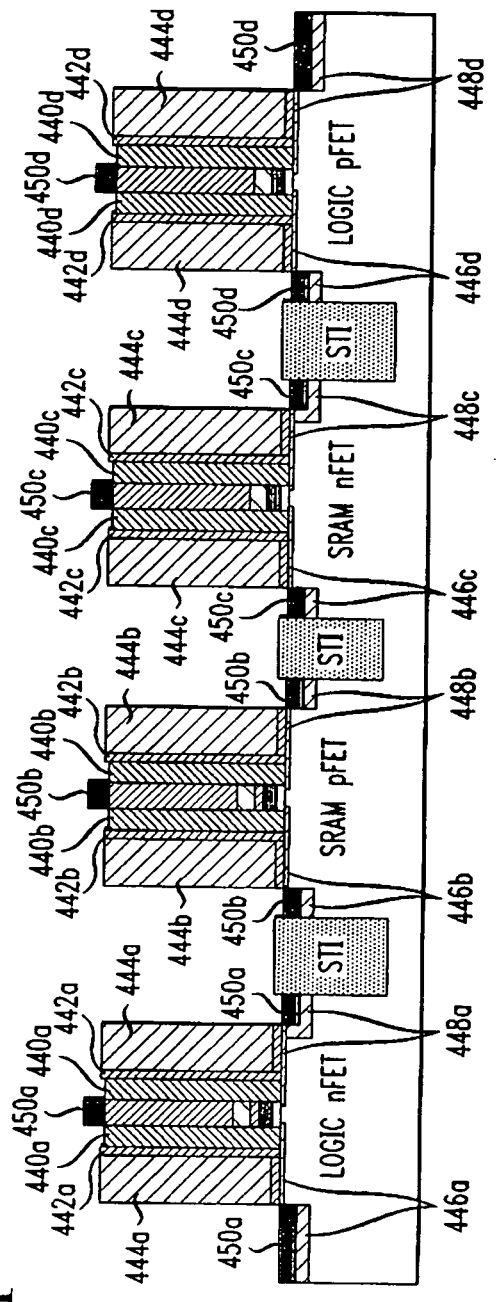


圖4I

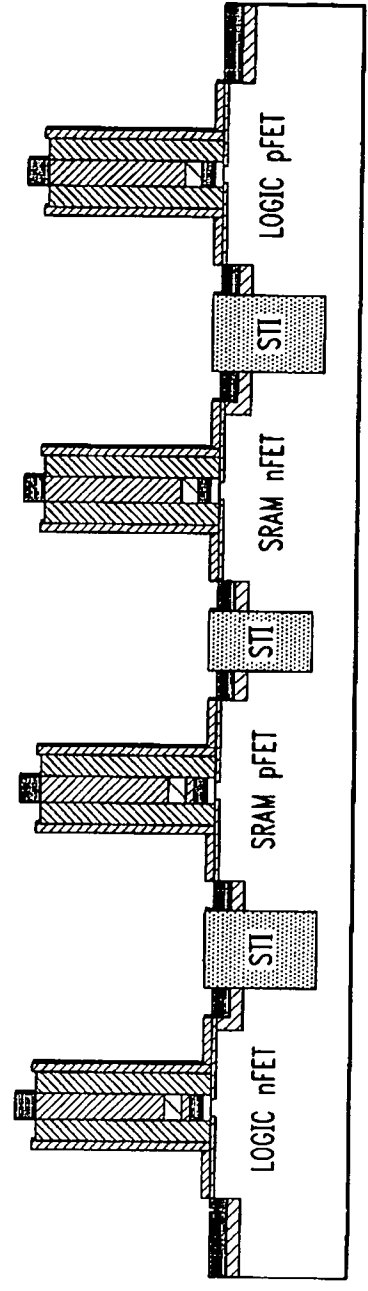


圖4J

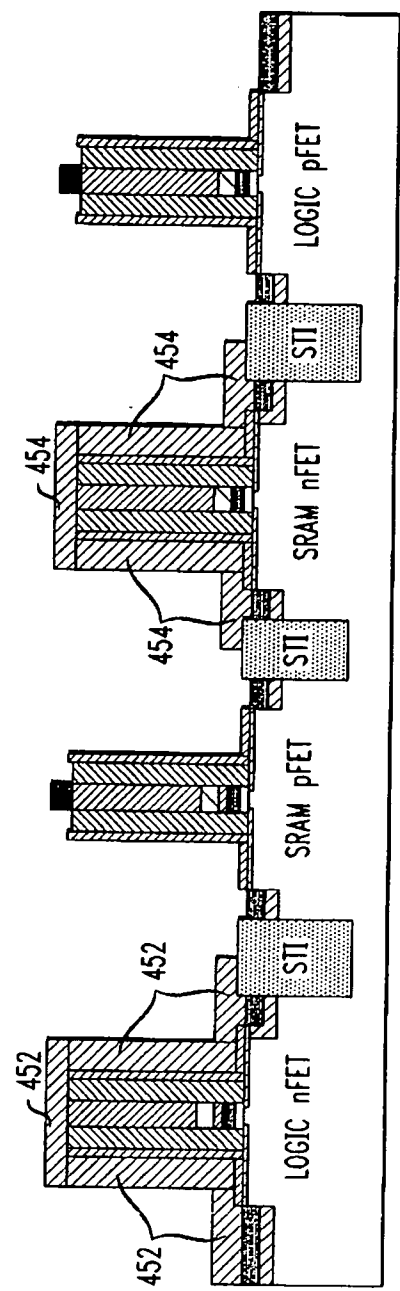


圖4K

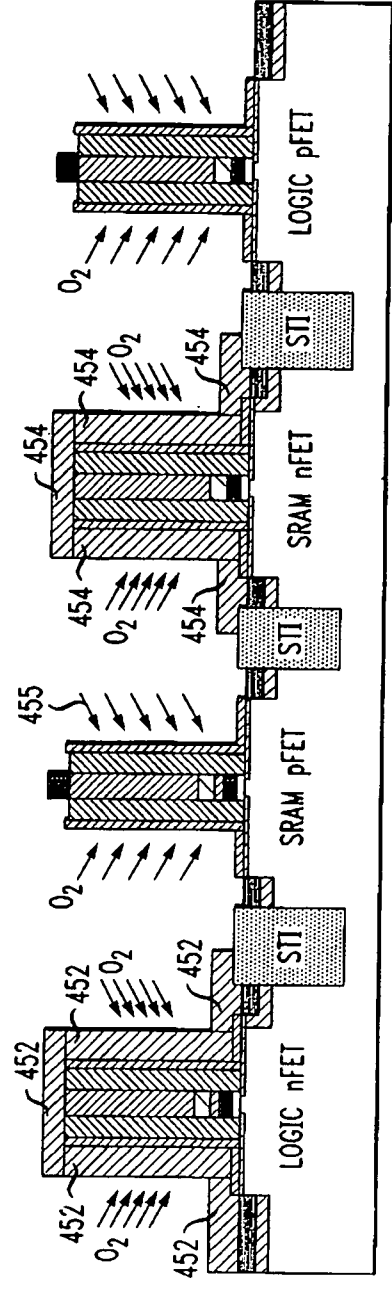


圖4L

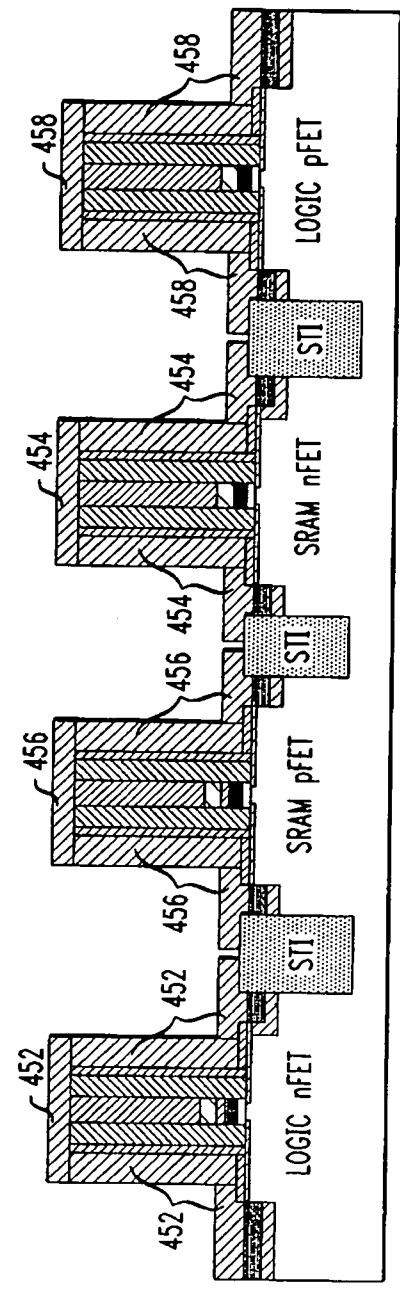


圖5

500

