

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月30日(30.11.2017)



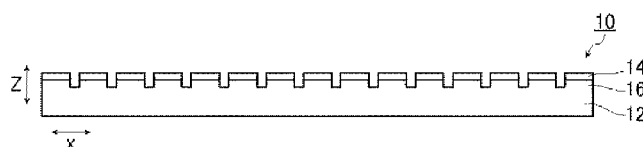
(10) 国際公開番号

WO 2017/203884 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) *H01R 11/01* (2006.01) 岡山榛原郡吉田町川尻 4 0 0 0 番地 富士
フィルム株式会社内 Shizuoka (JP).
- (21) 国際出願番号: PCT/JP2017/015232 (74) 代理人: 中島 順子, 外 (NAKASHIMA Junko et al.); 〒2500111 神奈川県南足柄市竹松 1 2 5 0 番地 F F T P M O 棟 6 F Kanagawa (JP).
- (22) 国際出願日: 2017年4月14日(14.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-106384 2016年5月27日(27.05.2016) JP
特願 2016-156297 2016年8月9日(09.08.2016) JP
- (71) 出願人: 富士フィルム株式会社 (FUJIFILM CORPORATION) [JP/JP]; 〒1068620 東京都港区西麻布 2 丁目 2 6 番 3 0 号 Tokyo (JP).
- (72) 発明者: 堀田 吉則 (HOTTA Yoshinori); 〒4210396 静岡県榛原郡吉田町川尻 4 0 0 0 番地 富士フィルム株式会社内 Shizuoka (JP). 山下広祐(YAMASHITA Kosuke); 〒4210396 静
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) **Title:** ANISOTROPIC ELECTROCONDUCTIVE MATERIAL, ELECTRONIC ELEMENT, STRUCTURE INCLUDING SEMICONDUCTOR ELEMENT, AND METHOD FOR MANUFACTURING ELECTRONIC ELEMENT

(54) 発明の名称: 異方導電材、電子素子、半導体素子を含む構造体および電子素子の製造方法



(57) **Abstract:** Provided are: an anisotropic electroconductive material that is suitable for bonding a semiconductor chip and a semiconductor wafer, etc.; an electronic element having the anisotropic electroconductive member; a structure that includes the semiconductor element having the anisotropic electroconductive member; and a method for manufacturing the electronic element in which the anisotropic electroconductive member is used. The anisotropic electroconductive material has a support body and the anisotropic electroconductive member. The anisotropic electroconductive member is provided with: an insulating base material comprising an inorganic material; and a plurality of conductive paths that penetrates through in the thickness direction of the insulating base material, the conductive paths being provided in a state of being electrically insulated from each other, and the conductive paths comprising an electroconductive material. The anisotropic electroconductive member is provided on the support body, and is formed in a pattern shape in which a region indicating anisotropic electroconductivity is set.



MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：半導体チップと半導体ウエハ等の接合に好適である異方導電材、異方導電性部材を有する電子素子、異方導電性部材を有する、半導体素子を含む構造体および、異方導電性部材を用いた電子素子の製造方法を提供する。異方導電材は支持体と異方導電性部材とを有し、異方導電性部材は無機材料からなる絶縁性基材と、絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路とを備える部材であり、上記異方導電性部材は支持体の上に設けられ、かつ、異方導電性を示す領域が定められたパターン状に形成されている。

明 細 書

発明の名称：

異方導電材、電子素子、半導体素子を含む構造体および電子素子の製造方法

技術分野

[0001] 本発明は、支持体の上に設けられ、かつ異方導電性を示す領域が定められたパターン状に形成されている異方導電性部材を有する異方導電材、異方導電性部材を有する電子素子、異方導電性部材を有する、半導体素子を含む構造体、および異方導電性部材を用いた電子素子の製造方法に関し、特に、チップオンウエハおよびウエハオンウエハに好適な異方導電材、異方導電性部材を有する電子素子、異方導電性部材を有する、半導体素子を含む構造体、および電子素子の製造方法に関する。

背景技術

[0002] 絶縁性基材に設けられた微細孔に金属が充填されてなる金属充填微細構造体は、近年ナノテクノロジーでも注目されている分野のひとつであり、例えば、異方導電性部材としての用途が期待されている。

この異方導電性部材は、半導体素子等の電子部品と回路基板との間に挿入し、加圧するだけで電子部品と回路基板との間の電氣的接続が得られるため、半導体素子等の電子部品等の電氣的接続部材、および機能検査を行う際の検査用コネクタ等として広く使用されている。

特に、半導体素子等の電子部品は、ダウンサイジング化が顕著であり、従来のワイヤーボンディングのような配線基板を直接接続するような方式、フリップチップボンディング、およびサーモコンプレッションボンディング等では、接続の安定性を十分に保証することができない。そのため、電氣的接続部材として異方導電性部材が注目されている。

[0003] 例えば、特許文献1には、無機材料からなる絶縁性基材と、絶縁性基材の厚み方向に貫通し、互いに絶縁された状態で設けられた、導電性部材からな

る複数の導通路と、絶縁性基材の表面に設けられた粘着層とを具備する異方導電性部材が記載されている。この異方導電性部材は、各導通路が絶縁性基材の表面から突出した突出部分を有しており、各導通路の突出部分の端部が粘着層の表面から露出または突出している。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2016/006660号

発明の概要

発明が解決しようとする課題

[0005] 例えば、特許文献1の異方導電性部材を、チップオンウエハのプロセスに適用した場合、異方導電性部材は不透明であるため、以下に示すようにアライメントが困難である。このため、チップオンウエハのプロセスに関し、新たな接合方法が望まれている。

[0006] ここで、図69～図73は電子素子の従来の製造方法を工程順に示す模式図である。

電子素子の従来の製造方法は、従来の異方導電性部材をチップオンウエハに用いたものである。

異方導電材100は、支持体102の全面に異方導電性部材104が配置されており、支持体102と異方導電性部材104の間に剥離層106がある。

電子素子の従来の製造方法では、図69に示すように、異方導電材100の異方導電性部材104を半導体ウエハ110に向けて、異方導電材100と半導体ウエハ110を配置する。

[0007] 次に、図70に示すように、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、異方導電材100の異方導電性部材104を半導体ウエハ110に接合する。

次に、図71に示すように、異方導電材100を加熱することにより、剥

離層 106 の接着力を弱めて異方導電材 100 から支持体 102 を取り除き、異方導電性部材 104 だけを半導体ウエハ 110 に接合させる。

[0008] 次に、図 7 2 に示すように、半導体ウエハ 110 について、素子領域（図示せず）毎に個片化し、複数の半導体チップ 112 を得る。この場合、半導体チップ 112 は、図 7 3 に示すようにアライメントマーク 114 が異方導電性部材 104 で覆われる。このため、アライメントマーク 114 を外部から識別することができず、アライメントマーク 114 の位置情報を得ることができない。このことから、半導体チップ 112 の位置合せができず、チップオンウエハのプロセスにおいて、半導体チップ 112 を半導体ウエハに接合することができない。

[0009] 本発明の目的は、前述の従来技術に基づく問題点を解消し、半導体チップと半導体ウエハ等の接合に好適である異方導電材、異方導電性部材を有する電子素子、異方導電性部材を有する、半導体素子を含む構造体および、異方導電性部材を用いた電子素子の製造方法を提供することにある。

課題を解決するための手段

[0010] 上述の目的を達成するために、本発明は、支持体と、異方導電性部材と、を有し、異方導電性部材は、無機材料からなる絶縁性基材と、絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材であり、異方導電性部材は、支持体の上に設けられ、かつ、異方導電性を示す領域が定められたパターン状に形成されている異方導電材を提供するものである。

[0011] 異方導電性部材は、異方導電性部材の有無によって、異方導電性を示す領域が定められたパターン状に形成されていることが好ましい。

異方導電性部材は、絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた導電材からなる導通路の有無によって、異方導電性を示す領域が定められたパターン状に形成されていることが好ましい。

支持体と異方導電性部材の間に剥離層が設けられていることが好ましい。

また、支持体の上において、異方導電性部材が設けられた以外の領域に透

明絶縁体が設けられていることが好ましい。

支持体は、ウエハ形状であることが好ましい。支持体は、可撓性を有し、かつ透明であることが好ましい。

[0012] 本発明は、半導体チップと、異方導電性部材とを有し、半導体チップは、アライメントマークが複数設けられた素子領域を備えるものであり、異方導電性部材は、無機材料からなる絶縁性基材と、絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路とを備える部材であり、異方導電性部材は、素子領域の少なくとも2つのアライメントマークに相当する領域において光が透過できるように半導体チップの上に配置されている電子素子を提供するものである。

[0013] 異方導電性部材は、素子領域の少なくとも2つのアライメントマークに相当する領域に、配置されていないことが好ましい。

異方導電性部材は、素子領域の全域に絶縁性基材が配置されており、素子領域の少なくとも2つのアライメントマークに相当する領域において、絶縁性基材中における導通路が存在しないことが好ましい。

半導体チップの上において、異方導電性部材が設けられた以外の領域に、透明絶縁体が設けられていることが好ましい。

異方導電性部材は、半導体チップの素子領域のうち電極が形成された電極領域だけに設けられていることが好ましい。

[0014] 本発明は、第1のアライメントマークが複数設けられた第1の素子領域を備える、複数の半導体チップと、第2のアライメントマークが複数設けられた第2の素子領域を複数備える半導体ウエハと、複数の異方導電性部材と、を有し、異方導電性部材は、無機材料からなる絶縁性基材と、絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材であり、半導体チップの第1の素子領域と、半導体ウエハの第2の素子領域とは異方導電性部材を介して接合されており、かつ、異方導電性部材は第1の素子領域および第2の素子領域の少なくとも2つのアライメントマークに相当する領域において光が透過できる

ように配置されている半導体素子を含む構造体を提供するものである。

[0015] 異方導電性部材において、第1の素子領域および第2の素子領域の少なくとも2つのアライメントマークに相当する領域に、配置されていないことが好ましい。

異方導電性部材は、第1の素子領域および第2の素子領域の全域に絶縁性基材が配置されており、第1の素子領域および第2の素子領域の少なくとも2つのアライメントマークに相当する領域において、絶縁性基材中における導通路が存在しないことが好ましい。

半導体ウエハの上において、異方導電性部材が設けられた以外の領域に透明絶縁体が設けられていることが好ましい。

異方導電性部材は、半導体チップの第1の素子領域のうち電極が形成された電極領域だけに設けられていることが好ましい。

[0016] 本発明は、第1のアライメントマークが複数設けられた第1の素子領域を複数備える第1の半導体ウエハと、異方導電性を示す領域が定められたパターン状に形成されている異方導電性部材が支持体の上に設けられた異方導電材と、第2のアライメントマークが複数設けられた第2の素子領域を備える第2の半導体ウエハとについて、異方導電材の異方導電性部材を、第1の素子領域の少なくとも2つの第1のアライメントマークに相当する領域において光が透過できるように、第1の半導体ウエハの第1の素子領域に接合する工程と、

異方導電材の支持体を取り除く工程と、第1の半導体ウエハについて、第1の素子領域毎に個片化し、複数の半導体チップを得る工程と、半導体チップの第1のアライメントマークと、第2のアライメントマークとを用いて半導体チップと第2の素子領域の位置合せを行い、異方導電性部材を介して半導体チップを第2の素子領域に接合する工程と、を有する電子素子の製造方法を提供するものである。

[0017] また、本発明は、第1のアライメントマークが複数設けられた第1の素子領域を備える、複数の半導体チップと、複数の第2のアライメントマークを

備え、少なくとも2つの第2のアライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられた第2の素子領域を複数備える第2の半導体ウエハとにおいて、半導体チップの第1のアライメントマークと、第2のアライメントマークとを用いて半導体チップと第2の素子領域の位置合せを行い、異方導電性部材を介して半導体チップを第2の素子領域に接合する工程を有する電子素子の製造方法を提供するものである。

[0018] 半導体チップが接合された第2の半導体ウエハを、第2の素子領域毎に個片化する工程を有することが好ましい。

異方導電性部材は、無機材料からなる絶縁性基材と、絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材であることが好ましい。

半導体チップを第2の素子領域に接合する工程は、半導体チップを全て、第2の素子領域に仮接着する工程と、仮接着した半導体チップを全て一括して、第2の半導体ウエハの第2の素子領域に接合する工程とを含むことが好ましい。

半導体チップを第2の素子領域に接合する工程は、半導体チップを、第2の半導体ウエハの第2の素子領域に1つずつ接合することが好ましい。

[0019] 本発明は、半導体ウエハの上に、複数の半導体チップを多層に接合する電子素子の製造方法であって、半導体ウエハは、複数のアライメントマークが設けられた素子領域を複数備え、最上層の半導体チップは、片面に複数のアライメントマークが設けられた素子領域を備え、かつ、片面には少なくとも2つのアライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられ、半導体ウエハと最上層の半導体チップとの間にある中間の半導体チップは、一方の面に複数のアライメントマークと電極とが設けられた素子領域を備え、他方の面に複数のアライメントマークと電極とを備え、一方の面の電極と他方の面の電極は電氣的に導通され、一方の面には、少なくとも

2つのアライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられており、半導体ウエハのアライメントマークと、中間の半導体チップの一方の面のアライメントマークとを用いて半導体ウエハの素子領域と中間の半導体チップの位置合せを行い、異方導電性部材を介して中間の半導体チップを半導体ウエハの素子領域に接合する第1の工程と、

中間の半導体チップの他方の面のアライメントマークと、最上層の半導体チップのアライメントマークとを用いて中間の半導体チップと最上層の半導体チップの位置合せを行い、異方導電性部材を介して最上層の半導体チップを中間の半導体チップに接合する第2の工程と、を有する電子素子の製造方法を提供するものである。

[0020] 第1の工程と第2の工程との間に、中間の半導体チップの他方の面のアライメントマークと、中間の半導体チップの一方の面のアライメントマークとを用いて2つの中間の半導体チップの位置合せを行い、異方導電性部材を介して中間の半導体チップ同士を接合する接合工程を少なくとも1つ有することが好ましい。

複数のアライメントマークと電極とを備え、少なくとも2つのアライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられた複数の素子領域を一方の面に備え、複数のアライメントマークと電極とを他方の面に備え、一方の面の電極と他方の面の電極とは電氣的に導通された半導体ウエハに対して、素子領域毎に個片化し、半導体ウエハと最上層の半導体チップとの間にある中間の半導体チップを得る工程を有することが好ましい。

半導体チップが多層に接合された半導体ウエハを、素子領域毎に個片化する工程を有することが好ましい。

異方導電性部材は、無機材料からなる絶縁性基材と、絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材であることが好ましい。

[0021] 第1の工程および第2の工程は、中間の半導体チップおよび最上層の半導体チップを全て、仮接着する工程と、仮接着した中間の半導体チップおよび最上層の半導体チップを全て一括して接合する工程とを含むことが好ましい。

第1の工程および第2の工程は、中間の半導体チップおよび最上層の半導体チップを1つずつ接合することが好ましい。

異方導電性部材が設けられた以外の領域に、透明絶縁体を充填する工程を有することが好ましい。

半導体チップの素子領域のうち電極が形成された電極領域だけに異方導電性部材を設けられることが好ましい。

[0022] 本発明は、第1のアライメントマークが複数設けられた第1の素子領域を複数備える第1の半導体ウエハと、異方導電性を示す領域が定められたパターン状に形成されている異方導電性部材が支持体の上に設けられた異方導電材とについて、支持体の上において、異方導電性部材が設けられた以外の領域に、透明絶縁体を充填する工程と、異方導電材の異方導電性部材を、第1の素子領域の少なくとも2つの第1のアライメントマークに相当する領域において光が透過できるように、第1の半導体ウエハの第1の素子領域に接合する工程と、異方導電材の支持体を取り除く工程と、第2のアライメントマークが複数設けられた第2の素子領域を備える第2の半導体ウエハに対して、第1の半導体ウエハの第1のアライメントマークと、第2の半導体ウエハの第2のアライメントマークとを用いて第1の半導体ウエハと第2の素子領域の位置合せを行い、異方導電性部材および透明絶縁体を介して第1の素子領域を第2の素子領域に接合する工程を有する電子素子の製造方法を提供するものである。

[0023] 本発明は、複数の半導体ウエハを多層に接合する電子素子の製造方法であって、複数の半導体ウエハのうち、最下層の半導体ウエハは、複数のアライメントマークが設けられた素子領域を複数備え、最上層の半導体ウエハは、複数のアライメントマークを備え、少なくとも2つのアライメントマークに

相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられた複数の素子領域を一方の面に備え、最下層の半導体ウエハと最上層の半導体ウエハ以外の中間の半導体ウエハは、複数のアライメントマークと電極とを備え、少なくとも2つのアライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられた複数の素子領域を一方の面に備え、複数のアライメントマークと電極とを他方の面に備え、一方の面の電極と他方の面の電極は電氣的に導通されており、最下層の半導体ウエハのアライメントマークと、中間の半導体ウエハの一方の面のアライメントマークとを用いて最下層の半導体ウエハの素子領域と中間の半導体ウエハの位置合せを行い、異方導電性部材を介して最下層の半導体ウエハに中間の半導体ウエハを接合する第1の工程と、中間の半導体ウエハの他方の面のアライメントマークと、最上層の半導体ウエハのアライメントマークを用いて中間の半導体ウエハと最上層の半導体ウエハの位置合せを行い、異方導電性部材を介して中間の半導体ウエハに最上層の半導体ウエハを接合する第2の工程と、を有することを特徴とする電子素子の製造方法を提供するものである。

[0024] 第1の工程と第2の工程との間に、中間の半導体ウエハの他方の面のアライメントマークと、中間の半導体ウエハの一方の面のアライメントマークとを用いて2つの中間の半導体ウエハの位置合せを行い、異方導電性部材を介して中間の半導体ウエハ同士を接合する接合工程を少なくとも1つ有することが好ましい。

半導体ウエハの素子領域のうち電極が形成された電極領域だけに異方導電性部材を設けられることが好ましい。

複数の半導体ウエハが接合された状態で、素子領域毎に個片化する工程を有することが好ましい。

異方導電性部材は、無機材料からなる絶縁性基材と、絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる

複数の導通路と、を備える部材であることが好ましい。

発明の効果

[0025] 本発明によれば、半導体チップと半導体ウエハ等の接合に好適である。

図面の簡単な説明

[0026] [図1]本発明の実施形態の異方導電材を示す模式図である。

[図2]本発明の実施形態の異方導電材の要部拡大図である。

[図3]本発明の実施形態の異方導電材の異方導電性部材の構成を示す平面図である。

[図4]本発明の実施形態の異方導電材の異方導電性部材の構成を示す模式的断面図である。

[図5]本発明の実施形態の異方導電材の異方導電性部材のパターンの第1の例を示す模式図である。

[図6]本発明の実施形態の異方導電材の異方導電性部材のパターンの第2の例を示す模式図である。

[図7]素子領域およびアライメントマークの一例を示す模式図である。

[図8]本発明の実施形態の異方導電材の異方導電性部材のパターンの第3の例を示す模式図である。

[図9]本発明の実施形態の異方導電材の他の例を示す模式図である。

[図10]本発明の実施形態の異方導電材の形状を示す模式図である。

[図11]本発明の実施形態の異方導電材の他の例の製造方法の一工程を示す模式図である。

[図12]本発明の実施形態の異方導電材の他の例の製造方法の一工程を示す模式図である。

[図13]本発明の実施形態の異方導電材の他の例の製造方法の一工程を示す模式図である。

[図14]本発明の実施形態の電子素子の第1の例を示す模式的斜視図である。

[図15]本発明の実施形態の電子素子の第2の例を示す模式的斜視図である。

[図16]本発明の実施形態の電子素子の第3の例を示す模式的斜視図である。

[図17]本発明の実施形態の電子素子の第4の例を示す模式図である。

[図18]本発明の実施形態の電子素子の第5の例を示す模式図である。

[図19]本発明の実施形態の電子素子の第6の例を示す模式図である。

[図20]本発明の実施形態の電子素子の第7の例を示す模式図である。

[図21]本発明の実施形態の電子素子の素子領域の他の例を示す模式図である。
。

[図22]本発明の実施形態の電子素子の第8の例を示す模式図である。

[図23]本発明の実施形態の電子素子の第9の例を示す模式図である。

[図24]本発明の実施形態の電子素子の製造方法の第1の例の一工程を示す模式図である。

[図25]本発明の実施形態の電子素子の製造方法の第1の例の一工程を示す模式図である。

[図26]本発明の実施形態の電子素子の製造方法の第1の例の一工程を示す模式図である。

[図27]本発明の実施形態の電子素子の製造方法の第1の例の一工程を示す模式図である。

[図28]本発明の実施形態の電子素子の製造方法の第1の例の一工程を示す模式図である。

[図29]本発明の実施形態の電子素子の製造方法の第1の例の一工程を示す模式図である。

[図30]本発明の実施形態の電子素子の製造方法の第1の例の一工程を示す模式図である。

[図31]本発明の実施形態の電子素子の製造方法の第1の例の一工程を示す模式図である。

[図32]本発明の実施形態の電子素子の製造方法の第1の例の一工程を示す模式図である。

[図33]第1の半導体ウエハを示す模式図である。

[図34]本発明の実施形態の電子素子の製造方法の第2の例の一工程を示す模

式図である。

[図35]本発明の実施形態の電子素子の製造方法の第2の例の一工程を示す模式図である。

[図36]本発明の実施形態の電子素子の製造方法の第2の例の一工程を示す模式図である。

[図37]本発明の実施形態の電子素子の製造方法の第3の例の一工程を示す模式図である。

[図38]本発明の実施形態の電子素子の製造方法の第3の例の一工程を示す模式図である。

[図39]本発明の実施形態の電子素子の製造方法の第3の例の一工程を示す模式図である。

[図40]本発明の実施形態の電子素子の製造方法の第3の例の一工程を示す模式図である。

[図41]本発明の実施形態の電子素子の製造方法の第3の例の一工程を示す模式図である。

[図42]本発明の実施形態の電子素子の製造方法の第3の例の一工程を示す模式図である。

[図43]本発明の実施形態の電子素子の製造方法の第3の例の一工程を示す模式図である。

[図44]本発明の実施形態の電子素子の製造方法の第4の例の一工程を示す模式図である。

[図45]本発明の実施形態の電子素子の製造方法の第4の例の一工程を示す模式図である。

[図46]本発明の実施形態の電子素子の製造方法の第4の例の一工程を示す模式図である。

[図47]本発明の実施形態の電子素子の製造方法の第5の例の一工程を示す模式図である。

[図48]本発明の実施形態の電子素子の製造方法の第5の例の一工程を示す模

式図である。

[図49]本発明の実施形態の電子素子の製造方法の第5の例の一工程を示す模式図である。

[図50]本発明の実施形態の電子素子の製造方法の第5の例の一工程を示す模式図である。

[図51]本発明の実施形態の電子素子の製造方法の第5の例の一工程を示す模式図である。

[図52]本発明の実施形態の電子素子の製造方法の第5の例の一工程を示す模式図である。

[図53]本発明の実施形態の電子素子の製造方法の第6の例の一工程を示す模式図である。

[図54]本発明の実施形態の電子素子の製造方法の第6の例の一工程を示す模式図である。

[図55]本発明の実施形態の電子素子の製造方法の第6の例の一工程を示す模式図である。

[図56]本発明の実施形態の電子素子の製造方法の第6の例の一工程を示す模式図である。

[図57]本発明の実施形態の電子素子の製造方法の第6の例の一工程を示す模式図である。

[図58]本発明の実施形態の電子素子の製造方法の第6の例の一工程を示す模式図である。

[図59]本発明の実施形態の電子素子の製造方法の第7の例の一工程を示す模式図である。

[図60]本発明の実施形態の電子素子の製造方法の第7の例の一工程を示す模式図である。

[図61]本発明の実施形態の電子素子の製造方法の第8の例の一工程を示す模式図である。

[図62]本発明の実施形態の電子素子の製造方法の第8の例の一工程を示す模

式図である。

[図63]本発明の実施形態の電子素子の製造方法の第8の例の一工程を示す模式図である。

[図64]第3の半導体ウエハを示す模式図である。

[図65]光学センサの製造方法の一工程を示す模式図である。

[図66]光学センサの製造方法の一工程を示す模式図である。

[図67]光学センサの製造方法の一工程を示す模式図である。

[図68]光学センサの製造方法の一工程を示す模式図である。

[図69]電子素子の従来の製造方法の一工程を示す模式図である。

[図70]電子素子の従来の製造方法の一工程を示す模式図である。

[図71]電子素子の従来の製造方法の一工程を示す模式図である。

[図72]電子素子の従来の製造方法の一工程を示す模式図である。

[図73]電子素子の従来の製造方法の一工程を示す模式図である。

発明を実施するための形態

[0027] 以下に、添付の図面に示す好適実施形態に基づいて、本発明の異方導電材、電子素子、半導体素子を含む構造体および電子素子の製造方法を詳細に説明する。

なお、以下において数値範囲を示す「～」とは両側に記載された数値を含む。例えば、 ε が数値 α ～数値 β とは、 ε の範囲は数値 α と数値 β を含む範囲であり、数学記号で示せば $\alpha \leq \varepsilon \leq \beta$ である。また、角度については、技術分野で一般的に許容される誤差範囲を含んでもよい。

[0028] 本発明の異方導電材、電子素子、半導体素子を含む構造体および電子素子の製造方法のうち、異方導電材について説明する。

[異方導電材]

図1は本発明の実施形態の異方導電材を示す模式図であり、図2は本発明の実施形態の異方導電材の要部拡大図である。図3は本発明の実施形態の異方導電材の異方導電性部材の構成を示す平面図であり、図4は本発明の実施形態の異方導電材の異方導電性部材の構成を示す模式的断面図である。なお

、図4は、図3の切断面線I B - I B断面図である。

[0029] 図1および図2に示す異方導電材10は、支持体12と、異方導電性部材14とを有する。異方導電性部材14は支持体12の上に設けられ、支持体12と異方導電性部材14の間に剥離層16が設けられている。支持体12と異方導電性部材14は剥離層16により、分離可能に接着されている。

支持体12は、異方導電性部材14を支持するものであり、例えば、シリコン基板で構成されている。支持体12としては、シリコン基板以外に、例えば、SiC、SiN、GaNおよびアルミナ(Al_2O_3)等のセラミックス基板、ガラス基板、繊維強化プラスチック基板、ならびに金属基板を用いることができる。繊維強化プラスチック基板には、プリント配線基板であるFR-4 (Flame Retardant Type 4) 基板等も含まれる。

[0030] また、支持体12としては、可撓性を有し、かつ透明であるものを用いることができる。可撓性を有し、かつ透明な支持体12としては、例えば、PET (ポリエチレンテレフタレート)、ポリシクロオレフィン、ポリカーボネート、アクリル樹脂、PEN (ポリエチレンナフタレート)、PE (ポリエチレン)、PP (ポリプロピレン)、ポリスチレン、ポリ塩化ビニル、ポリ塩化ビニリデンおよびTAC (トリアセチルセルロース)等のプラスチックフィルムが挙げられる。

ここで、「透明」とは、位置合せに使用する波長の光で透過率が80%以上であることをいう。このため、波長400~800nmの可視光全域で透過率が低くてもよい。すなわち、透明でなくとも良い。透過率は、分光光度計により測定される。

[0031] 剥離層16は、支持層17と剥離剤18が積層されたものである。剥離剤18が異方導電性部材14に接しており、剥離層16を起点にして、支持体12と異方導電性部材14が分離する。異方導電材10では、例えば、予め定められた温度に加熱することで、剥離剤18の接着力が弱まり、異方導電材10から支持体12が取り除かれる。

剥離剤18には、例えば、日東電工社製リバアルファ (登録商標)、およ

びソマール株式会社製ソマタック（登録商標）等を用いることができる。

[0032] 図3および図4に示す異方導電性部材14は、無機材料からなる絶縁性基材20と、絶縁性基材20の厚み方向Z（図4参照）に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路22とを備える部材である。さらに、絶縁性基材20の表面20aおよび20bに設けられた樹脂層24を具備するものである。

ここで、「互いに電氣的に絶縁された状態」とは、絶縁性基材の内部に存在している各導通路が絶縁性基材の内部において互いに電氣的に絶縁された状態であることを意味する。

異方導電性部材14は、導通路22が互いに電氣的に絶縁されており、絶縁性基材20の厚み方向Z（図4参照）と直交する方向xには導電性がなく、厚み方向Zに導電性を有する。このように異方導電性部材14は異方導電性を示す部材である。

[0033] 導通路22は、図3および図4に示すように、互いに電氣的に絶縁された状態で絶縁性基材20を厚み方向Zに貫通して設けられている。なお、符号Z1は図3の裏面から正面の方向を示し、符号Z2は図3の正面から裏面の方向を示す。

さらに、導通路22は、図4に示すように、絶縁性基材20の表面20aおよび20bから突出した突出部分22aおよび突出部分22bを有する。各突出部分22aおよび突出部分22bの端部が樹脂層24に埋設している。樹脂層24は粘着性を備えるものであり、仮接着性を付与するものである。突出部分22aおよび突出部分22bの長さは、20nm以上であることが好ましく、より好ましくは100nm～500nmである。

[0034] また、図4においては、絶縁性基材20の表面20aおよび20bに樹脂層24を有するものを示しているが、これに限定されず、絶縁性基材20の少なくとも一方の表面に、粘着性を備える樹脂層24を有していればよい。

同様に、図4の導通路22は両端に突出部分22aおよび突出部分22bがあるが、これに限定されず、絶縁性基材20の少なくとも樹脂層24を有

する側の表面に突出部分を有すればよい。

- [0035] 異方導電性部材 14 の厚み h は、例えば、 $30\ \mu\text{m}$ 以下である。また、異方導電性部材 14 は、TTV (Total Thickness Variation) が $10\ \mu\text{m}$ 以下であることが好ましい。

ここで、異方導電性部材 14 の厚み h は、異方導電性部材 14 を、電解放出形走査型電子顕微鏡により 20 万倍の倍率で観察し、異方導電性部材 14 の輪郭形状を取得し、厚み h に相当する領域について 10 点測定した平均値のことである。

また、異方導電性部材 14 の TTV (Total Thickness Variation) は、異方導電性部材 14 をダイシングで支持体 12 ごと切断し、異方導電性部材 14 の断面形状を観察して求めた値である。

- [0036] 異方導電性部材 14 は、支持体 12 の上に設けられ、かつ異方導電性を示す領域が定められたパターン状に形成されている。

図 5 は本発明の実施形態の異方導電材の異方導電性部材のパターンの第 1 の例を示す模式図であり、図 6 は本発明の実施形態の異方導電材の異方導電性部材のパターンの第 2 の例を示す模式図である。

例えば、図 5 に示すように、異方導電性部材 14 は、異方導電性を示す領域 15 が異方導電性部材 14 の有無によって、定められたパターン状に形成されている。異方導電性を示す領域 15 は導通路 22 を有する。例えば、ダイシングまたはレーザスクライビングにより、異方導電性部材 14 を選択的に除去することで、異方導電性を示す領域 15 を図 5 に示すパターンに形成することができる。

また、異方導電性部材 14 において、レジスト膜を領域 15 となる領域に選択的に形成する。その後、ウェットエッチングまたはドライエッチングにより、レジスト膜が形成されていない領域にある異方導電性部材 14 を除去することにより、異方導電性を示す領域 15 を図 5 に示すパターンに形成することができる。

- [0037] また、絶縁性基材 20 の厚み方向 Z に貫通し、互いに電氣的に絶縁された

状態で設けられた導電材からなる導通路 22 の有無によって、異方導電性を示す領域 15 が定められたパターン状に形成してもよい。すなわち、導通路 22 を、定められたパターン状に配置することにより、パターン状に形成してもよい。

この場合、図 6 に示すように、異方導電性を示す領域 15 が定められたパターン状に形成され、異方導電性を示す領域 15 以外は導通路 22 がない領域 15 b となる。領域 15 b では絶縁性基材 20 だけが存在する。

異方導電性部材 14 の導通路 22 は、例えば、上述の領域 15 b における導電材を選択的に除去することにより、異方導電性を示す領域 15 を図 6 に示すパターンに形成することができる。

導電材を選択的に除去する場合、異方導電性部材 14 において、レジスト膜を領域 15 となる領域に選択的に形成する。その後、例えば、ウェットエッチングにより、レジスト膜が形成されていない領域にある導電材を除去する。これにより、異方導電性を示す領域 15 を図 6 に示すパターンに形成することができる。ウェットエッチングには、例えば、過酸化水素水またはヨードエッチング液等が用いられる。

異方導電性部材 14 は、光透過性が低く不透明であるが、導電材を除去した場合、光透過性が高くなり、アライメントマークの撮影画像を得ることができる。

[0038] 異方導電性を示す領域 15 は、接続対象となる半導体チップまたは半導体ウエハのアライメントマークに相当する領域において光が透過できるパターンに形成される。

半導体チップまたは半導体ウエハには、例えば、図 7 に示すように、複数の素子領域 30 が配置されている。素子領域 30 は、例えば、矩形状であり、各角部に、位置合せのためのアライメントマーク 32 が形成されている。素子領域 30 では、合計 4 つのアライメントマーク 32 が形成されている。素子領域 30 の位置と向きを特定するには、アライメントマーク 32 は複数あればよく、上述の 4 つに限定されない。また、アライメントマーク 32 の

形状についても、特に限定されず、公知のものが適宜利用可能である。

[0039] 図7に示す素子領域30では、異方導電性を示す上述の領域15を配置した場合、4つのアライメントマーク32に対して光が透過できるようになっている。なお、位置合せには、少なくとも2つのアライメントマークが認識できればよい。このため、例えば、図8に示すように、素子領域30に対して、異方導電性を示す領域15を、4つのうち、2つのアライメントマーク32を認識できる形状としてもよい。

ここで、「光が透過できる」とは、アライメントマーク32の撮影画像または反射像を得ることができ、外部からアライメントマーク32を識別することができることをいう。

[0040] 図1および図2に示す異方導電材10は、支持体12と、異方導電性部材14とを有し、異方導電性部材14は支持体12の上に設けられ、支持体12と異方導電性部材14との間に剥離層16が設けられている構成としたが、これに限定されない。例えば、図9に示す異方導電材10aのように、支持体12の上において、異方導電性部材14が設けられた以外の領域に透明絶縁体19が設けられている構成でもよい。この場合、透明絶縁体19は、例えば、異方導電性部材14を透明絶縁体19に埋め込むことで形成する。これ以外に、例えば、ペースト状の透明絶縁体19となるものを塗布して透明絶縁体19を形成してもよい。

ここで、透明絶縁体19の「透明」とは、上述の透明な支持体12で説明したとおりである。アライメントマーク32上に透明絶縁体19があっても、アライメントマーク32の撮影画像または反射像を得ることができ、外部からアライメントマーク32を識別することができる。

透明絶縁体19を設けた異方導電材10aでもアライメントマーク32を識別することができる。なお、透明絶縁体19については後に詳細に説明する。

[0041] 図1に示す異方導電材10および図9に示す異方導電材10aにおいて、いずれも支持体12の形状は、特に限定されず、用途に応じて適宜決定され

、例えば、ウエハ形状である。「ウエハ形状」とは、図10に示すように、支持体12の外形が円形のことである。なお、異方導電材10、10aを貼り付ける対象が半導体ウエハであり、かつオリエンテーションフラットがある場合、支持体12は、ウエハ形状であり、かつ対象と同じく、オリエンテーションフラットに対応する直線部があってもよい。また、支持体12は外形が四角形状でもよい。

なお、図10において、図1に示す異方導電材10および図9に示す異方導電材10aと同一構成物には同一符号を付して、その詳細な説明は省略する。

[0042] 図9に示す異方導電材10aでは、支持体12として、上述の可撓性を有し、かつ透明であるものを用いることにより、異方導電材10aを、可撓性を有し、かつ透明であるものにすることができる。これにより、従来の粒子型のACF (Anisotropic Conductive Film) と同じように利用することができる。粒子型のACFと同じ製造装置を用いることができる。

[0043] また、図9に示す異方導電材10aは、図11に示すように、例えば、基材92上に剥離層93、および透明絶縁体94の順に形成したフィルム90を準備しておく。基材92は、例えば、上述の支持体12と同じ構成である。剥離層93は、上述の剥離層16と同じ構成である。透明絶縁体94は、上述の透明絶縁体19と同じ構成である。

図11に示すように、フィルム90を、異方導電材10の異方導電性部材14に対向して配置する。

次に、図12に示すように、フィルム90を異方導電材10に、異方導電性部材14側から積層する。その後、基材92を剥離することにより、図9に示す異方導電材10aを得ることができる。

図12において、支持体12を剥離することにより、図13に示すように基材92が支持体となる異方導電材10aを得ることができる。

これ以外にも、図1に示す異方導電材10に対して、異方導電性部材14が設けられていない領域に、透明絶縁体19となるペースト状のものを塗布

して、図 9 に示す異方導電材 10 a を得ることができる。

[0044] 次に、電子素子について説明する。

[電子素子]

図 14 は本発明の実施形態の電子素子の第 1 の例を示す模式的斜視図であり、図 15 は本発明の実施形態の電子素子の第 2 の例を示す模式的斜視図であり、図 16 は本発明の実施形態の電子素子の第 3 の例を示す模式的斜視図である。

なお、図 14、図 15 および図 16 において、図 1 および図 2 に示す異方導電材 10、図 3～図 6 に示す異方導電性部材 14、ならびに図 7 および図 8 に示す素子領域 30 において同一構成物には同一符号を付して、その詳細な説明は省略する。

[0045] 図 14 に示す電子素子 34 は、半導体チップ 36 と、異方導電性部材 14 とを有する。

半導体チップ 36 は、図 7 に示すように、例えば、アライメントマーク 32 が 4 つ設けられた素子領域 30 を備える。異方導電性部材 14 は、素子領域 30 の 4 つのアライメントマーク 32 に相当する領域において光が透過できるように配置されている。上述のように、異方導電性部材 14 は、少なくとも 2 つのアライメントマーク 32 に相当する領域において光が透過できるように配置されていればよく、例えば、図 8 に示す、異方導電性を示す領域 15 と同じ形状であってもよい。

また、異方導電性部材 14 は、素子領域 30 の少なくとも 2 つのアライメントマーク 32 に相当する領域に、配置されていない構成としてもよい。

[0046] また、図 15 に示す電子素子 34 のように、異方導電性部材 14 は素子領域 30 の全域に絶縁性基材 20 が配置されており、素子領域 30 の少なくとも 2 つのアライメントマーク 32 に相当する領域において、絶縁性基材 20 中における導通路 22 が存在しない構成としてもよい。図 15 の異方導電性部材 14 は、異方導電性を示す領域 15 と、絶縁性基材 20 があるが導通路 22 がない領域 15 b としてもよい。図 15 に示す電子素子 34 でも異方導

電性を示す領域 15 については、例えば、図 8 に示す、異方導電性を示す領域 15 と同じ形状としてもよい。

[0047] また、図 16 に示す電子素子 34 のように、半導体チップ 36 と、異方導電性部材 14 とを有し、半導体チップ 36 の上において、異方導電性部材 14 が設けられた以外の領域に透明絶縁体 19 が設けられている構成でもよい。透明絶縁体 19 はアライメントマーク 32 の上にも設けられるが、上述のようにアライメントマーク 32 を識別することができる。このため、図 16 に示す電子素子 34 でも異方導電性を示す領域 15 については、例えば、図 8 に示す、異方導電性を示す領域 15 と同じ形状としてもよい。

[0048] 上述のいずれの電子素子 34 においても、チップオンウエハで、半導体チップと半導体ウエハを接合する際に、アライメントマーク 32 の撮影画像または反射像を得て、光学的にアライメントマークを検出することができ、アライメントマーク 32 を位置合せに利用することができる。これにより、例えば、図 17 に示すように、半導体チップ 36 と半導体チップ 37 とを、異方導電性を示す異方導電性部材 14 を介して接合して、半導体チップ 36 と半導体チップ 37 とを電氣的に接続した電子素子 35 を得ることができる。電子素子 35 において、異方導電性部材 14 は TSV (Through Silicon Via) の機能を果たす。

これ以外に、例えば、図 18 に示す電子素子 38 のように、異方導電性部材 14 を介して半導体チップ 36 と半導体チップ 37 と半導体チップ 39 とを立体的に積層して接合し、かつ電氣的に接続した構成とすることができる。このように、異方導電性部材 14 を用いることで 3 次元実装ができる。

[0049] 図 18 に示す電子素子 38 のように、最下層の半導体チップ 36 と最上層の半導体チップ 39 の間にある中間の半導体チップ 37 は、一方の面に複数のアライメントマーク (図示せず) と電極 (図示せず) が設けられた素子領域 (図示せず) を備え、他方の面に複数のアライメントマーク (図示せず) と電極 (図示せず) が備えられている。一方の面の電極と、他方の面の電極は電氣的に導通されている。具体的には、半導体チップ 37 は、最下層の半

導体チップ３６と最上層の半導体チップ３９と電氣的に接続するために、半導体チップ３６との対向面には複数のアライメントマーク（図示せず）と電極（図示せず）が設けられ、半導体チップ３９の対向面には電極が設けられている。

最上層の半導体チップ３９は、片面に複数のアライメントマーク（図示せず）が設けられた素子領域（図示せず）を備える。最下層の半導体チップ３６は、片面に複数のアライメントマーク（図示せず）が設けられた素子領域（図示せず）を備える。

[0050] また、図１６に示す電子素子３４に関し、例えば、図１９に示すように、半導体チップ３６と半導体チップ３７とを、異方導電性部材１４を介して接合し、かつ半導体チップ３６と半導体チップ３７の間に透明絶縁体１９を配置して、半導体チップ３６と半導体チップ３７とを電氣的に接続した電子素子３５とすることができる。この場合、透明絶縁体１９により、半導体チップ３６と半導体チップ３７の接触面積が増え、半導体チップ３６と半導体チップ３７は、より安定して積層した状態を維持することができる。

さらには、図２０に示す電子素子３８のように、異方導電性部材１４と透明絶縁体１９を介して半導体チップ３６と半導体チップ３７と半導体チップ３９とを立体的に積層して接合し、かつ電氣的に接続した構成とすることができる。この場合、透明絶縁体１９により、各半導体チップ間の接触面積が増え、各半導体チップは、より安定して積層した状態を維持することができる。

[0051] また、異方導電性部材１４は、図２１に示すように、半導体チップの素子領域３０のうち電極（図示せず）が形成された電極領域３１だけに設けられている構成でもよい。電極領域３１だけに異方導電性部材１４を設けることで、半導体チップの素子領域３０の配線等への影響を抑制することができる。

電極領域３１だけに異方導電性部材１４を設ける場合、図２２に示す電子素子３５のように、半導体チップ３６と半導体チップ３７の間において、異

方導電性部材 14 が偏って配置される。この場合、透明絶縁体 19 により、半導体チップ 36 と半導体チップ 37 の接触面積が増え、異方導電性部材 14 が偏って配置されても半導体チップ 36 と半導体チップ 37 は安定して積層した状態を維持することができる。

図 23 に示す電子素子 38 のように 3 つの半導体チップ 36 と半導体チップ 37 と半導体チップ 39 とを用いた場合でも、各半導体チップの間において、異方導電性部材 14 が偏って配置されるが、上述のように透明絶縁体 19 により、各半導体チップ間の接触面積が増え、異方導電性部材 14 が偏って配置されても各半導体チップは安定して積層した状態を維持することができる。

この場合でも、電極領域 31 だけに異方導電性部材 14 を設けることで、半導体チップの素子領域 30 の配線等への影響を抑制することができる。

[0052] なお、半導体チップを接合する数は、特に限定されず、電子素子の機能、および電子素子に要求される性能に応じて適宜決定される。上述のように、少なくとも 2 つのアライメントマーク 32 に相当する領域において光が透過できるように配置した異方導電性部材 14 を用いることにより、位置合せをして、複数の半導体チップを立体的に積層して接合して、これらを電氣的に接続することができる。これにより、電子素子の大きさを小さくでき、実装面積を小さくできる。また、異方導電性部材 14 の厚さを薄くすることにより、半導体チップ間の配線長を短くでき、信号の遅延を抑制し、電子素子の処理速度を向上させることができる。半導体チップ間の配線長を短くすることで、消費電力も抑制することができる。

[0053] 「素子領域 30」とは、電子素子として機能するための各種の素子構成回路等が形成された領域である。素子領域 30 には、例えば、フラッシュメモリ等のようなメモリ回路、マイクロプロセッサおよび F P G A (field-programmable gate array) 等のような論理回路が形成された領域、無線タグ等の通信モジュールならびに配線が形成された領域である。素子領域 30 には、これ以外に M E M S (Micro Electro Mechanical Systems) が形成されても

よい。「MEMS」とは、例えば、センサ、アクチュエーターおよびアンテナ等である。センサには、例えば、加速度、音、光等の各種のセンサが含まれる。

上述のように、素子領域30は素子構成回路等が形成されており、半導体チップを外部と電氣的に接続するために電極（図示せず）が設けられている。素子領域30は電極が形成された電極領域31（図21参照）を有する。なお、素子領域30の電極は、例えば、Cuポストである。「電極領域31」とは、基本的には、形成された全ての電極を含む領域のことである。しかしながら、電極が離散して設けられていれば、各電極が設けられている領域も電極領域という。

[0054] 半導体チップ36は、素子領域30を有するものであり、半導体で構成される。半導体チップ36は、例えば、素子領域30に形成された上述のメモリ回路、論理回路、通信モジュールまたはMEMS（Micro Electro Mechanical Systems）等を有するものである。

半導体チップおよび半導体ウエハは、例えば、シリコンで構成されるが、これに限定されず、炭化ケイ素、ゲルマニウム、ガリウムヒ素または窒化ガリウム等であってもよい。

[0055] なお、半導体チップ36、半導体チップ37および半導体チップ39は、上述の半導体チップ36で例示したものとすることができる。半導体チップ36、半導体チップ37および半導体チップ39の構成については、電子素子35および電子素子38において達成する機能に応じて適宜選択される。例えば、図17、図19および図22の電子素子35では、論理回路を有する半導体チップ36と、メモリ回路を有する半導体チップ37の組合せとすることができる。また、図18、図20および図23の電子素子38では、半導体チップ36、半導体チップ37および半導体チップ39を、全てメモリ回路を有するものとしてもよく、また、全て論理回路を有するものとしてもよい。また、電子素子における半導体チップの組合せとしては、センサ、アクチュエーターおよびアンテナ等と、メモリ回路と論理回路との組み合わせ

せでもよい。

[0056] 以下、電子素子の製造方法について説明する。

[電子素子の製造方法]

電子素子の製造方法の第1の例について説明する。

図24～図32は本発明の実施形態の電子素子の製造方法の第1の例を工程順に示す模式図である。また、図33は第1の半導体ウエハを示す模式図である。

図24～図32に示す電子素子の製造方法の第1の例において、図1および図2に示す異方導電材10、図3～図6に示す異方導電性部材14、図7および図8に示す素子領域30、ならびに図14および図15に示す電子素子34と同一構成物には同一符号を付して、その詳細な説明は省略する。

[0057] 電子素子の製造方法の第1の例は、チップオンウエハに関するものである。

まず、図24に示すように、第1の半導体ウエハ40と、異方導電性を示す領域15（図5および図6参照）が定められたパターン状に形成されている異方導電性部材14が支持体12の上に設けられた異方導電材10とを用意する。そして、第1の半導体ウエハ40の第1の素子領域42（図33参照）に、異方導電性部材14を向けて異方導電材10を配置する。

第1の半導体ウエハ40は、図33に示すように、複数の第1の素子領域42を備える。第1の素子領域42は、それぞれ複数の第1のアライメントマーク44が設けられている。第1の素子領域42は、上述の素子領域30と同じ構成である。第1のアライメントマーク44は、上述のアライメントマーク32と同じ構成である。

異方導電材10では、異方導電性部材14が、第1の素子領域42に合わせて、例えば、図5または図6に示すパターンに形成されている。異方導電性部材14と支持体12の間に剥離層16がある。

[0058] 次に、図25に示すように、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、異方導電材10の異方導電性

部材 1 4 を、第 1 の素子領域 4 2 の少なくとも 2 つの第 1 のアライメントマーク 4 4 に相当する領域において光が透過できるように、第 1 の半導体ウエハ 4 0 の第 1 の素子領域 4 2 に接合する。

次に、図 2 6 に示すように、異方導電材 1 0 の支持体 1 2 を取り除き、異方導電性部材 1 4 だけを第 1 の半導体ウエハ 4 0 に接合させる。この場合、異方導電材 1 0 に、予め定められた温度に加熱し、剥離層 1 6 の剥離剤 1 8 の接着力を低下させて、異方導電材 1 0 の剥離層 1 6 を起点にして支持体 1 2 を取り除く。

[0059] 次に、図 2 7 に示すように、第 1 の半導体ウエハ 4 0 について、第 1 の素子領域 4 2 (図 3 3 参照) 毎に個片化し、複数の半導体チップ 4 6 を得る。この場合、半導体チップ 4 6 は、第 1 のアライメントマーク 4 4 に相当する領域において光が透過できるように異方導電性部材 1 4 が接合されている。例えば、4 つの第 1 のアライメントマーク 4 4 が全て露出した状態で異方導電性部材 1 4 が接合されている。この場合、半導体チップ 4 6 では、第 1 のアライメントマーク 4 4 について、撮影画像または反射像を得ることができ、半導体チップ 4 6 の外部から第 1 のアライメントマーク 4 4 を識別することができる。

[0060] 次に、第 2 のアライメントマーク 5 4 が複数設けられた第 2 の素子領域 5 2 (図 2 8 参照) を備える第 2 の半導体ウエハ 5 0 (図 2 8 参照) を用意する。

そして、図 2 8 に示すように、異方導電性部材 1 4 を第 2 の半導体ウエハ 5 0 に向けて半導体チップ 4 6 を配置する。次に、半導体チップ 4 6 の第 1 のアライメントマーク 4 4 と、第 2 のアライメントマーク 5 4 を用いて半導体チップ 4 6 と第 2 の素子領域 5 2 の位置合せを行う。この場合、半導体チップ 4 6 の異方導電性部材 1 4 と、第 2 の半導体ウエハ 5 0 の第 2 の素子領域 5 2 との間に、例えば、撮像装置 6 0 を配置させ、半導体チップ 4 6 の第 1 のアライメントマーク 4 4 と、第 2 のアライメントマーク 5 4 を同時に撮像する。そして、第 1 のアライメントマーク 4 4 の画像と、第 2 のアライメ

ントマーク 54 の画像を基に、第 1 のアライメントマーク 44 の位置情報と、第 2 のアライメントマーク 54 の位置情報とを求め位置合せを行う。

撮像装置 60 は、第 1 のアライメントマーク 44 と、第 2 のアライメントマーク 54 について撮影画像または反射像を、デジタル画像データを得ることができれば、その構成は特に限定されず、公知の撮像装置を適宜利用可能である。

[0061] 半導体チップ 46 と第 2 の素子領域 52 を位置合せした後、図 29 に示すように、半導体チップ 46 を第 2 の素子領域 52 に接触させ、例えば、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、樹脂層 24（図 2 および図 4 参照）により仮接着する。これを全ての半導体チップ 46 について行い、図 30 に示すように、全ての半導体チップ 46 を第 2 の素子領域 52 に仮接着する。

仮接着に異方導電性部材 14 の樹脂層 24 を使うことは 1 つの手段であり、以下に示す方法を利用してもよい。例えば、封止樹脂等をディスペンサー等で第 2 の半導体ウエハ 50 上に供給して、半導体チップ 46 を第 2 の素子領域 52 に仮接着してもよいし、第 2 の半導体ウエハ 50 上に、事前に供給した絶縁性樹脂フィルム（NCF（Non-conductive Film））を使って半導体チップ 46 を第 2 の素子領域 52 に仮接着してもよい。

なお、「仮接着」とは、半導体チップをアライメントした状態で半導体ウエハ上に固定することをいう。

[0062] 仮接着に際し、半導体チップと半導体ウエハを検査して良品と不良品を予め分かるようにして、半導体チップの良品のみを、半導体ウエハ内の良品部分に接合することで、製造ロスを低減することができる。品質保証された良品の半導体チップのことを KGD（Known Good Die）という。

なお、仮接着する際に、仮接着強度が弱いと、搬送工程等、および接合する迄の工程で位置ズレが生じる。

また、仮接着プロセスにおける温度条件は特に限定されず、0℃～300℃であることが好ましく、10℃～200℃であることがより好ましく、常

温（23℃）～100℃であることが特に好ましい。

同様に、仮接着プロセスにおける加圧条件は特に限定されず、10MPa以下であることが好ましく、5MPa以下であることがより好ましく、1MPa以下であることが特に好ましい。

[0063] 次に、図31に示すように、半導体チップ46に対して、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、複数の半導体チップ46を全て一括して、第2の半導体ウエハ50の第2の素子領域52（図28参照）に接合する。この接合のことを、本接合ともいう。

本接合における温度条件は特に限定されず、仮接着の温度よりも高い温度であることが好ましく、具体的には、150℃～350℃であることがより好ましく、200℃～300℃であることが特に好ましい。

また、本接合における加圧条件は特に限定されず、30MPa以下であることが好ましく、0.1MPa～20MPaであることがより好ましい。

また、本接合の時間は特に限定されず、1秒～60分であることが好ましく、5秒～10分であることがより好ましい。

上述の条件で本接合を行うことにより、樹脂層が、半導体チップ46の電極間に流動し、接合部に残存し難くなる。

なお、本接合は、上述のように一括して行うことにより、タクトタイムを低減でき、生産性を高くできる。

[0064] なお、複数の半導体チップ46と第2の半導体ウエハ50の第2の素子領域52が異方導電性部材14を介して接合された状態のものを、半導体素子を含む構造体62という。

半導体素子を含む構造体62は、複数の第1のアライメントマークが設けられた第1の素子領域を備える、複数の半導体チップ46と、それぞれ複数の第2のアライメントマークが設けられた、複数の第2の素子領域52を備える第2の半導体ウエハ50と、複数の異方導電性部材14とを有する。半導体チップ46の第1の素子領域と、第2の半導体ウエハ50の第2の素子

領域 5 2 とは異方導電性部材 1 4 を介して接合されており、かつ異方導電性部材 1 4 は素子領域上の少なくとも 2 つのアライメントマークに相当する領域において光が透過できるように配置されている。すなわち、異方導電性部材 1 4 は、第 1 の素子領域 4 2 上の少なくとも 2 つの第 1 のアライメントマーク 4 4 に相当する第 1 の領域および第 2 の素子領域 5 2 上の少なくとも 2 つの第 2 のアライメントマークに相当する第 2 の領域のうち、少なくとも一方の領域において光が透過できるように配置されている。

[0065] 次に、図 3 2 に示すように、半導体チップ 4 6 が接合された第 2 の半導体ウエハ 5 0 を、第 2 の素子領域 5 2 (図 2 8 参照) 毎に、例えば、ダイシングにより、個片化する。これにより、半導体チップ 4 6 と半導体チップ 5 6 が異方導電性部材 1 4 を介して接合された電子素子 6 4 を得ることができる。

なお、個片化については、ダイシングに限定されず、レーザースクライビングを用いてもよい。

また、半導体チップ 4 6 を第 2 の素子領域 5 2 に接合する工程では、複数の半導体チップ 4 6 を仮接着した後、全て一括して接合したが、これに限定されない。例えば、複数の半導体チップ 4 6 の仮接着を省略してもよい。さらには、複数の半導体チップ 4 6 を、第 2 の半導体ウエハ 5 0 の第 2 の素子領域 5 2 に 1 つずつ接合してもよい。この場合、一括で接合するよりも時間がかかる。

第 1 の半導体ウエハ 4 0、半導体チップ 4 6 および第 2 の半導体ウエハ 5 0、電子素子 6 4 の搬送およびピックアップ等、ならびに加熱処理および加圧処理については、公知の半導体製造装置を用いることで実現できる。

[0066] 上述のように、異方導電性部材 1 4 を、第 1 のアライメントマークに相当する領域において光が透過できるようにパターン状に形成することにより、第 1 のアライメントマーク 4 4 と、第 2 のアライメントマーク 5 4 を用いて、半導体チップ 4 6 と第 2 の素子領域 5 2 の位置合せを行うことができる。このように、チップオンウエハに好適である。しかも、半導体チップ 4 6 を

第2の素子領域52の上に配置した際に、第1のアライメントマーク44の位置情報と、第2のアライメントマーク54の位置情報を同じタイミングで得ることができるため、半導体チップ46と第2の素子領域52との位置精度を高くできる。さらには、第1のアライメントマーク44の位置情報と第2のアライメントマーク54の位置情報を同じタイミングで得ることができるため、半導体チップ46と第2の素子領域52の接合を速くでき、タクトタイムが短縮され、電子素子の生産性を高くすることができる。

なお、位置合せの際、第1のアライメントマーク44の位置情報と、第2のアライメントマーク54の位置情報を得ることができればよく、異方導電性部材14は第1のアライメントマーク44を識別できるように設けられていけばよい。このため、半導体チップ46を第2の素子領域52に接合した後では、第2の素子領域52の第2のアライメントマーク54に相当する領域において光が透過できないように異方導電性部材14が配置されてもよい。

[0067] 電子素子の製造方法の第2の例について説明する。

図34～図36は本発明の実施形態の電子素子の製造方法の第2の例を工程順に示す模式図である。

図34～図36に示す電子素子の製造方法の第2の例において、図24～図32および図33と同一構成物には同一符号を付して、その詳細な説明は省略する。

電子素子の製造方法の第2の例は、3層構造の電子素子の製造に関するものである。第2の例では、多層構造の例として、3層構造を説明しており、3層構造に限定されない。

[0068] 上述の図34に示すように、複数の半導体チップ46を第2の半導体ウエハ50の第2の素子領域52（図28参照）に接合した状態のものをを用いる。この場合、半導体チップ46は、上述の半導体チップ37と同じ構成であり、上述の半導体チップ46の構成に加えて、さらに裏面46bに複数のアライメントマーク（図示せず）と電極（図示せず）が設けられている。例え

ば、半導体チップ46には、裏面46bの電極（図示せず）と表面46aの電極（図示せず）をつなぐ、導電材が充填されたスルーホール（図示せず）が設けられている。裏面46bの電極と表面46aの電極とは、導電材が充填されたスルーホールで電氣的に導通される。半導体チップ46の表面46aが一方の面であり、裏面46bが他方の面である。

複数の半導体チップ46を第2の半導体ウエハ50の第2の素子領域52（図28参照）に接合する工程が第1の工程に相当する。

[0069] 図34に示す構成は、半導体チップ46の裏面46bに複数のアライメントマーク（図示せず）と電極（図示せず）が設けられている点以外、図31に示す構成と同じである。図34に示す構成は、図31と同様にして作製される。

第2の例では、図34に示すように第2の半導体ウエハ50に接合された各半導体チップ46に対して、さらに半導体チップ47を接合する。この場合、上述の説明のように、図28に示すようにして、半導体チップ46のアライメントマークの位置情報と半導体チップ47のアライメントマークの位置情報を用いた位置合せを行い、半導体チップ47を半導体チップ46に接合し、半導体チップ46の裏面46bの電極と、半導体チップ47の異方導電性部材14を電氣的に接続する。そして、図35に示すように、全ての半導体チップ46に、半導体チップ47を接合する。半導体チップ47を半導体チップ46に接合する工程が第2の工程に相当する。

半導体チップ47の接合方法は、特に限定されず、複数の半導体チップ47を仮接着した後、全て一括して接合してもよく、複数の半導体チップ46を、第2の半導体ウエハ50の第2の素子領域52に1つずつ接合してもよい。

なお、半導体チップ47は、図27に示す半導体チップ46と同様に、第1の半導体ウエハ40を第1の素子領域42毎に個片化して得ることができる。

[0070] 次に、図36に示すように、2つの半導体チップ46及び47が接合され

て積層された第2の半導体ウエハ50を、第2の素子領域52（図28参照）毎に、例えば、ダイシングにより、個片化する。これにより、2つの半導体チップ46及び47と半導体チップ56が異方導電性部材14を介して接合された、3層構造の電子素子65を得ることができる。半導体チップ46が中間の半導体チップに相当し、半導体チップ47が最上層の半導体チップに相当する。

[0071] 半導体チップ47の上に、別の半導体チップを、半導体チップ47と同じ方法で接合して、4層以上の電子素子としてもよい。この場合、別の半導体チップが最上層の半導体チップとなる。半導体チップ47が中間の半導体チップとなり、最上層の半導体チップと電氣的に接続するために、上述の半導体チップ37と同じ構成とし、裏面の電極と表面の電極（図示せず）と電氣的に導通されている構成とする。上述の半導体チップ46と半導体チップ47とは、中間の半導体チップに相当する。

なお、半導体チップ46と半導体チップ47と別の半導体チップは同じ構成でもよく、機能等が異なる違う構成のものでもよい。また、半導体チップ46と半導体チップ47に関し、異方導電性部材14を、上述のように電極（図示せず）が形成された電極領域31（図21参照）だけに設けるようにしてもよい。

[0072] 半導体チップ46を第2の半導体ウエハ50に接合する工程と、半導体チップ46に半導体チップ47を接合する工程との間に、中間の半導体チップに相当する半導体チップ46を繰り返し接合して積層する工程を設けることで、4層以上の多層構造の電子素子を得ることができる。

この場合、中間の半導体チップの他方の面のアライメントマークと、中間の半導体チップの一方の面のアライメントマークを用いて2つの中間の半導体チップの位置合せを行い、異方導電性部材を介して中間の半導体チップ同士を接合する接合工程により、上述の繰り返しの接合がなされる。接合工程を少なくとも1回行うことにより、4層以上の多層構造の電子素子を得ることができる。

また、複数のアライメントマークと電極とを備え、少なくとも2つのアライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられた複数の素子領域を一方の面に備え、他方の面に複数のアライメントマークと電極とを備え、一方の面の電極と他方の面の電極とは電氣的に導通された半導体ウエハに対して、素子領域毎に固片化し、半導体ウエハと最上層の半導体チップとの間にある中間の半導体チップを得る工程を有してもよい。

[0073] 電子素子の製造方法の第3の例について説明する。

図37～図43は本発明の実施形態の電子素子の製造方法の第3の例を工程順に示す模式図である。

図37～図43に示す電子素子の製造方法の第3の例において、図24～図32および図33と同一構成物には同一符号を付して、その詳細な説明は省略する。

[0074] 電子素子の製造方法の第3の例は、チップオンウエハに関するものである。

まず、図37に示すように、第1の半導体ウエハ40と、異方導電性を示す領域15（図5および図6参照）が定められたパターン状に形成されている異方導電性部材14が支持体12の上に設けられた異方導電材10aとを用意する。

異方導電材10aは、異方導電性部材14が設けられた以外の領域、すなわち、異方導電性部材14の間に透明絶縁体19が設けられた以外は、上述の図24に示す異方導電材10と同じ構成であるため詳細な説明は省略する。なお、図示はしないが、透明絶縁体19を異方導電性部材14が設けられた以外の領域に充填する工程を有する。透明絶縁体19は、例えば、上述の図11および図12に示すようにして異方導電性部材14が設けられた以外の領域に充填される。

[0075] 次に、図38に示すように、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、異方導電材10aの異方導電

性部材 14 を、第 1 の素子領域 42（図 33 参照）の少なくとも 2 つの第 1 のアライメントマーク 44（図 33 参照）に相当する領域に透明絶縁体 19 が配置され、第 1 のアライメントマーク 44 が認識できるように、第 1 の半導体ウエハ 40 の第 1 の素子領域 42 に接合する。

次に、図 39 に示すように、異方導電材 10a の支持体 12 を取り除き、異方導電性部材 14 と透明絶縁体 19 を第 1 の半導体ウエハ 40 に接合させる。この場合、異方導電材 10a を、予め定められた温度に加熱し、剥離層 16 の剥離剤 18 の接着力を低下させて、異方導電材 10a の剥離層 16 を起点にして支持体 12 を取り除く。

[0076] 次に、第 1 の半導体ウエハ 40 について、図 40 に示すように、第 1 の素子領域 42（図 33 参照）毎に個片化し、複数の半導体チップ 46 を得る。半導体チップ 46 では、第 1 のアライメントマーク 44 に相当する領域に、上述のように透明絶縁体 19 が設けられている。例えば、4 つの第 1 のアライメントマーク 44 の上に透明絶縁体 19 が設けられている。この場合、半導体チップ 46 では、第 1 のアライメントマーク 44 について、撮影画像または反射像を得ることができ、半導体チップ 46 の外部から第 1 のアライメントマーク 44（図 33 参照）を識別することができる。

[0077] 次に、第 2 のアライメントマーク 54（図 28 参照）が複数設けられた第 2 の素子領域 52（図 28 参照）を備える第 2 の半導体ウエハ 50（図 28 参照）を用意する。

そして、図 41 に示すように、異方導電性部材 14 を第 2 の半導体ウエハ 50 に向けて半導体チップ 46 を配置する。この場合、上述の説明のように、図 28 に示すようにして、第 1 のアライメントマーク 44 の位置情報と、第 2 のアライメントマーク 54 の位置情報とを求め、半導体チップ 46 と第 2 の素子領域 52 の位置合せを行う。

[0078] 半導体チップ 46 と第 2 の素子領域 52（図 28 参照）を位置合せした後、上述のように、半導体チップ 46 を第 2 の素子領域 52 に接触させ、例えば、予め定められた圧力を加え、予め定められた温度に加熱し、予め定めら

れた時間保持して、樹脂層 24（図 2 および図 4 参照）により仮接着する。これを全ての半導体チップ 46 について行い、上述のように、全ての半導体チップ 46 を第 2 の素子領域 52 に仮接着する。

次に、半導体チップ 46 に対して、上述のように、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、図 4 2 に示すように、複数の半導体チップ 46 を全て一括して、第 2 の半導体ウエハ 50 の第 2 の素子領域 52（図 2 8 参照）を接合する。この接合のことを、本接合ともいう。本接合における温度条件は、上述のとおりである。本接合を、上述のように一括して行うことにより、タクトタイムを低減でき、生産性を高くできる。

[0079] なお、図 4 2 に示す複数の半導体チップ 46 と第 2 の半導体ウエハ 50 の第 2 の素子領域 52 が異方導電性部材 14 と透明絶縁体 19 を介して接合された状態のものも、半導体素子を含む構造体 62 という。

半導体素子を含む構造体 62 は、複数の第 1 のアライメントマークが設けられた第 1 の素子領域を備える、複数の半導体チップ 46 と、それぞれ複数の第 2 のアライメントマークが設けられた、複数の第 2 の素子領域 52 を備える第 2 の半導体ウエハ 50 と、複数の異方導電性部材 14 と、複数の異方導電性部材 14 の間に設けられた透明絶縁体 19 を有する。半導体チップ 46 の第 1 の素子領域と、第 2 の半導体ウエハ 50 の第 2 の素子領域 52 とは異方導電性部材 14 と透明絶縁体 19 とを介して接合されており、かつ透明絶縁体 19 が素子領域上の少なくとも 2 つのアライメントマークに相当する領域上に配置されている。すなわち、透明絶縁体 19 が、第 1 の素子領域 42 上の少なくとも 2 つの第 1 のアライメントマーク 44 に相当する第 1 の領域および第 2 の素子領域 52 上の少なくとも 2 つの第 2 のアライメントマーク 54 に相当する第 2 の領域のうち、少なくとも一方の領域において光が透過できるように配置されている。

[0080] 次に、図 4 3 に示すように、半導体チップ 46 が接合された第 2 の半導体ウエハ 50 を、第 2 の素子領域 52（図 2 8 参照）毎に、例えば、ダイシン

グにより、個片化する。これにより、半導体チップ46と半導体チップ56が異方導電性部材14と透明絶縁体19を介して接合された電子素子64を得ることができる。半導体チップ56に関し、異方導電性部材14を、上述のように電極（図示せず）が形成された電極領域31（図21参照）だけに設けるようにしてもよい。

なお、個片化については、上述の図32を用いて説明したとおりであるため、詳細な説明は省略する。

また、半導体チップ46を第2の素子領域52に接合する工程では、複数の半導体チップ46を仮接着した後、全て一括して接合することに限定されず、例えば、複数の半導体チップ46の仮接着を省略してもよい。さらには、複数の半導体チップ46を、第2の半導体ウエハ50の第2の素子領域52に1つずつ接合してもよい。

[0081] 上述のように、透明絶縁体19を設けることで、第1のアライメントマーク44と、第2のアライメントマーク54を用いて、半導体チップ46と第2の素子領域52の位置合せを行うことができ、チップオンウエハに好適である。しかも、半導体チップ46を第2の素子領域52の上に配置した際に、第1のアライメントマーク44の位置情報と、第2のアライメントマーク54の位置情報を同じタイミングで得ることができるため、半導体チップ46と第2の素子領域52との位置精度を高くできる。さらには、第1のアライメントマーク44の位置情報と第2のアライメントマーク54の位置情報を同じタイミングで得ることができるため、半導体チップ46と第2の素子領域52の接合を速くでき、タクトタイムが短縮され、電子素子の生産性を高くすることができる。

なお、位置合せの際、第1のアライメントマーク44の位置情報と、第2のアライメントマーク54の位置情報を得ることができればよく、透明絶縁体19は第1のアライメントマーク44を識別できるように設けられていればよい。

[0082] 電子素子の製造方法の第4の例について説明する。

図４４～図４６は本発明の実施形態の電子素子の製造方法の第４の例を工程順に示す模式図である。

図４４～図４６に示す電子素子の製造方法の第４の例において、図３４～図４３と同一構成物には同一符号を付して、その詳細な説明は省略する。

電子素子の製造方法の第４の例は、図９に示す異方導電材１０aを用いた３層構造の電子素子の製造に関するものである。第４の例では、多層構造の例として、３層構造を説明しており、３層構造に限定されない。

上述の図４２に示すように、複数の半導体チップ４６を第２の半導体ウエハ５０の第２の素子領域５２（図２８参照）を接合した状態のものを用いる。この場合、半導体チップ４６は、上述の半導体チップ３７と同じ構成であり、構成は上述の説明のとおりである。

[0083] 図４４に示す構成は、半導体チップ４６の裏面４６bに複数のアライメントマーク（図示せず）と電極（図示せず）が設けられている点以外、図４２に示す構成と同じである。図４４に示す構成は、図４２と同様にして作製される。

第４の例では、図４４に示すように第２の半導体ウエハ５０に接合された各半導体チップ４６に対して、さらに半導体チップ４７を接合する。この場合、上述の説明のように、図２８に示すようにして、半導体チップ４６のアライメントマークの位置情報と半導体チップ４７のアライメントマークの位置情報を用いた位置合せを行い、半導体チップ４６と半導体チップ４７を接合し、半導体チップ４６の裏面４６bの電極と、半導体チップ４７の異方導電性部材１４を電氣的に接続する。そして、図４５に示すように、全ての半導体チップ４６に、半導体チップ４７を接合する。

半導体チップ４７の接合方法は、特に限定されず、複数の半導体チップ４７を仮接着した後、全て一括して接合してもよく、複数の半導体チップ４６を、第２の半導体ウエハ５０の第２の素子領域５２に１つずつ接合してもよい。

なお、半導体チップ４７は、図２７に示す半導体チップ４６と同様に、第

1の半導体ウエハ40を第1の素子領域42毎に個片化して得ることができる。

[0084] 次に、図46に示すように、2つの半導体チップ46及び47が接合されて積層された第2の半導体ウエハ50を、第2の素子領域52（図28参照）毎に、例えば、ダイシングにより、個片化する。これにより、2つの半導体チップ46及び47と半導体チップ56が異方導電性部材14を介して接合された、3層構造の電子素子65を得ることができる。

半導体チップ47の上に、別の半導体チップを、半導体チップ47と同じ方法で接合して、4層以上の電子素子としてもよい。この場合、別の半導体チップは、半導体チップ47および最上層の半導体チップと電氣的に接続するために、上述の半導体チップ37と同じ構成とし、裏面の電極と表面の電極（図示せず）と電氣的に導通されている構成である。上述の半導体チップ46と半導体チップ47と別の半導体チップは、中間の半導体チップに相当する。

なお、上述のように、半導体チップ46と半導体チップ47は同じ構成でもよく、機能等が異なる違う構成のものでもよい。また、半導体チップ46と半導体チップ47に関し、異方導電性部材14を、上述のように電極（図示せず）が形成された電極領域31（図21参照）だけに設けるようにしてもよい。

[0085] 第4の例でも、半導体チップ46を第2の半導体ウエハ50に接合する工程と、半導体チップ46に半導体チップ47を接合する工程との間に、中間の半導体チップに相当する半導体チップ46を繰り返し接合して積層する工程を設けることで、4層以上の多層構造の電子素子を得ることができる。

この場合、中間の半導体チップの他方の面のアライメントマークと、中間の半導体チップの一方の面のアライメントマークを用いて2つの中間の半導体チップの位置合せを行い、異方導電性部材を介して中間の半導体チップ同士を接合する接合工程により、上述の繰り返しの接合がなされる。接合工程を少なくとも1回行うことにより、4層以上の多層構造の電子素子を得るこ

とができる。

[0086] 電子素子の製造方法の第5の例について説明する。

図47～図52は本発明の実施形態の電子素子の製造方法の第5の例を工程順に示す模式図である。

図47～図52に示す電子素子の製造方法の第5の例において、図24～図32および図33と同一構成物には同一符号を付して、その詳細な説明は省略する。

[0087] 電子素子の製造方法の第5の例は、チップオンウエハに関するものである。

電子素子の製造方法の第5の例は、上述の電子素子の製造方法の第1の例に比して、異方導電性部材14が第2の半導体ウエハ50に接合されており、異方導電性部材14が接合された第2の半導体ウエハ50と、半導体チップ46とを接合する点が異なり、それ以外の工程は、上述の電子素子の製造方法の第1の例と同じである。

電子素子の製造方法の第5の例では、まず、複数の第2の素子領域52（図28参照）を備える第2の半導体ウエハ50を用意する。第2の素子領域52（図28参照）には、各角に第2のアライメントマーク54（図28参照）が設けられており、合計4つの第2のアライメントマーク54が設けられている。

異方導電性を示す領域が定められたパターン状に形成されている異方導電性部材14が支持体12の上に設けられた異方導電材10を用意する。この場合、異方導電材10では、異方導電性部材14が、第2の素子領域52に合わせて、例えば、図5または図6に示すパターンに形成されている。異方導電性部材14と支持体12の間に剥離層16がある。

そして、図47に示すように、第2の半導体ウエハ50の第2の素子領域52に、異方導電性部材14を向けて異方導電材10を配置する。

[0088] 次に、図48に示すように、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、異方導電材10の異方導電性

部材 1 4 を、第 2 の素子領域 5 2 の少なくとも 2 つの第 2 のアライメントマーク 5 4 に相当する領域において光が透過できるように、第 2 の半導体ウエハ 5 0 の第 2 の素子領域 5 2 に接合する。

次に、図 4 9 に示すように、異方導電材 1 0 の支持体 1 2 を取り除き、異方導電性部材 1 4 だけを第 2 の半導体ウエハ 5 0 に接合させる。

異方導電性部材 1 4 は第 2 の素子領域 5 2 に第 2 のアライメントマーク 5 4 に相当する領域において光が透過できるように接合されて配置されている。この場合、第 2 のアライメントマーク 5 4 について、撮影画像または反射像を得ることができ、第 2 の半導体ウエハ 5 0 の外部から第 2 のアライメントマーク 5 4 を識別することができる。なお、支持体 1 2 を取り除く方法は、上述の電子素子の製造方法の第 1 の例と同じである。

[0089] 次に、複数の第 1 のアライメントマーク 4 4 が設けられた第 1 の素子領域 4 2 を備える、複数の半導体チップ 4 6 を用意する。

次に、図 5 0 に示すように、半導体チップ 4 6 を、異方導電性部材 1 4 に向けて配置する。次に、半導体チップ 4 6 の第 1 のアライメントマーク 4 4 と、第 2 のアライメントマーク 5 4 を用いて半導体チップ 4 6 と第 2 の素子領域 5 2 の位置合せを行う。この場合、半導体チップ 4 6 と、第 2 の半導体ウエハ 5 0 の第 2 の素子領域 5 2 の異方導電性部材 1 4 との間に、例えば、撮像装置 6 0 (図 2 8 参照) を配置させ、半導体チップ 4 6 の第 1 のアライメントマーク 4 4 と、第 2 のアライメントマーク 5 4 を同時に撮像する。そして、第 1 のアライメントマーク 4 4 の画像と、第 2 のアライメントマーク 5 4 の画像を基に、第 1 のアライメントマーク 4 4 の位置情報と、第 2 のアライメントマーク 5 4 の位置情報とを求め位置合せを行う。

[0090] 次に、位置合せした後、図 5 1 に示すように、半導体チップ 4 6 を第 2 の素子領域 5 2 の異方導電性部材 1 4 に、例えば、接着剤等を用い、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、仮接着する。これを全ての半導体チップ 4 6 について行い、図 5 2 に示すように、全ての半導体チップ 4 6 を第 2 の素子領域 5 2 に仮接着する。

これ以降の工程は、上述の電子素子の製造方法の第1の例と同じである。この場合、図31に示すように、半導体チップ46に対して、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持し、複数の半導体チップ46を全て一括して第2の素子領域52（図28参照）を接合する。これにより、上述の半導体素子を含む構造体62を得ることができる。

次に、図32に示すように、半導体チップ46が接合された第2の半導体ウエハ50を、第2の素子領域52（図28参照）毎に、例えば、ダイシングまたはレーザスクライビングにより、個片化する。これにより、半導体チップ46と半導体チップ56が異方導電性部材14を介して接合された電子素子64を得ることができる。半導体チップ56は、第2の素子領域52（図28参照）を備える第2の半導体ウエハ50を切断して得られるものであり、半導体チップ56は第2の素子領域52（図28参照）を備える。

[0091] 電子素子の製造方法の第5の例でも、電子素子の製造方法の第1の例と同じく、半導体チップ46と第2の素子領域52との位置精度を高くすることができる。さらには、第1のアライメントマーク44の位置情報と、第2のアライメントマーク54の位置情報を同じタイミングで得ることができるため、半導体チップ46と第2の素子領域52の接合を速くでき、タクトタイムが短縮され、電子素子64の生産性を高くすることができる。

なお、位置合せの際、第1のアライメントマーク44の位置情報と、第2のアライメントマーク54の位置情報を得ることができればよく、異方導電性部材14は第2のアライメントマーク54を識別できるように設けられていればよい。このため、半導体チップ46を第2の素子領域52に接合した後では、第1の素子領域42の第1のアライメントマーク44に相当する領域において光が透過できないように異方導電性部材14が配置されてもよい。

[0092] 上述の第1の素子領域42および第2の素子領域52は、上述の素子領域30と同じ構成である。半導体チップ46および半導体チップ56は、上述

の半導体チップ36で例示したものとすることができる。半導体チップ46および半導体チップ56の組合せは、特に限定されず、電子素子64の機能、および電子素子64に要求される性能に応じて適宜決定される。

[0093] 第5の例においても、上述の第2の例のように、半導体チップ46の上に半導体チップ47を接合して積層した3層構造の電子素子としてもよく、さらには半導体チップ46を繰り返し接合して積層することで、4層以上の多層構造の電子素子としてもよい。

[0094] 電子素子の製造方法の第6の例について説明する。

図53～図58は本発明の実施形態の電子素子の製造方法の第6の例を工程順に示す模式図である。

図53～図58に示す電子素子の製造方法の第6の例において、図24～図32および図33ならびに図37～図39と同一構成物には同一符号を付して、その詳細な説明は省略する。

[0095] 電子素子の製造方法の第6の例では、図53～図55に示す工程は、上述の図37～図39に示す工程と同じであるため、その詳細な説明は省略し、図56から説明する。

図56には、異方導電材10aの支持体12が取り除かれ、異方導電性部材14と透明絶縁体19が接合された第1の半導体ウエハ40を示す。

第6の例では、第2のアライメントマーク54（図28参照）が複数設けられた第2の素子領域52（図28参照）を備える第2の半導体ウエハ50に対して、第2の素子領域52（図28参照）毎に切断し、半導体チップ56を得る。半導体チップ56は、第2のアライメントマーク54が複数設けられた第2の素子領域52（図28参照）を有する。

図56に示すように、異方導電性部材14を第1の半導体ウエハ40に向けて半導体チップ56を配置する。この場合、上述の説明のように、図28に示すようにして、第1のアライメントマーク44の位置情報と、第2のアライメントマーク54の位置情報とを求め、半導体チップ56と第1の素子領域42の位置合せを行う。

[0096] 半導体チップ56と第1の素子領域42を位置合せした後、上述のように、半導体チップ56を第1の素子領域42に接触させ、例えば、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、樹脂層24（図2および図4参照）により仮接着する。これを全ての半導体チップ56について行い、上述のように、全ての半導体チップ56を第1の素子領域42に仮接着する。

次に、半導体チップ56に対して、上述のように、予め定められた圧力を加え、予め定められた温度に加熱し、予め定められた時間保持して、図57に示すように、複数の半導体チップ56を全て一括して、第1の半導体ウエハ40の第1の素子領域42（図33参照）を接合する。この接合のことを、本接合ともいう。本接合における温度条件は、上述のとおりである。本接合を、上述のように一括して行うことにより、タクトタイムを低減でき、生産性を高くできる。

[0097] 次に、図58に示すように、半導体チップ56が接合された第1の半導体ウエハ40を、第1の素子領域42（図33参照）毎に、例えば、ダイシングにより、個片化する。これにより、半導体チップ46と半導体チップ56が異方導電性部材14と透明絶縁体19を介して接合された電子素子64を得ることができる。

なお、個片化については、上述の図32を用いて説明したとおりであるため、詳細な説明は省略する。

また、半導体チップ56を第1の素子領域42に接合する工程では、複数の半導体チップ56を仮接着した後、全て一括して接合することに限定されず、例えば、複数の半導体チップ56の仮接着を省略してもよい。さらには、複数の半導体チップ56を、第1の半導体ウエハ40の第1の素子領域42に1つずつ接合してもよい。

[0098] 電子素子の製造方法の第7の例について説明する。

図59～図60は本発明の実施形態の電子素子の製造方法の第7の例を工程順に示す模式図である。

図 5 9 ～ 図 6 0 に示す電子素子の製造方法の第 7 の例において、図 5 3 ～ 図 5 8 と同一構成物には同一符号を付して、その詳細な説明は省略する。

電子素子の製造方法の第 7 の例は、図 9 に示す異方導電材 1 0 a をウエハオンウエハに適用した例である。

[0099] 電子素子の製造方法の第 7 の例は、第 6 の例と同じく、異方導電材 1 0 a の支持体 1 2 が取り除かれ、異方導電性部材 1 4 と透明絶縁体 1 9 が接合された第 1 の半導体ウエハ 4 0 (図 5 6 参照) を用いる。

第 2 のアライメントマーク 5 4 が複数設けられた第 2 の素子領域 5 2 (図 2 8 参照) を備える第 2 の半導体ウエハ 5 0 (図 2 8 参照) を用意する。

図 5 9 に示すように、第 1 の半導体ウエハ 4 0 に対して、第 2 の半導体ウエハ 5 0 の位置合せを行い、図 5 9 に示すように、第 1 の半導体ウエハ 4 0 と第 2 の半導体ウエハ 5 0 を接合する。この場合、第 1 の素子領域 4 2 (図 3 3 参照) と第 2 の素子領域 5 2 (図 2 8 参照) とは異方導電性部材 1 4 と透明絶縁体 1 9 を介して積層されている。

第 1 の半導体ウエハ 4 0 は、透明絶縁体 1 9 が、第 1 のアライメントマーク 4 4 の上に設けられており、異方導電性部材 1 4 があっても、ウエハの状態のアライメントマーク 3 2 を認識することができるため、ウエハの状態で位置合せが可能である。

第 1 の半導体ウエハ 4 0 と第 2 の半導体ウエハ 5 0 の接合は、仮接着した後に本接合してもよく、仮接着を省略し、本接合だけでもよい。

[0100] 次に、図 6 0 に示すように、第 1 の半導体ウエハ 4 0 と第 2 の半導体ウエハ 5 0 が接合された状態で、第 1 の素子領域 4 2 (図 3 3 参照) と第 2 の素子領域 5 2 (図 2 8 参照) 毎に、例えば、ダイシングにより、個片化する。これにより、半導体チップ 4 6 と半導体チップ 5 6 が異方導電性部材 1 4 と透明絶縁体 1 9 を介して接合された電子素子 6 4 を得ることができる。このように、ウエハオンウエハにも好適である。

なお、個片化については、上述の図 3 2 を用いて説明したとおりであるため、詳細な説明は省略する。

また、図60に示すように、第1の半導体ウエハ40と第2の半導体ウエハ50が接合された状態で、第1の半導体ウエハ40および第2の半導体ウエハ50のうち、薄くする必要がある半導体ウエハがあれば、化学的機械的研摩（CMP：Chemical Mechanical Polishing）等により、薄くすることができる。

また、第1の半導体ウエハ40及び第2の半導体ウエハ50に関し、異方導電性部材14を、上述のように電極（図示せず）が形成された電極領域31（図21参照）だけに設けるようにしてもよい。

[0101] 電子素子の製造方法の第8の例について説明する。

図61～図63は本発明の実施形態の電子素子の製造方法の第8の例を工程順に示す模式図である。図64は、第3の半導体ウエハを示す模式図である。

図61～図63に示す電子素子の製造方法の第8の例において、図53～図60と同一構成物には同一符号を付して、その詳細な説明は省略する。

電子素子の製造方法の第8の例は、図9に示す異方導電材10aを用いた3層構造の電子素子の製造に関するものである。第8の例では、多層構造の例として、3層構造を説明しており、3層構造に限定されない。

また、第3の半導体ウエハ80を用いるが、第3の半導体ウエハ80は、図64に示すように、複数の第3のアライメントマーク84が設けられた第3の素子領域82を有するものである。第3の半導体ウエハ80は、第1の半導体ウエハ40および第2の半導体ウエハ50と同様の構成である。第3の半導体ウエハ80には、異方導電性部材14と透明絶縁体19が設けられており、第3の素子領域82の複数の第3のアライメントマーク84のうち、第3のアライメントマーク84の少なくとも2つの上に透明絶縁体19が設けられている。

[0102] 第8の例では、第1の半導体ウエハ40が最下層の半導体ウエハに相当し、第2の半導体ウエハ50が中間の半導体ウエハに相当し、第3の半導体ウエハ80が最上層の半導体ウエハに相当する。

また、第1の半導体ウエハ40、第2の半導体ウエハ50および第3の半導体ウエハ80に関し、異方導電性部材14を、上述のように電極（図示せず）が形成された電極領域31（図21参照）だけに設けるようにしてもよい。

[0103] 電子素子の製造方法の第8の例では、上述の図59に示すように、第1の半導体ウエハ40と第2の半導体ウエハ50が接合された状態のものを用いる。この場合、第2の半導体ウエハ50は、上述の構成に加えて、さらに裏面50bに複数のアライメントマーク（図示せず）と電極（図示せず）が設けられている。

例えば、第2の半導体ウエハ50には、第2の素子領域52（図28参照）において裏面50bの電極（図示せず）と表面50aの電極（図示せず）をつなぐ、導電材が充填されたスルーホール（図示せず）が設けられている。裏面50bの電極と表面50aの電極とは、導電材が充填されたスルーホールで電氣的に導通されている。第2の半導体ウエハ50の表面50aが一方の面であり、裏面50bが他方の面である。

なお、第1の半導体ウエハ40に第2の半導体ウエハ50を接合する工程が第1の工程に相当する。

[0104] 図61に示すように、第2の半導体ウエハ50に対して、さらに第3の半導体ウエハ80を接合する。この場合、上述の説明のように、図28に示すようにして、第2の半導体ウエハ50のアライメントマーク54の位置情報と第3の半導体ウエハ80の第3のアライメントマーク84（図64参照）の位置情報を用いた位置合せを行う。

[0105] そして、図62に示すように、第2の半導体ウエハ50と第3の半導体ウエハ80を接合し、第2の半導体ウエハ50の裏面50bの電極と、第3の半導体ウエハ80の異方導電性部材14を電氣的に接続する。この場合、第1の半導体ウエハ40と第2の半導体ウエハ50と第3の半導体ウエハ80が異方導電性部材14と透明絶縁体19を介して積層される。これにより、第1の素子領域42（図33参照）と第2の素子領域52（図28参照）と

第3の素子領域82（図64参照）が異方導電性部材14と透明絶縁体19を介して積層される。第2の半導体ウエハ50に第3の半導体ウエハ80を接合する工程が第2の工程に相当する。

第2の半導体ウエハ50と第3の半導体ウエハ80の接合方法は、特に限定されず、上述の第1の半導体ウエハ40と第2の半導体ウエハ50の接合方法を用いることができる。

[0106] 次に、第1の半導体ウエハ40と第2の半導体ウエハ50と第3の半導体ウエハ80が積層された状態で、第1の素子領域42（図33参照）と第2の素子領域52（図28参照）と第3の素子領域82（図64参照）毎に、例えば、ダイシングにより、個片化する。これにより、図63に示すように、半導体チップ46と半導体チップ56と半導体チップ86が、それぞれ異方導電性部材14と透明絶縁体19を介して接合された電子素子64を得ることができる。

なお、個片化については、上述の図32を用いて説明したとおりであるため、詳細な説明は省略する。半導体チップ86は、第3の半導体ウエハ80（図64参照）を第3の素子領域82（図64参照）毎に切断して得られたものである。

[0107] また、図62に示すように、第1の半導体ウエハ40と第2の半導体ウエハ50と第3の半導体ウエハ80が接合された状態で、第1の半導体ウエハ40および第3の半導体ウエハ80のうち、薄くする必要がある半導体ウエハがあれば、化学的機械的研摩（CMP：Chemical Mechanical Polishing）等により、薄くすることができる。

[0108] 第8の例でも、第1の半導体ウエハ40に第2の半導体ウエハ50を接合する工程と、第2の半導体ウエハ50に第3の半導体ウエハ80を接合する工程との間に、中間の半導体ウエハに相当する第2の半導体ウエハ50を繰り返し接合して積層する工程を設けることで、4層以上の多層構造の電子素子を得ることができる。

この場合、中間の半導体ウエハの他方の面のアライメントマークと、中間

の半導体ウエハの一方の面のアライメントマークを用いて2つの中間の半導体ウエハの位置合せを行い、異方導電性部材を介して中間の半導体チップ同士を接合する接合工程により、上述の繰り返しの接合がなされる。接合工程を少なくとも1回行うことにより、4層以上の多層構造の電子素子を得ることができる。

[0109] さらに、電子素子の製造方法について、光学センサを例にして説明する。

[0110] [光学センサの製造方法]

図65～図68は、光学センサの製造方法を工程順に示す模式図である。

図65～図68において、図1および図2に示す異方導電材10と同一構成物には同一符号を付して、その詳細な説明は省略する。

図65に示すように、半導体ウエハ70に、光を検出するセンサ部72が形成されている。

半導体ウエハ70は、複数の回路（図示せず）が素子領域（図示せず）毎に形成されている。センサ部72は、半導体ウエハ70の素子領域毎に、光センサ（図示せず）が形成されており、複数の光センサを有する。

この状態で、半導体ウエハ70に異方導電性部材14を向けて、半導体ウエハ70と異方導電材10を接合する。この場合、半導体ウエハ70の異方導電性部材14との接合面には、半導体ウエハ70の素子領域に対応するアライメントマーク（図示せず）が形成されている。異方導電性部材14は、アライメントマークに相当する領域において光が透過できるように配置されている。

なお、異方導電材10は、光学センサの形成時に支持基板として機能するものである。

センサ部72の光センサは、光を検出することができれば、構成は特に限定されず、例えば、CCD（Charge Coupled Device）イメージセンサまたはCMOS（Complementary Metal Oxide Semiconductor）イメージセンサである。

[0111] 図66に示すようにセンサ部72にレンズ74を形成する。レンズ74は

、例えば、マイクロレンズと呼ばれるものである。レンズ74は、光センサ毎に形成されており、公知の方法により形成される。

次に、図67に示すように、異方導電材10の支持体12を取り除き、異方導電性部材14だけを半導体ウエハ70に残す。支持体12を取り除く方法は、上述の図26に示す方法と同じである。

[0112] 次に、半導体ウエハ70の素子領域毎に、ダイシング等により個片化する。これにより、図68に示す異方導電性部材14が接合された光学センサ76が得られる。

次に、光学センサ76と、例えば、ロジック回路が形成された半導体チップ77とを異方導電性部材14を介して接合し、電子素子78を得る。この場合も、異方導電性部材14を、上述のように半導体ウエハ70のアライメントマーク（図示せず）が外部から認識できるように配置しているため、光学センサ76と半導体チップ77の位置合せを高い精度で実現でき、光学センサ76と半導体チップ77を高い位置精度で接合することができる。

異方導電性部材14は、上述のようにTSV（Through Silicon Via）の機能を果たすものである。このため、従来のように、支持基板にTSV（Through Silicon Via）を形成する必要がない。これにより、製造工程を簡素化でき、タクトタイムが短縮され、光学センサ76の生産性を向上させることができる。

[0113] 以下、図1および図9に示す異方導電材についてより具体的に説明する。

〔絶縁性基材〕

絶縁性基材は、無機材料からなり、従来公知の異方導電性フィルム等を構成する絶縁性基材と同程度の電気抵抗率（ $10^{14}\Omega \cdot \text{cm}$ 程度）を有するものであれば特に限定されない。

なお、「無機材料からなり」とは、後述する樹脂層を構成する高分子材料と区別するための規定であり、無機材料のみから構成された絶縁性基材に限定する規定ではなく、無機材料を主成分（50質量%以上）とする規定である。

[0114] 絶縁性基材としては、例えば、金属酸化物基材、金属窒化物基材、ガラス基材、シリコンカーバイド、シリコンナイトライド等のセラミックス基材、ダイヤモンドライクカーボン等のカーボン基材、ポリイミド基材、これらの複合材料等が挙げられる。絶縁性基材としては、これ以外に、例えば、貫通孔を有する有機素材上に、セラミックス材料またはカーボン材料を50質量%以上含む無機材料で成膜したものであってもよい。

[0115] 絶縁性基材としては、所望の平均開口径を有するマイクロポアが貫通孔として形成され、後述する導通路を形成しやすいという理由から、金属酸化物基材であることが好ましく、バルブ金属の陽極酸化膜であることがより好ましい。

ここで、バルブ金属としては、具体的には、例えば、アルミニウム、タンタル、ニオブ、チタン、ハフニウム、ジルコニウム、亜鉛、タングステン、ビスマス、アンチモン等が挙げられる。これらのうち、寸法安定性がよく、比較的安価であることからアルミニウムの陽極酸化膜（基材）であることが好ましい。

[0116] 絶縁性基材における各導通路の間隔は、5nm～800nmであることが好ましく、10nm～200nmであることがより好ましく、20nm～60nmであることがさらに好ましい。絶縁性基材における各導通路の間隔がこの範囲であると、絶縁性基材が絶縁性の隔壁として十分に機能する。

ここで、各導通路の間隔とは、隣接する導通路間の幅 w をいい、異方導電性部材の断面を電解放出形走査型電子顕微鏡により20万倍の倍率で観察し、隣接する導通路間の幅を10点で測定した平均値をいう。

[0117] [導通路]

複数の導通路は、絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる。

導通路は、絶縁性基材の表面から突出した突出部分を有しており、かつ、各導通路の突出部分の端部が後述する樹脂層に埋設されている。

[0118] <導電材>

導通路を構成する導電材は、好ましくは電気抵抗率が $10^3 \Omega \cdot \text{cm}$ 以下の材料であれば特に限定されず、その具体例としては、金（Au）、銀（Ag）、銅（Cu）、アルミニウム（Al）、マグネシウム（Mg）、ニッケル（Ni）、インジウムがドープされたスズ酸化物（ITO）等が好適に例示される。

中でも、電気伝導性の観点から、銅、金、アルミニウム、およびニッケルが好ましく、銅および金がより好ましい。

[0119] <突出部分>

導通路の突出部分は、導通路が絶縁性基材の表面から突出した部分であり、また、突出部分の端部は、樹脂層に埋設している。

[0120] 異方導電性部材と電極とを圧着等の手法により電氣的接続、または物理的に接合する際に、突出部分が潰れた場合の面方向の絶縁性を十分に確保できる理由から、導通路の突出部分のアスペクト比（突出部分の高さ／突出部分の直径）が0.5以上50未満であることが好ましく、0.8～20であることがより好ましく、1～10であることがさらに好ましい。

[0121] また、接続対象の半導体チップまたは半導体ウエハの表面形状に追従する観点から、導通路の突出部分の高さは、上述のように20nm以上であることが好ましく、より好ましくは100nm～500nmである。

導通路の突出部分の高さは、異方導電性部材の断面を電解放出形走査型電子顕微鏡により2万倍の倍率で観察し、導通路の突出部分の高さを10点で測定した平均値をいう。

導通路の突出部分の直径は、異方導電性部材の断面を電解放出形走査型電子顕微鏡により観察し、導通路の突出部分の直径を10点で測定した平均値をいう。

[0122] <他の形状>

導通路は柱状であり、その直径dは、突出部分の直径と同様、5nm超10μm以下であることが好ましく、20nm～1000nmであることがより好ましい。

[0123] また、導通路は絶縁性基材によって互いに電氣的に絶縁された状態で存在するものであるが、その密度は、2万個/mm²以上であることが好ましく、200万個/mm²以上であることがより好ましく、1000万個/mm²以上であることがさらに好ましく、5000万個/mm²以上であることが特に好ましく、1億個/mm²以上であることが最も好ましい。

[0124] さらに、隣接する各導通路の中心間距離pは、20nm～500nmであることが好ましく、40nm～200nmであることがより好ましく、50nm～140nmであることがさらに好ましい。

[0125] [樹脂層]

樹脂層は、絶縁性基材の表面に設けられ、上述の導通路を埋設するものである。すなわち、樹脂層は、絶縁性基材の表面、および絶縁性基材から突出した導通路の端部を被覆するものである。

樹脂層は、接続対象に対して仮接着性を付与するものである。樹脂層は、例えば、50℃～200℃の温度範囲で流動性を示し、200℃以上で硬化するものであることが好ましい。

以下、樹脂剤の組成について説明する。樹脂層は、酸化防止材料および高分子材料を含有するものである。

[0126] <酸化防止材料>

樹脂層に含まれる酸化防止材料としては、具体的には、例えば、1, 2, 3, 4-テトラゾール、5-アミノ-1, 2, 3, 4-テトラゾール、5-メチル-1, 2, 3, 4-テトラゾール、1H-テトラゾール-5-酢酸、1H-テトラゾール-5-コハク酸、1, 2, 3-トリアゾール、4-アミノ-1, 2, 3-トリアゾール、4, 5-ジアミノ-1, 2, 3-トリアゾール、4-カルボキシー-1H-1, 2, 3-トリアゾール、4, 5-ジカルボキシー-1H-1, 2, 3-トリアゾール、1H-1, 2, 3-トリアゾール-4-酢酸、4-カルボキシー-5-カルボキシメチル-1H-1, 2, 3-トリアゾール、1, 2, 4-トリアゾール、3-アミノ-1, 2, 4-トリアゾール、3, 5-ジアミノ-1, 2, 4-トリアゾール、3-カルボキ

シー 1, 2, 4-トリアゾール、3, 5-ジカルボキシ-1, 2, 4-トリアゾール、1, 2, 4-トリアゾール-3-酢酸、1H-ベンゾトリアゾール、1H-ベンゾトリアゾール-5-カルボン酸、ベンゾフロキサン、2, 1, 3-ベンゾチアゾール、o-フェニレンジアミン、m-フェニレンジアミン、カテコール、o-アミノフェノール、2-メルカプトベンゾチアゾール、2-メルカプトベンゾイミダゾール、2-メルカプトベンゾオキサゾール、メラミン、およびこれらの誘導体が挙げられる。

これらのうち、ベンゾトリアゾールおよびその誘導体が好ましい。

ベンゾトリアゾール誘導体としては、ベンゾトリアゾールのベンゼン環に、ヒドロキシル基、アルコキシ基（例えば、メトキシ基、エトキシ基等）、アミノ基、ニトロ基、アルキル基（例えば、メチル基、エチル基、ブチル基等）、ハロゲン原子（例えば、フッ素原子、塩素原子、臭素原子、ヨウ素原子等）等を有する置換ベンゾトリアゾールが挙げられる。また、ナフタレントリアゾール、ナフタレンビストリアゾール、と同様に置換された置換ナフタレントリアゾール、置換ナフタレンビストリアゾール等も挙げることができる。

[0127] また、樹脂層に含まれる酸化防止材料の他の例としては、一般的な酸化防止剤である、高級脂肪酸、高級脂肪酸銅、フェノール化合物、アルカノールアミン、ハイドロキノン類、銅キレート剤、有機アミン、有機アンモニウム塩等が挙げられる。

[0128] 樹脂層に含まれる酸化防止材料の含有量は特に限定されず、防食効果の観点から、樹脂層の全質量に対して0.0001質量%以上が好ましく、0.001質量%以上がより好ましい。また、本接合プロセスにおいて適切な電気抵抗を得る理由から、5.0質量%以下が好ましく、2.5質量%以下がより好ましい。

[0129] <高分子材料>

樹脂層に含まれる高分子材料としては特に限定されず、半導体チップまたは半導体ウエハと異方導電性部材との隙間を効率よく埋めることができ、半

導体チップまたは半導体ウエハとの密着性がより高くなる理由から、熱硬化性樹脂であることが好ましい。

熱硬化性樹脂としては、具体的には、例えば、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリエステル樹脂、ポリウレタン樹脂、ビスマレイミド樹脂、メラミン樹脂、イソシアネート系樹脂等が挙げられる。

なかでも、絶縁信頼性がより向上し、耐薬品性に優れる理由から、ポリイミド樹脂および／またはエポキシ樹脂を用いるのが好ましい。

[0130] <マイグレーション防止材料>

樹脂層は、樹脂層に含有し得る金属イオン、ハロゲンイオン、ならびに半導体チップおよび半導体ウエハに由来する金属イオンをトラップすることによって絶縁信頼性がより向上する理由から、マイグレーション防止材料を含有しているのが好ましい。

[0131] マイグレーション防止材料としては、例えば、イオン交換体、具体的には、陽イオン交換体と陰イオン交換体との混合物、または、陽イオン交換体のみを使用することができる。

ここで、陽イオン交換体および陰イオン交換体は、それぞれ、例えば、後述する無機イオン交換体および有機イオン交換体の中から適宜選択することができる。

[0132] (無機イオン交換体)

無機イオン交換体としては、例えば、含水酸化ジルコニウムに代表される金属の含水酸化物が挙げられる。

金属の種類としては、例えば、ジルコニウムのほか、鉄、アルミニウム、錫、チタン、アンチモン、マグネシウム、ベリリウム、インジウム、クロム、ビスマス等が知られている。

これらの中でジルコニウム系のものは、陽イオンの Cu^{2+} 、 Al^{3+} について交換能を有している。また、鉄系のものについても、 Ag^{+} 、 Cu^{2+} について交換能を有している。

同様に、錫系、チタン系、アンチモン系のものは、陽イオン交換体である。

一方、ビスマス系のものは、陰イオンの Cl^- について交換能を有している。

また、ジルコニウム系のものは条件によっては陰イオンの交換能を示す。アルミニウム系、錫系のものも同様である。

これら以外の無機イオン交換体としては、リン酸ジルコニウムに代表される多価金属の酸性塩、モリブドリン酸アンモニウムに代表されるヘテロポリ酸塩、不溶性フェロシアン化物等の合成物が知られている。

これらの無機イオン交換体の一部は既に市販されており、例えば、東亜合成株式会社の商品名イグゼ「IXE」における各種のグレードが知られている。

なお、合成品のほか、天然物のゼオライト、またはモンモリロン石のような無機イオン交換体の粉末も使用可能である。

[0133] (有機イオン交換体)

有機イオン交換体には、陽イオン交換体としてスルホン酸基を有する架橋ポリスチレンが挙げられ、そのほかカルボン酸基、ホスホン酸基またはホスフィン酸基を有するものも挙げられる。

また、陰イオン交換体として四級アンモニウム基、四級ホスホニウム基または三級スルホニウム基を有する架橋ポリスチレンが挙げられる。

[0134] これらの無機イオン交換体および有機イオン交換体は、捕捉したい陽イオン、陰イオンの種類、そのイオンについての交換容量を考慮して適宜選択すればよい。勿論、無機イオン交換体と有機イオン交換体とを混合して使用してもよい。

電子素子の製造工程では加熱するプロセスを含むため、無機イオン交換体が好ましい。

[0135] また、イオン交換体と上述した高分子材料との混合比は、例えば、機械的強度の観点から、イオン交換体を10質量%以下とすることが好ましく、イオン交換体を5質量%以下とすることがより好ましく、さらにイオン交換体を2.5質量%以下とすることがさらに好ましい。また、半導体チップまた

は半導体ウエハと異方導電性部材とを接合した際のマイグレーションを抑制する観点から、イオン交換体を0.01質量%以上とすることが好ましい。

[0136] <無機充填剤>

樹脂層は、無機充填剤を含有しているのが好ましい。

無機充填剤としては特に制限はなく、公知のものの中から適宜選択することができ、例えば、カオリン、硫酸バリウム、チタン酸バリウム、酸化ケイ素粉、微粉状酸化ケイ素、気相法シリカ、無定形シリカ、結晶性シリカ、熔融シリカ、球状シリカ、タルク、クレイ、炭酸マグネシウム、炭酸カルシウム、酸化アルミニウム、水酸化アルミニウム、マイカ、窒化アルミニウム、酸化ジルコニウム、酸化イットリウム、炭化ケイ素、窒化ケイ素等が挙げられる。

[0137] 導通路間に無機充填剤が入ることを防ぎ、導通信頼性がより向上する理由から、無機充填剤の平均粒子径が、各導通路の間隔よりも大きいことが好ましい。

無機充填剤の平均粒子径は、30nm～10μmであることが好ましく、80nm～1μmであることがより好ましい。

ここで、平均粒子径は、レーザー回折散乱式粒子径測定装置(日機装(株)製マイクロトラックMT3300)で測定される、一次粒子径を平均粒子径とする。

[0138] <硬化剤>

樹脂層は、硬化剤を含有していてもよい。

硬化剤を含有する場合、接続対象の半導体チップまたは半導体ウエハの表面形状との接合不良を抑制する観点から、常温で固体の硬化剤を用いず、常温で液体の硬化剤を含有しているのがより好ましい。

ここで、「常温で固体」とは、25℃で固体であることをいい、例えば、融点が25℃より高い温度である物質をいう。

[0139] 硬化剤としては、具体的には、例えば、ジアミノジフェニルメタン、ジアミノジフェニルスルホンのような芳香族アミン、脂肪族アミン、4-メチル

イミダゾール等のイミダゾール誘導体、ジシアンジアミド、テトラメチルグアニジン、チオ尿素付加アミン、メチルヘキサヒドロフタル酸無水物等のカルボン酸無水物、カルボン酸ヒドラジド、カルボン酸アミド、ポリフェノール化合物、ノボラック樹脂、ポリメルカプタン等が挙げられ、これらの硬化剤から、25℃で液体のものを適宜選択して用いることができる。なお、硬化剤は1種単独で用いてもよく、2種以上を併用してもよい。

[0140] 樹脂層には、その特性を損なわない範囲内で、広く一般に半導体パッケージの樹脂絶縁膜に添加されている分散剤、緩衝剤、粘度調整剤等の種々の添加剤を含有させてもよい。

[0141] <形状>

異方導電性部材の導通路を保護する理由から、樹脂層の厚みは、導通路の突出部分の高さより大きく、1 μm～5 μmであることが好ましい。

[0142] [透明絶縁体]

透明絶縁体は、上述の〔樹脂層〕に挙げている材料から構成されるもののうち、可視光透過率が80%以上であるもので構成される。このため、各材料に関し、詳細な説明は省略する。

透明絶縁体において、主成分（高分子材料）が上述の〔樹脂層〕と同じである場合、透明絶縁体と樹脂層との間の密着性が良好となるため好ましい。

透明絶縁体は、電極等がない部分に形成するため、上述の〔樹脂層〕の<酸化防止材料>および上述の〔樹脂層〕の<マイグレーション防止材料>を含まないことが好ましい。

透明絶縁体はCTE（線膨張係数）がシリコン等の支持体に近い方が、異方導電材の反りが減るため、上述の〔樹脂層〕の<無機充填剤>を含むことが好ましい。

透明絶縁体において、高分子材料と硬化剤が、上述の〔樹脂層〕と同じである場合、温度および時間等の硬化条件が同じになるため好ましい。

なお、「可視光透過率が80%以上」とは、光透過率が波長400～800 nmの可視光波長域において、80%以上のことをいう。光透過率は、J

ISO 7375:2008に規定される「プラスチック—全光線透過率および全光線反射率の求め方」を用いて測定されるものである。

[0143] [異方導電性部材の製造方法]

異方導電性部材の製造方法は特に限定されず、例えば、絶縁性基材に設けられた貫通孔に導電性材料を存在させて導通路を形成する導通路形成工程と、導通路形成工程の後に絶縁性基材の表面のみを一部除去し、導通路を突出させるトリミング工程と、トリミング工程の後に絶縁性基材の表面および導通路の突出部分に樹脂層を形成する樹脂層形成工程とを有する製造方法等が挙げられる。

[0144] [絶縁性基材の作製]

絶縁性基材は、例えば、貫通孔を有するガラス基板（Through Glass Via：TGV）をそのまま用いることができるが、導通路の開口径、および突出部分のアスペクト比を上述の範囲とする観点から、バルブ金属に対して陽極酸化処理を施して形成した基板が好ましい。

陽極酸化処理としては、例えば、絶縁性基材がアルミニウムの陽極酸化皮膜である場合は、アルミニウム基板を陽極酸化する陽極酸化処理、および陽極酸化処理の後に、陽極酸化により生じたマイクロポアによる孔を貫通化する貫通化処理をこの順に施すことにより作製することができる。

絶縁性基材の作製に用いられるアルミニウム基板ならびにアルミニウム基板に施す各処理工程については、特開2008-270158号公報の<0041>～<0121>段落に記載したものと同様のものを採用することができる。

[0145] [導通路形成工程]

導通路形成工程は、絶縁性基材に設けられた貫通孔に導電性材料を存在させる工程である。

ここで、貫通孔に金属を存在させる方法としては、例えば、特開2008-270158号公報の<0123>～<0126>段落および[図4]に記載された各方法（電解メッキ法または無電解メッキ法）と同様の方法が挙

げられる。

また、電解メッキ法または無電解メッキ法においては、金、ニッケル、銅等による電極層を予め設けることが好ましい。この電極層の形成方法としては、例えば、スパッタ等の気相処理、無電解めっき等の液相処理、およびこれらを組合せた処理等が挙げられる。

金属充填工程により、導通路の突出部分が形成される前の異方導電性部材が得られる。

[0146] 一方、導通路形成工程は、特開2008-270158号公報に記載された方法に代えて、例えば、アルミニウム基板の片側の表面（以下、「片面」ともいう。）に陽極酸化処理を施し、アルミニウム基板の片面に、厚み方向に存在するマイクロポアとマイクロポアの底部に存在するバリア層とを有する陽極酸化膜を形成する陽極酸化処理工程と、陽極酸化処理工程の後に陽極酸化膜のバリア層を除去するバリア層除去工程と、バリア層除去工程の後に電解めっき処理を施してマイクロポアの内部に金属を充填する金属充填工程と、金属充填工程の後にアルミニウム基板を除去し、金属充填微細構造体を得る基板除去工程とを有する工程を有する方法であってもよい。

[0147] <陽極酸化処理工程>

陽極酸化工程は、アルミニウム基板の片面に陽極酸化処理を施すことにより、アルミニウム基板の片面に、厚み方向に存在するマイクロポアとマイクロポアの底部に存在するバリア層とを有する陽極酸化膜を形成する工程である。

陽極酸化処理は、従来公知の方法を用いることができ、マイクロポア配列の規則性を高くし、異方導電性を担保する観点から、自己規則化法または定電圧処理を用いるのが好ましい。

ここで、陽極酸化処理の自己規則化法または定電圧処理については、特開2008-270158号公報の<0056>~<0108>段落および[図3]に記載された各処理と同様の処理を施すことができる。

[0148] <バリア層除去工程>

バリア層除去工程は、陽極酸化処理工程の後に、陽極酸化膜のバリア層を除去する工程である。バリア層を除去することにより、マイクロポアを介してアルミニウム基板の一部が露出することになる。

バリア層を除去する方法は特に限定されず、例えば、陽極酸化処理工程の陽極酸化処理における電位よりも低い電位でバリア層を電気化学的に溶解する方法（以下、「電解除去処理」ともいう。）；エッチングによりバリア層を除去する方法（以下、「エッチング除去処理」ともいう。）；これらを組み合わせた方法（特に、電解除去処理を施した後に、残存するバリア層をエッチング除去処理で除去する方法）；等が挙げられる。

[0149] 〈電解除去処理〉

電解除去処理は、陽極酸化処理工程の陽極酸化処理における電位（電解電位）よりも低い電位で施す電解処理であれば特に限定されない。

電解溶解処理は、例えば、陽極酸化処理工程の終了時に電解電位を降下させることにより、陽極酸化処理と連続して施すことができる。

[0150] 電解除去処理は、電解電位以外の条件については、上述した従来公知の陽極酸化処理と同様の電解液および処理条件を採用することができる。

特に、上述したように電解除去処理と陽極酸化処理とを連続して施す場合は、同様の電解液を用いて処理するのが好ましい。

[0151] （電解電位）

電解除去処理における電解電位は、陽極酸化処理における電解電位よりも低い電位に、連続的または段階的（ステップ状）に降下させるのが好ましい。

ここで、電解電位を段階的に降下させる際の下げ幅（ステップ幅）は、バリア層の耐電圧の観点から、10 V以下であることが好ましく、5 V以下であることがより好ましく、2 V以下であることがさらに好ましい。

また、電解電位を連続的または段階的に降下させる際の電圧降下速度は、生産性等の観点から、いずれも1 V／秒以下が好ましく、0.5 V／秒以下がより好ましく、0.2 V／秒以下がさらに好ましい。

[0152] 〈エッチング除去処理〉

エッチング除去処理は特に限定されず、酸水溶液またはアルカリ水溶液を用いて溶解する化学的エッチング処理であってもよく、ドライエッチング処理であってもよい。

[0153] (化学エッチング処理)

化学エッチング処理によるバリア層の除去は、例えば、陽極酸化処理工程後の構造物を酸水溶液またはアルカリ水溶液に浸漬させ、マイクロポアの内部に酸水溶液またはアルカリ水溶液を充填させた後に、陽極酸化膜のマイクロポアの開口部側の表面にpH緩衝液を接触させる方法等により、バリア層のみを選択的に溶解させることができる。

[0154] ここで、酸水溶液を用いる場合は、硫酸、リン酸、硝酸、塩酸等の無機酸またはこれらの混合物の水溶液を用いることが好ましい。また、酸水溶液の濃度は1質量%～10質量%であることが好ましい。酸水溶液の温度は、15℃～80℃が好ましく、20℃～60℃がより好ましく、30℃～50℃がさらに好ましい。

一方、アルカリ水溶液を用いる場合は、水酸化ナトリウム、水酸化カリウムおよび水酸化リチウムからなる群から選ばれる少なくとも一つのアルカリの水溶液を用いることが好ましい。また、アルカリ水溶液の濃度は0.1質量%～5質量%であることが好ましい。アルカリ水溶液の温度は、10℃～60℃が好ましく、15℃～45℃がより好ましく、20℃～35℃であることがさらに好ましい。なお、アルカリ水溶液には、亜鉛および他の金属を含有していてもよい。

具体的には、例えば、50g/L、40℃のリン酸水溶液、0.5g/L、30℃の水酸化ナトリウム水溶液、0.5g/L、30℃の水酸化カリウム水溶液等が好適に用いられる。

なお、pH緩衝液としては、上述した酸水溶液またはアルカリ水溶液に対応した緩衝液を適宜使用することができる。

[0155] また、酸水溶液またはアルカリ水溶液への浸せき時間は、8分～120分

であることが好ましく、１０分～９０分であることがより好ましく、１５分～６０分であることがさらに好ましい。

[0156] (ドライエッチング処理)

ドライエッチング処理は、例えば、 Cl_2/Ar 混合ガス等のガス種を用いることが好ましい。

[0157] <金属充填工程>

金属充填工程は、バリア層除去工程の後に、電解めっき処理を施して陽極酸化膜におけるマイクロポアの内部に金属を充填する工程であり、例えば、特開２００８－２７０１５８号公報の<０１２３>～<０１２６>段落および〔図４〕に記載された各方法と同様の方法（電解メッキ法または無電解メッキ法）が挙げられる。

なお、電解メッキ法または無電解メッキ法においては、上述したバリア層除去工程の後にマイクロポアを介して露出するアルミニウム基板を電極として利用することができる。

[0158] <基板除去工程>

基板除去工程は、金属充填工程の後にアルミニウム基板を除去し、金属充填微細構造体を得る工程である。

アルミニウム基板を除去する方法としては、例えば、処理液を用いて、金属充填工程においてマイクロポアの内部に充填した金属および絶縁性基材としての陽極酸化膜を溶解せずに、アルミニウム基板のみを溶解させる方法等が挙げられる。

[0159] 処理液としては、例えば、塩化水銀、臭素／メタノール混合物、臭素／エタノール混合物、王水、塩酸／塩化銅混合物等の水溶液等が挙げられ、中でも、塩酸／塩化銅混合物であることが好ましい。

また、処理液の濃度としては、 $0.01\text{ mol/L} \sim 10\text{ mol/L}$ が好ましく、 $0.05\text{ mol/L} \sim 5\text{ mol/L}$ がより好ましい。

また、処理温度としては、 $-10^\circ\text{C} \sim 80^\circ\text{C}$ が好ましく、 $0^\circ\text{C} \sim 60^\circ\text{C}$ がより好ましい。

[0160] [トリミング工程]

トリミング工程は、導通路形成工程後の異方導電性部材表面の絶縁性基材のみを一部除去し、導通路を突出させる工程である。

ここで、トリミング処理は、導通路を構成する金属を溶解しない条件であれば特に限定されず、例えば、酸水溶液を用いる場合は、硫酸、リン酸、硝酸、塩酸等の無機酸またはこれらの混合物の水溶液を用いることが好ましい。中でも、クロム酸を含有しない水溶液が安全性に優れる点で好ましい。酸水溶液の濃度は1質量%～10質量%であることが好ましい。酸水溶液の温度は、25℃～60℃であることが好ましい。

一方、アルカリ水溶液を用いる場合は、水酸化ナトリウム、水酸化カリウムおよび水酸化リチウムからなる群から選ばれる少なくとも一つのアルカリの水溶液を用いることが好ましい。アルカリ水溶液の濃度は0.1質量%～5質量%であることが好ましい。アルカリ水溶液の温度は、20℃～50℃であることが好ましい。

具体的には、例えば、50g/L、40℃のリン酸水溶液、0.5g/L、30℃の水酸化ナトリウム水溶液または0.5g/L、30℃の水酸化カリウム水溶液が好適に用いられる。

酸水溶液またはアルカリ水溶液への浸漬時間は、8分～120分であることが好ましく、10分～90分であることがより好ましく、15分～60分であることがさらに好ましい。ここで、「浸漬時間」は、短時間の浸漬処理（トリミング処理）を繰り返した場合には、各浸漬時間の合計をいう。なお、各浸漬処理の間には、洗浄処理を施してもよい。

[0161] トリミング工程において導通路の突出部分の高さを厳密に制御する場合は、導通路形成工程後に絶縁性基材と導通路の端部とを同一平面状になるように加工した後、絶縁性基材を選択的に除去（トリミング）することが好ましい。

ここで、同一平面状に加工する方法としては、例えば、物理的研磨（例えば、遊離砥粒研磨、バックグラインド、サーフェスプレーナー等）、電気化

学的研磨、これらを組み合わせた研磨等が挙げられる。

[0162] また、上述した導通路形成工程またはトリミング工程の後に、金属の充填に伴い発生した導通路内の歪を軽減する目的で、加熱処理を施すことができる。

加熱処理は、金属の酸化を抑制する観点から還元性雰囲気で行うことが好ましく、具体的には、酸素濃度が20Pa以下で行うことが好ましく、真空下で行うことがより好ましい。ここで、「真空」とは、大気よりも気体密度または気圧の低い空間の状態をいう。

また、加熱処理は、矯正の目的で、材料を加圧しながら行うことが好ましい。

[0163] [樹脂層形成工程]

樹脂層形成工程は、トリミング工程後に絶縁性基材の表面および導通路の突出部分に樹脂層を形成する工程である。

ここで、樹脂層を形成する方法としては、例えば、上述した酸化防止材料、高分子材料、溶媒（例えば、メチルエチルケトン等）等を含む樹脂組成物を絶縁性基材の表面および導通路の突出部分に塗布し、乾燥させ、必要に応じて焼成する方法等が挙げられる。

樹脂組成物の塗布方法は特に限定されず、例えば、グラビアコート法、リバースコート法、ダイコート法、ブレードコーター、ロールコーター、エアナイフコーター、スクリーンコーター、バーコーター、カーテンコーター等、従来公知のコーティング方法が使用できる。

また、塗布後の乾燥方法は特に限定されず、例えば、大気下において0℃～100℃の温度で、数秒～数十分間、加熱する処理、減圧下において0℃～80℃の温度で、十数分～数時間、加熱する処理等が挙げられる。

また、乾燥後の焼成方法は、使用する高分子材料により異なるため特に限定されず、ポリイミド樹脂を用いる場合には、例えば、160℃～240℃の温度で2分間～60分間加熱する処理等が挙げられ、エポキシ樹脂を用いる場合には、例えば、30℃～80℃の温度で2分間～60分間加熱する処

理等が挙げられる。

[0164] 製造方法においては、上述した各工程は、各工程を枚葉で行うことも可能であるし、アルミニウムのコイルを原反としてウェブで連続処理することもできる。また、連続処理する場合には各工程間に適切な洗浄工程、乾燥工程を設置することが好ましい。

[0165] 本発明は、基本的に以上のように構成されるものである。以上、本発明の異方導電材、電子素子、半導体素子を含む構造体および電子素子の製造方法について詳細に説明したが、本発明は上述の実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良または変更をしてもよい。

符号の説明

- [0166] 10、10a、100 異方導電材
12、102 支持体
14、104 異方導電性部材
15 異方導電性を示す領域
15b 導通路がない領域
16、93、106 剥離層
17 支持層
18 剥離剤
19、94 透明絶縁体
20 絶縁性基材
20a、20b、46a 表面
22 導通路
22a、22b 突出部分
24 樹脂層
30 素子領域
31 電極領域
32、114 アライメントマーク
34、35、38、64、78 電子素子

36、37、39、46、47、56、77、86、112 半導体チップ

40 第1の半導体ウエハ

42 第1の素子領域

44 第1のアライメントマーク

46b 裏面

50 第2の半導体ウエハ

52 第2の素子領域

54 第2のアライメントマーク

60 撮像装置

62 半導体素子を含む構造体

70 半導体ウエハ

72 センサ部

74 レンズ

76 光学センサ

80 第3の半導体ウエハ

82 第3の素子領域

84 第3のアライメントマーク

90 フィルム

92 基材

110 半導体ウエハ

Z 厚み方向

h 厚み

p 中心間距離

w 幅

d 直径

請求の範囲

- [請求項1] 支持体と、異方導電性部材と、を有し、
前記異方導電性部材は、無機材料からなる絶縁性基材と、前記絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材であり、
前記異方導電性部材は、前記支持体の上に設けられ、かつ、異方導電性を示す領域が定められたパターン状に形成されていることを特徴とする異方導電材。
- [請求項2] 前記異方導電性部材は、前記異方導電性部材の有無によって、異方導電性を示す領域が定められた前記パターン状に形成されている請求項1に記載の異方導電材。
- [請求項3] 前記異方導電性部材は、前記絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた前記導電材からなる前記導通路の有無によって、異方導電性を示す領域が定められた前記パターン状に形成されている請求項1に記載の異方導電材。
- [請求項4] 前記支持体と前記異方導電性部材の間に剥離層が設けられている請求項1～3のいずれか1項に記載の異方導電材。
- [請求項5] 前記支持体の上において、前記異方導電性部材が設けられた以外の領域に透明絶縁体が設けられている請求項1～4のいずれか1項に記載の異方導電材。
- [請求項6] 前記支持体は、ウエハ形状である請求項1～5のいずれか1項に記載の異方導電材。
- [請求項7] 前記支持体は、可撓性を有し、かつ透明である請求項1～6のいずれか1項に記載の異方導電材。
- [請求項8] 半導体チップと、異方導電性部材と、を有し、
前記半導体チップは、アライメントマークが複数設けられた素子領域を備えるものであり、
前記異方導電性部材は、無機材料からなる絶縁性基材と、前記絶縁

性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材であり、

前記異方導電性部材は、前記素子領域の少なくとも2つの前記アライメントマークに相当する領域において光が透過できるように前記半導体チップの上に配置されていることを特徴とする電子素子。

[請求項9] 前記異方導電性部材は、前記素子領域の少なくとも2つの前記アライメントマークに相当する領域に、配置されていない請求項8に記載の電子素子。

[請求項10] 前記異方導電性部材は、前記素子領域の全域に前記絶縁性基材が配置されており、前記素子領域の少なくとも2つの前記アライメントマークに相当する領域において、前記絶縁性基材中における前記導通路が存在しない請求項8に記載の電子素子。

[請求項11] 前記半導体チップの上において、前記異方導電性部材が設けられた以外の領域に、透明絶縁体が設けられている請求項8～10のいずれか1項に記載の電子素子。

[請求項12] 前記異方導電性部材は、前記半導体チップの前記素子領域のうち電極が形成された電極領域だけに設けられている請求項8～11のいずれか1項に記載の電子素子。

[請求項13] 第1のアライメントマークが複数設けられた第1の素子領域を備える、複数の半導体チップと、

第2のアライメントマークが複数設けられた第2の素子領域を複数備える半導体ウエハと、

複数の異方導電性部材と、を有し、

前記異方導電性部材は、無機材料からなる絶縁性基材と、前記絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材であり、

前記半導体チップの前記第1の素子領域と、前記半導体ウエハの前記第2の素子領域とは前記異方導電性部材を介して接合されており、

かつ、前記異方導電性部材は前記第1の素子領域および前記第2の素子領域の少なくとも2つの前記アライメントマークに相当する領域において光が透過できるように配置されていることを特徴とする半導体素子を含む構造体。

[請求項14] 前記異方導電性部材は、前記第1の素子領域および前記第2の素子領域の少なくとも2つの前記アライメントマークに相当する領域に、配置されていない請求項13に記載の半導体素子を含む構造体。

[請求項15] 前記異方導電性部材は、前記第1の素子領域および前記第2の素子領域の全域に前記絶縁性基材が配置されており、前記第1の素子領域および前記第2の素子領域の少なくとも2つの前記アライメントマークに相当する領域において、前記絶縁性基材中における前記導通路が存在しない請求項13に記載の半導体素子を含む構造体。

[請求項16] 前記半導体ウエハの上において、前記異方導電性部材が設けられた以外の領域に透明絶縁体が設けられている請求項13～15のいずれか1項に記載の半導体素子を含む構造体。

[請求項17] 前記異方導電性部材は、前記半導体チップの前記第1の素子領域のうち電極が形成された電極領域だけに設けられている請求項13～16のいずれか1項に記載の半導体素子を含む構造体。

[請求項18] 第1のアライメントマークが複数設けられた第1の素子領域を複数備える第1の半導体ウエハと、異方導電性を示す領域が定められたパターン状に形成されている異方導電性部材が支持体の上に設けられた異方導電材と、第2のアライメントマークが複数設けられた第2の素子領域を備える第2の半導体ウエハとについて、

前記異方導電材の前記異方導電性部材を、前記第1の素子領域の少なくとも2つの前記第1のアライメントマークに相当する領域において光が透過できるように、前記第1の半導体ウエハの前記第1の素子領域に接合する工程と、

前記異方導電材の前記支持体を取り除く工程と、

前記第 1 の半導体ウエハについて、前記第 1 の素子領域毎に個片化し、複数の半導体チップを得る工程と、

前記半導体チップの前記第 1 のアライメントマークと、前記第 2 のアライメントマークとを用いて前記半導体チップと前記第 2 の素子領域の位置合せを行い、前記異方導電性部材を介して前記半導体チップを前記第 2 の素子領域に接合する工程と、

を有することを特徴とする電子素子の製造方法。

[請求項19]

第 1 のアライメントマークが複数設けられた第 1 の素子領域を備える、複数の半導体チップと、複数の第 2 のアライメントマークを備え、少なくとも 2 つの前記第 2 のアライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられた第 2 の素子領域を複数備える第 2 の半導体ウエハとにおいて、

前記半導体チップの前記第 1 のアライメントマークと、前記第 2 のアライメントマークとを用いて前記半導体チップと前記第 2 の素子領域の位置合せを行い、前記異方導電性部材を介して前記半導体チップを前記第 2 の素子領域に接合する工程を有することを特徴とする電子素子の製造方法。

[請求項20]

前記半導体チップが接合された前記第 2 の半導体ウエハを、前記第 2 の素子領域毎に個片化する工程を有する請求項 18 または 19 に記載の電子素子の製造方法。

[請求項21]

前記異方導電性部材は、無機材料からなる絶縁性基材と、前記絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材である請求項 18～20 のいずれか 1 項に記載の電子素子の製造方法。

[請求項22]

前記半導体チップを前記第 2 の素子領域に接合する工程は、前記半導体チップを全て、前記第 2 の素子領域に仮接着する工程と、仮接着した前記半導体チップを全て一括して、前記第 2 の半導体ウエハの前

記第2の素子領域に接合する工程とを含む請求項18～21のいずれか1項に記載の電子素子の製造方法。

[請求項23] 前記半導体チップを前記第2の素子領域に接合する工程は、前記半導体チップを、前記第2の半導体ウエハの前記第2の素子領域に1つつ接合する請求項18～21のいずれか1項に記載の電子素子の製造方法。

[請求項24] 半導体ウエハの上に、複数の半導体チップを多層に接合する電子素子の製造方法であって、

前記半導体ウエハは、複数のアライメントマークが設けられた素子領域を複数備え、

最上層の半導体チップは、片面に複数のアライメントマークが設けられた素子領域を備え、かつ、前記片面には少なくとも2つの前記アライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられ、

前記半導体ウエハと前記最上層の半導体チップとの間にある中間の半導体チップは、一方の面に複数のアライメントマークと電極とが設けられた素子領域を備え、他方の面に複数のアライメントマークと電極とを備え、前記一方の面の前記電極と前記他方の面の前記電極は電気的に導通され、前記一方の面には、少なくとも2つの前記アライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられており、

前記半導体ウエハの前記アライメントマークと、前記中間の半導体チップの前記一方の面のアライメントマークとを用いて前記半導体ウエハの前記素子領域と前記中間の半導体チップの位置合せを行い、前記異方導電性部材を介して前記中間の半導体チップを前記半導体ウエハの前記素子領域に接合する第1の工程と、

前記中間の半導体チップの前記他方の面のアライメントマークと、前記最上層の半導体チップの前記アライメントマークとを用いて前記中間の半導体チップと前記最上層の半導体チップの位置合せを行い、前記異方導電性部材を介して前記最上層の半導体チップを前記中間の半導体チップに接合する第2の工程と、

を有することを特徴とする電子素子の製造方法。

[請求項25] 前記第1の工程と前記第2の工程との間に、前記中間の半導体チップの前記他方の面のアライメントマークと、前記中間の半導体チップの前記一方の面のアライメントマークとを用いて2つの前記中間の半導体チップの位置合せを行い、前記異方導電性部材を介して前記中間の半導体チップ同士を接合する接合工程を少なくとも1つ有する請求項24に記載の電子素子の製造方法。

[請求項26] 複数のアライメントマークと電極とを備え、少なくとも2つの前記アライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられた複数の素子領域を一方の面に備え、複数のアライメントマークと電極とを他方の面に備え、前記一方の面の前記電極と前記他方の面の前記電極とは電氣的に導通された半導体ウエハに対して、前記素子領域毎に個片化し、前記半導体ウエハと前記最上層の半導体チップとの間にある前記中間の半導体チップを得る工程を有する請求項24または25に記載の電子素子の製造方法。

[請求項27] 前記半導体チップが多層に接合された前記半導体ウエハを、前記素子領域毎に個片化する工程を有する請求項24～26のいずれか1項に記載の電子素子の製造方法。

[請求項28] 前記異方導電性部材は、無機材料からなる絶縁性基材と、前記絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材である請求項24～27のいずれか1項に記載の電子素子の製造方法。

- [請求項29] 前記第1の工程および前記第2の工程は、前記中間の半導体チップおよび前記最上層の半導体チップを全て、仮接着する工程と、仮接着した前記中間の半導体チップおよび前記最上層の半導体チップを全て一括して接合する工程とを含む請求項24～28のいずれか1項に記載の電子素子の製造方法。
- [請求項30] 前記第1の工程および前記第2の工程は、前記中間の半導体チップおよび前記最上層の半導体チップを1つずつ接合する請求項24～28のいずれか1項に記載の電子素子の製造方法。
- [請求項31] 前記異方導電性部材が設けられた以外の領域に、透明絶縁体を充填する工程を有する請求項18～30のいずれか1項に記載の電子素子の製造方法。
- [請求項32] 前記半導体チップの素子領域のうち電極が形成された電極領域だけに前記異方導電性部材を設けられる請求項18～31のいずれか1項に記載の電子素子の製造方法。
- [請求項33] 第1のアライメントマークが複数設けられた第1の素子領域を複数備える第1の半導体ウエハと、異方導電性を示す領域が定められたパターン状に形成されている異方導電性部材が支持体の上に設けられた異方導電材とについて、
- 前記支持体の上において、前記異方導電性部材が設けられた以外の領域に、透明絶縁体を充填する工程と、
- 前記異方導電材の前記異方導電性部材を、前記第1の素子領域の少なくとも2つの前記第1のアライメントマークに相当する領域において光が透過できるように、前記第1の半導体ウエハの前記第1の素子領域に接合する工程と、
- 前記異方導電材の前記支持体を取り除く工程と、
- 第2のアライメントマークが複数設けられた第2の素子領域を備える第2の半導体ウエハに対して、前記第1の半導体ウエハの前記第1のアライメントマークと、前記第2の半導体ウエハの前記第2のアラ

イメントマークとを用いて前記第1の半導体ウエハと前記第2の素子領域の位置合せを行い、前記異方導電性部材および前記透明絶縁体を介して前記第1の素子領域を前記第2の素子領域に接合する工程を有することを特徴とする電子素子の製造方法。

[請求項34] 複数の半導体ウエハを多層に接合する電子素子の製造方法であって、

複数の前記半導体ウエハのうち、最下層の半導体ウエハは、複数のアライメントマークが設けられた素子領域を複数備え、最上層の半導体ウエハは、複数のアライメントマークを備え、少なくとも2つの前記アライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられた複数の素子領域を一方の面に備え、

前記最下層の半導体ウエハと前記最上層の半導体ウエハ以外の中間の半導体ウエハは、複数のアライメントマークと電極とを備え、少なくとも2つの前記アライメントマークに相当する領域において光が透過できるように異方導電性を示す領域が定められたパターン状に形成された異方導電性部材が設けられた複数の素子領域を一方の面に備え、複数のアライメントマークと電極とを他方の面に備え、前記一方の面の前記電極と前記他方の面の前記電極は電氣的に導通されており、

前記最下層の半導体ウエハの前記アライメントマークと、前記中間の半導体ウエハの前記一方の面のアライメントマークとを用いて前記最下層の半導体ウエハの前記素子領域と前記中間の半導体ウエハの位置合せを行い、前記異方導電性部材を介して前記最下層の半導体ウエハに前記中間の半導体ウエハを接合する第1の工程と、

前記中間の半導体ウエハの前記他方の面のアライメントマークと、前記最上層の半導体ウエハの前記アライメントマークとを用いて前記中間の半導体ウエハと前記最上層の半導体ウエハの位置合せを行い、前記異方導電性部材を介して前記中間の半導体ウエハに前記最上層の

半導体ウエハを接合する第2の工程と、

を有することを特徴とする電子素子の製造方法。

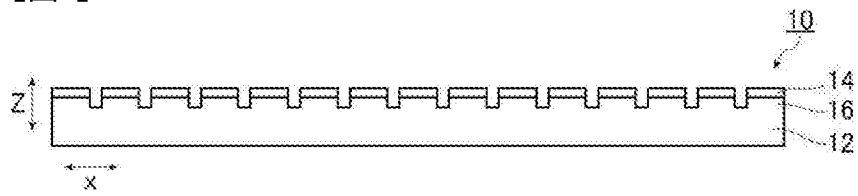
[請求項35] 前記第1の工程と前記第2の工程との間に、前記中間の半導体ウエハの前記他方の面のアライメントマークと、前記中間の半導体ウエハの前記一方の面のアライメントマークとを用いて2つの前記中間の半導体ウエハの位置合せを行い、前記異方導電性部材を介して前記中間の半導体ウエハ同士を接合する接合工程を少なくとも1つ有する請求項34に記載の電子素子の製造方法。

[請求項36] 前記半導体ウエハの素子領域のうち電極が形成された電極領域だけに前記異方導電性部材を設けられる請求項33～35のいずれか1項に記載の電子素子の製造方法。

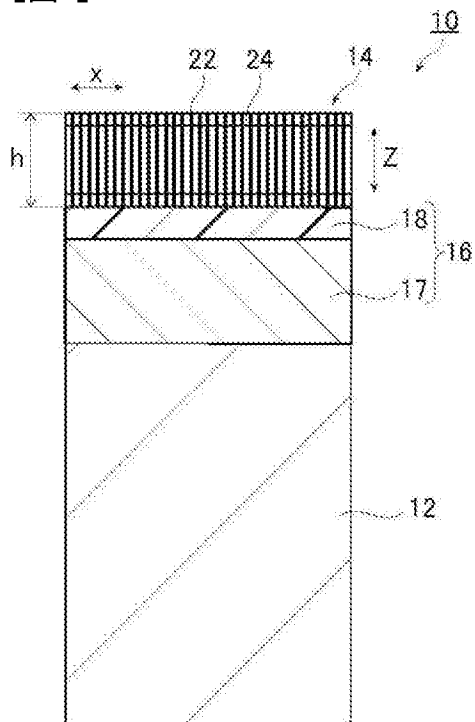
[請求項37] 複数の前記半導体ウエハが接合された状態で、素子領域毎に個片化する工程を有する請求項33～36のいずれか1項に記載の電子素子の製造方法。

[請求項38] 前記異方導電性部材は、無機材料からなる絶縁性基材と、前記絶縁性基材の厚み方向に貫通し、互いに電氣的に絶縁された状態で設けられた、導電材からなる複数の導通路と、を備える部材である請求項33～37のいずれか1項に記載の電子素子の製造方法。

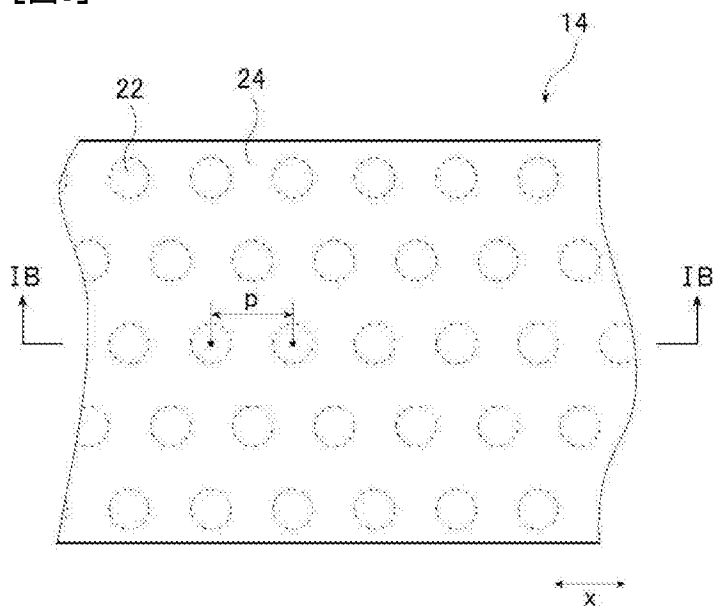
[図1]



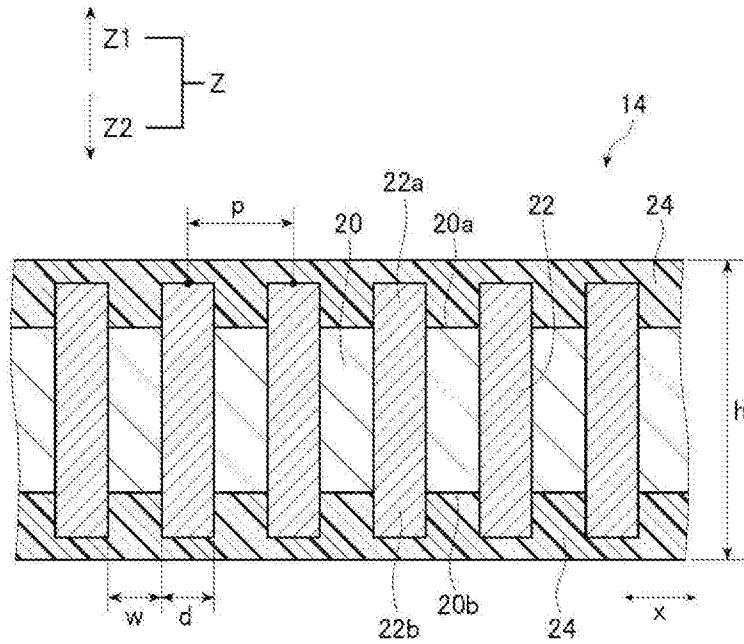
[図2]



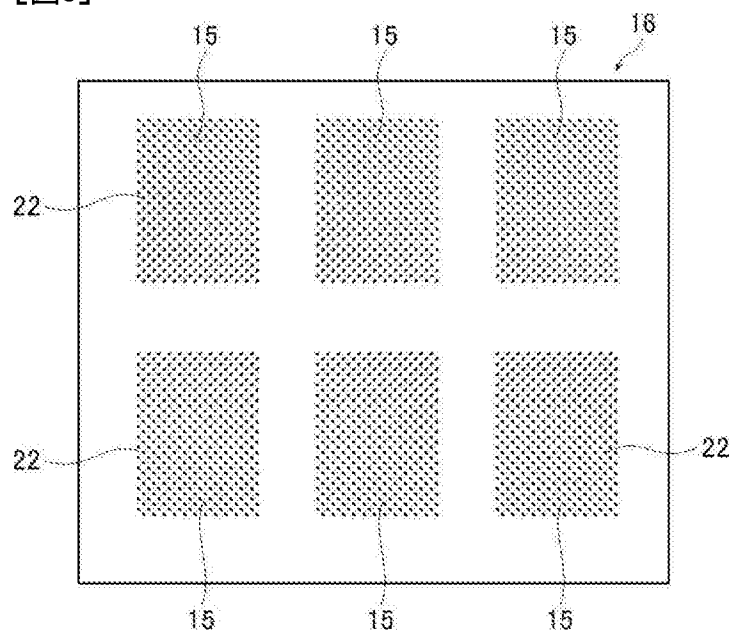
[図3]



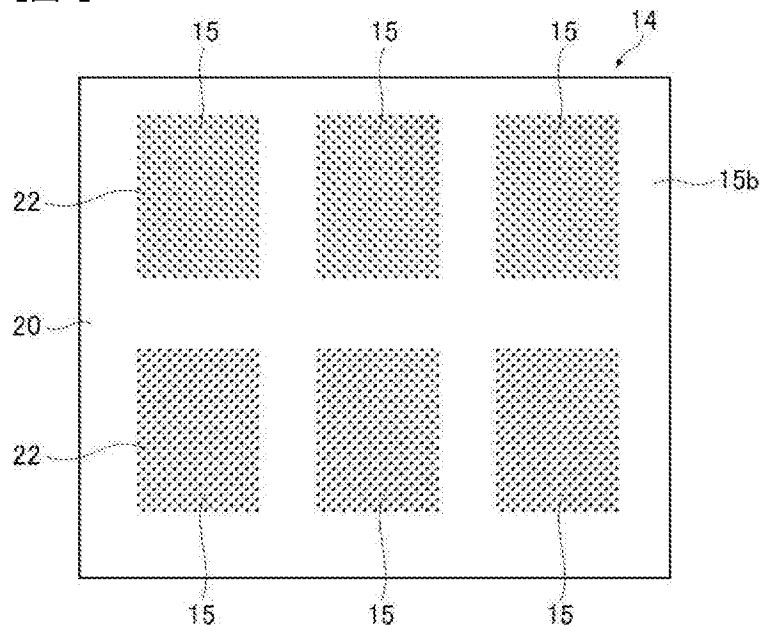
[図4]



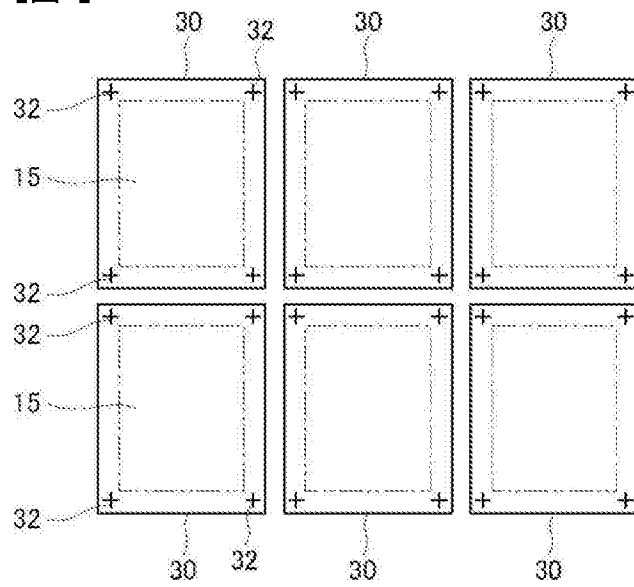
[図5]



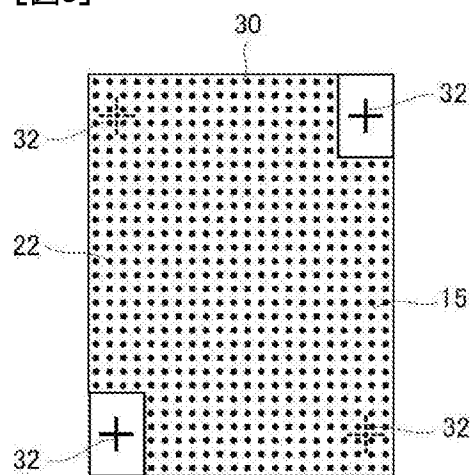
[図6]



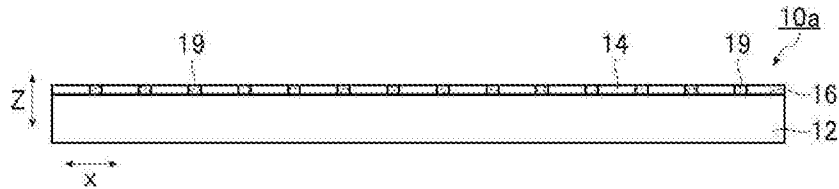
[図7]



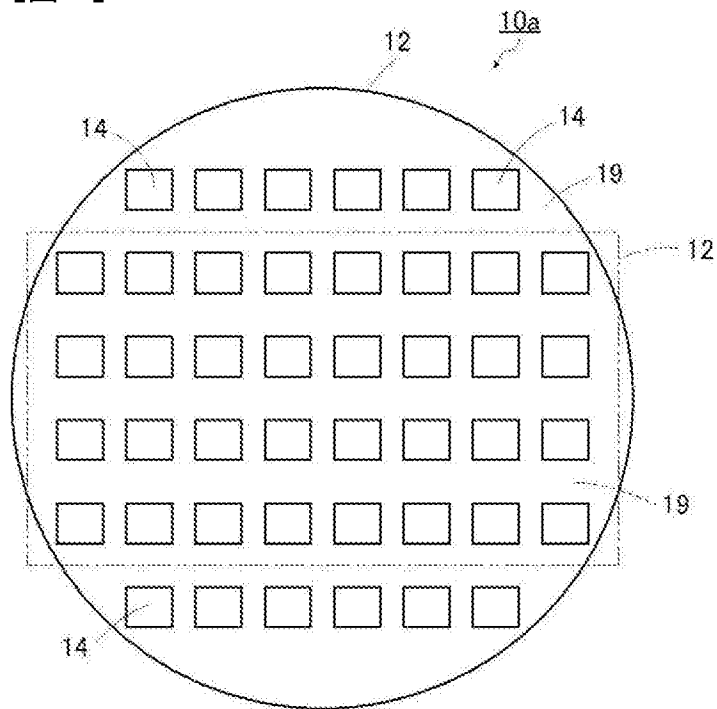
[図8]



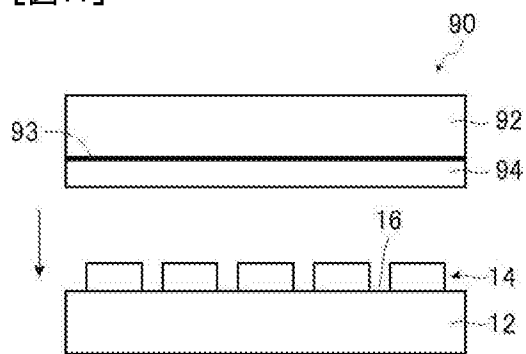
[図9]



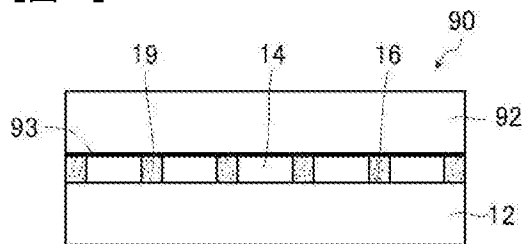
[図10]



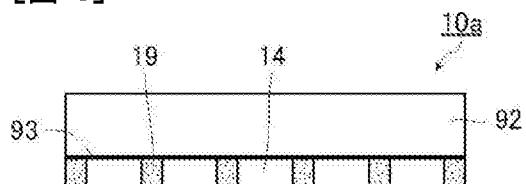
[図11]



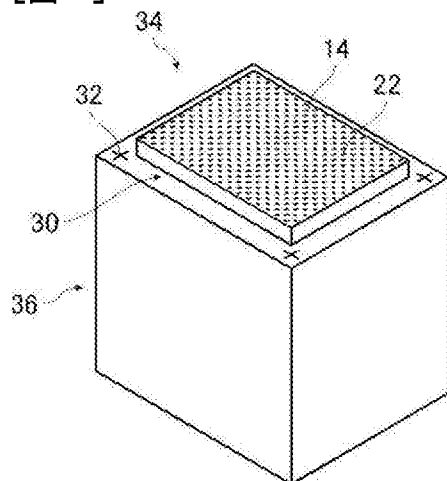
[図12]



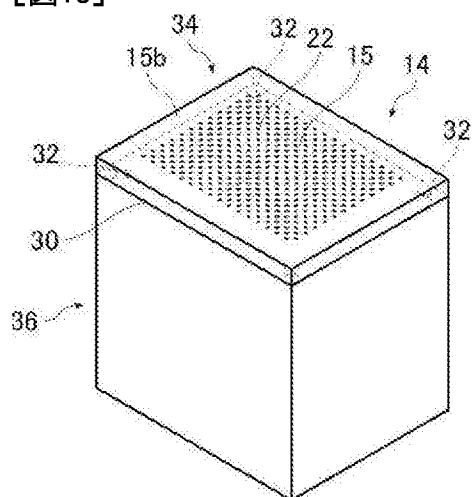
[図13]



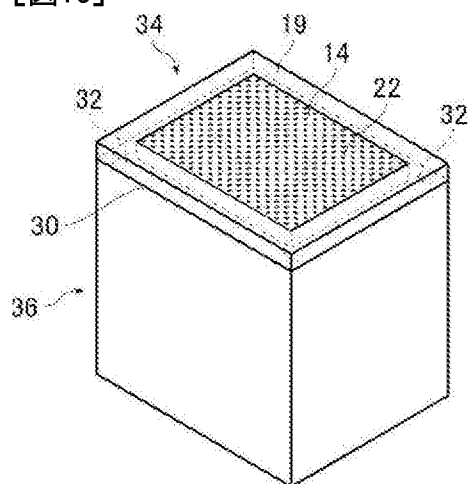
[図14]



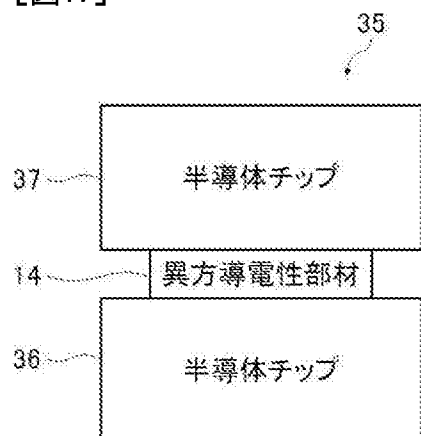
[図15]



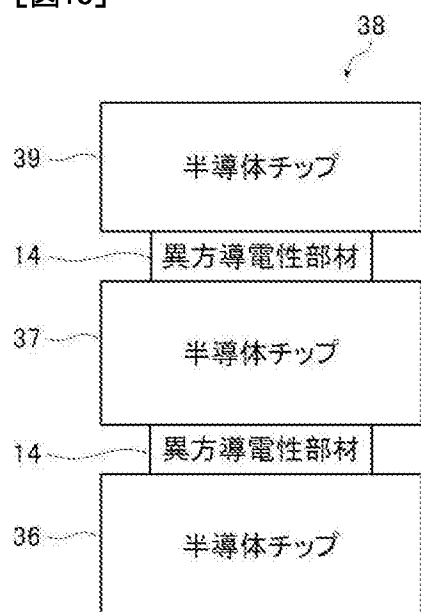
[図16]



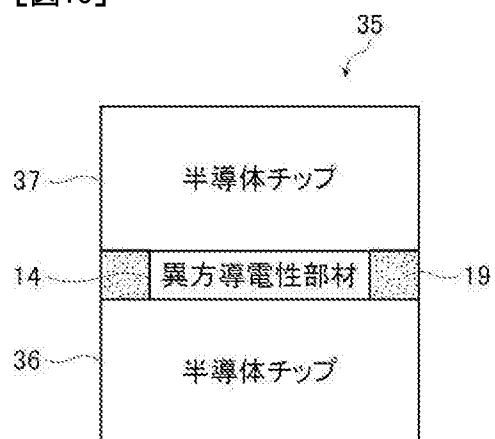
[図17]



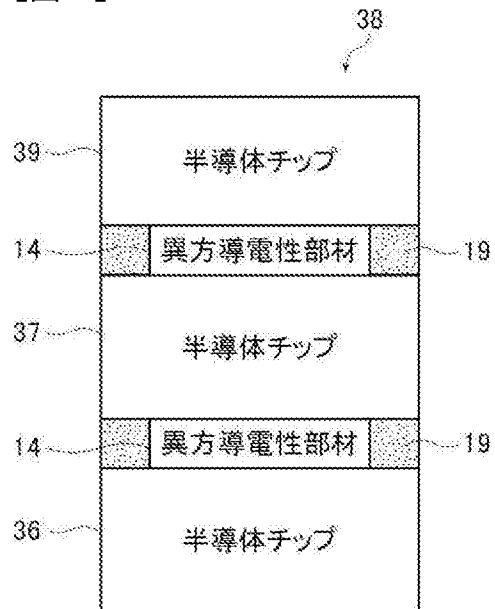
[図18]



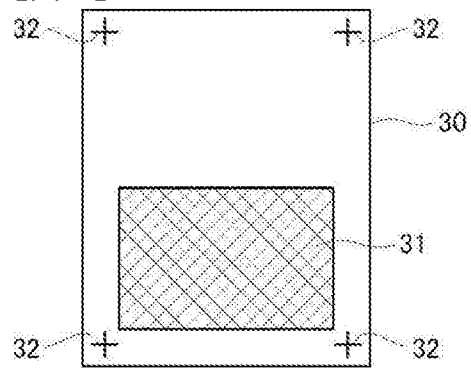
[図19]



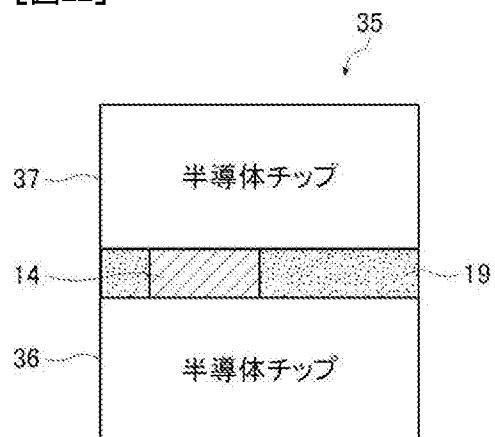
[図20]



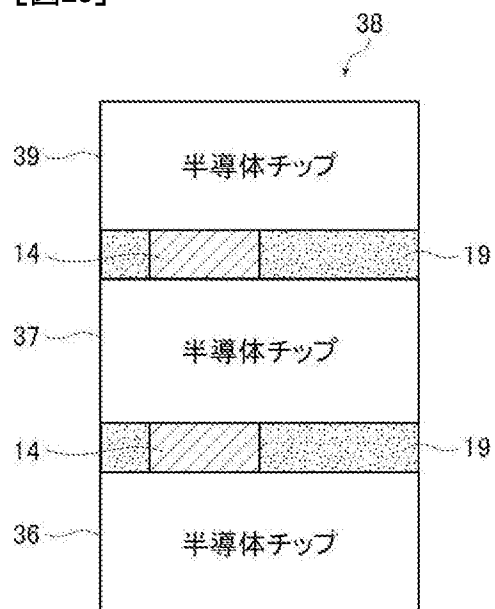
[図21]



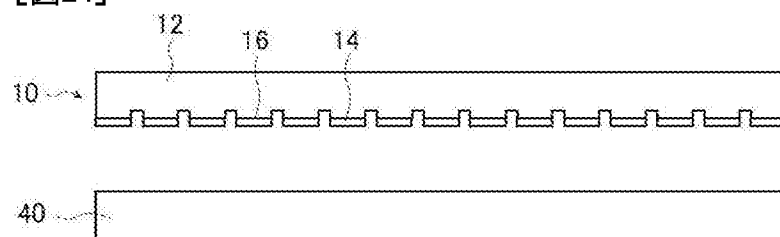
[図22]



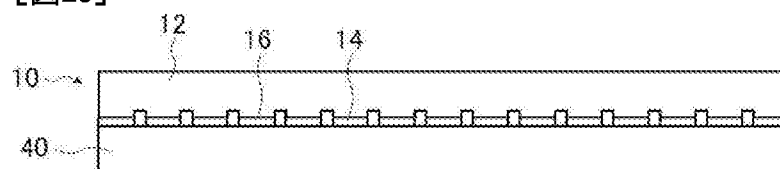
[図23]



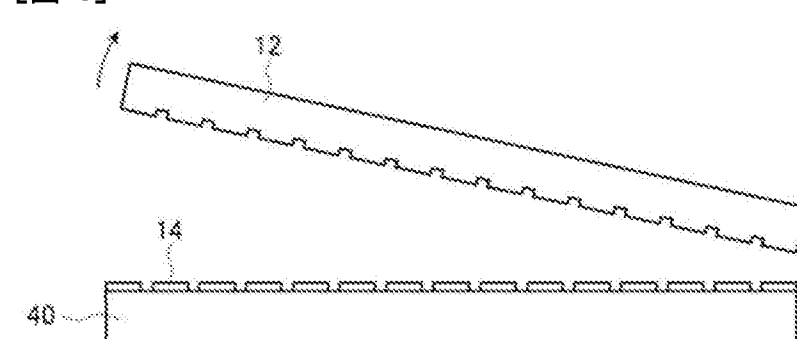
[図24]



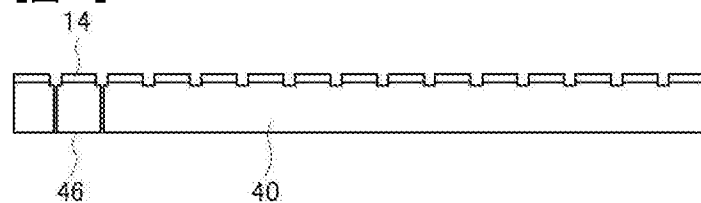
[図25]



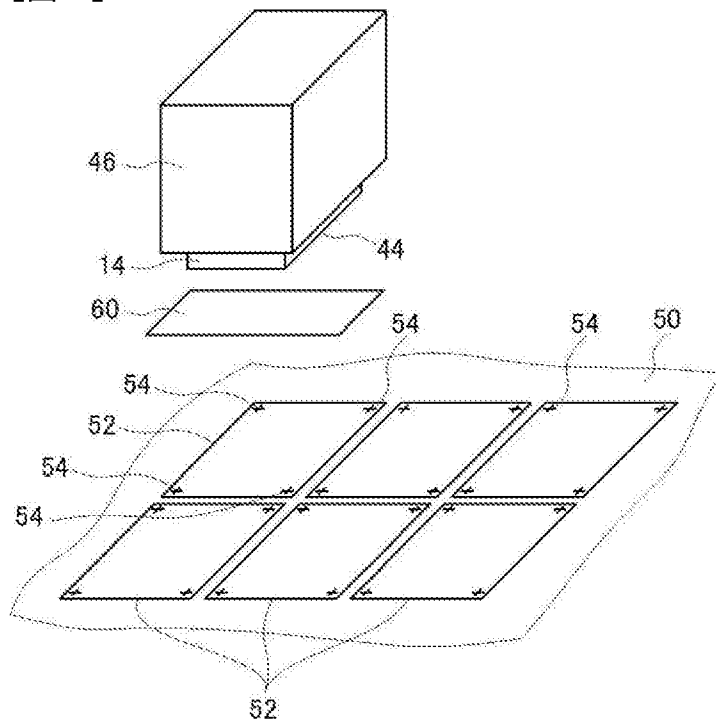
[図26]



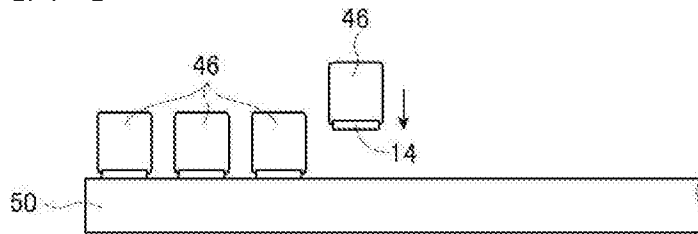
[図27]



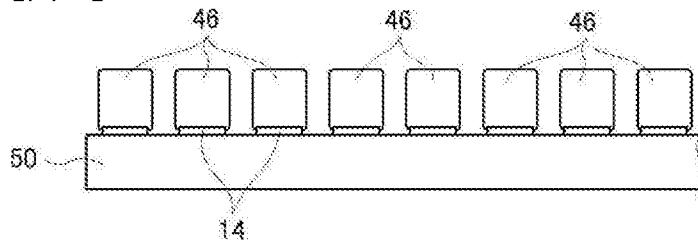
[図28]



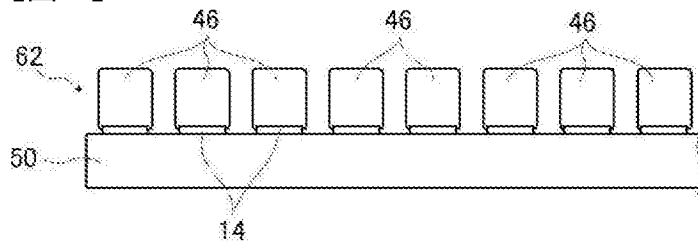
[図29]



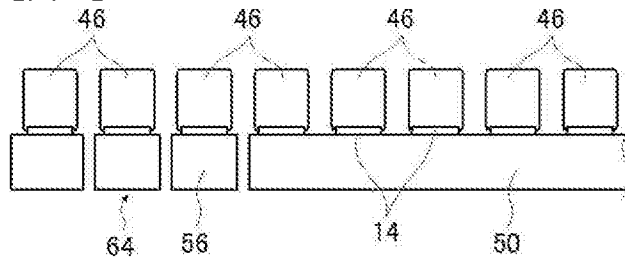
[図30]



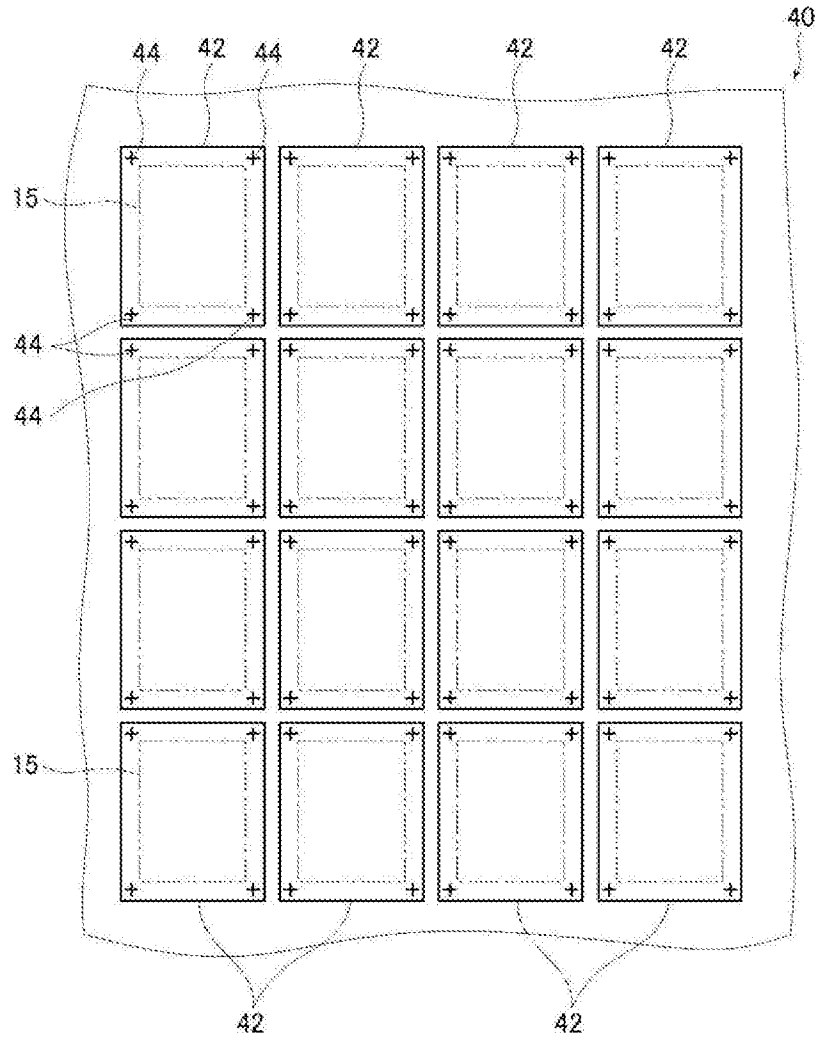
[図31]



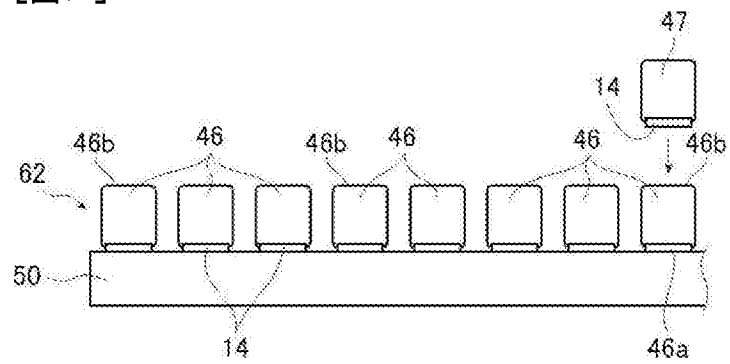
[図32]



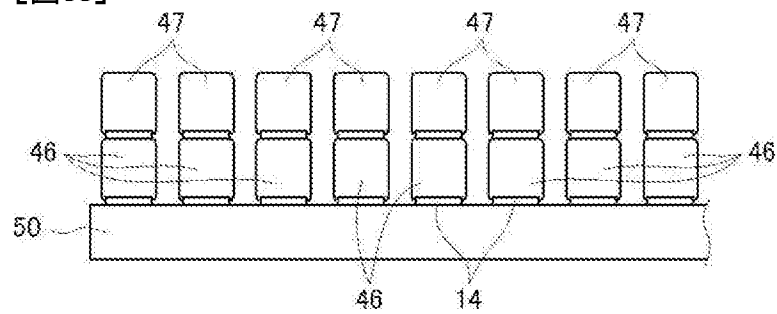
[図33]



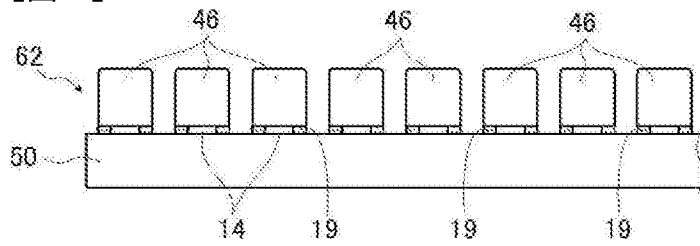
[図34]



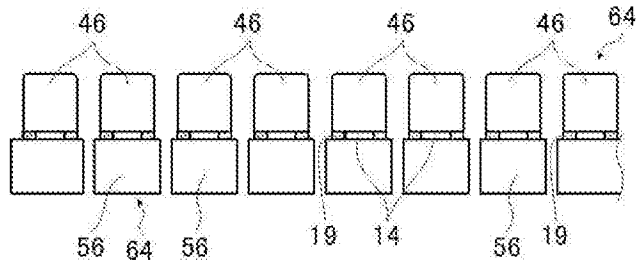
[図35]



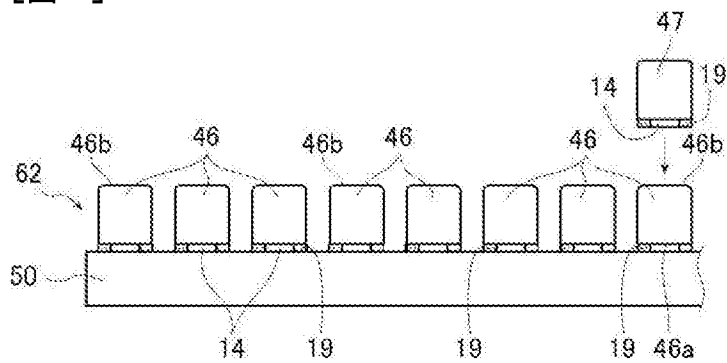
[図42]



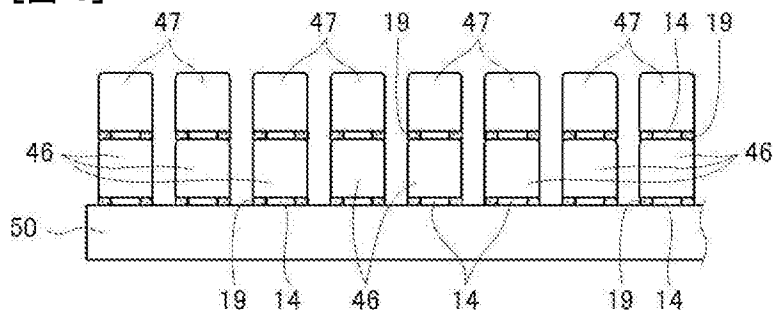
[図43]



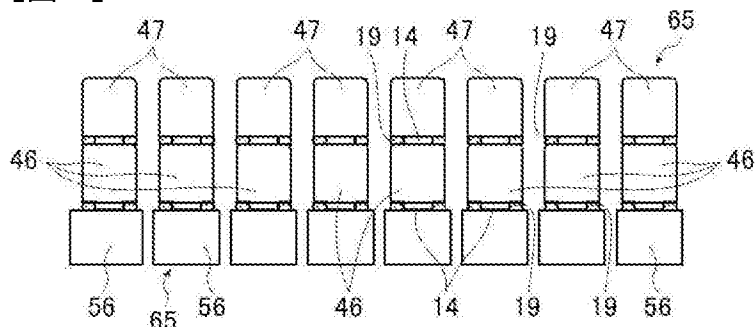
[図44]



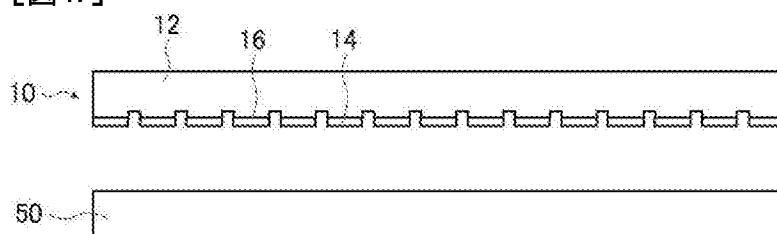
[図45]



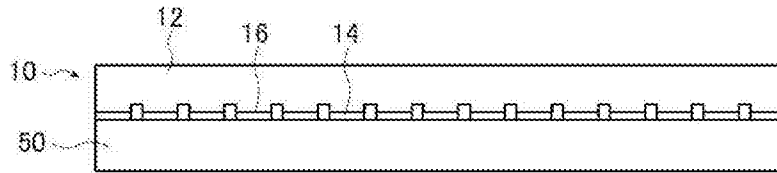
[図46]



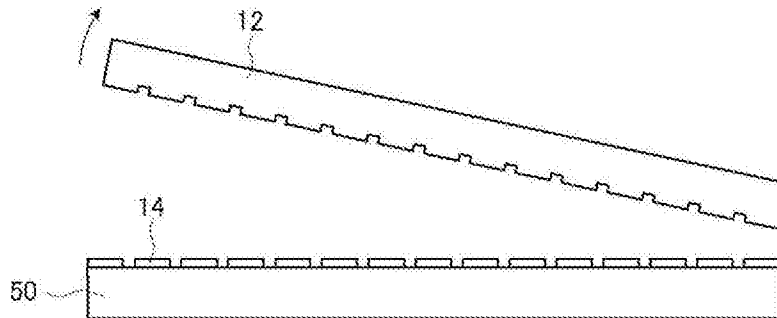
[図47]



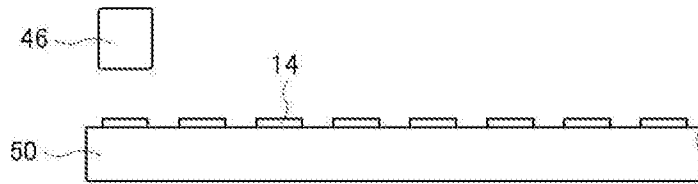
[図48]



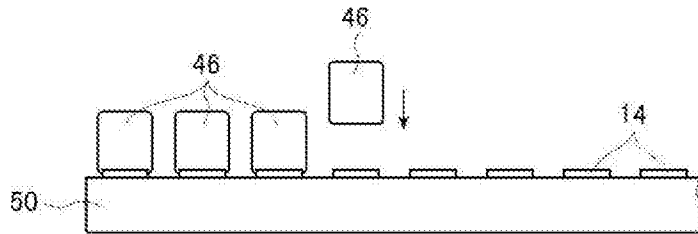
[図49]



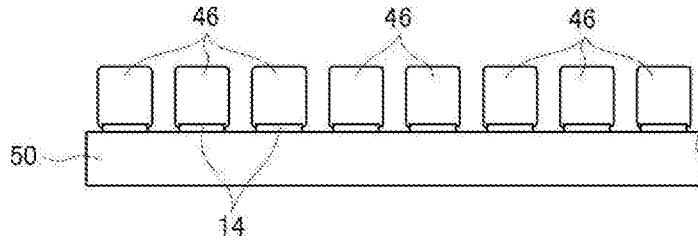
[図50]



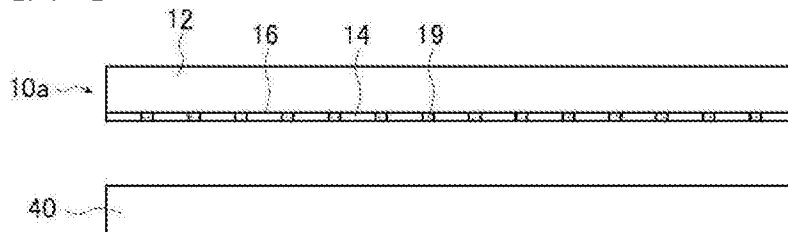
[図51]



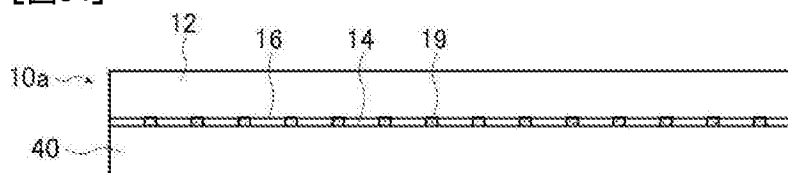
[図52]



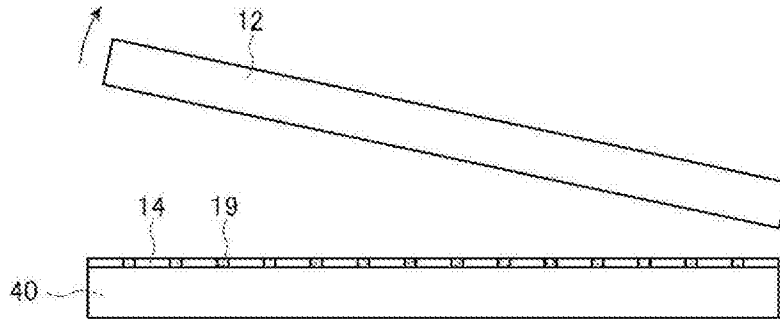
[図53]



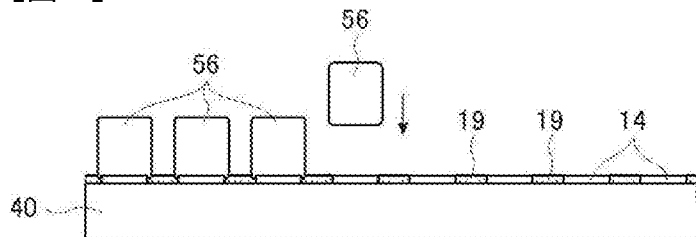
[図54]



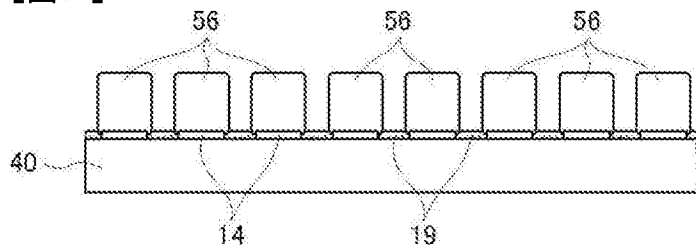
[図55]



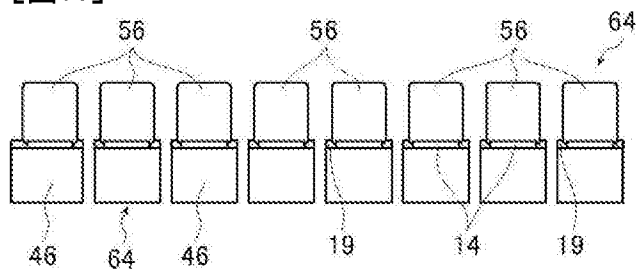
[図56]



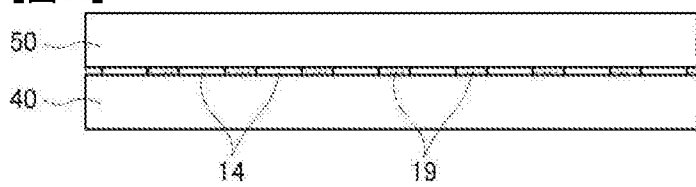
[図57]



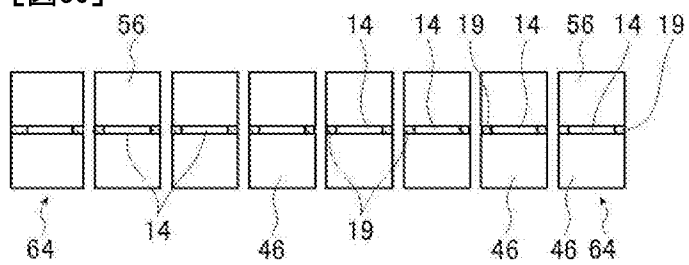
[図58]



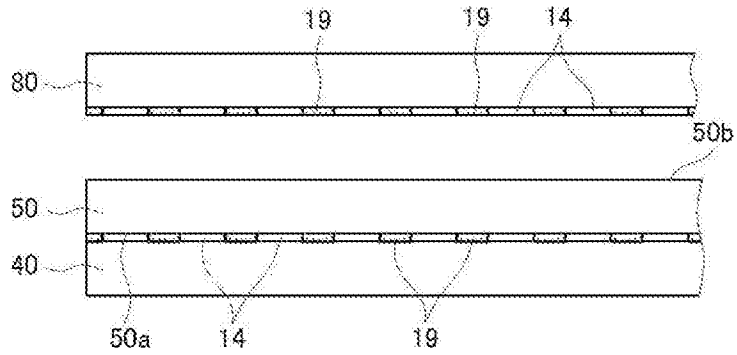
[図59]



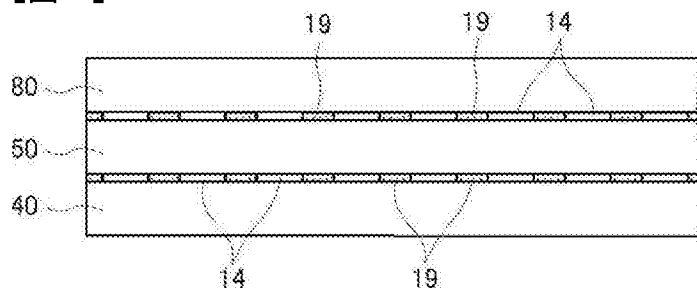
[図60]



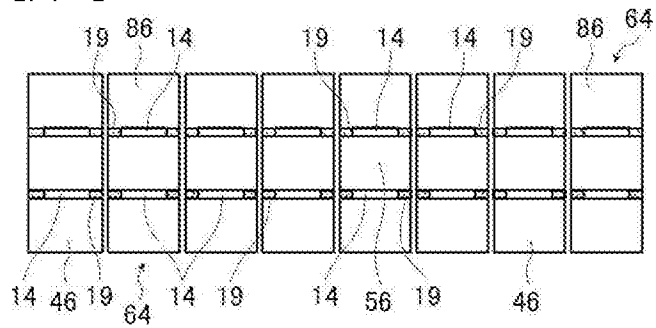
[図61]



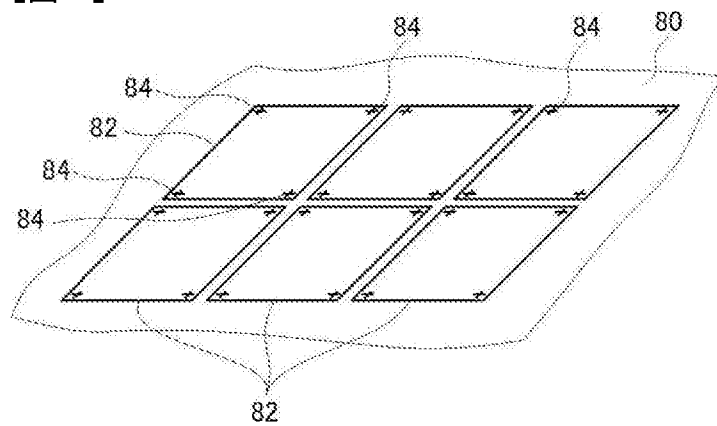
[図62]



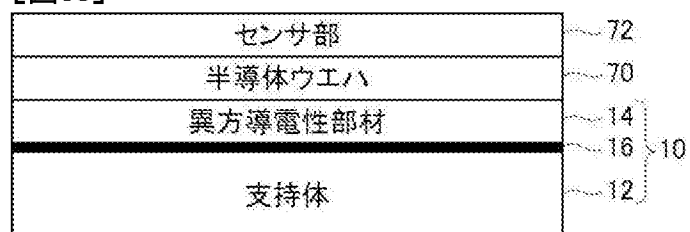
[図63]



[図64]



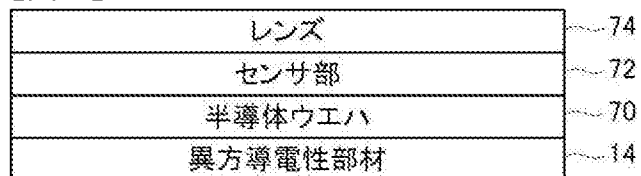
[図65]



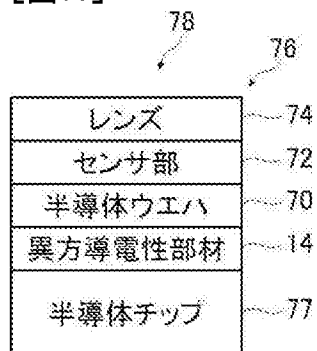
[図66]



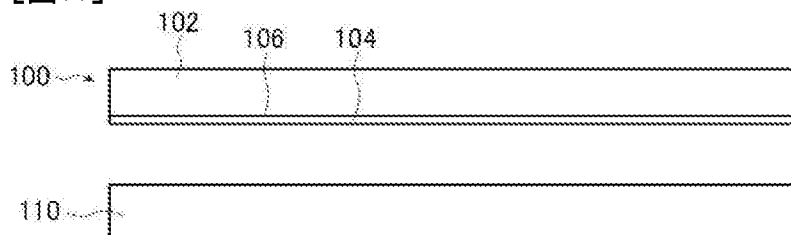
[図67]



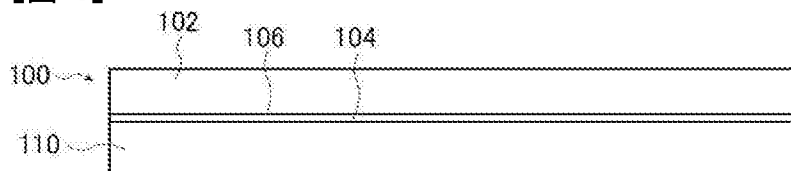
[図68]



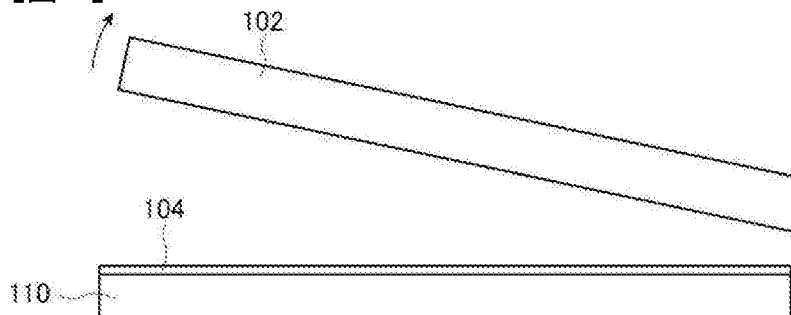
[図69]



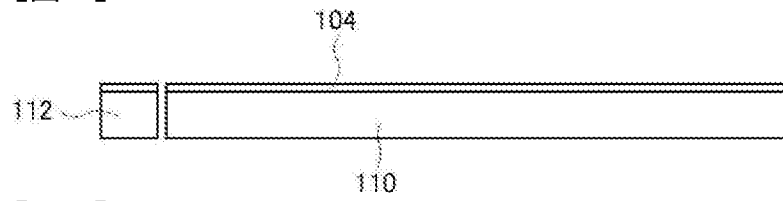
[図70]



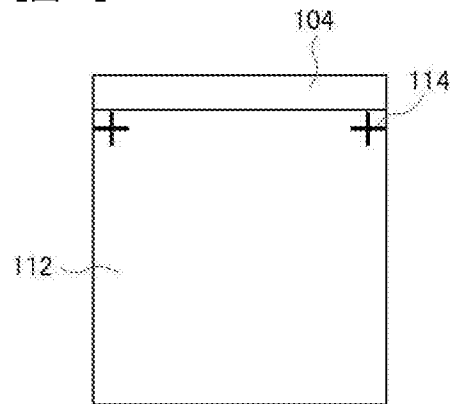
[図71]



[図72]



[図73]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/015232

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01)i, H01R11/01(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60, H01R11/01

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-90865 A (Shinko Electric Industries Co., Ltd.), 06 May 2011 (06.05.2011), paragraphs [0031] to [0035]; fig. 5	1-2, 4, 6-9, 13-14, 18-30, 34-38
A	& US 2011/0095419 A1 paragraphs [0045] to [0049]; fig. 5	3, 5, 10-12, 15-17, 31-33
Y	JP 2012-204285 A (Shin-Etsu Polymer Co., Ltd.), 22 October 2012 (22.10.2012), paragraphs [0012] to [0013], [0031]; fig. 2, 7 (Family: none)	1-2, 4, 6-7, 18
Y	JP 2002-94222 A (Matsushita Electric Industrial Co., Ltd.), 29 March 2002 (29.03.2002), paragraphs [0019] to [0020]; fig. 1 to 2 (Family: none)	1-2, 4, 6-9, 13-14, 18-30, 34-38

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
23 June 2017 (23.06.17)

Date of mailing of the international search report
04 July 2017 (04.07.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/60(2006.01)i, H01R11/01(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/60, H01R11/01

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-90865 A（新光電気工業株式会社）2011.05.06, 段落 0031-0035、図5 & US 2011/0095419 A1、段落 0045-0049、図5	1-2, 4, 6-9, 13-14, 18-30, 34-38
A		3, 5, 10-12, 15-17, 31-33
Y	JP 2012-204285 A（信越ポリマー株式会社）2012.10.22, 段落 0012-0013、段落 0031、図2、図7（ファミリーなし）	1-2, 4, 6-7, 18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

23.06.2017

国際調査報告の発送日

04.07.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀江 義隆

50

9172

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-94222 A (松下電器産業株式会社) 2002. 03. 29, 段落 0019-0020、図 1-2 (ファミリーなし)	1-2, 4, 6-9, 13-14, 18-30, 34-38