

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 1 月 30 日 (2020.1.30)

【公開番号】特開 2019-54091 (P2019-54091A)

【公開日】平成 31 年 4 月 4 日 (2019.4.4)

【年通号数】公開・登録公報 2019-013

【出願番号】特願 2017-176838 (P2017-176838)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/739 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/78 6 5 2 K

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 5 G

H 0 1 L 29/78 6 5 8 F

H 0 1 L 29/78 6 5 2 J

H 0 1 L 29/78 6 5 8 A

【手続補正書】

【提出日】令和 1 年 12 月 6 日 (2019.12.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 導電型の基板と、
 前記基板の上面側に形成された第 1 導電型のキャリアストア層と、
 前記キャリアストア層の上に形成された第 2 導電型のチャネルドープ層と、
 前記チャネルドープ層の上に形成された第 1 導電型のエミッタ層と、
 ゲート絶縁膜を介して、前記エミッタ層、前記チャネルドープ層及び前記キャリアストア層と接するゲート電極と、
 前記基板の下面側に形成された第 2 導電型のコレクタ層と、を備え、
 前記ゲート絶縁膜は、前記エミッタ層と前記チャネルドープ層に接する第 1 部分と、前記キャリアストア層に接する第 2 部分と、前記基板に接する第 3 部分とを有し、
 前記第 2 部分の少なくとも一部は、前記第 1 部分及び前記第 3 部分よりも厚いことを特徴とする半導体装置。

【請求項 2】

前記第 2 部分のうち前記第 1 部分及び前記第 3 部分よりも厚い部分は、前記第 1 部分から離れていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 部分の中央部だけが前記第 1 部分及び前記第 3 部分よりも厚いことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記チャネルドープ層の上に形成された、前記エミッタ層に隣接する第 2 導電型の拡散層を備え、

前記ゲート絶縁膜は、前記拡散層と前記拡散層の下の前記チャネルドープ層とに接する第４部分と、前記拡散層の下の前記キャリアストア層に接する第５部分と、前記拡散層の下の前記基板に接する第６部分とを有し、

前記第５部分の少なくとも一部は、前記第４部分及び前記第６部分よりも厚いことを特徴とする請求項１～３のいずれか１項に記載の半導体装置。

【請求項５】

第１導電型の基板と、

前記基板の上面側に形成された第１導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第２導電型のチャネルドープ層と、

前記チャネルドープ層の上に形成された第１導電型のエミッタ層と、

ゲート絶縁膜を介して、前記エミッタ層、前記チャネルドープ層及び前記キャリアストア層と接するゲート電極と、

アイソレーション絶縁膜を介して、キャリアストア層と前記基板に接する導体層と、

前記ゲート電極の下面を覆うとともに前記導体層の上面を覆うことで前記導体層と前記ゲート電極を電氣的に分離する分離絶縁膜と、

前記基板の下面側に形成された第２導電型のコレクタ層と、を備えたことを特徴とする半導体装置。

【請求項６】

前記分離絶縁膜の高さと、前記キャリアストア層の中間の高さが等しいことを特徴とする請求項５に記載の半導体装置。

【請求項７】

前記導体層は、全体が前記アイソレーション絶縁膜と前記分離絶縁膜によって覆われたことを特徴とする請求項５又は６に記載の半導体装置。

【請求項８】

第１導電型の基板と、

前記基板の上面側に形成された第１導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第２導電型のチャネルドープ層と、

前記チャネルドープ層の上に形成された第１導電型のエミッタ層と、

前記チャネルドープ層の上に形成された、前記エミッタ層に隣接する第２導電型の拡散層と、

前記エミッタ層と、前記エミッタ層の下の前記チャネルドープ層と、前記エミッタ層の下の前記キャリアストア層に接する第１ゲート絶縁膜と、

前記拡散層と、前記拡散層の下の前記チャネルドープ層と、前記拡散層の下の前記キャリアストア層に接し、前記第１ゲート絶縁膜より厚い第２ゲート絶縁膜と、

前記第１ゲート絶縁膜に接するゲート電極と、

前記基板の下面側に形成された第２導電型のコレクタ層と、を備えたことを特徴とする半導体装置。

【請求項９】

平面視で前記拡散層は前記エミッタ層よりも幅が小さいことを特徴とする請求項８に記載の半導体装置。

【請求項１０】

前記ゲート電極は平面視で前記エミッタ層の横にだけ形成されたことを特徴とする請求項８に記載の半導体装置。

【請求項１１】

前記ゲート電極と前記第２ゲート絶縁膜の上に形成されたゲート配線を備えたことを特徴とする請求項１０に記載の半導体装置。

【請求項１２】

前記エミッタ層は、平面視で千鳥状に複数設けられ、

前記拡散層は、平面視で千鳥状に複数設けられたことを特徴とする請求項８に記載の半導体装置。

【請求項 1 3】

第 1 導電型の基板と、
前記基板の上面側に形成された第 1 導電型のキャリアスタア層と、
前記キャリアスタア層の上に形成された第 2 導電型のチャネルドープ層と、
前記チャネルドープ層の上に形成された第 1 導電型のエミッタ層と、
ゲート絶縁膜を介して、前記エミッタ層、前記チャネルドープ層及び前記キャリアスタア層と接するゲート電極と、
前記基板の下面側に形成された第 2 導電型のコレクタ層と、を備え、
前記ゲート電極は、前記基板の上面側の第 1 ゲート電極と、前記第 1 ゲート電極の下面に接し、前記第 1 ゲート電極よりも不純物濃度が小さい第 2 ゲート電極とを有し、
前記第 1 ゲート電極と前記第 2 ゲート電極の境界は、前記キャリアスタア層の横にあることを特徴とする半導体装置。

【請求項 1 4】

前記第 1 ゲート電極と前記第 2 ゲート電極はドーパドポリシリコンであることを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 5】

第 1 導電型の基板の上に第 1 導電型のキャリアスタア層を形成し、前記キャリアスタア層の上に第 2 導電型のチャネルドープ層を形成し、前記チャネルドープ層の上に第 1 導電型のエミッタ層を形成することと、
前記キャリアスタア層の側壁部分にイオン注入することと、
前記キャリアスタア層の側壁部分と、前記チャネルドープ層の側壁部分と、前記エミッタ層の側壁部分と、前記基板にゲート絶縁膜を形成することと、
前記ゲート絶縁膜に接するゲート電極を形成することと、を備える半導体装置の製造方法。

【請求項 1 6】

第 1 導電型の基板の上に第 1 導電型のキャリアスタア層を形成し、前記キャリアスタア層の上に第 2 導電型のチャネルドープ層を形成し、前記チャネルドープ層の上に第 1 導電型のエミッタ層を形成することと、
前記エミッタ層と前記チャネルドープ層と前記キャリアスタア層に前記基板が露出する溝を形成し、前記溝に露出した部分にアイソレーション絶縁膜を形成し、前記溝を導体層で埋め込むことと、
前記導体層と前記アイソレーション絶縁膜の一部を除去して、前記エミッタ層の側面と、前記チャネルドープ層の側面と、前記キャリアスタア層の側面の一部とを露出させることと、
前記導体層の上面に分離絶縁膜を形成し、前記エミッタ層の側面と、前記チャネルドープ層の側面と、前記キャリアスタア層の側面の一部にゲート絶縁膜を形成し、前記溝をゲート電極で埋め込むことと、を備える半導体装置の製造方法。

【請求項 1 7】

第 1 導電型の基板の上に第 1 導電型のキャリアスタア層を形成し、前記キャリアスタア層の上に第 2 導電型のチャネルドープ層を形成し、前記チャネルドープ層の上の一部に第 1 導電型のエミッタ層を形成することと、
平面視で前記エミッタ層が形成された部分に、側面が平面視で直線となり、前記基板が露出する溝を形成し、平面視で前記エミッタ層が形成されていない部分に、側面が平面視で蛇腹となり、前記基板が露出する溝を形成することと、
前記エミッタ層、前記チャネルドープ層及び前記キャリアスタア層の側面と、前記溝に露出した前記基板とを熱酸化してゲート絶縁膜を形成することと、
前記ゲート絶縁膜に接するゲート電極を形成することと、を備える半導体装置の製造方法。

【請求項 1 8】

第 1 導電型の基板の上に第 1 導電型のキャリアスタア層を形成し、前記キャリアスタア

層の上に第 2 導電型のチャネルドープ層を形成し、前記チャネルドープ層の上の一部に第 1 導電型のエミッタ層を形成することと、

平面視で前記エミッタ層が形成された部分と、平面視で前記エミッタ層が形成されていない部分の一部をエッチングして前記基板を露出させる第 1 溝を形成することと、

前記第 1 溝をゲート絶縁膜で埋め込むことと、

平面視で前記エミッタ層が形成された部分の前記ゲート絶縁膜の一部を、前記エミッタ層と前記チャネルドープ層と前記キャリアストア層と前記基板を露出させないように、エッチングすることで前記ゲート絶縁膜に第 2 溝を形成することと、

前記第 2 溝をゲート電極で埋め込むことと、

平面視で前記エミッタ層が形成されていない部分の前記ゲート絶縁膜の上と、前記ゲート電極の上に、ゲート配線を形成することと、を備える半導体装置の製造方法。

【請求項 19】

請求項 1 ～ 14 のいずれか 1 項に記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記半導体装置を駆動する駆動信号を前記半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、を備えた電力変換装置。