(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0137428
(43) 공개일자 2015년12월09일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2014-0065279
(22) 출원일자 2014년05월29일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
강동균
경기도 수원시 영통구 웰빙타운로 19, 8204동 403호
(74) 대리인
특허법인신성

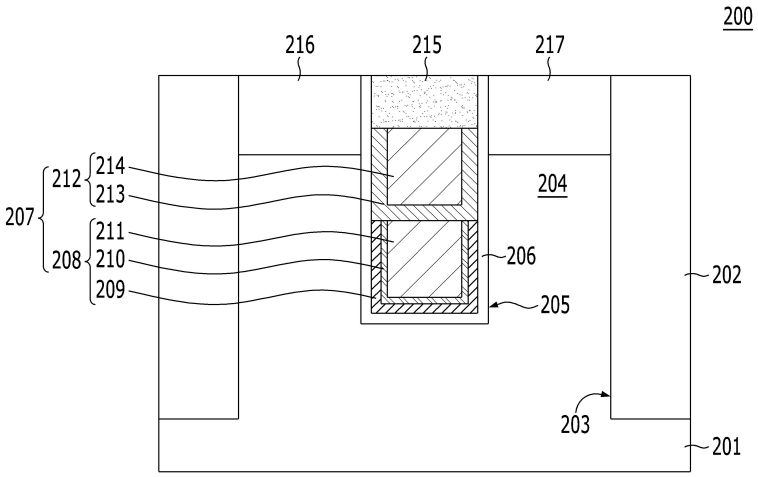
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **듀얼일함수 매립게이트형 트랜지스터 및 그 제조 방법, 그를 구비한 전자장치**

(57) 요 약

본 기술은 게이트유도드레인누설 전류 및 전류 구동 능력을 개선하기 위한 매립게이트형 트랜지스터 및 그 제조 방법에 관한 것으로, 본 기술에 따른 트랜지스터는, 기판 내에 서로 이격되어 형성된 소스영역과 드레인영역, 상기 소스영역과 드레인영역 사이의 상기 기판 내에 형성된 트렌치 및 상기 트렌치 내의 매립게이트전극을 포함하는 트랜지스터에 있어서, 상기 매립게이트전극은, 알루미늄이 함유된 티타늄질화물을 포함하는 고일함수 배리어층과 상기 고일함수 배리어층 상의 제1저저항층을 포함하는 하부 매립부; 및 상기 하부 매립부 상에 위치하며 상기 소스영역 및 드레인영역과 오버랩되는 저일함수 배리어층과 상기 저일함수 배리어층 상의 제2저저항층을 포함하는 상부 매립부를 포함할 수 있다.

대 표 도 - 도2a



명 세 서

청구범위

청구항 1

기판 내에 서로 이격되어 형성된 소스영역과 드레인영역, 상기 소스영역과 드레인영역 사이의 상기 기판 내에 형성된 트렌치 및 상기 트렌치 내의 매립게이트전극을 포함하는 트랜지스터에 있어서,

상기 매립게이트전극은,

알루미늄이 함유된 티타늄질화물을 포함하는 고일함수 배리어층과 상기 고일함수 배리어층 상의 제1저저항층을 포함하는 하부 매립부; 및

상기 하부 매립부 상에 위치하며 상기 소스영역 및 드레인영역과 오버랩되는 저일함수 배리어층과 상기 저일함수 배리어층 상의 제2저저항층을 포함하는 상부 매립부

를 포함하는 트랜지스터.

청구항 2

제1항에 있어서,

상기 고일함수 배리어층은 티타늄알루미늄질화물(TiAlN)을 포함하는 트랜지스터.

청구항 3

제1항에 있어서,

상기 저일함수 배리어층은 무불소텅스텐(FFW)을 포함하는 트랜지스터.

청구항 4

제1항에 있어서,

상기 저일함수 배리어층은 티타늄탄화물(TiC), 티타늄알루미늄탄화물(TiAlC) 또는 티타늄알루미늄(TiAl)을 포함하는 트랜지스터.

청구항 5

제1항에 있어서,

상기 제1저저항층 및 제2저저항층은 각각 상기 제1배리어층 및 제2배리어층보다 비저항이 낮은 금속함유물질을 포함하는 트랜지스터.

청구항 6

제1항에 있어서,

상기 제1저저항층 및 제2저저항층은 텅스텐을 포함하는 트랜지스터.

청구항 7

제1항에 있어서,

상기 하부 매립부는, 상기 고일함수 배리어층과 제1저저항층 사이의 배리어강화층을 더 포함하는 트랜지스터.

청구항 8

제7항에 있어서,

상기 배리어강화층은 티타늄질화물(TiN)을 포함하고, 상기 고일함수 배리어층은 티타늄알루미늄질화물(TiAlN)을 포함하는 트랜지스터.

청구항 9

핀영역을 포함하는 활성영역;

상기 핀영역의 상부면 및 측벽이 노출되도록 리세스된 소자분리층;

상기 활성영역 내에 서로 이격되어 형성된 소스영역과 드레인영역;

상기 소스영역과 드레인영역 사이의 상기 활성영역 내에 형성되며 상기 소자분리층 내로 확장된 트렌치; 및

상기 핀영역을 커버링하고 상기 트렌치 내에 위치하는 매립게이트전극을 포함하고,

상기 매립게이트전극은,

알루미늄이 함유된 티타늄질화물을 포함하는 고일함수 배리어층과 제1저저항층을 포함하는 하부 매립부; 및

상기 하부 매립부 상에 위치하며 상기 소스영역 및 드레인영역과 오버랩되는 저일함수 배리어층 및 상기 저일함수 배리어층 상의 제2저저항층을 포함하는 상부매립부

을 포함하는 트랜지스터.

청구항 10

제9항에 있어서,

상기 고일함수 배리어층과 제1저저항층 사이의 배리어강화층을 더 포함하는 트랜지스터.

청구항 11

제10항에 있어서,

상기 고일함수 배리어층은 티타늄알루미늄질화물(TiAlN)을 포함하고, 상기 배리어강화층은 티타늄질화물(TiN)을 포함하는 트랜지스터.

청구항 12

제9항에 있어서,

상기 저일함수 배리어층은 무불소텅스텐을 포함하는 트랜지스터.

청구항 13

제9항에 있어서,

상기 저일함수 배리어층은 티타늄탄화물, 티타늄알루미늄 또는 티타늄알루미늄탄화물를 포함하는 트랜지스터.

청구항 14

제9항에 있어서,

상기 제1저저항층 및 제2저저항층은 텅스텐을 포함하는 트랜지스터.

청구항 15

기판에 활성영역을 정의하는 소자분리층을 형성하는 단계;

상기 활성영역과 소자분리층을 가로지르는 트렌치를 형성하는 단계;

상기 트렌치의 바닥 및 측벽 상에 위치하는 고일함수 배리어층을 포함하여 상기 트렌치를 부분적으로 채우는 하부 매립게이트전극을 형성하는 단계;

저일함수 배리어층을 포함하여 상기 하부 매립게이트전극 상의 트렌치를 부분적으로 채우는 상부 매립게이트전극을 형성하는 단계;

상기 상부 매립게이트전극 상에 캡핑층을 형성하는 단계; 및

상기 기판 내에 상기 트렌치에 의해 서로 이격되며 상기 저일함수 배리어층과 오버랩되는 깊이를 갖는 소스영역과 드레인영역을 형성하는 단계

를 포함하는 트랜지스터 제조 방법.

청구항 16

제15항에 있어서,

상기 트렌치를 형성하는 단계 이후에,

상기 소자분리층을 리세스시켜 핀영역을 형성하는 단계

를 더 포함하는 트랜지스터 제조 방법.

청구항 17

제15항에 있어서,

상기 고일함수 배리어층은 티타늄알루미늄질화물로 형성하는 트랜지스터 제조 방법.

청구항 18

제15항에 있어서,

상기 저일함수 배리어층은 무불소텅스텐, 티타늄탄화물, 티타늄알루미늄 또는 티타늄알루미늄탄화물 중에서 선택된 어느 하나를 포함하는 트랜지스터 제조 방법.

청구항 19

제15항에 있어서,

상기 하부 매립게이트전극을 형성하는 단계는,

상기 고일함수 배리어층으로서 티타늄알루미늄질화물을 형성하는 단계;

상기 티타늄알루미늄질화물 상에 티타늄질화물을 형성하는 단계;

상기 티타늄질화물 상에 상기 트렌치를 채우는 텅스텐층을 형성하는 단계; 및

상기 티타늄알루미늄질화물, 티타늄질화물 및 텅스텐층을 리세싱하는 단계

를 포함하는 트랜지스터 제조 방법.

청구항 20

제15항에 있어서,

상기 상부 매립게이트전극을 형성하는 단계는,

상기 하부 매립게이트전극을 포함한 전면에 상기 저일함수 배리어층으로서 무불소텅스텐층을 형성하는 단계;

상기 무불소텅스텐층 상에 상기 트렌치를 채우는 텅스텐층을 형성하는 단계; 및

상기 무불소텅스텐층 및 텅스텐층을 리세싱하는 단계

를 포함하는 트랜지스터 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 트랜지스터에 관한 것으로서, 상세하게는 듀얼일함수 매립게이트형 트랜지스터 및 그 제조 방법, 그를 구비한 전자장치에 관한 것이다.

배 경 기 술

[0002] 트랜지스터의 게이트전극으로서 금속게이트전극(Metal gate electrode)을 적용하고 있다. 저저항의 금속게이트전극에 의해 게이트저항을 감소시킬 수 있다. 또한, 금속게이트전극이 고일함수(High work function)를 갖기 때문에 채널 도즈(Channel dose)를 감소시킬 수 있다. 이에 따라, 누설전류를 감소시켜 트랜지스터의 성능을 개선시킬 수 있다.

[0003] 그러나, 고일함수로 인하여 금속게이트전극과 불순물영역(즉, 소스영역/드레인영역)이 오버랩된 부분에서 게이트유도드레인누설(Gate Induced Drain Leakage; GIDL)이 증가하는 문제가 있다. 특히, 매립게이트형 트랜지스터(Buried gate type transistor)에서는 매립금속게이트전극(Buried Metal gate electrode)과 소스/드레인영역(Source/drain region)간의 오버랩(Overlap) 면적이 크므로 게이트유도드레인누설(GIDL)을 감소시키기 어렵다.

발명의 내용

해결하려는 과제

[0004] 본 실시예는 게이트유도드레인누설 전류 및 전류 구동 능력을 개선하기 위한 매립게이트형 트랜지스터 및 그 제조 방법에 관한 것이다.

과제의 해결 수단

[0005] 본 실시예에 따른 트랜지스터는 기판 내에 서로 이격되어 형성된 소스영역과 드레인영역, 상기 소스영역과 드레인영역 사이의 상기 기판 내에 형성된 트렌치 및 상기 트렌치 내의 매립게이트전극을 포함하는 트랜지스터에 있어서, 상기 매립게이트전극은, 알루미늄이 함유된 티타늄질화물을 포함하는 고일함수 배리어층과 상기 고일함수 배리어층 상의 제1저저항층을 포함하는 하부 매립부; 및 상기 하부 매립부 상에 위치하며 상기 소스영역 및 드레인영역과 오버랩되는 저일함수 배리어층과 상기 저일함수 배리어층 상의 제2저저항층을 포함하는 상부 매립부를 포함할 수 있다. 상기 고일함수 배리어층은 티타늄알루미늄질화물(TiAlN)을 포함할 수 있다. 상기 저일함수 배리어층은 무불소텅스텐(FFW), 티타늄탄화물(TiC), 티타늄알루미늄탄화물(TiAlC) 또는 티타늄알루미늄(TiAl)을 포함할 수 있다.

[0006] 본 실시예에 따른 트랜지스터는 핀영역을 포함하는 활성영역; 상기 핀영역의 상부면 및 측벽이 노출되도록 리세스된 소자분리층; 상기 활성영역 내에 서로 이격되어 형성된 소스영역과 드레인영역; 상기 소스영역과 드레인영

역 사이의 상기 활성영역 내에 형성되며 상기 소자분리층 내로 확장된 트렌치; 및 상기 핀영역을 커버링하고 상기 트렌치 내에 위치하는 매립게이트전극을 포함하고, 상기 매립게이트전극은, 알루미늄이 함유된 티타늄질화물을 포함하는 고일함수 배리어층과 제1저저항층을 포함하는 하부 매립부; 및 상기 하부 매립부 상에 위치하며 상기 소스영역 및 드레인영역과 오버랩되는 저일함수 배리어층 및 상기 저일함수 배리어층 상의 제2저저항층을 포함하는 상부매립부를 포함할 수 있다.

[0007] 본 실시예에 따른 트랜지스터 제조 방법은 기판에 활성영역을 정의하는 소자분리층을 형성하는 단계; 상기 활성영역과 소자분리층을 가로지르는 트렌치를 형성하는 단계; 상기 트렌치의 바닥 및 측벽 상에 위치하는 고일함수 배리어층을 포함하여 상기 트렌치를 부분적으로 채우는 하부 매립게이트전극을 형성하는 단계; 저일함수 배리어층을 포함하여 상기 하부 매립게이트전극 상의 트렌치를 부분적으로 채우는 상부 매립게이트전극을 형성하는 단계; 상기 상부 매립게이트전극 상에 캡핑층을 형성하는 단계; 및 상기 기판 내에 상기 트렌치에 의해 서로 이격되며 상기 저일함수 배리어층과 오버랩되는 깊이를 갖는 소스영역과 드레인영역을 형성하는 단계를 포함할 수 있다.

발명의 효과

[0008] 본 기술은 매립게이트전극과 소스영역/드레인영역 사이에 저일함수 배리어층을 형성하므로써 전류구동능력을 개선하고 게이트유도드레인누설을 감소시킬 수 있다.

[0009] 본 기술은 매립게이트전극의 하부 매립부가 알루미늄이 함유된 고일함수층을 포함하도록 형성하므로써, 고일함수층에 의해 채널 도즈를 감소시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 실시예들에 따른 트랜지스터를 도시한 평면도이다.

도 2a 및 도 2b는 제1실시예에 따른 트랜지스터를 도시한 도면이다.

도 3a 및 도 3b는 제2실시예에 따른 트랜지스터를 도시한 도면이다.

도 4a 내지 도 4g는 제1실시예에 따른 트랜지스터를 제조하는 방법의 일예를 설명하기 위한 도면이다.

도 5a 내지 도 5e는 제2실시예에 따른 트랜지스터를 제조하는 방법의 일예를 설명하기 위한 도면이다.

도 6a은 제1배리어층으로 사용된 물질들의 일함수를 비교한 도면이다.

도 6b는 제1배리어층으로 사용된 물질들의 누설전류를 비교한 도면이다.

도 7a는 제2배리어층으로 사용된 물질들의 일함수를 비교한 도면이다.

도 7b는 제2배리어층으로 사용된 물질들의 누설전류를 비교한 도면이다.

도 8은 본 실시예들에 따른 트랜지스터를 포함하는 반도체장치의 일예를 도시한 도면이다.

도 9는 본 실시예들에 따른 트랜지스터를 포함하는 반도체장치의 다른 예를 도시한 평면도이다.

도 10은 도 9의 A-A'선에 따른 단면도이다.

도 11a 내지 도 11c는 본 실시예들에 따른 트랜지스터를 포함하는 집적회로의 다양한 적용예를 도시한 도면이다.

도 12는 본 실시예들에 따른 트랜지스터를 포함하는 전자장치를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0012] 도 1은 본 실시예들에 따른 트랜지스터를 도시한 평면도이다.

[0013] 도 1을 참조하면, 트랜지스터(100)는 매립게이트전극(105), 제1불순물영역(106) 및 제2불순물영역(107)을 포함한다. 기판(101)에 소자분리층(102) 및 활성영역(103)이 형성된다. 활성영역(103)과 소자분리층(102)을 가로지

르는 트렌치(104)가 형성된다. 트렌치(104) 내에 매립게이트전극(105)이 형성된다. 트렌치(104)에 의해 제1불순물영역(106)과 제2불순물영역(107)이 이격된다. 트렌치(104)는 제1트렌치(104A)와 제2트렌치(104B)를 포함한다. 제1트렌치(104A)는 활성영역(103) 내에 형성된다. 제2트렌치(104B)는 소자분리층(102) 내에 형성된다. 제1트렌치(104A)로부터 제2트렌치(104B)로 연속적으로 확장될 수 있다.

[0014] 도 2a 및 도 2b는 제1실시예에 따른 트랜지스터를 도시한 도면이다. 도 2a는 도 1의 A-A'선에 따른 제1실시예의 트랜지스터를 도시한 단면도이다. 도 2b는 도 1의 B-B'선에 따른 제1실시예의 트랜지스터를 도시한 단면도이다.

[0015] 트랜지스터(200)는 기판(201)에 형성된다. 기판(201)은 반도체 기판을 포함한다. 기판(201)은 실리콘 기판 또는 SOI(Silicon On Insulator) 기판을 포함할 수 있다. 기판(201)에 소자분리층(202)이 형성된다. 소자분리층(202)은 분리트렌치(203) 내에 채워진다. 소자분리층(202)에 의해 기판(201)에 활성영역(204)이 정의된다. 활성영역(204)은 섬형태(island type)가 될 수 있다.

[0016] 기판(201) 내에 일정 깊이를 갖는 트렌치(205)가 형성된다. 트렌치(205)는 어느 한 방향으로 연장된 라인 형태(line type)가 될 수 있다. 트렌치(205)는 활성영역(204)과 소자분리층(202)을 가로지르는 형태이다. 트렌치(205)는 분리트렌치(203)보다 더 얕은 깊이를 가질 수 있다. 트렌치(205)는 제1트렌치(205A)와 제2트렌치(205B)를 포함한다. 제1트렌치(205A)는 활성영역(204) 내에 형성된다. 제2트렌치(205B)는 소자분리층(202) 내에 형성된다. 제1트렌치(205A)로부터 제2트렌치(205B)로 연속적으로 확장될 수 있다. 제1트렌치(205A)의 바닥면과 제2트렌치(205B)의 바닥면은 동일 레벨에 위치할 수 있다.

[0017] 활성영역(204) 내에 제1불순물영역(216)과 제2불순물영역(217)이 형성된다. 제1불순물영역(216)과 제2불순물영역(217)은 도전형 불순물(conductive impurity)이 도핑된 영역이다. 예컨대, 도전형 불순물은 인(P), 비소(As), 안티몬(Sb) 또는 붕소(B)를 포함할 수 있다. 제1불순물영역(216)과 제2불순물영역(217)은 동일 도전형의 불순물로 도핑된다. 트렌치(205) 양측의 활성영역(204) 내에 제1불순물영역(216)과 제2불순물영역(217)이 위치한다. 제1불순물영역(216)과 제2불순물영역(217)은 각각 소스영역과 드레인영역에 대응한다. 제1불순물영역(216)과 제2불순물영역(217)의 하부면은 활성영역(204)의 상부 표면(top surface)으로부터 소정의 깊이에 위치할 수 있다. 제1불순물영역(216)과 제2불순물영역(217)은 트렌치(205)의 측벽에 접할 수 있다. 제1불순물영역(216)과 제2불순물영역(217)의 하부면은 트렌치(205)의 바닥면보다 높을 수 있다.

[0018] 트렌치(205)의 바닥면 및 측벽 상에 게이트절연층(206)이 형성된다. 게이트절연층(206)은 실리콘산화물(Silicon oxide), 실리콘질화물(Silicon nitride), 실리콘산질화물(Silicon oxynitride), 고유전물질(High-k material) 또는 이들의 조합을 포함할 수 있다. 고유전 물질은 실리콘산화물과 실리콘질화물의 유전상수에 비하여 높은 유전상수(high-k)를 갖는 물질일 수 있다.

[0019] 트렌치(205) 내에 매립게이트전극(Buried gate electrode, 207)이 형성된다. 매립게이트전극(207)은 하부 매립부(Lower buried portion, 208)와 상부 매립부(Upper buried portion, 212)를 포함한다.

[0020] 하부 매립부(208)는 제1배리어층(209) 및 제1저저항층(211)을 포함한다. 제1저저항층(211)은 트렌치(205)에 부분적으로 채워진다. 제1저저항층(211)과 게이트절연층(206) 사이에 제1배리어층(209)이 위치한다. 제1배리어층(209)과 제1저저항층(211) 사이에 배리어강화층(210)이 위치할 수 있다. 제1배리어층(209)은 제1저저항층(211)의 확산을 방지한다. 배리어강화층(210)은 제1저저항층(211)의 확산을 더욱 방지하며, 제1배리어층(209)과 제1저저항층(211)간의 반응을 방지한다. 제1배리어층(209), 배리어강화층(210) 및 제1저저항층(211)의 상부 표면 높이는 동일할 수 있다.

[0021] 상부 매립부(212)는 제2배리어층(213) 및 제2저저항층(214)을 포함한다. 제2저저항층(214)은 하부 매립부(208) 상에서 트렌치(205)에 부분적으로 채워진다. 제2배리어층(213)은 제2저저항층(214)과 제1저저항층(211) 사이에 위치한다. 아울러, 제2배리어층(213)의 일부는 제2저저항층(214)과 게이트절연층(206) 사이에 위치하도록 연장된다. 제2배리어층(213)과 제2저저항층(214)의 상부 표면 높이는 동일할 수 있다.

[0022] 상부 매립부(212)의 상부에 캡핑층(215)이 채워진다. 캡핑층(215)은 매립게이트전극(207)을 보호하는 역할을 한다. 캡핑층(215)은 절연물질을 포함한다. 캡핑층(214)은 실리콘질화물(Silicon nitride)을 포함할 수 있다.

[0023] 매립게이트전극(207)에 대해 자세히 살펴보면 다음과 같다.

[0024] 제1배리어층(209)과 제2배리어층(213)은 서로 다른 일함수 물질로 형성된다. 제1배리어층(209)은 제2배리어층(213)보다 일함수가 높다. 제1배리어층(209)은 고일함수물질(High workfunction material)을 포함한다. 제2배리어층(213)은 저일함수물질(Low workfunction material)을 포함한다. 고일함수 물질은 실리콘의 미드갭일함수

(Mid-gap Work Function)보다 높은 일함수를 갖는 물질이다. 저일함수 물질은 실리콘의 미드갭일함수보다 낮은 일함수를 갖는 물질이다. 부연하면, 고일함수 물질은 4.5eV보다 높은 일함수를 갖고, 저일함수 물질은 4.5eV보다 낮은 일함수를 가질 수 있다. 제1배리어층(209)과 제2배리어층(213)은 서로 다른 일함수를 갖는 금속함유물질을 포함한다. 제1배리어층(209)은 고일함수 금속함유물질을 포함하고, 제2배리어층(213)은 저일함수 금속함유물질을 포함할 수 있다. 제1배리어층(209)은 금속질화물(Metal nitride)을 포함하고, 제2배리어층(213)은 금속(Metal), 금속화합물(metal compound) 또는 금속탄화물(metal carbide)을 포함할 수 있다. 제1배리어층(209)은 고일함수를 갖기 위해 일함수조정종(work function adjustment species)이 함유될 수 있다. 일함수조정종은 알루미늄(Al)을 포함할 수 있다. 따라서, 제1배리어층(209)은 알루미늄이 함유된 금속질화물을 포함할 수 있다. 알루미늄이 미함유된 금속질화물보다 알루미늄이 함유된 금속질화물의 일함수가 더 높다. 본 실시예에서, 제1배리어층(209)은 알루미늄이 함유된 티타늄질화물(Al containing Titanium nitride)을 포함할 수 있다. 알루미늄이 함유된 티타늄질화물은 '티타늄알루미늄질화물(Titanium aluminum nitride, TiAlN)' 또는 '알루미늄 도프드 티타늄질화물(Aluminum doped titanium nitride, Al doped TiN)'이라고 지칭될 수 있다. 알루미늄 도프드 티타늄질화물(Al doped TiN)을 형성하기 위한 방법으로서, 티타늄질화물(TiN)을 증착한 후 알루미늄 임플란트(Al implant) 등의 도핑(doping)을 실시할 수 있다. 티타늄알루미늄질화물(TiAlN)의 형성 방법으로는, 티타늄질화물(TiN) 증착이 수행되는 증착공정 중에 알루미늄함유물질을 첨가하여 인시튜(in-situ)로 도핑시킬 수도 있다. 예컨대, 화학기상증착(CVD)에 의해 티타늄질화물(TiN)을 증착할 때, 티타늄소스물질, 질소함유물질 및 알루미늄소스물질을 동시에 흘려준다.

[0025] 제1배리어층(209)에 의해 문턱전압(Threshold voltage, Vt)이 조절된다. 예컨대, 제1배리어층(209)의 고일함수에 의해 문턱전압을 상승시키고, 이로써 채널 도즈(channel dose)를 낮출 수 있다. 결국, 누설전류 및 리프레시 특성이 개선된다.

[0026] 제2배리어층(213)은 저일함수를 갖는다. 제2배리어층(213)은 불소가 미함유된 텅스텐(이를 '무불소텅스텐(Fluorine free tungsten, FFW)'이라 지칭함)을 포함할 수 있다. 무불소텅스텐(FFW)은 텅스텐 증착시 불소가 미함유된 텅스텐소스물질을 사용하여 형성한다. 이에 따라 제1저저항층(211)의 불소 어택(Fluorine attack)방지된다. 아울러, 무불소텅스텐(FFW)은 제2저저항층(214)의 확산방지 역할을 한다. 또한, 무불소텅스텐(FFW)은 티타늄질화물(TiN), 텅스텐질화물(WN)보다 저항이 낮기 때문에 매립게이트전극(207)의 저저항화에 유리하다. 다른 실시예에서, 제2배리어층(213)은 무불소텅스텐탄화물(FFWC)을 포함할 수 있고, 탄소의 함량 조절에 의해 일함수를 조절할 수 있다. 또 다른 실시예에서, 제2배리어층(213)은 티타늄알루미늄(TiAl), 티타늄탄화물(TiC), 티타늄알루미늄탄화물(TiAlC) 등의 티타늄함유물질을 포함할 수도 있다. 티타늄알루미늄탄화물(TiAl)은 티타늄탄화물(TiC)에 알루미늄을 도핑시켜 형성할 수 있다.

[0027] 제2배리어층(213)의 일부는 제1불순물영역(216)과 제2불순물영역(217)에 오버랩(overlap)된다. 제2배리어층(213)이 저일함수를 갖기 때문에, 제2배리어층(213)에 의한 제1불순물영역(216) 및 제2불순물영역(217)의 게이트유도드레인누설(Gate induced Drain Leakage; GIDL)이 발생하는 것을 방지할 수 있다. 한편, 제1배리어층(209)은 제1불순물영역(216) 및 제2불순물영역(217)에 비오버랩된다.

[0028] 제1저저항층(211)은 제1배리어층(209)보다 낮은 비저항 물질을 포함한다. 제2저저항층(214)은 제2배리어층(213)보다 낮은 비저항 물질을 포함한다. 제1저저항층(211)과 제2저저항층(214)은 동일 물질로 형성될 수 있다. 제1저저항층(211)과 제2저저항층(214)에 의해 매립게이트전극(207)의 저항이 낮아진다. 제1저저항층(211)과 제2저저항층(214)은 저저항 금속함유물질을 포함한다. 제1저저항층(211)과 제2저저항층(214)은 텅스텐을 포함할 수 있다.

[0029] 배리어강화층(210)은 제1배리어층(209)과 제1저저항층(211)간의 확산을 방지한다. 배리어강화층(210)은 금속함유물질을 포함한다. 배리어강화층(210)은 금속질화물을 포함할 수 있다. 본 실시예에서, 배리어강화층(210)은 티타늄질화물(TiN)을 포함할 수 있다.

[0030] 상술한 바에 따르면, 하부 매립부(208)는 '티타늄알루미늄질화물/티타늄질화물/제1텅스텐(TiAlN/TiN/W)'의 적층 구조가 될 수 있고, 상부 매립부(212)는 '무불소텅스텐/제2텅스텐(FFW/W)'의 적층 구조가 될 수 있다.

[0031] 트랜지스터(200)의 채널은 제1불순물영역(216)과 제2불순물영역(217) 사이의 트렌치(205)를 따라 정의될 수 있다. 매립게이트전극(207)은 듀얼일함수 매립게이트전극(Dual work function BG)이 된다. 듀얼일함수 매립게이트전극은 고일함수를 갖는 제1배리어층(209)과 저일함수를 갖는 제2배리어층(213)을 포함한다.

[0032] 도 3a 및 도 3b는 제2실시예에 따른 트랜지스터를 단면도이다. 도 3a는 도 1의 A-A'선에 따른 제2실시예의 트랜

지스터를 도시한 단면도이다. 도 3b는 도 1의 B-B'선에 따른 제2실시예의 트랜지스터를 단면도이다. 제2실시예에 따른 트랜지스터(200F)의 일부 구성들은 제1실시예의 트랜지스터(200)와 동일할 수 있다. 동일한 구성들에 대한 설명은 생략한다.

[0033] 도 3a 및 도 3b를 참조하면, 트렌치(205)는 제1트렌치(205AF)와 제2트렌치(205BF)를 포함한다. 제1트렌치(205AF)는 활성영역(204) 내에 형성된다. 제2트렌치(205BF)는 소자분리층(202) 내에 형성된다. 제1트렌치(205AF)로부터 제2트렌치(205BF)로 연속적으로 연장될 수 있다. 트렌치(205)에서, 제1트렌치(205AF)와 제2트렌치(205BF)는 서로 다른 레벨에 위치하는 바닥면을 가질 수 있다. 예를 들어, 제1트렌치(205AF)의 바닥면은 제2트렌치(205BF)의 바닥면보다 높은 레벨에 위치할 수 있다. 제1트렌치(205AF)와 제2트렌치(205BF)의 높이 차이는 소자분리층(202)이 리세스됨에 따라 형성된다. 따라서, 제2트렌치(205BF)는 제1트렌치(205AF)의 바닥면보다 낮은 바닥면을 갖는 리세스영역(R)을 포함한다.

[0034] 트렌치(205)의 제1트렌치(205AF)와 제2트렌치(205BF) 사이의 단차로 인하여 활성영역(204)에 핀영역(Fin region, 204F)이 형성된다. 따라서, 활성영역(204)은 핀영역(204F)을 포함한다.

[0035] 이와 같이, 제1트렌치(205AF) 아래에 핀영역(204F)이 형성되고, 핀영역(204F)의 측벽은 리세스영역(R)에 의해 노출된다. 핀영역(204F)은 채널이 형성되는 부분이다. 핀영역(204F)은 새들핀(Saddle Fin)이라고 일컫는다. 핀영역(204F)에 의해 채널 폭을 증가시킬 수 있고, 전기적 특성을 향상시킬 수 있다. 핀영역(204F)을 제외한 활성영역(204)의 하부는 리세스된 소자분리층(202F)에 의해 노출되지 않는다.

[0036] 핀영역(204F)의 측벽과 상부 표면 상에 게이트절연층(206)이 형성된다. 하부 매립부(208)는 핀영역(204F)의 측벽과 상부를 모두 덮는 형태가 된다. 하부 매립부(208)는 리세스영역(R)을 채우면서 트렌치(205) 내에 형성된다. 하부 매립부(208)의 단면적은 활성영역(204) 내에서보다 소자분리층(202) 내에서 더 넓다. 상부 매립부(212)는 핀영역(204F)의 측벽 주변에 위치하지 않는다. 핀영역(204F)은 제1배리어층(209)의 고일함수에 의해 영향을 받는다.

[0037] 제2실시예에 따른 트랜지스터(200F)는 '매립게이트형 핀채널 트랜지스터(Buried Gate type Fin channel transistor)'라고 약칭한다.

[0038] 상술한 제1실시예 및 제2실시예에 의하면, 매립게이트전극(207)의 하부 매립부(208)에 고일함수의 제1배리어층(209)을 적용하여 채널의 도핑 농도를 낮게 제어하면서 원활한 문턱전압 특성을 확보한다. 이때, 고일함수 제1배리어층(209)으로서 알루미늄이 함유된 티타늄질화물을 이용하면, 게이트절연층(206)과의 사이에 알루미늄에 의한 다이폴이 생성된다. 다이폴이 생성되면 침입형 산소(interstitial oxygen)에 의한 에너지 밴드 변화로 고일함수 특성을 얻는다.

[0039] 또한, 매립게이트전극(207)의 상부 매립부(212)에는 저일함수 제2배리어층(213)을 적용하여 제1불순물영역(216) 및 제2불순물영역(217)의 도핑 농도 조절과 함께 우수한 게이트유도드레인누설(GIDL) 특성을 확보한다. 이때, 제2배리어층(213)으로서 텅스텐 계열 또는 티타늄 계열의 저일함수 물질을 이용하면서 동시에 낮은 비저항 물질을 통해 고속 동작 특성까지 확보한다.

[0040] 또한, 배리어강화층(210)에 의해 제1배리어층(209)과 제1저저항층(211)간의 반응을 방지한다. 이에 따라, 제1배리어층(209)의 일함수 변동을 억제한다.

[0041] 본 실시예들에 따른 매립게이트전극(208)은 금속성 물질들로 이루어진 금속 매립게이트전극이다. 따라서, 매립게이트전극(208)의 저항이 낮다.

[0042] 본 실시예들의 비교예로서, 저일함수층으로서 N형 폴리실리콘이 사용되고, 고일함수층으로서 P형 폴리실리콘이 사용될 수 있다. 그러나, 폴리실리콘은 매립게이트전극의 저항을 증가시킨다.

[0043] 이하, 제1실시예에 따른 트랜지스터의 제조 방법이 설명된다. 도 4a 내지 도4g는 제1실시예에 따른 트랜지스터를 제조하는 방법의 일예를 설명하기 위한 도면이다. 도 4a 내지 도 4g는 도 1의 A-A'선에 따른 공정 단면도이다.

[0044] 도 4a에 도시된 바와 같이, 기판(11)에 소자분리층(12)이 형성된다. 소자분리층(12)에 의해 활성영역(14)이 정의된다. 소자분리층(12)은 STI 공정에 의해 형성될 수 있다. 예를 들어, 기판(11) 상에 패드층(Pad layer, 도시생략)을 형성한 후 소자분리마스크(도시 생략)를 이용하여 패드층 및 기판(11)을 식각한다. 이로써 분리트렌치(13)가 형성된다. 분리트렌치(13)는 절연물질로 채워지고, 이에 따라 소자분리층(12)이 형성된다. 소자분리층(12)은 측벽산화물(Wall oxide), 라이너(liner) 및 갭필절연물(Gap-fill Dielectric)을 순차적으로 형성할 수

있다. 라이너는 실리콘질화물(Silicon nitride)과 실리콘산화물(Silicon oxide)를 적층하여 형성할 수 있다. 실리콘질화물은 Si_3N_4를 포함할 수 있고, 실리콘산화물은 SiO_2를 포함할 수 있다. 갭필절연물은 스핀온절연물(Spin On Dielectric; SOD)을 포함할 수 있다. 다른 실시예에서, 소자분리층(12)에서 갭필절연물로 실리콘질화물을 사용할 수도 있다.

[0045] 기판(11) 내에 트렌치(15)가 형성된다. 트렌치(15)는 활성영역(14) 및 소자 분리층(12)을 가로지르는 라인 형태로 형성될 수 있다. 트렌치(15)는 기판(11) 상에 마스크패턴(도시 생략)을 형성하고, 마스크 패턴을 식각 마스크로 이용한 식각 공정에 의해 형성될 수 있다. 트렌치(15)는 분리트렌치(13)보다 얕게 형성될 수 있다.

[0046] 트렌치(15)의 표면 상에 게이트절연층(16)이 형성된다. 게이트절연층(16)은 열산화 공정(Thermal Oxidation)에 의해 형성될 수 있다. 다른 실시예에서, 게이트절연층(16)은 화학기상증착(Chemical Vapor Deposition; CVD) 또는 원자층증착(Atomic Layer Deposition; ALD)에 의해 형성될 수 있다. 게이트절연층(16)은 고유전물질, 산화물, 질화물 또는 산화 질화물 중에서 선택된 적어도 하나를 포함할 수 있다. 고유전 물질은 산화물 및 질화물의 유전상수에 비하여 높은 유전상수를 갖는 절연물질일 수 있다. 예컨대, 고유전 물질은 하프늄산화물 또는 알루미늄산화물 등과 같은 금속산화물 중에서 선택된 적어도 하나일 수 있다.

[0047] 도 4b에 도시된 바와 같이, 게이트절연층(16) 상에 예비 제1배리어층(17A)이 형성된다. 예비 제1배리어층(17A)은 게이트절연층(16)의 표면을 라이닝(lining)한다. 예비 제1배리어층(17A)은 실리콘의 미드갭일함수(4.5eV)보다 높은 일함수를 갖는다. 예비 제1배리어층(17A)을 '고일함수층'이라고 지칭할 수 있다. 예비 제1배리어층(17A)은 알루미늄이 함유된 티타늄질화물(Al containing Titanium nitride)을 포함할 수 있다. 알루미늄이 함유된 티타늄질화물은 '티타늄알루미늄질화물(Titanium aluminum nitride, TiAlN)' 또는 '알루미늄 도프드 티타늄질화물(Aluminum doped titanium nitride, Al doped TiN)'이라고 지칭될 수 있다. 알루미늄 도프드 티타늄질화물(Al doped TiN)을 형성하기 위한 방법으로서, 티타늄질화물(TiN)을 증착한 후 알루미늄 임플란트(Al implant) 등의 도핑(doping)을 실시할 수 있다. 티타늄알루미늄질화물(TiAlN)의 형성 방법으로는, 티타늄질화물(TiN) 증착이 수행되는 증착공정 중에 알루미늄함유물질을 첨가하여 인시튜(in-situ)로 도핑시킬 수도 있다. 예컨대, 화학기상증착(CVD)에 의해 티타늄질화물(TiN)을 증착할 때, 티타늄소스물질, 질소함유물질 및 알루미늄소스물질을 동시에 흘려준다.

[0048] 도 4c에 도시된 바와 같이, 예비 제1배리어층(17A) 상에 예비 배리어강화층(18A)이 형성된다. 예비 배리어강화층(18A)은 예비 제1배리어층(17A)의 표면을 라이닝한다. 예비 배리어강화층(18A)과 제1배리어층(17A)은 서로 다른 물질일 수 있다. 예비 배리어강화층(18A)은 금속함유물질(Metal-containing material)로 형성될 수 있다. 예비 배리어강화층(18A)은 금속질화물(Metal nitride)을 포함할 수 있다. 예를 들어, 예비 배리어강화층(18A)은 티타늄질화물(Titanium nitride)을 포함할 수 있다.

[0049] 예비 배리어강화층(18A) 상에 예비 제1저저항층(19A)이 형성된다. 예비 제1저저항층(19A)은 트렌치(15)를 채운다. 예비 제1저저항층(19A)은 저저항 금속물질을 포함한다. 예비 제1저저항층(19A)은 텅스텐(Tungsten)을 포함할 수 있다. 예비 제1저저항층(19A)은 화학기상증착법, 원자층증착법 등에 의해 형성될 수 있다.

[0050] 도 4d에 도시된 바와 같이, 트렌치(15) 내부에 예비 제1배리어층, 예비 배리어강화층 및 예비 제1저저항층이 잔류하도록 제1리세싱 공정(first recessing process)을 진행한다. 제1리세싱 공정은 적어도 에치백공정에 의해 진행될 수 있다. 이에 따라, 제1배리어층(17), 배리어강화층(18) 및 제1저저항층(19)이 형성된다. 제1배리어층(17)은 예비 제1배리어층(17A)의 에치백공정에 의해 형성된다. 제1저저항층(19)은 예비 제1저저항층(19A)의 에치백공정에 의해 형성된다. 배리어강화층(18)은 예비 배리어강화층(18A)의 에치백공정에 의해 형성된다. 에치백공정 전에 평탄화 공정이 수행될 수 있다.

[0051] 상술한 제1리세싱 공정에 의해 하부 매립부(20)가 형성된다. 하부 매립부(20)는 제1배리어층(17), 배리어강화층(18) 및 제1저저항층(19)을 포함한다. 하부 매립부(20)는 활성영역(14)의 상부 표면보다 낮게 리세스된다.

[0052] 도 4e에 도시된 바와 같이, 예비 제2배리어층(21A)이 형성된다. 예비 제2배리어층(21A)은 하부 매립부(20)의 표면 및 게이트절연층(16)을 라이닝한다. 예비 제2배리어층(21A)은 제1배리어층(17)과 다른 물질일 수 있다. 예비 제2배리어층(21A)은 저일함수 물질을 포함한다. 예비 제2배리어층(21A)은 저일함수 금속함유물질(Metal-containing material)로 형성될 수 있다. 예비 제2배리어층(21A)은 무불소텅스텐(FFW)을 포함할 수 잇다. 다른 실시예에서, 예비 제2배리어층(21A)은 제2배리어층(213)은 무불소텅스텐탄화물(FFWC)을 포함할 수 있고, 탄소의 함량 조절에 의해 일함수를 조절할 수 있다. 또 다른 실시예에서, 제2배리어층(213)은 티타늄알루미늄(TiAl), 티타늄탄화물(TiC) 또는 티타늄알루미늄탄화물(TiAlC)을 포함할 수도 있다.

[0053] 예비 제2배리어층(21A) 상에 예비 제2저저항층(22A)이 형성된다. 예비 제2저저항층(22A)은 하부 매립부(20) 상부의 트렌치(15)를 채운다. 예비 제2저저항층(22A)은 저저항 금속물질을 포함한다. 예비 제2저저항층(22A)은 텅스텐(Tungsten)을 포함할 수 있다. 제1저저항층(19)과 예비 제2저저항층(22A)은 동일 물질로 형성될 수 있다.

[0054] 도 4f에 도시된 바와 같이, 트렌치(15) 내부에 예비 제2배리어층 및 예비 제2저저항층이 잔류하도록 제2리세싱 공정(Second recessing process)을 진행한다. 제2리세싱 공정은 적어도 에치백공정에 의해 진행될 수 있다. 이에 따라, 제2배리어층(21) 및 제2저저항층(22)이 형성된다. 제2배리어층(21)은 예비 제2배리어층(21A)의 에치백 공정에 의해 형성된다. 제2저저항층(22)은 예비 제2저저항층(22A)의 에치백공정에 의해 형성된다. 에치백 공정 전에 평탄화 공정이 수행될 수 있다.

[0055] 제2리세싱공정에 의해 상부 매립부(23)가 형성된다. 상부 매립부(23)는 제2배리어층(21)과 제2저저항층(22)을 포함한다.

[0056] 이와 같은 제1리세싱 공정 및 제2리세싱 공정에 의해 매립게이트전극(24)이 형성된다. 매립게이트전극(24)은 하부 매립부(20)와 상부 매립부(23)를 포함한다. 고일함수의 제1배리어층(17)과 저일함수의 제2배리어층(21)을 포함하므로, 매립게이트전극(24)은 듀얼일함수 매립게이트전극이 된다.

[0057] 매립게이트전극(24)의 상부는 기판(11)의 상부 표면보다 낮게 위치한다. 이를 리세스드갭영역(25)이라 약칭한다.

[0058] 도 4g에 도시된 바와 같이, 매립게이트전극(24) 상에 캡핑층(26)이 형성된다. 캡핑층(26)은 절연물질을 포함한다. 리세스드갭영역(25)은 캡핑층(26)으로 채워진다. 캡핑층(26)은 실리콘질화물을 포함할 수 있다. 후속하여, 기판(11)의 상부 표면이 노출되도록 캡핑층(26)의 평탄화가 진행될 수 있다.

[0059] 캡핑층(26) 형성 후에, 임플란트 또는 기타 다른 도핑기술에 의해 불순물의 도핑공정이 수행된다. 이에 따라 기판(11) 내에 제1불순물영역(27)과 제2불순물영역(28)이 형성된다. 불순물의 도핑 공정을 진행할 때, 캡핑층(26)이 배리어로 사용된다. 제1불순물영역(27)과 제2불순물영역(28)은 각각 소스영역과 드레인영역이 된다.

[0060] 제1불순물영역(27)과 제2불순물영역(28)의 저면은 상부 매립부(23)와 오버랩되는 깊이를 가질 수 있다. 따라서, 저일함수 제2배리어층(21)과 제1 및 제2불순물영역(27, 28)이 오버랩된다.

[0061] 도 5a 내지 도 5e는 제2실시예에 따른 트랜지스터를 제조하는 방법의 일예를 설명하기 위한 도면이다. 도 5a 내지 도 5e는 도 1의 B-B'선에 따른 공정 단면도이다

[0062] 도 5a에 도시된 바와 같이, 기판(11)에 소자분리층(12)이 형성된다. 소자분리층(12)에 의해 활성영역(14)이 정의된다. 소자분리층(12)은 STI 공정에 의해 형성될 수 있다.

[0063] 도 5b에 도시된 바와 같이, 기판(11) 내에 트렌치(15)가 형성된다. 트렌치(15)는 활성영역(14) 및 소자 분리영역(12)을 가로지르는 라인 형태로 형성될 수 있다. 트렌치(15)는 기판(11) 상에 마스크패턴(도시 생략)을 형성하고, 마스크 패턴을 식각 마스크로 이용한 식각 공정에 의해 형성될 수 있다. 트렌치(15)는 분리트렌치(13)보다 얕게 형성될 수 있다.

[0064] 도 5c에 도시된 바와 같이, 소자분리층(12)을 일정 깊이 리세스시킨다. 이에 따라, 리세스영역(R)이 형성되며, 리세스영역(R)에 의해 활성영역(14)의 상부는 핀영역(14F)이 된다. 핀영역(14F)을 제외한 활성영역(14)의 하부는 리세스된 소자분리층(12F)에 의해 노출되지 않는다. 트렌치(15)는 제1트렌치(15AF)와 제2트렌치(15BF)를 포함한다. 제1트렌치(15AF)는 활성영역(14) 내에 형성된다. 제2트렌치(15BF)는 소자분리층(12) 내에 형성된다. 제1트렌치(15AF)로부터 제2트렌치(15BF)로 연속적으로 연장될 수 있다. 트렌치(15)에서, 제1트렌치(15AF)와 제2트렌치(15BF)는 서로 다른 레벨에 위치하는 바닥면을 가질 수 있다. 예를 들어, 제1트렌치(15AF)의 바닥면(B1)은 제2트렌치(15BF)의 바닥면(B2)보다 높은 레벨에 위치할 수 있다. 제1트렌치(15AF)와 제2트렌치(15BF)의 높이 차이는 트렌치(15) 아래의 소자분리층(12)이 리세스됨에 따라 형성된다. 제2트렌치(15BF)는 제1트렌치(15AF)의 바닥면(B1)보다 낮은 바닥면(B2)을 갖는 리세스영역(R)을 포함한다. 제1트렌치(15AF)와 제2트렌치(15BF) 사이의 단차로 인하여 활성영역(14)에 핀영역(14F)이 형성된다.

[0065] 도 5d에 도시된 바와 같이, 핀영역(14F) 상에 게이트절연층(16)이 형성된다.

[0066] 후속하여 제1실시예의 제조 방법과 동일한 공정이 수행될 수 있다. 예컨대, 하부 매립부(20)가 형성된다. 하부 매립부(20)는 제1배리어층(17), 배리어강화층(18) 및 제1저저항층(19)을 포함한다. 제1배리어층(17)은 핀영역(14F)의 양측벽 및 상부를 커버링한다. 따라서, 핀영역(14F)은 제1배리어층(17)의 고일함수에 의해 영향을 받는

다.

[0067] 도 5e에 도시된 바와 같이, 하부 매립부(20) 상에 상부 매립부(23)가 형성된다. 상부 매립부(23)는 제2배리어층(21)과 제2저저항층(22)을 포함한다.

[0068] 하부 매립부(20) 상에 캡핑층(26)이 형성된다.

[0069] 따라서, 하부 매립부(20)와 상부 매립부(23)를 포함하는 매립게이트전극(24)이 형성된다.

[0070] 도시하지 않았으나, 후속하여 제1불순물영역 및 제2불순물영역(27, 28)을 형성할 수 있다(도 4g 참조).

[0071] 도 6a은 제1배리어층으로 사용된 물질들의 일함수를 비교한 도면이다. 도 6b는 제1배리어층으로 사용된 물질들의 누설전류를 비교한 도면이다. 도 6a 및 도 6b의 결과는 제1시료(TiN)과 제2시료(TiAlN/TiN)를 비교하고 있다. 제1시료는 티타늄질화물을 단독으로 형성하고 있고, 제2시료는 티타늄알루미늄질화물과 티타늄질화물을 적층하고 있다. 제1시료에 의한 매립게이트전극의 하부 매립부는 'TiN/W'이 될 수 있다. 제2시료에 의한 매립게이트전극의 하부 매립부는 'TiAlN/TiN/W'이 될 수 있다.

[0072] 도 6a을 참조하면, 제2시료(TiAlN/TiN)를 적용함에 따라 플랫밴드전압이 양의 방향으로 쉬프트(도면부호 '301' 참조)되고 있음을 확인할 수 있다. 즉, 티타늄알루미늄질화물(TiAlN)을 적용함에 따라 고일함수를 얻을 수 있다. 티타늄알루미늄질화물(TiAlN)에 함유된 알루미늄은 다이폴(dipole)을 형성하며, 이에 따라 유효일함수를 높이는 방향으로 쉬프트된다.

[0073] 도 6b를 참조하면, 제1시료와 제2시료는 누설전류가 동등 수준임을 확인할 수 있다.

[0074] 도 6a 및 도 6b로부터 알 수 있듯이, 티타늄알루미늄질화물(TiAlN)과 티타늄질화물을 포함하는 제1배리어층을 갖는 매립게이트전극은 티타늄질화물의 제1배리어층을 갖는 매립게이트전극보다 높은 일함수를 갖는다.

[0075] 도 7a는 제2배리어층으로 사용된 물질들의 일함수를 비교한 도면이다. 도 7b는 제2배리어층으로 사용된 물질들의 누설전류를 비교한 도면이다. 도 7a 및 도 7b의 결과는 제3시료(TiN)와 제4시료(FFW)를 비교하고 있다. 제3시료에 의한 매립게이트전극의 상부 매립부는 'TiN/W'이 될 수 있다. 제4시료에 의한 매립게이트전극의 상부 매립부는 'FFW/W'이 될 수 있다.

[0076] 도 7a를 참조하면, 무불소텅스텐(FFW)을 적용함에 따라 플랫밴드전압이 음의 방향으로 쉬프트(도면부호 '302' 참조)되고 있음을 확인할 수 있다. 즉, 무불소텅스텐(FFW)을 적용함에 따라 저일함수를 얻을 수 있다.

[0077] 도 7b를 참조하면, 티타늄질화물(TiN)과 무불소텅스텐(FFW)는 누설전류가 동등 수준임을 확인할 수 있다.

[0078] 도 7a 및 도 7b로부터 알 수 있듯이, 무불소텅스텐의 제2배리어층을 갖는 매립게이트전극은 티타늄질화물의 제2배리어층을 갖는 매립게이트전극보다 낮은 일함수를 갖는다.

[0079] 도 8은 본 실시예들에 따른 트랜지스터를 포함하는 반도체장치의 일예를 도시한 도면이다.

[0080] 도 8을 참조하면, 반도체장치(400)는 제1트랜지스터(420)와 제2트랜지스터(440)을 포함한다. 제1트랜지스터(420)와 제2트랜지스터(440)는 기판(401)에 형성되고, 소자분리층(402)에 의해 서로 분리되어 있다.

[0081] 제1트랜지스터(420)는 매립게이트전극(406), 제1소스영역(415) 및 제1드레인영역(416)을 포함한다. 매립게이트전극(406)은 트렌치(403) 내에 형성된다. 트렌치(403)는 소자분리층(402)과 활성영역(404)을 가로지르는 형태이다. 트렌치(403)의 표면 상에 제1게이트절연층(405)이 형성된다. 매립게이트전극(406)은 하부 매립부(407)와 상부 매립부(411)를 포함한다. 하부 매립부(407)은 고일함수 제1배리어층(408), 배리어강화층(409) 및 제1저저항층(410)을 포함한다. 상부 매립부(411)는 저일함수 제2배리어층(412) 및 제2저저항층(413)을 포함한다.

[0082] 제2트랜지스터(440)는 플라나게이트전극(432), 제2소스영역(433) 및 제1드레인영역(434)을 포함한다. 플라나게이트전극(432) 아래에 제2게이트절연층(431)이 형성된다. 플라나게이트전극(432)은 폴리실리콘, 금속, 금속질화물, 금속화합물 또는 이들의 조합을 포함할 수 있다. 제2게이트절연층(431)은 실리콘산화물, 실리콘질화물, 실리콘산질화물 또는 고유전물질 중에서 선택된 적어도 하나를 포함할 수 있다. 고유전 물질은 하프늄계 물질을 포함할 수 있다. 제2게이트절연층(431)은 계면층과 고유전물질이 적층될 수 있다. 계면층은 실리콘산화물, 실리콘질화물, 실리콘산질화물을 포함할 수 있다.

[0083] 위와 같이, 반도체장치(400)는 매립게이트전극(406)을 갖는 제1트랜지스터(420)와 플라나게이트전극(432)을 갖는 제2트랜지스터(440)가 하나의 기판(401)에 집적화된다. 제1트랜지스터(420)를 형성한 후에 제2트랜지스터

(440)를 형성할 수 있다.

[0084] 반도체장치(400)에서, 제1트랜지스터(420)와 제2트랜지스터(440)가 모두 NMOSFET가 될 수 있다.

[0085] 반도체장치(400)는 CMOSFET가 될 수 있다. 예컨대, 제1트랜지스터(420)는 NMOSFET가 되고, 제2트랜지스터(440)는 PMOSFET가 될 수 있다. PMOSFET인 경우, 플라나게이트전극(432)은 PMOSFET에 적합한 일함수를 갖도록 P형 일함수 물질이 선택될 수 있다.

[0086] 제1트랜지스터(420)는 '매립게이트형 트랜지스터(Buried Gate type transistor)'라 약칭하고, 제2트랜지스터(440)는 '플라나게이트형 트랜지스터(Planar gate type transistor)'라고 약칭한다. 플라나게이트형 트랜지스터는 비매립게이트형 트랜지스터(Non-Buried Gate type transistor)의 일예이다. 비매립게이트형 트랜지스터는 일반적인 핀형 트랜지스터를 더 포함할 수 있다. 핀형 트랜지스터는 매립게이트형 핀채널 트랜지스터와 다르다. 핀형 트랜지스터는 트렌치의 형성없이 소자분리층만을 리세스시켜 활성영역을 돌출시켜 핀영역을 형성한다. 또한, 핀형 트랜지스터는 활성영역을 식각하여 핀영역을 형성할 수도 있다.

[0087] 반도체장치(400)에서, 제1트랜지스터(420)는 메모리셀의 트랜지스터가 되고, 제2트랜지스터(440)는 주변회로영역의 트랜지스터가 될 수 있다.

[0088] 위와 같이, 고일함수 제1배리어층(408)과 저일함수 제2배리어층(412)을 포함하는 매립게이트전극(406)을 형성하고, 저일함수 제2배리어층(412)이 제1소스영역(415) 및 제1드레인영역(416)과 오버랩되도록 형성하므로써, 게이트 저항을 감소시킬 수 있을 뿐만 아니라 게이트유도드레인누설(GIDL)을 감소시킬 수 있다.

[0089] 이에 따라 반도체장치(400)의 성능을 향상시킬 수 있다.

[0090] 도 9는 본 실시예들에 따른 매립게이트형 트랜지스터를 포함하는 반도체장치의 다른 예를 도시한 도면이다. 도 9는 메모리장치의 메모리셀어레이를 도시한 평면도이다. 도 10은 도 9의 A-A'선에 따른 단면도이다.

[0091] 도 9 및 도 10을 참조하면, 메모리셀어레이(500)는, 복수의 매립워드라인(506), 매립워드라인(506)과 교차하는 방향으로 연장된 복수의 비트라인(520) 및 복수의 메모리요소(525)를 포함한다.

[0092] 메모리셀어레이(500)를 자세히 살펴보면 다음과 같다.

[0093] 먼저, 기판(501)에 소자분리층(502)이 형성된다. 소자분리층(502)에 의해 복수의 활성영역(503)이 정의된다. 활성영역(503)을 가로지르는 게이트트렌치(Gate trench, 504)가 형성된다. 게이트트렌치(504) 표면에 게이트절연층(505)이 형성된다.

[0094] 게이트절연층(505) 상에 게이트트렌치(504)를 부분적으로 매립하는 매립워드라인(506)이 형성된다. 매립워드라인(506)은 하부 매립부(507)와 상부 매립부(511)을 포함한다. 하부 매립부(507)은 고일함수 제1배리어층(508), 배리어강화층(509) 및 제1저저항층(510)을 포함한다. 상부 매립부(511)는 저일함수 제2배리어층(512) 및 제2저저항층(513)을 포함한다. 매립워드라인(506)은 제1실시예에 따른 매립게이트전극(207)과 동일한 구성을 갖는다. 다른 실시예에서, 매립워드라인(506) 아래에 제2실시예와 유사하게 핀영역이 더 형성될 수 있다.

[0095] 매립워드라인(506) 상에 캡핑층(514)이 형성된다. 매립워드라인(506) 양측의 기판(501) 내에 제1불순물영역(515) 및 제2불순물영역(516)이 형성된다. 매립워드라인(506), 제1불순물영역(515) 및 제2불순물영역(516)은 매립게이트형 트랜지스터가 될 수 있다.

[0096] 제1불순물영역(515)에 전기적으로 연결되는 비트라인구조물이 형성될 수 있다. 비트라인구조물은 비트라인(520) 및 비트라인하드마스크층(521)을 포함한다. 비트라인구조물은 비트라인(520)과 제1불순물영역(515) 사이의 제1콘택플러그(519)를 더 포함할 수 있다. 비트라인구조물의 측벽에 스페이서(522)가 형성된다. 기판(501) 상에 분리층(518)이 형성된다. 제1콘택플러그(519)는 제1콘택홀(517) 내에 형성될 수 있다. 제1콘택플러그(519)는 제1불순물영역(515)과 전기적으로 연결된다. 제1콘택홀(517)의 직경은 비트라인(520)의 선폭보다 작을 수 있다. 제1콘택플러그(519)와 비트라인(520)의 선폭은 동일할 수 있다. 따라서, 제1콘택플러그(519)와 제1콘택홀(517)의 측벽 사이에 갭이 존재하며, 스페이서(522)의 일부가 갭에 매립되도록 연장된다. 제1불순물영역(515)의 표면이 리세스될 수 있다. 이에 따라, 제1콘택플러그(519)와 제1불순물영역(515)간의 접촉면적이 증가한다. 비트라인(520)은 매립워드라인(506)이 연장되는 방향과 교차하는 방향으로 연장되는 라인 형태일 수 있다. 비트 라인(520)은 폴리실리콘, 금속실리사이드, 금속질화물 또는 금속 중에서 선택된 적어도 하나를 포함할 수 있다. 비트라인하드마스크층(521)은 실리콘산화물 또는 실리콘질화물을 포함할 수 있다. 제1콘택플러그(519)는 폴리실리콘, 금속실리사이드, 금속질화물 또는 금속 중에서 선택된 적어도 하나를 포함할 수 있다.

[0097] 스페이서(522)는 절연물질을 포함한다. 스페이서(522)는 실리콘산화물, 실리콘질화물 또는 실리콘산화물과 실리콘질화물의 조합을 포함할 수 있다. 스페이서(522)는 다중스페이서(Multi-spacer) 구조일 수 있다. 예를 들어, 스페이서(522)는 실리콘질화물/실리콘산화물/실리콘질화물의 NON 구조일 수 있다. 스페이서(522)는 에어갭이 내장된(Air-gap embedded) 다중스페이서 구조일 수도 있다.

[0098] 제2불순물영역(516) 상에 메모리요소(Memory element, 525)가 형성될 수 있다. 메모리요소(525)와 제2불순물영역(516) 사이에 제2콘택플러그(523)가 형성될 수 있다. 분리층(518)을 관통하는 제2콘택홀(524)이 형성되고, 제2콘택홀(524) 내에 제2콘택플러그(523)가 형성될 수 있다. 제2콘택플러그(523)는 제2불순물영역(516)과 전기적으로 연결된다. 제2콘택플러그(523)는 폴리실리콘, 금속, 금속실리사이드 또는 금속질화물 중에서 선택된 적어도 어느 하나를 포함할 수 있다. 예를 들어, 제2콘택플러그(523)는 폴리실리콘, 금속실리사이드 및 금속이 적층된 플러그구조물을 포함할 수 있다.

[0099] 분리층(518)은 단일층(Single-layered) 또는 다층(Multi-layered)일 수 있다. 분리층(518)은 실리콘산화물, 실리콘질화물 또는 실리콘산화질화물 중에서 선택된 적어도 어느 하나를 포함할 수 있다. 분리층(518)은 다마신 공정 등에 의해 형성될 수 있다. 분리층(518)은 이웃하는 제2콘택플러그(523) 간의 분리 역할을 한다. 다른 실시예에서, 제2콘택플러그(523)의 측벽을 에워싸는 콘택스페이서(도시 생략)가 더 형성될 수도 있다. 콘택스페이서는 에어갭이 내장된 다중스페이서 구조일 수 있고, 이때, 스페이서(522)에는 에어갭이 형성되지 않을 수 있다. 분리층(518)과 비트라인구조물의 상부 표면은 동일 레벨에 위치할 수 있다.

[0100] 다른 실시예에서, 제2콘택플러그(523) 상에 제3콘택플러그(도시 생략)가 더 형성될 수 있다. 제3콘택플러그는 비트라인구조물과 제2콘택플러그(523)에 각각 오버랩되는 형태가 될 수 있다. 제3콘택플러그는 금속물질을 포함할 수 있다.

[0101] 제2콘택플러그(523) 상에 제2콘택플러그(523)와 전기적으로 연결되는 메모리요소(525)가 형성될 수 있다. 메모리요소(525)는 다양한 형태로 구현될 수 있다.

[0102] 메모리요소(525)는 캐패시터(Capacitor)일 수 있다. 따라서, 메모리요소(525)는 제2콘택플러그(524)와 접촉하는 스토리지노드를 포함할 수 있다. 스토리지노드는 실린더 또는 필라 형태일 수 있다. 스토리지노드의 표면상에 캐패시터 유전층이 형성될 수 있다. 캐패시터 유전층은 지르코늄산화물, 알루미늄산화물 또는 하프늄산화물 중에서 선택된 적어도 어느 하나를 포함할 수 있다. 예를 들어, 캐패시터 유전층은 제1지르코늄산화물, 알루미늄산화물 및 제2지르코늄산화물이 적층된 ZAZ 구조가 될 수 있다. 캐패시터 유전층 상에 플레이트노드가 형성된다. 스토리지노드와 플레이트노드는 금속함유물질을 포함할 수 있다.

[0103] 메모리요소(525)는 가변저항체를 포함할 수 있다. 가변 저항체는 상변화 물질을 포함할 수 있다. 상변화 물질은 칼코게나이드(chalcogenide) 원소인 Te 및 Se 중 선택된 적어도 하나를 포함할 수 있다. 다른 실시예에서, 가변저항체는 전이 금속 산화물을 포함할 수 있다. 또다른 실시예에서, 가변저항체는 자기 터널 접합(Magnetic Tunnel Junction: MTJ)일 수 있다.

[0104] 위와 같이, 고일함수 제1배리어층(508)과 저일함수 제2배리어층(512)을 포함하는 매립워드라인(506)을 형성하고, 저일함수 제2배리어층(512)이 제1불순물영역(515) 및 제2불순물영역(516)과 오버랩되도록 형성하므로써, 게이트 저항을 감소시킬 수 있을 뿐만 아니라 게이트유도드레인누설(GIDL)을 감소시킬 수 있다.

[0105] 이에 따라 데이터유지시간의 저하를 방지하여 리프레쉬 특성을 개선할 수 있다.

[0106] 본 실시예들에 따른 트랜지스터는 트랜지스터 회로(transistor circuit)에 집적될 수 있다. 또한, 본 실시예들에 따른 트랜지스터는 다양한 목적의 트랜지스터를 포함하는 집적회로에 적용될 수 있다. 예를 들어, IGFET(Insulated Gate FET), HEMT(High Electron Mobility Transistor), 파워트랜지스터(Power transistor), TFT(Thin Film Transistor) 등을 포함하는 집적회로에 적용될 수 있다.

[0107] 본 실시예들에 따른 트랜지스터 및 집적회로는, 전자장치에 내장될 수 있다. 전자장치는 메모리(Memory) 및 비메모리(Non-memory)를 포함할 수 있다. 메모리는 SRAM, DRAM, FLASH, MRAM, ReRAM, STTRAM, FeRAM 등을 포함한다. 비메모리는 로직회로(Logic circuit)를 포함한다. 로직회로는 메모리장치를 컨트롤하기 위한 센스앰프(Sense Amp.), 디코더(Decorder), 입출력회로(Input/Output circuit) 등을 포함할 수 있다. 또한, 로직회로는 메모리 이외의 다양한 집적회로(Integrated Circuit, IC)를 포함할 수 있다. 예를 들어, 마이크로프로세서(Micro-processor), 모바일장치(Mobile device)의 AP(Application processor) 등을 포함한다. 또한, 비메모리는 NAND 게이트와 같은 로직게이트(Logic gate), 디스플레이장치(Display device)를 위한 드라이버회로(Driver

IC), 전원관리집적회로(Power Management IC, PMIC) 등의 전력 반도체 장치(POWER SEMICONDUCTOR DEVICE) 등을 포함한다. 전자장치는 컴퓨팅시스템, 이미지센서, 카메라, 모바일장치, 디스플레이장치, 센서, 의료기기, 광전자장치, RFID(Radio Frequency Identification), 태양전지, 자동차용 반도체장치, 철도차량용 반도체장치, 항공기용 반도체장치 등을 포함할 수 있다.

[0108] 이하, 본 실시예들에 따른 트랜지스터를 포함하는 다양한 적용예를 살펴보기로 한다.

[0109] 도 11a 내지 도 11c는 본 실시예들에 따른 트랜지스터를 포함하는 집적회로의 다양한 적용예를 도시한 도면이다.

[0110] 도 11a에 도시된 집적회로(600)는 복수의 고전압 트랜지스터(High-Voltage Transistor, 601)와 복수의 저전압 트랜지스터(Low Voltage Transistor, 602)를 포함한다.

[0111] 도 11b에 도시된 집적회로(700)는 복수의 로직 트랜지스터(Logic transistor, 701)와 복수의 비로직 트랜지스터(Non-logic transistor, 702)를 포함한다.

[0112] 도 11c에 도시된 집적회로(800)는 메모리장치를 위한 트랜지스터(transistor for memory device, 801)와 비메모리장치를 위한 트랜지스터(transistor for non-memory device, 802)를 포함한다.

[0113] 상술한 고전압트랜지스터(601), 저전압트랜지스터(602), 로직트랜지스터(701), 비로직트랜지스터(702), 메모리장치를 위한 트랜지스터(801), 비메모리장치를 위한 트랜지스터(802)는 본 실시예들에 따른 매립게이트형 트랜지스터를 포함할 수 있다. 집적회로(600, 700, 800)에 포함된 매립게이트형 트랜지스터는 트렌치 내에 형성된 매립게이트전극을 포함한다. 매립게이트전극은 듀얼일함수 매립게이트전극을 포함한다. 매립게이트전극은 고일함수 제1배리어층과 제1저저항층을 포함하는 하부 매립부와 저일함수 제2배리어층층과 제2저저항층을 포함하는 상부 매립부를 포함한다. 저일함수 제2배리어층은 소스영역과 드레인영역에 오버랩되며, 이에 따라 게이트유도드레인누설(GIDL)을 개선시킨다.

[0114] 따라서, 집적회로(600, 700, 800)의 성능을 개선시킬 수 있다.

[0115] 도 12는 본 실시예들에 따른 트랜지스터를 포함하는 전자장치를 도시한 도면이다.

[0116] 도 12를 참조하면, 전자장치(900)는 복수의 트랜지스터를 포함한다. 전자장치(900)는 복수의 PMOSFET(901), 복수의 NMOSFET(902) 및 복수의 CMOSFET(903)를 포함할 수 있다. PMOSFET(901), NMOSFET(902), CMOSFET(903) 중 적어도 어느 하나의 트랜지스터는 본 실시예들에 따른 매립게이트형 트랜지스터를 포함할 수 있다. 전자장치(900)에 포함된 매립게이트형 트랜지스터는 트렌치 내에 형성된 매립게이트전극을 포함한다. 매립게이트전극은 고일함수 제1배리어층과 제1저저항층을 포함하는 하부 매립부와 저일함수 제2배리어층층과 제2저저항층을 포함하는 상부 매립부를 포함한다. 저일함수 제2배리어층은 소스영역과 드레인영역에 오버랩되며, 이에 따라 게이트유도드레인누설(GIDL)을 개선시킨다. 따라서, 전자장치(900)는 소형화에 대응하여 빠른 동작속도를 구현할 수 있다.

[0117] 이상으로 해결하고자 하는 과제를 위한 다양한 실시예들이 기재되었으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자진 자라면 본 발명의 기술사상의 범위 내에서 다양한 변경 및 수정이 이루어질 수 있음은 명백하다.

부호의 설명

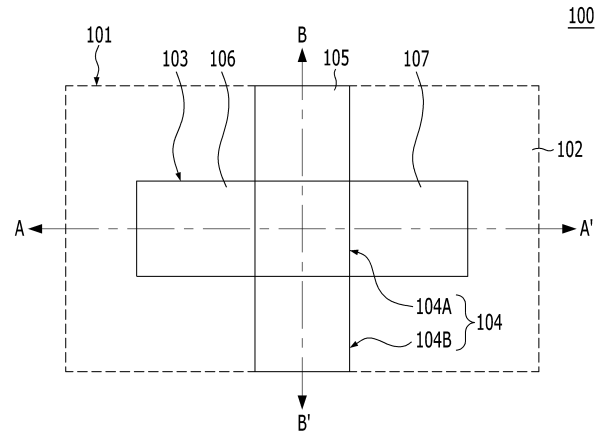
[0118]

201 : 기판	202 : 소자분리층
203 : 분리트렌치	204 : 활성영역
205 : 트렌치	206 : 게이트절연층
207 : 매립게이트전극	208 : 하부 매립부
209 : 제1배리어층	210 : 배리어강화층
211 : 제1저저항층	212 : 상부 매립부
213 : 제2배리어층	214 : 제2저저항층
215 : 캡핑층	216 : 제1불순물영역

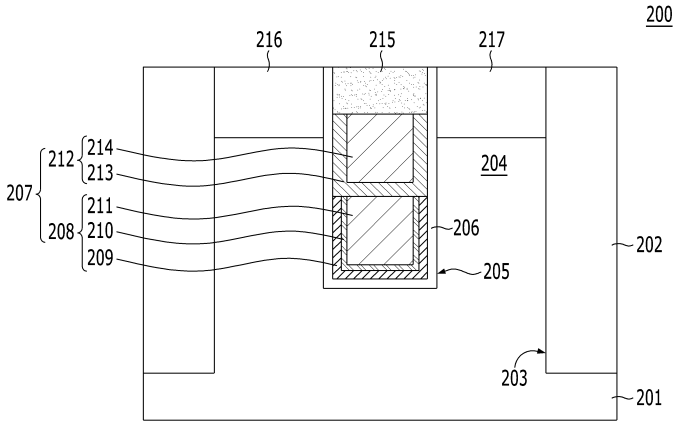
217 : 제2불순물영역

도면

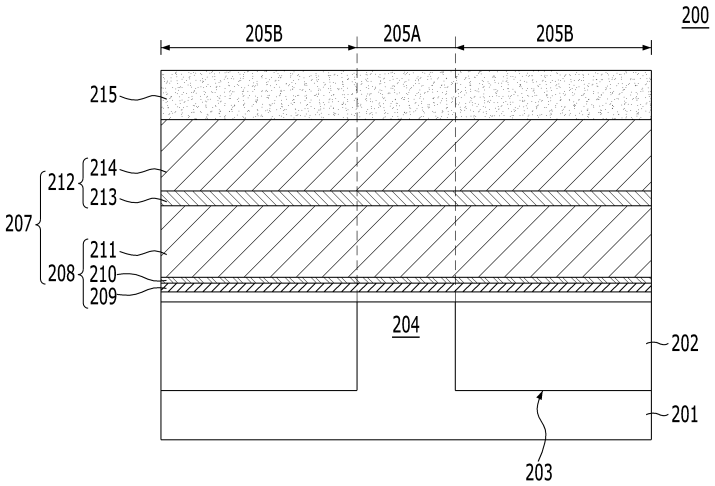
도면1



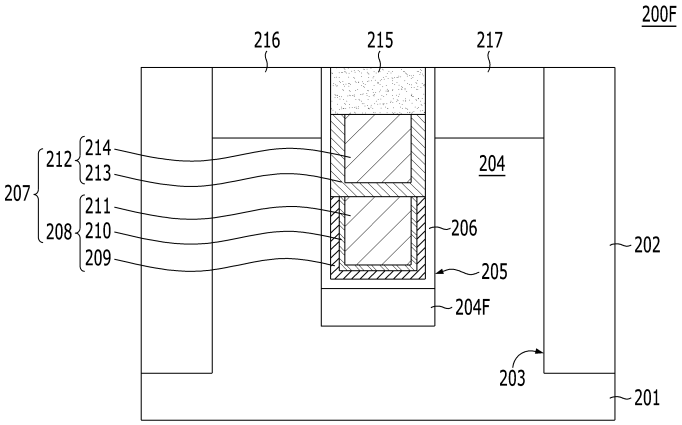
도면2a



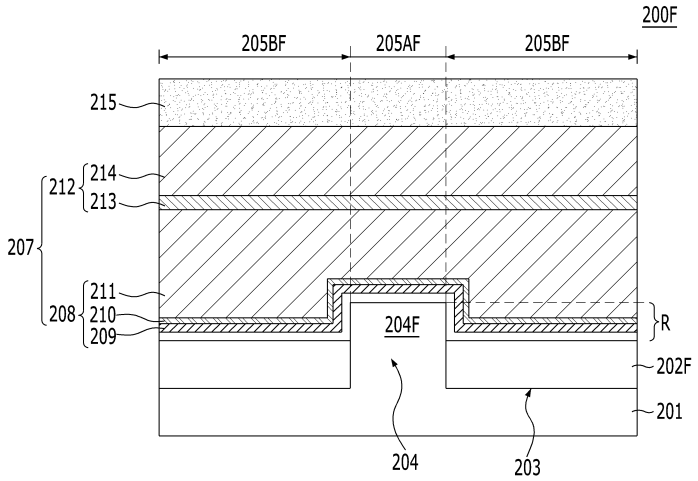
도면2b



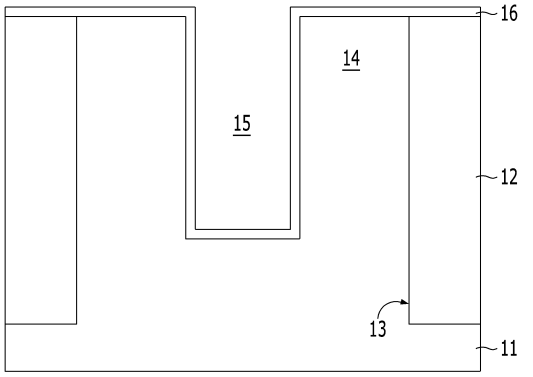
도면3a



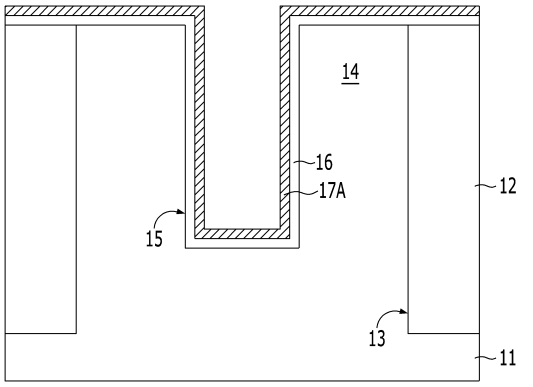
도면3b



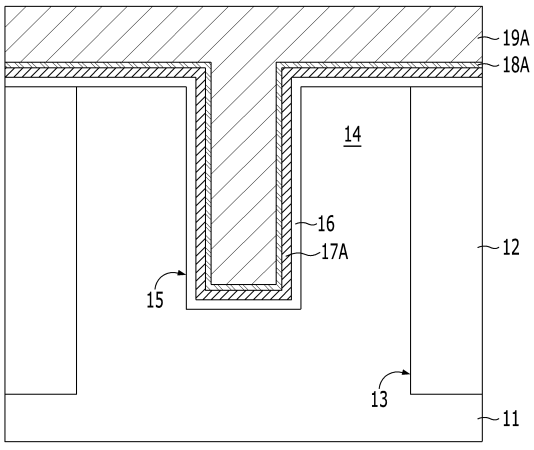
도면4a



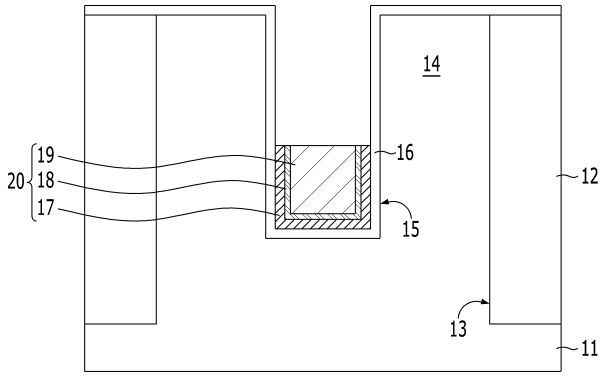
도면4b



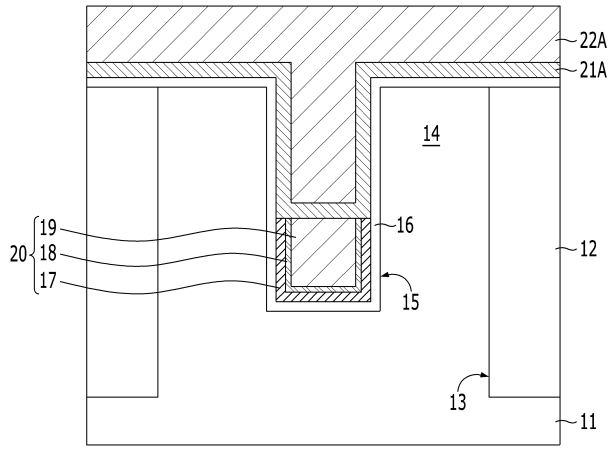
도면4c



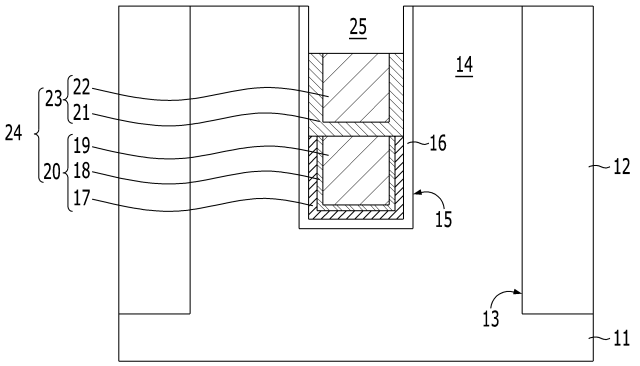
도면4d



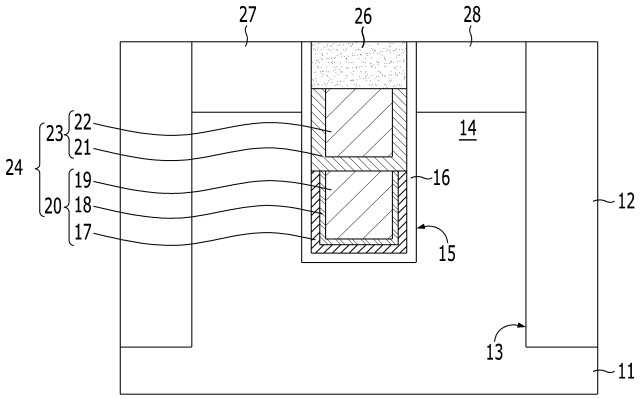
도면4e



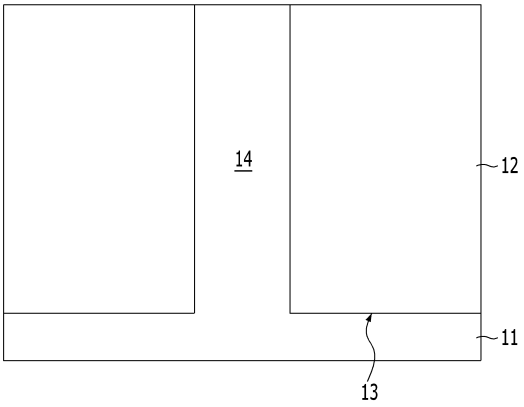
도면4f



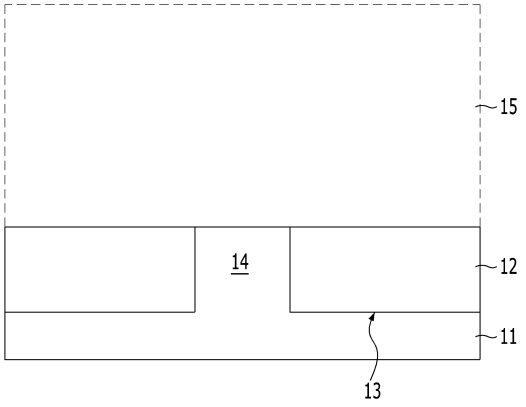
도면4g



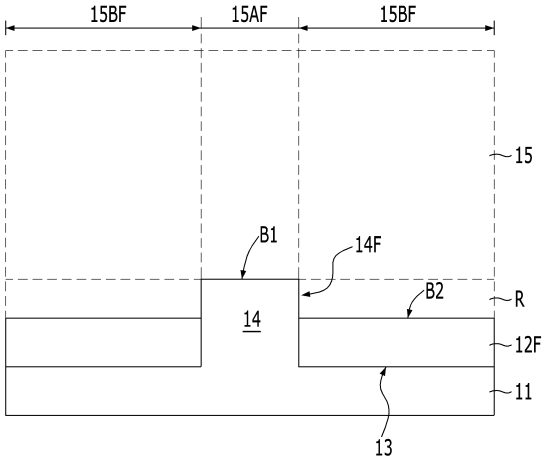
도면5a



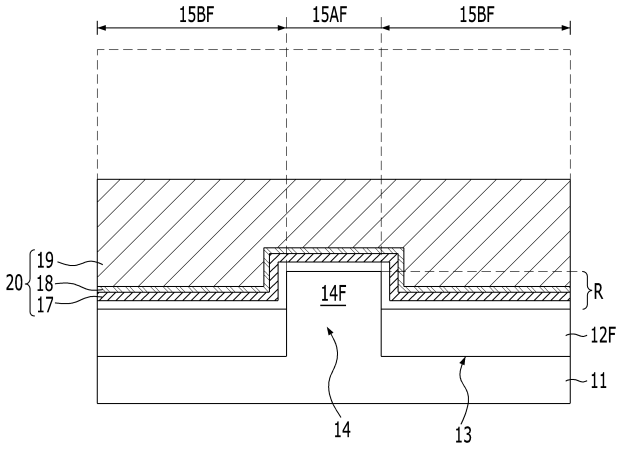
도면5b



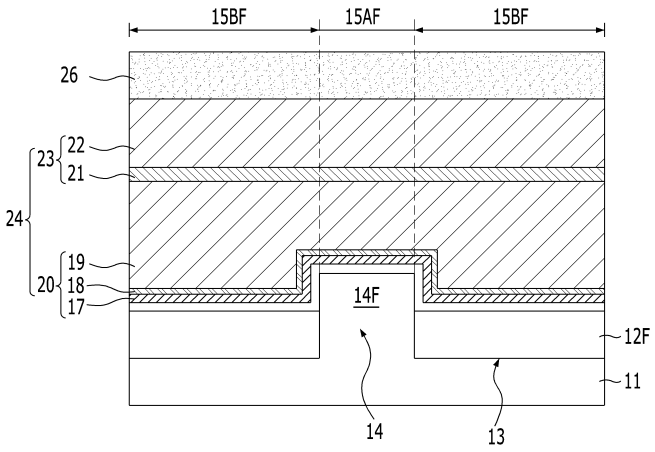
도면5c



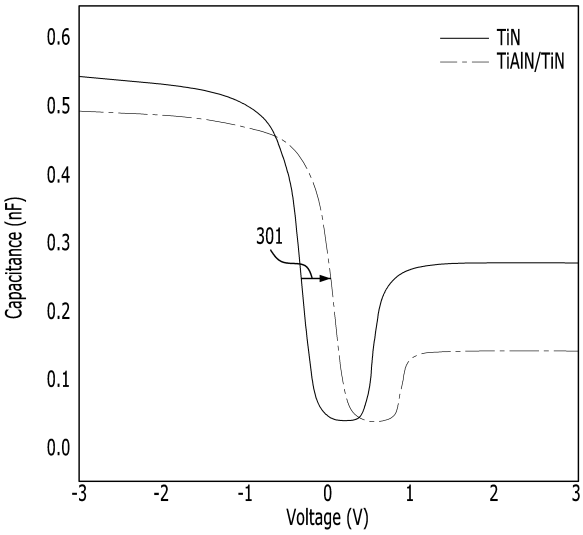
도면5d



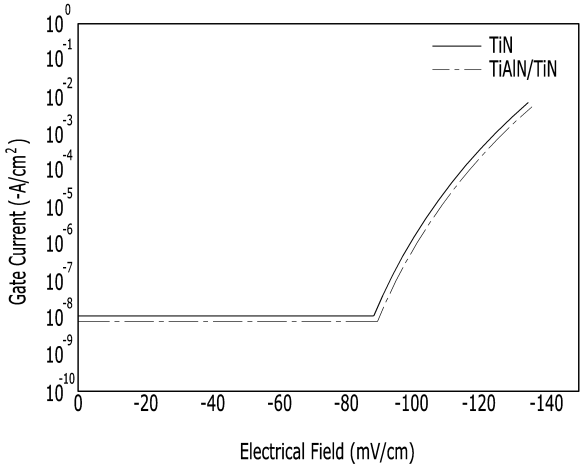
도면5e



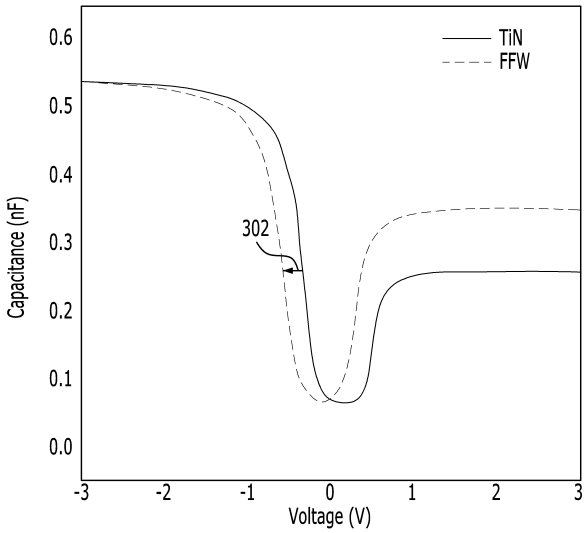
도면6a


TiN
TiAlN/TiN
301
Capacitance (nF)
Voltage (V)
0.6
0.5
0.4
0.3
0.2
0.1
0.0
-3
-2
-1
0
1
2
3

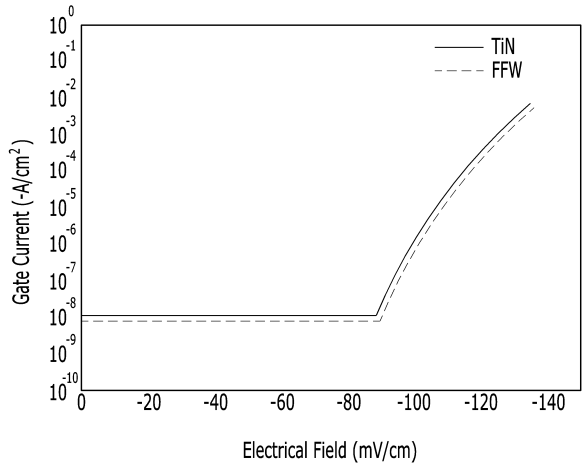
도면6b


TiN
TiAlN/TiN
Gate Current (-A/cm²)
Electrical Field (mV/cm)
0
-20
-40
-60
-80
-100
-120
-140

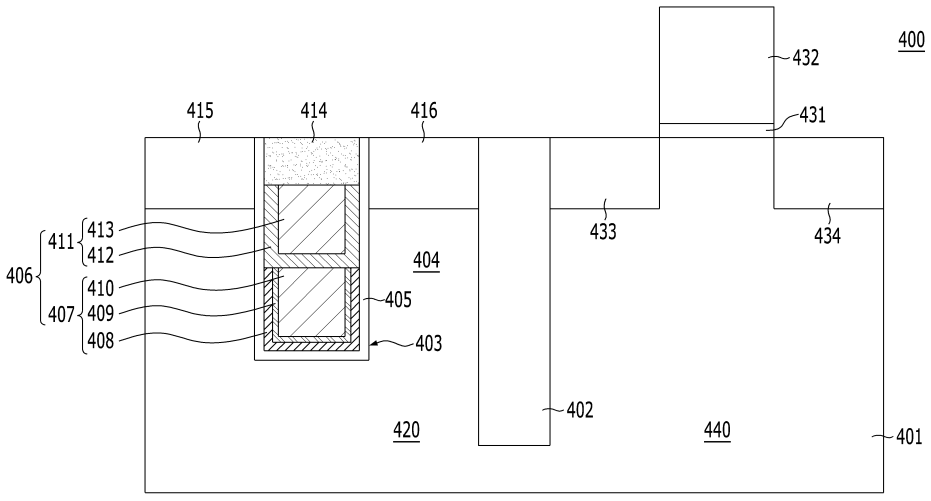
도면7a



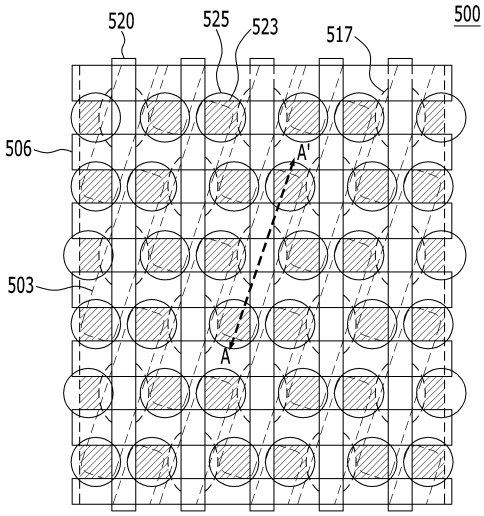
도면7b



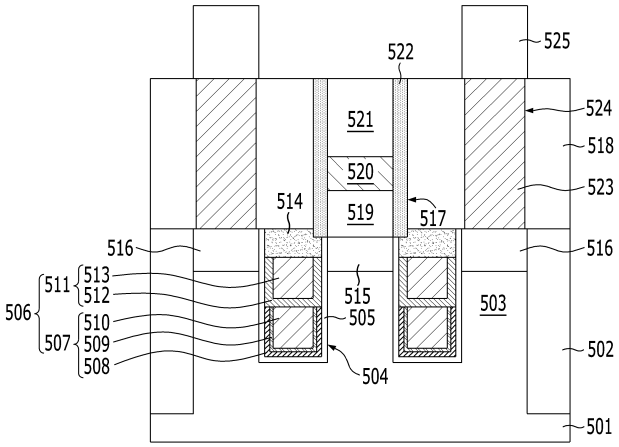
도면8



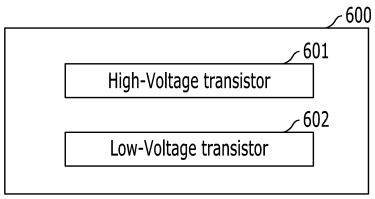
도면9



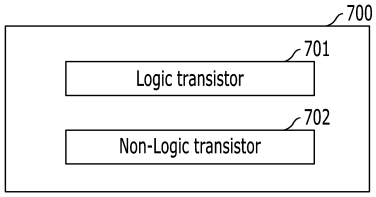
도면10



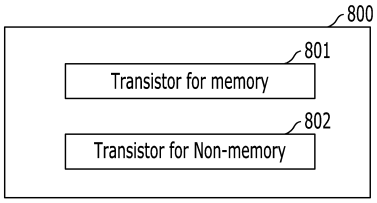
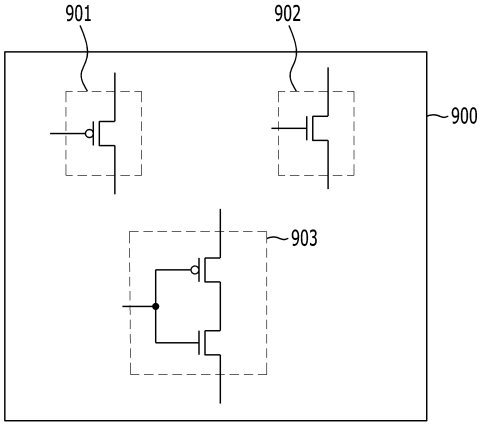
도면11a



도면11b



도면11c



도면12