

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45843

(P2010-45843A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 4 N 5/335 (2006.01)	HO 4 N 5/335 E	4 M 1 1 8
HO 1 L 27/146 (2006.01)	HO 4 N 5/335 W	5 C 0 2 4
HO 4 N 1/028 (2006.01)	HO 1 L 27/14 C	5 C 0 5 1
	HO 4 N 1/028 Z	

審査請求 有 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願2009-261357 (P2009-261357)	(71) 出願人	501263810 トムソン ライセンシング Thomson Licensing フランス国, 92130 イッシー レ ムーリノー, ル ジャンヌ ダルク, 1-5 1-5, rue Jeanne d'Arc, 92130 ISSY LES MOULINEAUX, France
(22) 出願日	平成21年11月16日(2009.11.16)	(74) 代理人	100070150 弁理士 伊東 忠彦
(62) 分割の表示	特願平9-217511の分割	(74) 代理人	100091214 弁理士 大貫 進介
原出願日	平成9年8月12日(1997.8.12)	(74) 代理人	100107766 弁理士 伊東 忠重
(31) 優先権主張番号	08/699875		
(32) 優先日	平成8年8月20日(1996.8.20)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

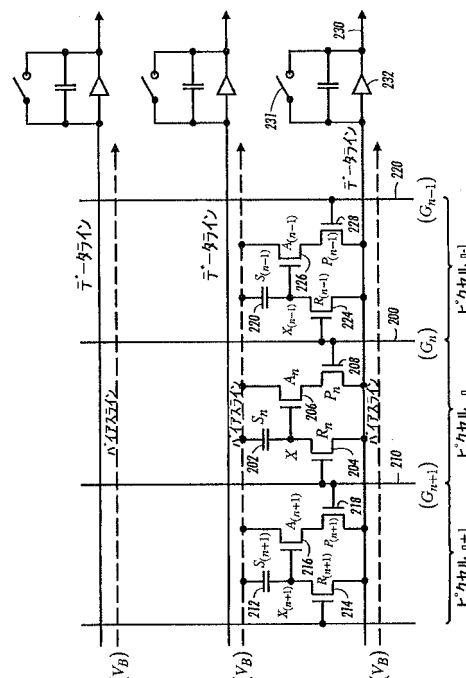
(54) 【発明の名称】 高感度イメージセンサアレイ

(57) 【要約】

【課題】イメージセンサアレイにおいて高い信号対雑音比を生み出すことにより、感度とダイナミックレンジを改善する新規なピクセル設計を提供する。

【解決手段】イメージセンサアレイは、複数の行ライン、前記複数の行ラインをアドレスする行デコーダ、複数の列ライン、前記複数の列ラインをアドレスする列デコーダ、および行ラインと列ラインの各交点にピクセルを置きやり方で配列したピクセルのアレイから成っている。各ピクセルは、1) バイアスが印加される第1ノードと、制御信号に応答してスイッチング動作を行う薄膜トランジスタ・スイッチを介して電気信号をデータラインに出力する第2ノードをもつ感光素子と、2) 前記感光素子の電気信号を増幅する増幅器であって、感光素子の電気信号を受け取る第1ノードと増幅した電気信号を出力する第2ノードをもつ増幅器とから成っている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数のゲートライン；
複数のデータライン；
複数のバイアスライン；

共通の基板上の複数のピクセル増幅器回路であって、個別のピクセル増幅器回路は、
第 1 接点及び第 2 接点を有するフォトセンサと、

前記フォトセンサの前記第 1 接点に接続されたソース接点、前記フォトセンサの前記第 2 接点に接続されたゲート接点及びドレイン接点を有する増幅器トランジスタと、

前記増幅器トランジスタの前記ドレイン接点に接続されたソース接点、前記複数のゲートラインの 1 つに接続されたゲート接点、前記複数のデータラインの 1 つに接続されたドレイン接点を有する薄膜のバストラジスタと、

前記複数のデータラインの 1 つに接続されたソース接点と、前記第 2 ゲートラインに接続されたゲート接点と、前記フォトセンサの前記第 2 接点に接続されたドレイン接点とを有する薄膜のリセットトランジスタと、

を有する、複数のピクセル増幅器回路；並びに

前記データラインを流れる電流を積分するように、前記データラインに接続されている積分器；

を有するイメージセンサアレイであって；

前記複数のゲートラインは、前記複数のゲートラインの前記 1 つが前記個別のピクセル増幅器回路の読出し及び先行して読み出された個別のピクセル増幅器回路のリセットの両方をトリガするように設定されている；

ことを特徴とするイメージセンサアレイ。

【請求項 2】

請求項 1 に記載のイメージセンサアレイにおいて、前記フォトセンサの前記第 1 接点と前記増幅器トランジスタの前記ソース接点とが前記バイアスラインに接続されている、ことを特徴とするイメージセンサアレイ。

【請求項 3】

請求項 1 に記載のイメージセンサアレイにおいて、第 2 のピクセル増幅器回路が隣接して配置されており、該第 2 のピクセル増幅器回路は、そのバストラジスタのゲート接点が前記第 2 のゲートラインに接続されている、ことを特徴とするイメージセンサアレイ。

【請求項 4】

複数のゲートライン；
複数のデータライン；
複数のバイアスライン；並びに

共通の基板上の複数のピクセル増幅器回路であって、個別のピクセル増幅器回路は、
第 1 接点及び第 2 接点を有するフォトセンサと、

前記フォトセンサの前記第 1 接点に接続されたソース接点、前記フォトセンサの前記第 2 接点に接続されたゲート接点及びドレイン接点を有する増幅器トランジスタと、

前記増幅器トランジスタの前記ドレイン接点に接続されたソース接点、前記複数のゲートラインの 1 つに接続されたゲート接点、前記複数のデータラインの 1 つに接続されたドレイン接点を有する薄膜のバストラジスタと、

前記複数のデータラインの 1 つに接続されたソース接点と、前記第 2 ゲートラインに接続されたゲート接点と、前記フォトセンサの前記第 2 接点に接続されたドレイン接点とを有する薄膜のリセットトランジスタと、

を有する、複数のピクセル増幅器回路；

を有するイメージセンサアレイであって、

前記複数のゲートラインは、前記複数のゲートラインの前記 1 つが前記個別のピクセル増幅器回路の読出し及び先行して読み出された個別のピクセル増幅器回路のリセットの両方をトリガするように設定されている；

ことを特徴とするイメージセンサアレイ。

【請求項 5】

請求項 4 に記載のイメージセンサアレイにおいて、前記フォトセンサの前記第 1 接点と前記増幅器トランジスタの前記ソース接点とが前記バイアスラインに接続されている、ことを特徴とするイメージセンサアレイ。

【請求項 6】

請求項 4 に記載のイメージセンサアレイにおいて、第 2 のピクセル増幅器回路が隣接して配置されており、該第 2 のピクセル増幅器回路は、そのパストランジスタのゲート接点と前記第 2 のゲートラインに接続されている、ことを特徴とするイメージセンサアレイ。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、一般にはイメージセンサアレイ、より詳細には高感度センサアレイの製造を可能にする新規なピクセル設計に関するものである。

【背景技術】

【0002】

大面積の 2 次元イメージセンサアレイは医療用イメージング装置や光学式走査装置として広く応用されている。典型的なイメージング装置または走査装置の核心にあるのが画素（ピクセル）のアレイである。各ピクセルは一般にセンサとパストランジスタから構成されている。センサは一般に逆バイアス付きフォトダイオードであり、パストランジスタは一般に非晶質シリコン薄膜電界効果トランジスタ（TFET）である。バイアスラインはセンサに逆バイアスを与える。センサはデータラインに接続されたパストランジスタに直列に接続されている。パストランジスタのゲート電極はゲート制御ラインによって制御される。バイアスラインが水平方向に延びており、ゲート制御ラインが垂直方向に延びていると仮定すれば、決められた行に沿ったすべてのピクセルは同じデータラインに接続されているのに対し、決められた列に沿ったパストランジスタのすべてのゲート電極は同じゲート制御ラインに接続されている。

20

【0003】

イメージセンサは一般に行と列の 2 次元アレイとして構成される。ピクセルアレイからのイメージの読出しは、行デコーダと列デコーダによって行われる。列デコーダは一度に 1 つのゲート制御ラインをアドレスするのに対し、行デコーダは同じゲート制御ラインに接続されたすべてのデータラインをアドレスする。アレイのデータラインは電荷を感知する読出し増幅器に接続されているのに対し、アレイのゲート制御ラインは外部電圧スイッチング回路に接続されている。電圧スイッチング回路はそれらのゲート制御ラインを独立して正または負電圧に保つことができる。典型的なイメージセンサアレイが “amorphous Silicon Sensor Arrays for Radiation Imaging”, Street et al., Mat. Res. Soc. Symp. Proc. Vol. 192, p.441 (1990) に記載されている。

30

【0004】

イメージング中、ゲートラインはパストランジスタをオフ状態にするバイアスに保たれる。光がセンサアレイに当たると、入射光の強度に対応する電荷が発生し、フォトダイオードセンサに格納される。

40

【0005】

読出しサイクル中、一度に 1 本のゲートラインが、そのゲートラインに沿ったすべてのパストランジスタをオンにし、そのゲートラインに沿ったピクセルに格納された電荷を同時に読み出すことができる電圧にされる。信号が読み出された後、そのゲートラインは低位になり、パストランジスタをオフにする。全 2 次元アレイを外部エレクトロニクスへ読み出すために、各連続するゲートラインを順次オンに、次にオフにすることによって、このプロセスが繰り返される。

【0006】

センサアレイの感度またはダイナミックレンジを向上させるために、センサアレイは高

50

い信号対雑音比（比較的弱い信号の検出および測定を可能にする）をもつことが重要である。センサアレイのダイナミックレンジは測定可能な最小信号（ $q_{\min}$ ）と最大信号（ $q_{\max}$ ）の比で表される。たとえば、医療用イメージング装置の場合、典型的な目標ダイナミックレンジは4000である。すなわち、測定可能な最小信号（ $q_{\min}$ ）は最大信号（ $q_{\max}$ ）よりも少なくとも4000倍小さいであろう。センサアレイの電子雑音は測定可能な最小信号（ $q_{\min}$ ）の主要な制限要因であることが多い。もし雑音すなわちイメージに関係のない電荷がピクセルの電荷容量のかなりの部分に相当していれば、センサアレイの感度および有益なダイナミックレンジは低下するであろう。

【0007】

センサアレイの雑音のレベルは多くの発生源に由来している。支配的な雑音源はデータラインに接続された読出し増幅器である。この雑音は読出し増幅器へのデータラインの入力キャパシタンスが原因である。データラインの一般的な入力キャパシタンスは50～100ピコファラッドである。現在、この雑音源は高品質の増幅では約1000～2000電子に達する。対照的に、アレイ自身に関連する固有の発生源は一般に数百電子のオーダーである。この雑音はトランジスタ抵抗とセンサキャパシタンスの熱雑音（“kTC”雑音）が原因である。

【先行技術文献】

【非特許文献】

【0008】

【非特許文献1】“amorphous Silicon Sensor Arrays for Radiation Imaging”, Street et al., Mat. Res. Soc. Symp. Proc. Vol. 192, p.441 (1990)

【発明の概要】

【発明が解決しようとする課題】

【0009】

センサアレイの雑音を最小にするために、アレイのキャパシタンスを減らすことと、読出し増幅器を再設計することに相当な努力が注がれた。しかし、信号と競合する支配的な雑音源はピクセルレベルにおいて生じないが、増幅器とそれらの入力ラインから生じるので、読出しエレクトロニクスに関連する雑音を増加させずにピクセルレベルにおける信号を改善する手法は、センサアレイの感度およびダイナミックレンジを高めることができる。

【課題を解決するための手段】

【0010】

本発明は、イメージセンサアレイにおいて高い信号対雑音比を生み出すことによって、その感度とダイナミックレンジを改善するピクセル設計を提供する。このピクセル設計は、信号を増幅するが、それに対応してセンサアレイの全雑音に及ぼす影響が最小であるピクセル内増幅器を含んでいる。詳しく述べると、このピクセル設計は信号対雑音比を高めるピクセル内単一トランジスタ増幅器を含んでいる。

【0011】

本発明の第1の利点は、多くの点で非常に効率的な設計であることである。このピクセル設計は、2トランジスタ回路を使用することにより多くの競合する要求を満たす。このピクセル設計は、そのサイズへの悪影響を最小にして、ピクセルの増幅、読出し、およびリセットを行う。

【0012】

このピクセル設計の第2の利点は、その高いピクセル充填係数である。ピクセル充填係数は感光性のあるアレイの小領域を表す。一般に、増幅器の追加は、増幅器がセンサに利用できる貴重な空間を増幅器が占めるので、ピクセル充填係数が低下する。しかし、効率的なピクセル設計のため、本発明はセンサによって占められる非常に小さい領域をピクセル内に確保する。

【0013】

第3の利点は、アレイを横切る追加のゲートラインまたはバイアスラインの費用なしに

10

20

30

40

50

、ピクセル内増幅器が追加されることである。本発明は１ピクセル当たり１本のゲートラインを使用してアレイのすべての読出しおよびリセット機能を実行する。読出しサイクル中は、１本のゲートラインがピクセルの読出しと、前に読み出したピクセルのリセットの両方を実行する。

【００１４】

本発明の第４の利点は、新規なピクセル設計がセンサアレイの現在の製造プロセスと両立することである。一般に、増幅器の追加は、追加プロセスを必要とするので、標準の製造プロセスから逸脱するであろう。しかし、このピクセル設計は、アレイの製造能力を犠牲にしないために現在の製造プロセスを用いてピクセル内増幅器を作ることができる。

【００１５】

本発明の利点および目的は、以下の発明の詳細な説明、発明の好ましい実施例、添付図面、および特許請求の範囲から明らかになるであろう。

【図面の簡単な説明】

【００１６】

【図１】本発明に係るピクセル設計の等価回路の回路図である。

【図２】本発明に係るイメージセンサアレイの回路図である。

【図３】リセットトランジスタのフィードスルー・キャパシタンスを示すピクセル設計の等価回路の回路図である。

【図４】ピクセル内のセンサの出力端における電圧とデータライン上の電流の関係を示すグラフである。

【図５】アレイの読出しサイクルの考えられるタイミング図である。

【図６】本発明に係るピクセル設計のレイアウトを示す図である。

【図７】ピクセルの各列に追加のバイアスラインを有するピクセル設計の別のレイアウトを示す図である。

【発明を実施するための形態】

【００１７】

図１に、センサアレイの信号対雑音比を高めるためにピクセル内単一トランジスタ増幅器を使用する本発明の実施例の等価回路を示す。単一トランジスタ増幅器はＴＦＴである。ＴＦＴは現在の製造技術を用いて容易にピクセルに集積される。この方法によって、各ピクセルはセンサ（Ｓ）１０２、リセットトランジスタ（Ｒ）１０４、パストランジスタ（Ｐ）１０６、および共通ソース増幅器トランジスタ（Ａ）１０８から成っている。センサ１０２は C_s の関連キャパシタンスをもつ $n-i-p$ 非晶質シリコンフォトダイオードである。ここで、“ n ”と“ p ”はそれぞれ n ドープ非晶質シリコン層と p ドープ非晶質シリコン層を示す。各ドープ層の厚さは一般に１０～１００ナノメートルである。“ i ”は厚さ約１～２ μm の真性非晶質シリコン層である。センサ１０２の p ドープ領域はバイアスラインに接続されており、その負電圧（ V_B ）がセンサ１０２を動作させるのに必要な逆バイアスを与える。もしこの実施例において $p-i-n$ フォトダイオードを使用すれば、負の代わりに正の電圧がセンサの n 型領域へ供給されるであろう。図１に示すように、センサ１０２の出力（点 X ）は増幅器（Ａ）１０８のゲートを駆動し、センサ１０２に格納された信号に対し望ましい増幅を行う。パストランジスタ（Ｐ）１０６は増幅器（Ａ）１０８に直列に接続されているので、ゲートライン（ G_n ）１１２が高位になると、パストランジスタ（Ｐ）１０６はオンにスイッチし、電流が増幅器（Ａ）１０８およびパストランジスタ（Ｐ）１０６を通してデータライン１１４へ流れる。両トランジスタを通して流れる電流はセンサ１０２に格納された電荷を反映している。ゲート電極が次のゲートライン G_{n+1} １１６に接続されたリセットトランジスタ（Ｒ）１０４は読出し期間後センサ１０２をリセットする。

【００１８】

センサ１０２のキャパシタンス C_s は一般にピコファラッドのオーダーである。バイアス電圧 V_B は数ボルトの大きさである。センサ１０２に関連する電荷（ q ）はそのキャパシタンス C_s とセンサをまたぐ電圧（ V_s ）の積である。一般に、 C_s と V_s の

10

20

30

40

50

積（センサ 102 が格納できる最大電荷量（ $q_{\max}$ ））は約 1 ~ 5 ピコクーロンである。たとえば、もし C_S と V_S の積が 1 ピコファラッドであれば、 $q_{\max}$ は 5×10^6 電子のオーダーである。目標ダイナミックレンジを 4000 と仮定すれば、望ましい検出可能な最小信号（ $q_{\min}$ ）は約 1250 電子（ 1×10^{-15} クーロン以下になる）であろう。従って、望ましい感度とダイナミックレンジを達成するため、センサによって検出可能な最小信号（ $q_{\min}$ ）はせいぜい 1250 電子のオーダーにするべきである。

【0019】

前に述べたように、信号と競合する支配的な雑音源はピクセルレベルにおいて生じないで、増幅器とそれらの入力データラインから生じる。各データラインの入力キャパシタンスは一般に 50 ~ 100 ピコファラッドであり、読出し増幅器と関連エレクトロニクスの品質によっては、約 1000 ~ 3000 電子の雑音レベルに達する。他方、ピクセルのキャパシタンスに関連する雑音は通常は数百電子のオーダーである。従って、ピクセルのキャパシタンスに関連する雑音の大きさは読出しエレクトロニクスに関連する雑音に比べて小さい。

【0020】

図 1 に示した共通ソース増幅器（A）108 によって形成されたピクセル内 T F T 増幅器は、増幅がピクセルレベルにおいて起きるので、アレイの信号対雑音比を高める。読出しエレクトロニクスに関連する雑音はそれに対応して増幅されない。一般に、信号対雑音比（ S/N ）は、ピクセルの信号をピクセルレベルおよび読出しレベルにおける雑音の加重和で割ったものに等しい。すなわち、 $S/N = \text{信号}_{\text{pixel}} / [(\text{雑音}_{\text{pixel}})^2 + (\text{雑音}_{\text{readout}})^2]^{1/2}$ ピクセル内増幅器の利得を G_{pixel} と仮定すれば、信号対雑音比は次式で表される。

$$S/N = G_{\text{pixel}} \times \text{信号}_{\text{pixel}} / [(G_{\text{pixel}} \times \text{雑音}_{\text{pixel}})^2 + (\text{雑音}_{\text{readout}})^2]^{1/2} = \text{信号}_{\text{pixel}} / [(\text{雑音}_{\text{pixel}})^2 + (\text{雑音}_{\text{readout}} / G_{\text{pixel}})^2]^{1/2}$$

上式は、利得が信号対雑音比における読出し雑音の寄与を抑制することを示している。しかし、 $(\text{雑音}_{\text{readout}} / G_{\text{pixel}})$ が $(\text{雑音}_{\text{pixel}})$ よりはるかに小さくなるほど、 G_{pixel} が大きくなると、ピクセルの雑音が優勢になり、信号対雑音比のそれ以上の向上はごく小さい。

【0021】

一例として、 $\text{雑音}_{\text{pixel}} = 200$ 電子、 $\text{雑音}_{\text{readout}} = 200$ 電子、および T F T 増幅器の利得 = 10 と仮定すれば、ピクセルレベルにおける信号と同様に雑音も 10 倍に増幅される。ピクセルレベルにおける雑音は 200 電子から 2000 電子へ 10 倍に増加するのに対し、増幅器に関連する支配的な雑音は 1.4 倍に増加するに過ぎない。言い換えると、ピクセルレベルにおける雑音の 10 倍の増加は全雑音の 10 倍の増加にならない。一般に、信号の利得が全雑音の増加によって対応して相殺されると、ブレイクイーブン点が生じる。上例の場合、ピクセルの雑音が優勢なるほど増幅が大きいとき、すなわち（利得 $\times 200$ ） > 2000 のとき、ブレイクイーブン点が生じる。

【0022】

上の計算は、さらに、本発明が著しい利得をもつ増幅器を必要としないことを示している。実際に、上例の場合、もしピクセルレベルにおける利得が 10 よりはるかに大きければ、その以上の利益はない。

【0023】

図 2 に、本発明に係るイメージセンサアレイを略図で示す。図 2 に示すように、各ゲートラインは決められた列に沿ったすべてのピクセルを読み取るのに対し、各データラインは決められた行に沿ったすべてのピクセルの信号を運ぶ。ゲートラインは、各ラインに正または負のバイアス電圧を加えることができる外部電圧スイッチング回路に接続されている。データラインは電荷を感知する読出し積分器 232 に接続されている。電圧増幅器を使用することもできる。

【0024】

光がセンサ S_n 202 に当たると、センサの出力（点 X）における電圧がバイアス電

10

20

30

40

50

圧 V_B のほうに増加する。点 X が V_B に達すると、センサ 102 に関連するキャパシタンス C_s が飽和する。点 X における電圧は、照明がないときの 0 電圧に近い値から、センサが飽和したときの約 V_B へ変化する。

【0025】

イメージング中、すべてのゲートラインは低位に保たれ、アレイ内のすべてのトランジスタはオフ状態になる。光がセンサ S_n 202 に当たると、電荷が発生し、格納され、点 X における電圧を V_X へ上昇させる。イメージングの後、センサ S_n 202 に格納された電荷を読み出すために、ゲートライン G_n 200 が高位にされる。トランジスタ A_n 206 のしきい値電圧が 0 であると仮定すれば、ゲートライン G_n 200 が高位になると、増幅器トランジスタ A_n 206 とパストランジスタ P_n 208 が共にオンにスイッチして、電流がデータライン 230 へ流れるのを許す。データライン 230 へ流れる電流は点 X における電圧によって決まり、そして選定した時間の間外部積分器 232 によって積分される。

【0026】

ピクセル $n+1$ を読み出すため、センサ S_{n+1} 212 に格納された電荷を読み出されるようにゲートライン G_{n+1} 210 が高位になる。ゲートライン G_{n+1} 210 が高位になると、パストランジスタ P_{n+1} がオンになるほか、前に読み取ったピクセルのリセットトランジスタ R_n 204 がオンになり、センサ S_n 202 をリセットする。言い換えると、ゲートライン G_{n+1} 210 は、ピクセル $n+1$ を読み出すためと、前に読み取ったピクセルをリセットするために使用される。

【0027】

図 3 に、ピクセルの等価回路を略図で示す。等価回路には、リセットトランジスタ (R) 104 のフィードスルー・キャパシタンスが示してある。図 3 に示すように、リセットトランジスタ (R) 104 のソースとゲート領域の間に寄生キャパシタンス (C_{gs}) 302 が存在し、ドレインとゲート領域の間に寄生キャパシタンス (C_{gd}) 304 が存在する。これらの寄生キャパシタンスのために、ゲートライン G_{n+1} 116 が高位になったとき、リセットトランジスタ (R) 104 が正確にアースへリセットされない。リセットトランジスタ (R) 104 のソース接点とドレイン接点をまたぐ電圧は V_R (一般にリセット電圧と呼ばれる) である。電荷がセンサ 102 から転移した後、ゲートライン G_{n+1} 116 が低位になると、一般にフィードスルー電荷は点 X を約 -0.5 ボルトの電圧 V_R へリセットする。

【0028】

図 4 は、図 3 のデータライン 114 を通る電流 (I_F) と点 X における電圧の関係を示す。読出しサイクル中、図 3 の増幅器 (A) 108 は、そのゲート電圧 V_G がそのドレイン電圧 V_D より低いので、一般にその飽和領域内で動作している。増幅器 (A) 108 が 0 ボルトのしきい値電圧をもつと仮定すれば、増幅器 (A) 108 を通る電流 I_F は次式で表される。

$$I_F = C_G \mu (Q_s - Q_{sat})^2 / C_s^2 W / (2L)$$

ここで、 C_G は増幅器 (A) 108 のチャンネルキャパシタンス、 μ はキャリア移動度、 W は幅、 L は長さ、 Q_s はセンサに格納された電荷の量、 Q_{sat} は飽和電荷である。

【0029】

一例として、 $100 \sim 150 \mu m^2$ のピクセルサイズに特有な 1 ピコファラッドのセンサキャパシタンス、4 の W/L 比、5 ボルトのゲート電圧、および 5×10^{-8} ファラッド / cm^2 のゲートキャパシタンスを仮定する。それに加えて、増幅器 (A) 108 のゲート電極に関連するキャパシタンスと、リセットトランジスタ (R) 104 および増幅器 (A) 108 に関連する寄生キャパシタンスは無視できると仮定する。仮定したパラメータの場合、 Q_s が 0 であるとき、電流 (I_F) は約 $2.5 \mu A$ であり、もし積分時間が約 20μ 秒であれば、50 ピコクーロンの全出力電荷が生じる。5 ピコクーロンの典型的な q_{max} と比べると、この出力電荷は約 10 の利得を表しており、非晶質シリコンイメージング装置の性能を劇的に向上させるはずである。トランジスタの設計しだいで、飽

10

20

30

40

50

和領域におけるリセットトランジスタ (R) 1 0 4 とパストランジスタ (P) 1 0 6 のオン抵抗は、一般に約 1 M Ω である。

【 0 0 3 0 】

図 4 に示すように、図 3 のデータライン 1 1 4 を通る電流 (I_F) と点 X における電圧との関係は、単調で、かつ非線形である。さらに、信号は極性が反転されている。信号が大きいとき、データライン 1 1 4 の電流 (I_F) は少ない。信号に対しソフトウェア利得補正とオフセット補正が定期的に行われるので、一般に、信号の極性反転はセンサアレイ設計では重要な点ではない。さらに、ピクセル設計は余分に複雑になるが、信号をより線形にすることができる。もしより高いソースバイアスを増幅器 (A) 1 0 8 に加えれば、ゲートとソース間の電圧の相対的变化が減少して、応答はより線形になる。これは、センサ 1 0 2 と増幅器 (A) 1 0 8 へ異なるバイアス電圧を加えることができる第 2 バイアスラインを追加することによって達成できるであろう。しかし、非線形性は一定の用途では重要な点でないこともある。たとえば、線形性は一般に X 線光子カウンタでは重要ではない。

10

【 0 0 3 1 】

図 5 に、図 2 に示したアレイの読出しサイクルのための考えられるタイミング図を示す。このタイミング図は、時間に対するゲートライン G_n 2 0 0 上の電圧の大きさを示す。一般にゲートラインを読み取るのにかかる時間は「ライン時間」と呼ばれ、3 0 ~ 1 0 0 μ 秒のオーダーである。すべてのゲートラインの完全な読出しを行うのに要する時間は「フレーム時間」と呼ばれ、ミリ秒から秒にわたる。このアレイ内の読出しエレクトロニクスの RC 時定数は一般に 2 ~ 5 μ 秒である。

20

【 0 0 3 2 】

読出しプロセスは一般に二重相関サンプリング手法を使用する。このサンプリング手法はすべての余分の信号を除去する 2 つの連続する測定を含んでいる。図 2 のピクセル n を読み取る前に、前のピクセル ($n - 1$) が読み出されており、そのあと $t_{OFF(n-1)}$ から t_{ON} までの時間間隔の間、すべてのゲートラインはオフのままである。ゲートライン G_n 2 0 0 が t_{ON} において高位になった後、そして前に読み出されたピクセルが正しくリセットされた後、最初の測定が t_1 に行われる。期間 t_{ON} から t_1 までの期間中、図 2 のデータライン 2 3 0 の電圧はアース電位に保たれ、そして図 2 に示したフィードバックスイッチ 2 3 1 を閉じることによって積分器 2 3 2 が使用不能にされる。最初のリセット期間は一般に 5 μ 秒続く。 t_1 において、フィードバックスイッチ 2 3 1 を開くことによって、積分器 2 3 2 が起動され、その時点で最初の測定が行われる。積分時間の終端の t_2 において、フィードバックスイッチ 2 3 1 が再び閉じられる前に、第 2 の測定が行われる。2 つの測定値の差が記録される。2 つの測定値を格納するサンプリング・キャパシタは図面に示してない。それらは一般に図 2 に示した外部積分器 2 3 2 の一部分である。その測定法のもとで、すべての余分な信号が除去される。 t_2 において第 2 の測定を行った後、センサ (S_{n-1}) 2 2 0 の出力 (点 X_{n-1}) を異なる電圧にリセットできるように、ゲートライン G_n 2 0 0 は t_{OFF} まで高位のままでもよい。最後に、ゲートライン G 2 0 0 が t_{OFF} において低位になると、次のゲートライン G_{n+1} 2 1 0 が $t_{ON(n+1)}$ においてオンになり、その時点で読出しサイクルが繰り返される。

30

40

【 0 0 3 3 】

図 6 に、非晶質シリコンセンサアレイ用の現在の製造プロセスを使用して作り出すことができる本発明のピクセル・レイアウトを示す。現在の製造プロセスは、一般に 3 つの金属層を用いて、相互接続ラインと、センサと表面接触させる追加の透明な金属膜を形成する。TFT のゲート電極を形成する相互接続層は「ゲート金属」層 1 0 1 である。そのゲート金属層 1 0 1 の上に、TFT のソース領域とドレイン領域の電極を形成するもう 1 つの金属層 1 0 3 がある。この金属層 1 0 3 は、通常、ソース/ドレイン金属すなわち「S/D 金属」と呼ばれる。S/D 金属層 1 0 3 の上に、一般に「上部金属」層 1 0 5 と「InsO」または「ITO」層 1 0 7 と呼ばれる 2 つの追加の金属層がある。

【 0 0 3 4 】

50

図 6 に示すように、リセットトランジスタ (R) 104、増幅器 (A) 108、およびパストランジスタ (P) のゲート電極は、ゲート金属層 101 で形成され、そして上部金属層 105 を用いて形成されたバイアスライン (V_B) 110 で被覆されている。バイアスライン 110 はトランジスタのゲート電極を照明から遮蔽する。この実施例の場合、ゲートライン G_{n+1} 116 はリセットトランジスタ (R) 104 のゲートに接続されているのに対し、ゲートライン G_n 112 はパストランジスタ (P) 106 のゲートに接続されている。ピクセルのピッチは一般に $100 \sim 500 \mu m$ である。

【0035】

増幅器トランジスタ (A) 108 のゲート電極は導体 602 を介してセンサ 102 の最下部電極に接続されている。増幅器トランジスタ (A) 108 のゲート電極はゲート金属層 101 で形成されているのに対し、センサ 102 の底部電極は S/D 金属層 103 で形成されている。導体 602 はゲート金属層 101 と S/D 金属層 103 の間に短絡回路を提供する。

10

【0036】

センサ 102 の底部電極は、それほかに、図 6 に示すように、リセットトランジスタ (R) 104 のソース領域を形成している。他方、リセットトランジスタ (R) 104 のドレイン領域は S/D 金属層 103 で形成され、導体 600 を介してデータライン 114 に接続されている。導体 600 は S/D 金属層 103 と上部金属層 105 とを接続する。

【0037】

データライン 114 は別の導体 606 を介してパストランジスタ (P) 106 のドレインに接続されている。導体 606 は、S/D 金属層 103 を上部金属層 105 に接続するという点で、導体 600 に似ている。さらに、図 6 に示すように、パストランジスタ (P) 106 のソースを形成している S/D 金属層 103 の一部は、そのほかに、増幅器トランジスタ (A) 108 のドレインを形成している。

20

【0038】

図 6 から判るように、センサ 102 は $150 \mu m^2$ のピクセルの面積の 50% 以上 (これは適度なセンサ充填係数を示す) を占めることがある。一般に、ピクセルサイズが大きければ大きいほど、より高い充填係数を達成することができる。もし TFT の上にセンサ層を置いてアレイを作れば、より小さいピクセルサイズ、すなわちより複雑な回路を含むことができるであろう。

30

【0039】

図 7 に、第 2 バイアスラインを使用した本発明の代替実施例を示す。この第 2 バイアスラインはゲート金属層 101 で形成されている。この手法のもとで、増幅器トランジスタ (A) 108 のソースをバイアスからセンサ 102 へ別個にバイアスすることができる。さらに、センサの出力点を +5 ボルトにリセットすることに結びつけられた、より低いバイアス (たとえば -2 ボルト) は、充填係数の低下なしに、よりすぐれた線形性を与える。

【0040】

この手法のもとで、第 2 バイアスを与えるため、追加の導体 710 が必要である。増幅器トランジスタ (A) 108 のソース領域は導体 710 を介して第 2 バイアスライン 700 に接続されている。導体 710 は S/D 金属層 103 をゲート金属層 101 に接続している。図 6 の導体 604 と異なり、導体 712 はセンサ 102 の上部電極をバイアスライン 110 に接続するだけである。導体 714 は図 6 に示した導体 600 と機能的に同じである。

40

【0041】

以上、特定の実施例について発明を説明したが、以上の説明からこの分野の専門家が多く の代替物、修正物、および均等物を容易に思いつくことは明らかである。従って、本発明は、発明の精神および特許請求の範囲に入るすべての代替物、修正物、および均等物を包含するものとする。

【符号の説明】

50

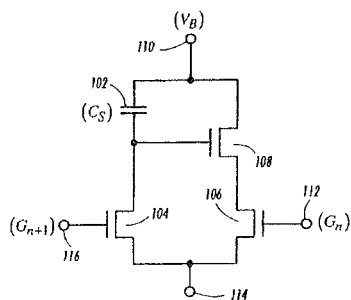
【 0 0 4 2 】

1 0 1 ゲート金属層
 1 0 2 センサ
 1 0 3 S / D 金属層
 1 0 4 リセットトランジスタ
 1 0 5 上部金属層
 1 0 6 パストランジスタ
 1 0 7 I T O 層
 1 0 8 増幅器トランジスタ
 1 1 0 バイアスライン
 1 1 2 ゲートライン
 1 1 4 データライン
 1 1 6 ゲートライン
 2 0 0 , 2 1 0 , 2 2 0 ゲートライン
 2 0 2 , 2 1 2 , 2 2 2 センサ
 2 0 6 , 2 1 6 , 2 2 6 増幅器トランジスタ
 2 0 8 , 2 1 8 , 2 2 8 パストランジスタ
 2 3 0 データライン
 2 3 1 フィードバックスイッチ
 2 3 2 外部積分器
 6 0 0 , 6 0 2 , 6 0 4 , 6 0 6 導体
 7 0 0 , 7 1 0 , 7 1 2 , 7 1 4 導体

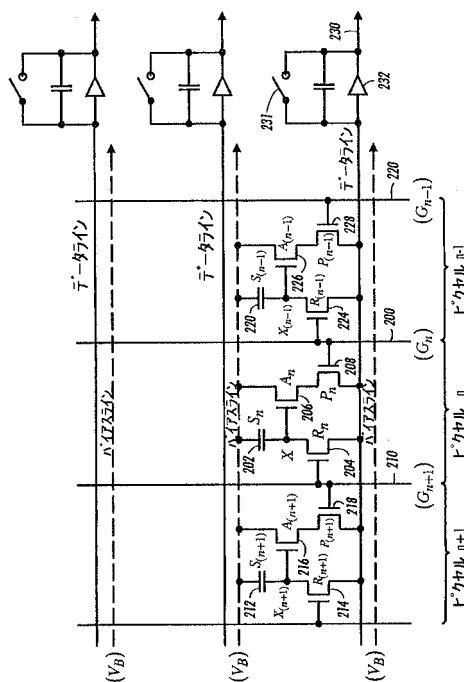
10

20

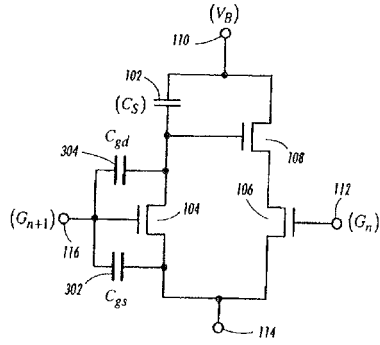
【 図 1 】



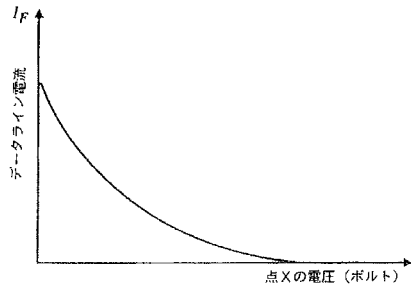
【 図 2 】



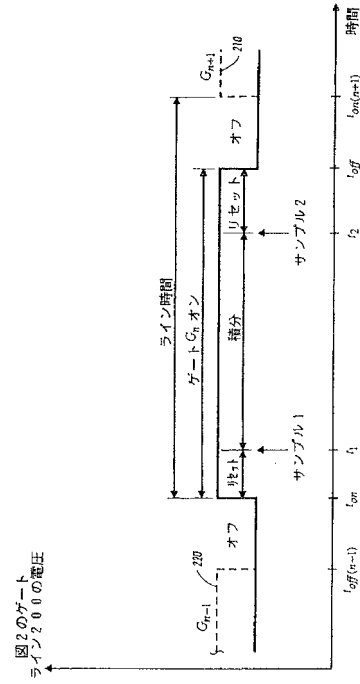
【図 3】



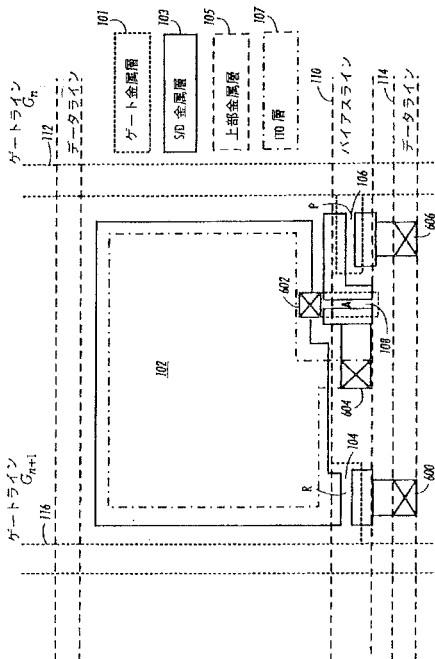
【図 4】



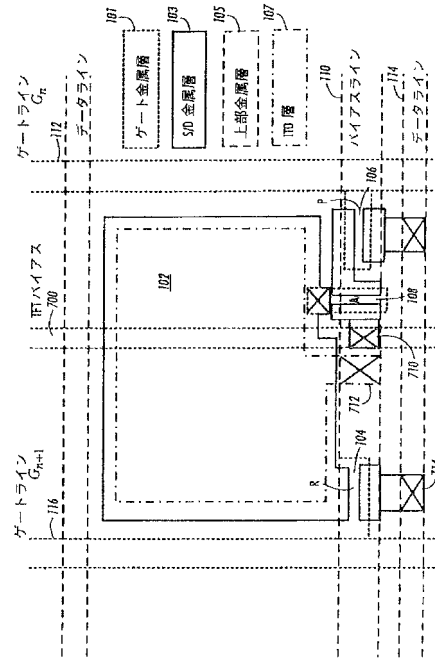
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 ロバート エイ ストリート

アメリカ合衆国 カリフォルニア州 9 4 3 0 6 パロ アルト ラパラ アベニュー 8 9 4

Fターム(参考) 4M118 AA01 AA02 AB01 BA05 CA14 CB06 EA01 EA14 FB13 FB16

5C024 CX06 CX43 GY31 HX35 HX40

5C051 AA01 BA02 DA06 DB01 DB04 DB08 DB15 DC02 DE02 FA01