

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7502258号  
(P7502258)

(45)発行日 令和6年6月18日(2024.6.18)

(24)登録日 令和6年6月10日(2024.6.10)

(51)国際特許分類	F I
H 1 0 B 41/35 (2023.01)	H 1 0 B 41/35
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78 3 7 1
H 0 1 L 29/788 (2006.01)	
H 0 1 L 29/792 (2006.01)	

請求項の数 8 (全40頁)

(21)出願番号	特願2021-500084(P2021-500084)	(73)特許権者	500147506 シリコン ストリージ テクノロジー インコーポレイテッド S I L I C O N S T O R A G E T E C H N O L O G Y , I N C . アメリカ合衆国 9 5 1 3 4 カリフォル ニア州 サンノゼ ホルガー ウェイ 4 5 0
(86)(22)出願日	令和1年6月4日(2019.6.4)	(74)代理人	110000626 弁理士法人英知国際特許商標事務所
(65)公表番号	特表2021-529439(P2021-529439 A)	(72)発明者	ジョルバ、セルゲイ フランス国 1 3 1 0 0 エクス アン ブ ロバンス、リュ ポール ギグー 1 0、ル マリニャン バット セ
(43)公表日	令和3年10月28日(2021.10.28)	(72)発明者	デコベルト、キャサリン フランス国 8 3 9 1 0 プリエール、シ 最終頁に続く
(86)国際出願番号	PCT/US2019/035459		
(87)国際公開番号	WO2020/009772		
(87)国際公開日	令和2年1月9日(2020.1.9)		
審査請求日	令和4年5月16日(2022.5.16)		
(31)優先権主張番号	16/028,244		
(32)優先日	平成30年7月5日(2018.7.5)		
(33)優先権主張国・地域又は機関	米国(US)		

(54)【発明の名称】 三次元 F I N F E T 構造体を有する分割ゲート不揮発性メモリセル、及びその製造方法

(57)【特許請求の範囲】

【請求項 1】

メモリデバイスであって、

複数の上向きに延在する第1のフィン、複数の上向きに延在する第2のフィン、及び複数の上向きに延在する第3のフィンを含む上面を有する半導体基板であって、

前記第1のフィン、前記第2のフィン、及び前記第3のフィンの各々は、互いに対向し、かつ頂面で終端する第1の側面及び第2の側面を含み、

前記複数の第3のフィンの各々は、前記基板に対して、前記複数の第1のフィンの各々、及び前記複数の第2のフィンの各々よりも高く延在し、

前記第1のフィンの各々は、第1の方向に延在する長さを有し、

前記第2のフィンの各々は、前記第1の方向に対して垂直である第2の方向に延在する長さを有し、

前記第1のフィンは、グリッドのような様式で前記第2のフィンと交差する、半導体基板と、

複数のメモリセルであって、前記複数のメモリセルの各々は、前記第1のフィンのうちの1つに形成され、

前記1つの第1のフィンの離間されたソース領域及びドレイン領域であって、前記1つの第1のフィンのチャンネル領域は、前記ソース領域と前記ドレイン領域との間を、前記1つの第1のフィンの前記頂面及び前記対向する側面に沿って延在し、前記ソース領域は、前記1つの第1のフィンと、前記第2のフィンのうちの1つとの交点において形成され

る、ソース領域及びドレイン領域と、

前記チャンネル領域の第1の部分に沿って延在する浮遊ゲートであって、前記浮遊ゲートは、前記1つの第1のフィンの周りを取り囲み、その結果、前記浮遊ゲートは、前記1つの第1のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面に沿って延在し、かつ前記1つの第1のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面から絶縁される、浮遊ゲートと、

前記チャンネル領域の第2の部分に沿って延在する選択ゲートであって、前記選択ゲートは、前記1つの第1のフィンの周りを取り囲み、その結果、前記選択ゲートは、前記1つの第1のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面に沿って延在し、かつ前記1つの第1のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面から絶縁される、選択ゲートと、

10

前記浮遊ゲートに沿って延在し、かつ前記浮遊ゲートから絶縁される制御ゲートと、前記1つの第1のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面に沿って延在し、かつ前記1つの第1のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面から絶縁され、前記1つの第2のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面に沿って延在し、かつ前記1つの第2のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面から絶縁される消去ゲートと、を含む、複数のメモリセルと、複数の論理デバイスであって、前記複数の論理デバイスの各々は、前記第3のフィンのうちの1つに形成され、

前記1つの第3のフィンの離間された論理ソース領域及び論理ドレイン領域であって、前記1つの第3のフィンの論理チャンネル領域は、前記論理ソース領域と前記論理ドレイン領域との間を、前記1つの第3のフィンの前記頂面及び前記対向する側面に沿って延在する、論理ソース領域及び論理ドレイン領域と、

20

前記論理チャンネル領域に沿って延在する論理ゲートであって、前記論理ゲートは、前記1つの第3のフィンの周りを取り囲み、その結果、前記論理ゲートは、前記1つの第3のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面に沿って延在し、かつ前記1つの第3のフィンの前記第1の側面及び前記第2の側面、並びに前記頂面から絶縁される、論理ゲートと、を含む、複数の論理デバイス、を備える、メモリデバイス。

#### 【請求項2】

前記メモリセルは、前記第2の方向に延在する行、及び前記第1の方向に延在する列に配列され、前記第2のフィンの各々は、前記メモリセルの行の前記ソース領域を共に電気的に接続する、請求項1に記載のメモリデバイス。

30

#### 【請求項3】

前記メモリセルの各々について、前記消去ゲートは、前記浮遊ゲートの上縁に沿って延在し、かつ前記浮遊ゲートの上縁から絶縁され、前記浮遊ゲートの前記上縁に面する切り欠きを含む、請求項1に記載のメモリデバイス。

#### 【請求項4】

前記論理ゲートのうちの1つは、第1の絶縁材によって前記第3のフィンのうちの1つから絶縁され、前記論理ゲートのうちの別の1つは、第2の絶縁材によって前記第3のフィンのうちの別の1つから絶縁され、前記第1の絶縁材は、前記第2の絶縁材の厚さよりも大きい厚さを有する、請求項1に記載のメモリデバイス。

40

#### 【請求項5】

メモリデバイスを形成する方法であって、  
半導体基板の上面に、複数の上向きに延在する第1のフィン、複数の上向きに延在する第2のフィン、及び複数の上向きに延在する第3のフィンを形成するステップであって、  
前記第1のフィン、前記第2のフィン、及び前記第3のフィンの各々は、互いに対向し、かつ頂面で終端する第1の側面及び第2の側面を含み、  
前記複数の第3のフィンの各々は、前記基板に対して、前記複数の第1のフィンの各々、及び前記複数の第2のフィンの各々よりも高く延在し、

50

前記第 1 のフィンの各々は、第 1 の方向に延在する長さを有し、

前記第 2 のフィンの各々は、前記第 1 の方向に対して垂直である第 2 の方向に延在する長さを有し、

前記第 1 のフィンは、グリッドのような様式で前記第 2 のフィンと交差する、形成するステップと、

前記第 1 のフィンに複数のメモリセルを形成するステップであって、各メモリセルは、前記第 1 のフィンのうちの 1 つに、

前記 1 つの第 1 のフィンの離間されたソース領域及びドレイン領域を形成するステップであって、前記 1 つの第 1 のフィンのチャンネル領域は、前記ソース領域と前記ドレイン領域との間を、前記 1 つの第 1 のフィンの前記頂面及び前記対向する側面に沿って延在し、前記ソース領域は、前記 1 つの第 1 のフィンと前記第 2 のフィンのうちの 1 つとの交点において形成される、形成するステップと、

10

前記チャンネル領域の第 1 の部分に沿って延在する浮遊ゲートを形成するステップであって、前記浮遊ゲートは、前記 1 つの第 1 のフィンの周りを取り囲み、その結果、前記浮遊ゲートは、前記 1 つの第 1 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面に沿って延在し、かつ前記 1 つの第 1 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面から絶縁される、形成するステップと、

前記チャンネル領域の第 2 の部分に沿って延在する選択ゲートを形成するステップであって、前記選択ゲートは、前記 1 つの第 1 のフィンの周りを取り囲み、その結果、前記選択ゲートは、前記 1 つの第 1 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面に沿って延在し、かつ前記 1 つの第 1 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面から絶縁される、形成するステップと、

20

前記浮遊ゲートに沿って延在し、かつ前記浮遊ゲートから絶縁される制御ゲートを形成するステップと、

前記 1 つの第 1 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面に沿って延在し、かつ前記 1 つの第 1 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面から絶縁され、前記 1 つの第 2 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面に沿って延在し、かつ前記 1 つの第 2 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面から絶縁される、消去ゲートを形成するステップと、によって形成される、形成するステップと、

30

前記第 3 のフィンに複数の論理デバイス形成するステップであって、前記論理デバイスの各々が、前記第 3 のフィンのうちの 1 つに、

前記 1 つの第 3 のフィンの離間された論理ソース領域及び論理ドレイン領域を形成するステップであって、前記 1 つの第 3 のフィンの論理チャンネル領域は、前記論理ソース領域と前記論理ドレイン領域との間を、前記 1 つの第 3 のフィンの前記頂面及び前記対向する側面に沿って延在する、形成するステップと、

前記論理チャンネル領域に沿って延在する論理ゲートを形成するステップであって、前記論理ゲートは、前記 1 つの第 3 のフィンの周りを取り囲み、その結果、前記論理ゲートは、前記 1 つの第 3 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面に沿って延在し、かつ前記 1 つの第 3 のフィンの前記第 1 の側面及び前記第 2 の側面、並びに前記頂面から絶縁される、形成するステップと、によって形成される、形成するステップと、

40

を含む、方法。

#### 【請求項 6】

前記メモリセルは、前記第 2 の方向に延在する行、及び前記第 1 の方向に延在する列に配列され、前記第 2 のフィンの各々は、前記メモリセルの行の前記ソース領域を共に電気的に接続する、請求項 5 に記載の方法。

#### 【請求項 7】

前記メモリセルの各々について、前記消去ゲートは、前記浮遊ゲートの上縁に沿って延在し、かつ前記浮遊ゲートの上縁から絶縁され、前記浮遊ゲートの前記上縁に面する切り

50

欠きを含む、請求項 5 に記載の方法。

【請求項 8】

前記論理ゲートのうちの 1 つは、第 1 の絶縁材によって、前記第 3 のフィンの中の 1 つから絶縁され、前記論理ゲートのうちの別の 1 つは、第 2 の絶縁材によって、前記第 3 のフィンの中の別の 1 つから絶縁され、前記第 1 の絶縁材は、前記第 2 の絶縁材の厚さよりも大きい厚さを有する、請求項 5 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(優先権の主張)

本出願は、2018年7月5日に出願された「Split Gate Non-volatile Memory Cells With Three-Dimensional FINFET Structure, And Method Of Making Same」と題する米国特許出願第16/028,244号の優先権を主張する。

【0002】

(発明の分野)

本発明は、不揮発性フラッシュメモリセルアレイに関する。

【背景技術】

【0003】

分割ゲート不揮発性メモリデバイスは、当技術分野において周知である。例えば、米国特許第7,927,994号は、分割ゲート不揮発性メモリセルを開示している。図1は、半導体基板12に形成されたかかる分割ゲートメモリセルの一例を例証する。ソース領域及びドレイン領域16及び14は、基板12の拡散領域として形成され、それらの間にチャンネル領域18を画定する。メモリセルは、4つの導電性ゲート、すなわち、チャンネル領域18の第1の部分及びソース領域16の一部分の上方に配設され、かつチャンネル領域18の第1の部分及びソース領域16の一部分から絶縁された浮遊ゲート22、浮遊ゲート22の上方に配設され、かつ浮遊ゲート22から絶縁された制御ゲート26、ソース領域16の上方に配設され、かつソース領域16から絶縁された消去ゲート24、及びチャンネル領域18の第2の部分の上方に配設され、かつチャンネル領域18の第2の部分から絶縁された選択ゲート20を含む。導電性接点10が形成されて、ドレイン領域14に電気的に接続することができる。チャンネル領域は半導体基板の平面に沿って形成されるため、デバイスの幾何形状が小さくなるにつれて、チャンネル領域の総面積(例えば、幅)も小さくなる。これにより、ソース領域とドレイン領域との間の電流の流れが低減し、メモリセルの状態を検出するために、より高感度のセンス増幅器が必要になる。

【0004】

リソグラフィ・サイズが縮小し、それによってチャンネル幅が狭くなるという問題は、全ての半導体デバイスに影響を与えるので、Fin-FET型の構造体が提案された。Fin-FET型の構造体において、半導体材料のフィン形部材が、ソース領域をドレイン領域に接続する。このフィン形部材は、頂面で終端する2つの側面を有する。次いで、ソース領域からドレイン領域への電流が、その2つの側面及び頂面に沿って流れ得る。したがって、チャンネル領域の幅が増大し、これにより電流の流れが増大する。しかしながら、チャンネル領域の幅は、チャンネル領域を2つの側面及び頂面に「折り畳み」、それにより、チャンネル領域の「占有面積」を減少させることによって、より多くの半導体の実スペースを犠牲にすることなく、増大する。かかるFin-FETを使用する不揮発性メモリセルが開示されており、浮遊ゲートは、フィン形部材の側面のうちの1つに隣接して配設される。先行技術のFin-FET型不揮発性メモリ構造体のいくつかの例(ただし、ゲートの数及び構成は、上記の図1の平面例から変化するが)としては、米国特許第7,423,310号、同第7,410,913号、及び同第8,461,640号、並びに米国特許公開第2017/0345840号が挙げられる。フィン形部材に論理デバイスを形成することも提案されている。例えば、米国特許公開第2017/0125429号及び係属

10

20

30

40

50

中の米国特許出願第 1 5 / 9 3 3 , 1 2 4 号を参照されたい。

【 0 0 0 5 】

しかしながら、これらの先行技術の F i n - F E T 構造体は、電荷を格納するために、浮遊ゲートをスタック・ゲート構成に使用すること、又はトラップ材料を使用すること、又はシリコン・リッチ酸化物 (silicon rich oxide、S R O ) を使用すること、又はナノ結晶シリコンを使用すること、又は他のより複雑なメモリセル構成を開示している。

【 発明の概要 】

【 0 0 0 6 】

前述の問題及び必要性は、複数の上向きに延在するフィンを含む上面を有する半導体基板を含むメモリデバイスによって対処され、そのフィンの各々は、互いに対向し、かつ頂面で終端する第 1 の側面及び第 2 の側面を含む。メモリセルは、複数のフィンのうちの第 1 のフィンに形成され、そのメモリセルは、第 1 のフィンの離間されたソース領域及びドレイン領域であって、その第 1 のフィンのチャンネル領域は、ソース領域とドレイン領域との間を第 1 のフィンの頂面及び対向する側面に沿って延在する、ソース領域及びドレイン領域と、チャンネル領域の第 1 の部分に沿って延在する浮遊ゲートであって、その浮遊ゲートは、第 1 のフィンの第 1 の側面及び第 2 の側面、並びに頂面に沿って延在し、かつ第 1 のフィンの第 1 の側面及び第 2 の側面、並びに頂面から絶縁される、浮遊ゲートと、チャンネル領域の第 2 の部分に沿って延在する選択ゲートであって、その選択ゲートは、第 1 のフィンの第 1 の側面及び第 2 の側面、並びに頂面に沿って延在し、かつ第 1 のフィンの第 1 の側面及び第 2 の側面、並びに頂面から絶縁される、選択ゲートと、浮遊ゲートに沿って延在し、かつ浮遊ゲートから絶縁される制御ゲートと、ソース領域に沿って延在し、かつソース領域から絶縁される消去ゲートと、を含む。複数のフィンのうちの第 2 のフィンは、第 1 の方向に延在する長さを有しており、第 1 のフィンは、第 1 の方向に対して垂直である第 2 の方向に延在する長さを有しており、ソース領域は、第 1 のフィンと第 2 のフィンとの交点において、第 1 のフィンに形成される。

【 0 0 0 7 】

メモリデバイスは、複数の上向きに延在する第 1 のフィン、及び複数の上向きに延在する第 2 のフィンを含む上面を有する半導体基板を含む。第 1 及び第 2 のフィンの各々は、互いに対向し、かつ頂面で終端する第 1 の側面及び第 2 の側面を含む。第 1 のフィンの各々は、第 1 の方向に延在する長さを有する。第 2 のフィンの各々は、第 1 の方向に対して垂直である第 2 の方向に延在する長さを有する。第 1 のフィンは、グリッドのような様式で第 2 のフィンと交差する。複数のメモリセルは、第 1 のフィンに形成され、そのメモリセルの各々は、第 1 のフィンのうちの 1 つに形成され、1 つの第 1 のフィンの離間されたソース領域及びドレイン領域であって、その 1 つの第 1 のフィンのチャンネル領域は、ソース領域とドレイン領域との間を、1 つの第 1 のフィンの頂面及び対向する側面に沿って延在する、ソース領域及びドレイン領域と、チャンネル領域の第 1 の部分に沿って延在する浮遊ゲートであって、その浮遊ゲートは、1 つの第 1 のフィンの第 1 の側面及び第 2 の側面、並びに頂面に沿って延在し、かつ 1 つの第 1 のフィンの第 1 の側面及び第 2 の側面、並びに頂面から絶縁される、浮遊ゲートと、チャンネル領域の第 2 の部分に沿って延在する選択ゲートであって、その選択ゲートは、1 つの第 1 のフィンの第 1 の側面及び第 2 の側面、並びに頂面に沿って延在し、かつ 1 つの第 1 のフィンの第 1 の側面及び第 2 の側面、並びに頂面から絶縁される、選択ゲートと、浮遊ゲートに沿って延在し、かつ浮遊ゲートから絶縁される制御ゲートと、ソース領域に沿って延在し、かつソース領域から絶縁される消去ゲートであって、ソース領域は、1 つの第 1 のフィンと、第 2 のフィンのうちの 1 つとの交点において形成される、消去ゲートと、を含む。

【 0 0 0 8 】

メモリデバイスを形成する方法は、複数の上向きに延在するフィンを半導体基板の上面に形成するステップであって、フィンの各々は、互いに対向し、かつ頂面で終端する第 1 の側面及び第 2 の側面を含む、形成するステップと、複数のフィンのうちの第 1 のフィンにメモリセルを形成するステップと、を含む。このメモリセルは、第 1 のフィンの離間さ

10

20

30

40

50

れたソース領域及びドレイン領域を形成するステップであって、第1のフィンのチャンネル領域は、ソース領域とドレイン領域との間を、第1のフィンの頂面及び対向する側面に沿って延在する、形成するステップと、チャンネル領域の第1の部分に沿って延在する浮遊ゲートを形成するステップであって、浮遊ゲートは、第1のフィンの第1の側面及び第2の側面、並びに頂面に沿って延在し、かつ第1のフィンの第1の側面及び第2の側面、並びに頂面から絶縁される、形成するステップと、チャンネル領域の第2の部分に沿って延在する選択ゲートを形成するステップであって、選択ゲートは、第1のフィンの第1の側面及び第2の側面、並びに頂面に沿って延在し、かつ第1のフィンの第1の側面及び第2の側面、並びに頂面から絶縁される、形成するステップと、浮遊ゲートに沿って延在し、かつ浮遊ゲートから絶縁される制御ゲートを形成するステップと、ソース領域に沿って延在し、かつソース領域から絶縁される消去ゲートを形成するステップと、によって形成される。複数のフィンのうちの第2のフィンは、第1の方向に延在する長さを有しており、第1のフィンは、第1の方向に対して垂直である第2の方向に延在する長さを有しており、ソース領域は、第1のフィンと第2のフィンとの交点において、第1のフィンに形成される。

【0009】

10

メモリデバイスを形成する方法は、半導体基板の上面に、複数の上向きに延在する第1のフィン、及び複数の上向きに延在する第2のフィンを形成するステップであって、第1及び第2のフィンの各々は、互いに対向し、かつ頂面で終端する第1の側面及び第2の側面を含み、第1のフィンの各々は、第1の方向に延在する長さを有し、第2のフィンの各々は、第1の方向に対して垂直である第2の方向に延在する長さを有し、第1のフィンは、グリッドのような様式で第2のフィンと交差する、形成するステップを含む。この方法は、第1のフィンに複数のメモリセルを形成するステップであって、各メモリセルは、第1のフィンのうちの1つに、1つの第1のフィンの離間されたソース領域及びドレイン領域を形成するステップであって、1つの第1のフィンのチャンネル領域は、ソース領域とドレイン領域との間を、1つの第1のフィンの頂面及び対向する側面に沿って延在する、形成するステップと、チャンネル領域の第1の部分に沿って延在する浮遊ゲートを形成するステップであって、浮遊ゲートは、1つの第1のフィンの第1の側面及び第2の側面、並びに頂面に沿って延在し、かつ1つの第1のフィンの第1の側面及び第2の側面、並びに頂面から絶縁される、形成するステップと、チャンネル領域の第2の部分に沿って延在する選択ゲートを形成するステップであって、選択ゲートは、1つの第1のフィンの第1の側面及び第2の側面、並びに頂面に沿って延在し、かつ1つの第1のフィンの第1の側面及び第2の側面、並びに頂面から絶縁される、形成するステップと、浮遊ゲートに沿って延在し、かつ浮遊ゲートから絶縁される制御ゲートを形成するステップと、ソース領域に沿って延在し、かつソース領域から絶縁される消去ゲートを形成するステップであって、ソース領域は、1つの第1のフィンと、第2のフィンのうちの1つとの交点において形成される、形成するステップと、によって形成するステップを更に含む。

20

30

【0010】

本発明の他の目的及び特徴は、明細書、特許請求の範囲、及び添付図面を精読することによって明らかになるであろう。

【0011】

40

【0012】

【0013】

【0014】

【図面の簡単な説明】

【0015】

【図1】従来の不揮発性メモリセルの横断面図である。

【図2】他の図の様々な断面図方向を示すメモリエリアの上面図である。

【図3A】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図3B】本発明のメモリデバイスを形成する際のステップを示す論理デバイスエリアの

50







【図 2 4 A】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 4 B】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 4 C】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 4 D】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 4 E】本発明のメモリデバイスを形成する際のステップを示す論理デバイスエリアの横断面図である。

10

【図 2 5 A】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 5 B】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 5 C】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 5 D】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 5 E】本発明のメモリデバイスを形成する際のステップを示す論理デバイスエリアの横断面図である。

20

【図 2 6 A】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 6 B】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 6 C】本発明のメモリデバイスを形成する際のステップを示す論理デバイスエリアの横断面図である。

【図 2 7 A】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

【図 2 7 B】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

30

【図 2 8】本発明のメモリデバイスを形成する際のステップを示すメモリエリアの、異なる断面位置及び方向の横断面図である。

#### 【発明を実施するための形態】

##### 【0016】

本発明は、各々が4つのゲート、すなわち、浮遊ゲート28、制御ゲート30、選択ゲート32、及び消去ゲート34を有するFin-FET分割ゲート型メモリセルを有するメモリデバイスである。Fin-FET論理デバイスは、メモリセルと同じ基板に形成される。図2は、基板のメモリエリアのメモリセルのミラーペアの構成を示す上面図である。メモリセルのミラーペアは、共通ソース領域36（すなわち、基板の第1の導電型とは異なる第2の導電型を有する基板の領域）を共有し、（第2の導電型の）ドレイン領域38は、隣接するメモリセルのペア（図示せず）間で共有される。この基板は、半導体基板42の上面の交差フィン形状部分40及び41を含む。これらのメモリセルは、フィン形状部分40に形成される。図2は、順次説明される図の断面図方向a、b、c、及びdを更に示す。

40

##### 【0017】

製造プロセスは、半導体基板42の異なるエリアを選択的に注入することによって開始される。基板42の様々なエリアが図3A及び図3Bに示されており（すなわち、図3A及び図3Bは、同一の基板42の異なるエリアを示す）、基板は、メモリセル及び論理デバイスに関連する4つのエリア、すなわち、（メモリセルが形成される）メモリエリア42aと、（高電圧論理デバイスが形成される）HVエリア42bと、（コア論理デバイス

50

が形成される)論理コアエリア42cと、(入力/出力論理デバイスが形成される)論理I/Oエリア42dと、を有する。エリア42b、42c、及び42dは、本明細書では、論理エリアと総称される。好ましくは、選択的な注入は、1つ以上の注入ステップ(例えば、このエリアに形成された高電圧論理デバイスのソースからドレインへの漏出を防止するアンチパンチスルー注入)に晒されるHVエリアを除いて、マスキング材料で基板を覆うことによって開始される。これをメモリエリアに対して繰り返すことができる(例えば、マスキング材料で他のエリアを覆い、このエリアに形成されたメモリセルのソースからドレインへの漏出を防止するアンチパンチスルー注入を実行する)。

#### 【0018】

次いで、図4A及び図4Bに示すように、基板42のメモリエリアの上面は、基板の論理エリアと比べて、陥凹(下げる)される。これは、好ましくは、基板42に材料層(例えば、窒化ケイ素)を形成し、続いて、マスキングステップ(すなわち、フォトレジスト堆積、選択的フォトリソグラフィ露光、及び選択的フォトレジスト除去)を行い、論理エリアの窒化ケイ素にフォトレジストを残すが、メモリエリアに窒化ケイ素を露出させたままにすることによって行われる。窒化ケイ素エッチングを使用して、基板面を露出させたまま、メモリエリアから窒化ケイ素を除去する。基板42の露出部分(メモリエリア)を酸化させ、続いて、基板の酸化部分を除去するための湿式酸化物エッチングが続き、基板の頂部を効果的に除去する(その上面を効果的に下げる/陥凹させる)。これらのステップは、所望のレベルの表面凹部Rが達成されるまで(例えば、300~500nm)、繰り返すことができる。次いで、窒化物エッチングを使用して、窒化物を除去する。

#### 【0019】

次いで、フィンが、基板上面に形成される。具体的には、交差するフィンが、メモリエリアに形成され、一方では、並列フィンが、論理エリアに形成される。二酸化ケイ素(酸化物)層46は、基板42の4つのエリア(メモリ、HV、論理コア、及び論理I/O)全ての上面に形成される。酸化物層46に窒化ケイ素(窒化物)層48が形成される。ハードマスク材料(例えば、アモルファスカーボン)50が、窒化物層48に形成される。図5A及び図5Bに示すように、フォトレジスト52が、ハードマスク材料に形成され、マスキングステップを使用してパターン形成されて、ハードマスク材料のストリップを露出させる。図6A及び図6Bに示すように、エッチングを実行して、ハードマスク材料の露出部分を除去し、ハードマスク材料のストリップを残す(フォトレジスト除去後)。

#### 【0020】

酸化物層54が、構造体の上方に形成される。図7A及び図7Bに示すように、この層は、ハードマスク材料のストリップの間の間隔がメモリエリア内の間隔(その層がハードマスク材料のストリップの間の空間を充填する)よりも大きいために、論理エリアで共形である。続いて、異方性酸化物エッチングを行い、これにより、ハードマスクストリップの垂直な側壁にスペーサを残す。図8A及び図8Bに示すように、カーボン湿式ストリップエッチングを使用して、カーボンのハードマスク材料を除去する。図8Aに示すように、メモリエリアの、図6Aの2つの隣接するパターンの間隔は、合併されたスペーサを形成するために、酸化物層54の2倍以下の厚さであることが好ましい。フォトレジストが、構造体の上方に形成及びパターン形成されて、メモリエリアの交互の酸化物スペーサ/ブロック、場合によっては、論理エリアのいくつかの酸化物スペーサを覆うフォトレジストのストリップを残す。次いで、酸化物エッチングを使用して、フォトレジストによって露出されたままの酸化物スペーサを除去する。フォトレジストを除去した後、次いで、1つ以上のエッチングを実行して、酸化物スペーサの直下には存在しない、基板42の窒化物48、酸化物46、及び上部の部分除去し、その結果として、基板に延在するトレンチ56の形成が得られ、隣接するトレンチ56の間に、基板42の薄いフィン構造体58が残る。フィン58は、メモリエリアの垂直/列方向、及び水平/行方向の両方に延在する。その結果得られた構造体を、図9A~図9Bに示す(酸化物スペーサの除去後)。図9Cは、メモリエリアの上面図を示し、ここでは、フィン58が、グリッドパターン状に行方向及び列方向に延在する(すなわち、列方向に延在する長さを有する、垂直に延

在するフィンが、行方向に延在する長さを有する、水平に延在するフィンと、グリッドのような様式で交差する)。メモリエリアでは、各フィン58の最終幅は、ほぼ10~50nmであり得る。

#### 【0021】

図9Bは、HVエリア、論理コアエリア、及び論理IOエリアの各々に1つのフィン58のみを示し、図9Aは、メモリエリアに2つのフィン58のみを示すが、多くの複数のフィンが、各エリアに形成される。図示されていないが、フィン間の間隔は、エリアに基づいて変化する。例えば、論理コアエリアの隣接するフィンの間隔は、好ましくは、メモリエリアの隣接するフィンを分離する距離のほぼ半分である。絶縁材60(例えば、酸化物)が、構造体の上方に形成され(酸化物60でトレンチ56を充填することを含む)、続いて、酸化物平坦化(例えば、CMP)が行われ、窒化物48の頂部の上方の酸化物60の任意の部分を除去する。ハードマスク層(例えば、窒化物)62が、論理エリアの上方に形成されるが、メモリエリアの上方には形成されない。次いで、酸化物エッチングを使用して、メモリエリアの酸化物60を陥凹させる(すなわち、同酸化物の上部を除去する)。その結果得られた構造体を、図10A及び図10Bに示す。

#### 【0022】

メモリエリアのフィン58の頂部にある窒化物48及び酸化物46が、除去される(論理エリアの窒化物層62を保護するためのフォトレジストを使用して)。次いで、酸化物層64が、メモリエリアの各フィン58の2つの側面及び頂面に形成される(例えば、酸化によって)。次いで、図11A~図11Dに示すように、ポリシリコン(ポリ)66が、構造体(酸化物64を含む)に形成される。次いで、ポリ層66のin-situドーピングが実行される。図12A~図12Eに示すように、マスクングステップ及びポリエッチングが実行されて、メモリエリア(各フィン58の間)のトレンチ56の底部にあるポリ層66の選択された部分を除去する。絶縁層67(例えば、酸化物-窒化物-酸化物の副層を有するONO(oxide-nitride-oxide sublayers))が、構造体に形成される。次いで、ポリシリコン68の厚い層が、ONO層67(in-situドーピングの対象となり得る)に形成される。次いで、ハードマスク層69(例えば、アモルファスカーボン)が、ポリ層68に形成される。その結果得られた構造体が、図13A~図13Eに示される。

#### 【0023】

図14A~図14Eに示すように、マスクングステップ及び1つ以上のエッチングが実行されて、メモリエリアのフィン58の頂部に沿って、ハードマスク層69、ポリ層68、及びONO層67のうちの選択された部分を除去し、メモリエリアの各フィン58の頂面には、ゲートスタックのペアS1及びS2が残る。HTO堆積及びアニールが実行されて、ゲートスタックS1及びS2の側面に沿って、酸化物層70を形成する。窒化物堆積及びエッチングが実行されて、酸化物層70に沿って、窒化物層71を形成する。犠牲酸化物スペーサ72が、酸化物の堆積及びエッチングにより、窒化物層71に沿って形成される。その結果得られた構造体を、図15A~図15Eに示す。

#### 【0024】

フォトレジスト74は、マスクングステップを使用してゲートスタックペアS1及びS2の各々の間に形成される。次いで、図16A~図16Eに示すように、WLV注入が実行され、続いて、スタックペアS1及びS2の外側の酸化物スペーサ72を除去する酸化物エッチングが行われる。フォトレジストの除去後、図17A~図17Eに示すように、ポリエッチングを使用して、浮遊ゲートポリ層66の露出部分を除去する(スタックS1とスタックS2との間から)。次いで、図18A~図18Eに示すように、酸化物スペーサ75が、酸化物の堆積及びエッチングによって、スタックS1及びS2の側面に沿って形成される。フォトレジストが、マスクングステップを使用して、メモリエリアの部分に選択的に形成され、続いて、エッチングして、論理エリア、及びメモリエリアの選択された部分から、ハードマスク69、ポリ層68及び66、並びにONO層67を除去する。フォトレジスト除去後、マスクングステップを使用して、HVエリア以外の構造体をフ

10

20

30

40

50

フォトレジストで覆い、そのHVエリアは、酸化物及び窒化物エッチングの対象となって、フィン58の窒化物及び酸化物を除去し、そしてフィン58の両側の酸化物60に陥凹させる。次いで、図19A～図19Eに示すように、酸化物層80が、Hエリア（例えば、RTO+HTO、及びアニール）、及びメモリエリアの露出したフィン58に形成される。  
【0025】

マスクングステップを使用して、ゲートスタックペアS1及びS2の各々の間のエリア以外の構造体をフォトレジストで覆う。ゲートスタックペアS1及びS2の各々の間の基板で、注入が実行される（すなわち、ソース線SLを形成するためのソース線注入、すなわち、b断面で示されるようなソース領域、並びにa断面及びc断面に示されるような水平/行方向に延在するフィン58のソース線）。次いで、図20A～図20Eに示すように（フォトレジストの除去後）、酸化物エッチングを使用して、その同じ領域のスペーサ75及び72を除去し、続いて、ポリ層66の露出した面、並びにゲートスタックS1及びS2の内側の側壁にトンネル酸化物層84を形成する（例えば、湿式又は部分的湿式の堆積によって、基板の酸化物を厚くし、続いて、HTOの堆積によって、ポリ層66に所望の厚さを達成し、アニールする）。

10

【0026】

図21に示すように、メモリエリア及びHVエリアは、フォトレジストPRで覆われ、論理コアエリア及び論理IOエリアは、酸化物エッチングの対象となって、酸化物60が陥凹する。次いで、1つ以上の注入が実行される（この注入は、これらのエリアに形成された論理デバイスのソースのドレインへの漏出を防止することになるアンチパンチスルー注入を含むことが好ましい）。フォトレジストの除去後、図22A～図22Eに示すように、フォトレジストPRが、ゲートスタックS1及びS2の各々の間のエリア、並びに論理エリアに形成され、続いて、酸化物エッチングによって、スタックのペアの外側の基板フィン58の酸化物を除去する。次いで、フォトレジストが、メモリエリア及びHVエリアに形成され、続いて、酸化物及び窒化物のエッチングによって、フィン58の酸化物及び窒化物を除去する。次いで、図23A～図23Eに示すように、酸化物86が、論理コアエリア及び論理IOエリアの露出したフィン58（並びに基板42の他の露出部分）に形成される。論理コアエリア及び論理IOエリアのフィン58の酸化物86は、HVエリアのフィンの酸化物80より薄い。

20

【0027】

図24A～図24Eに示すように、ポリ層88が、構造体の上方に形成される。図25A～25Eに示すように、化学機械研磨（CMP）を使用して、その構造体の上部を除去し、平坦化する。図26A及び図26Bに示すように、マスクングステップ及びポリエッチングを使用して、隣接するゲートスタックペアの間のポリ層88の一部を除去し、ゲートスタックS1及びS2の各々の間のポリブロック88a、並びにゲートスタックS1及びS2の各ペアの外側部分のポリブロック88b及び88cを残す。図26Cに示すように、ポリエッチングはまた、論理エリアのフィン58のポリ層88の部分も除去し、ポリブロック88dを残す。1つ以上のマスクングステップ及び注入ステップを使用して、論理エリアに基板を選択的に注入する。

30

【0028】

1つ以上の注入が実行されて、基板42にメモリエリア及び論理デバイスのためのソース領域及びドレイン領域を形成する。具体的には、メモリエリアドレイン領域38が、ポリブロック88b及び88cに隣接して形成される。論理ソース領域及び論理ドレイン領域は、残っているポリブロック88dに隣接するHVエリア、論理コアエリア、及び論理IOエリアに形成される。絶縁層（例えば、酸化物）98は、構造体の上方に形成され、（例えば、研磨停止部としてポリブロック88を使用するCMPによって）平坦化される。サリサイド100がポリブロック88及び68の露出した面に形成されることが好ましい。その結果得られた構造体を、図27A及び図27Bに示す。

40

【0029】

追加の絶縁材が、構造体の上方に形成される。コンタクトホールが、ドレイン領域38

50

、並びにポリブロック 88 及び 68 に延在し、かつこれらを露出させる絶縁材に形成される。メモリセルの論理デバイス及びドレイン領域のための、フィンのソース領域及びドレイン領域は、少なくとも部分的にエッチング除去することができ、続いて、SiGe (P型FETデバイス用) 又はSiC (N型FETデバイス用) エピタキシープロセスによって、メモリセルのための隆起したドレイン領域 38a、並びに論理デバイスのための隆起したソース領域及びドレイン領域を形成し、これらの領域が、移動度を向上させる (すなわち、直列抵抗を低減する) 圧縮応力又は引張応力を誘発させることが好ましい。次いで、図 28 に示すように、コンタクトホールが、金属で充填されて、ドレイン領域 38、並びにポリブロック 88 及び 68 に電氣的に接続される金属接点 110 を形成する。

#### 【0030】

メモリエリア 42a のフィン 58 の最終的な構造体を、図 28 に示す。メモリセルのペアが、各フィン 58 に沿って、端から端まで形成される。各メモリセルは、ソース領域 36 とドレイン領域 38 との間に延在する、基板のチャネル領域 112 (すなわち、ソース領域 36 とドレイン領域 38 との間のフィン 58 の 2 つの側面、及び頂面に沿った、基板のそれらの部分) を含む。ポリ 66 は、チャネル領域 112 の第 1 の部分の上方に配設され、かつチャネル領域 112 の第 1 の部分から絶縁される浮遊ゲート 28 である。ポリ 68 は、制御ゲート 30 であり、これは、浮遊ゲート 28 の上方に延在し、かつ浮遊ゲート 28 から絶縁される。ポリ 88b/c は各々、選択ゲート 32 であり、それらの各々は、チャネル領域 112 の第 2 の部分の上方に配設され、かつチャネル領域 112 の第 2 の部分から絶縁される。ポリ 88a は各々、消去ゲート 34 であり、それらの各々は、浮遊ゲートのペア 28 に隣接し、かつ浮遊ゲートのペア 28 から絶縁されており、ソース領域 36 の上方に配設され、かつソース領域 36 から絶縁される。消去ゲート 34 は、浮遊ゲートの角部に面する切り欠きを含む。フィン 58 は、2 つの対向する側面、及び頂面を有する。浮遊ゲート 28 は、フィン 58 の周りを取り囲み、その結果、フィン 58 の対向する両方の側面、及びその頂面に隣接し、かつフィン 58 の対向する両方の側面、及びその頂面から絶縁される。選択ゲート 32 はまた、フィン 58 の周りも取り囲み、その結果、フィン 58 の対向する両方の側面、及びその頂面に隣接し、かつフィン 58 の対向する両方の側面、及びその頂面から絶縁される。したがって、本構成の 1 つの利点は、チャネル領域 112 の表面積が、平坦なチャネル領域にわたって、等しいサイズのメモリセルに対してサイズが大きい (すなわち、浮遊ゲートと、選択ゲートと、基板との間の表面重なり量が、これらの要素によって占有される基板の水平面積よりも大きい) ことである。

#### 【0031】

HV エリア 42b、論理コアエリア 42c、及び論理 IO エリア 42d のフィン 58 の上部及び周りの最終的な構造体は、各ゲートがそれぞれのフィン 58 の周りを取り囲み、その結果、そのゲートが、フィン 58 の対向する両方の側面、及び頂面に隣接し、かつフィン 58 の対向する両方の側面、及び頂面から絶縁されるという点で、同様である。したがって、本構成の別の利点は、論理デバイスの各々のチャネル領域の表面積が、平坦なチャネル領域にわたって、等しいサイズの論理デバイスに対してサイズが大きい (すなわち、論理ゲートと基板との間の表面重なり量が、この要素によって占有される基板の水平面積よりも大きい) ことである。HV エリアのゲート酸化物 80 は、より高い電圧動作のために、他の論理エリアのゲート酸化物 86 よりも厚い。各論理デバイスは、論理ソース領域及びドレイン領域を含み、論理チャネル領域が、それらの間にある。

#### 【0032】

他の利点としては、フィン 58 の頂部及び両側面の周りを取り囲む共形ゲートが、メモリエリア (すなわち、浮遊ゲート及び選択ゲート) 並びに論理エリア (すなわち、論理ゲート) の両方に形成される点が挙げられる。更に、メモリエリアのフィンを陥凹させることによって、メモリセルの頂部及び論理デバイスは、メモリセルのゲートスタックが論理デバイスの論理ゲートよりも高い場合であっても、互いに対してほぼ等しい。加えて、メモリセル及び 3 つの異なる型の論理デバイスは全て、同じ半導体基板のフィン形基板構造体に形成され、各メモリセルは、単一のフィンに形成され、各論理デバイスは、単一のフ

10

20

30

40

50

インに形成され、フィン間の間隔の低減を可能にする。

【0033】

最後に、ソース線SLの各々は、水平に延在するフィン58のうちの1つに沿って、かつメモリセルの行を通して延在し、隣接するセル間の分離領域を横切って（行方向に）延在する連続的なソース線を提供する。これにより、セルをより小さなサイズに縮小することが可能になり、その理由は、この構成により、メモリセルの各ペアのソース線接点を形成する必要性を回避するからである。逆に、フィンに沿って延在する連続的なソース線は、周期的なストラップ接点（例えば、32個又は64個の列毎に）を通してストラップに電氣的に接続することができる。列毎に1つではなく、32個又は64個の列毎の接点を有することによって、そのメモリセルのサイズ、つまり、メモリセルのメモリアレイを劇的に低減することができる。

10

【0034】

本発明は、上記に説明され、かつ本明細書に例証された実施形態（複数可）に限定されるものではなく、それらの実施形態によって維持される任意の特許請求の範囲に属する任意又はすべての変形例も包含することが理解され得る。例えば、本明細書で本発明に言及することは、任意の特許請求項又は特許請求項の用語の範囲を限定することを意図しておらず、その代わりに、単に、1つ以上の特許請求項によって網羅され得る1つ以上の特徴に言及するものである。上述の材料、プロセス、及び数値例は単に代表的なものであり、いずれの請求項も限定するものとみなされるべきではない。更に、全ての方法ステップを、例証した厳密な順序で実行する必要はない。フィンは、メモリと論理エリアとの間に連続的に延在することができる。例えば、（メモリセルが形成される）メモリアレイの1つ以上のフィンは、メモリアレイから、（論理デバイスが形成される）論理エリアに連続的に延在することができ、この場合、メモリデバイス及び論理デバイスは、同じ連続的に形成されたフィンに形成することができる。最後に、単一層の材料をそのような又は同様の材料の複数層として形成することができ、逆もまた同様である。

20

【0035】

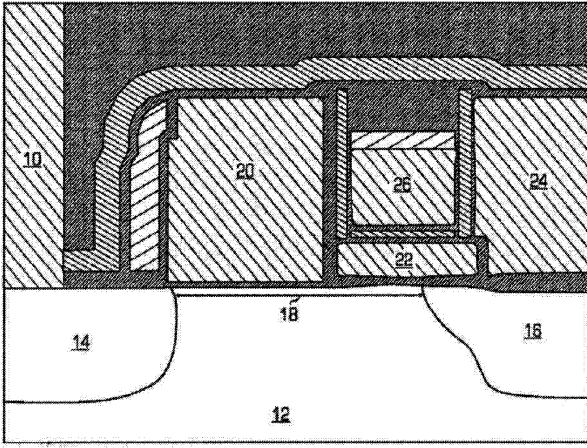
本明細書で使用される、用語「～の上方に（over）」及び「に（on）」は共に、「直接に」（中間材料、要素、又は間隙がそれらの間に配設されていない）及び「間接的に～上に」（中間材料、要素、又は間隙がそれらの間に配設される）を包括的に含むことに留意されるべきである。同様に、「隣接した」という用語は、「直接隣接した」（中間材料、要素、又は間隙がそれらの間に配設されていない）、及び「間接的に隣接した」（中間材料、要素、又は間隙がそれらの間に配設される）を含み、「取り付けられた」は、「直接取り付けられた」（中間材料、要素、又は間隙がそれらの間に配設されていない）、及び「間接的に取り付けられた」（中間材料、要素、又は間隙がそれらの間に配設される）を含み、「電氣的に結合された」は、「直接電氣的に結合された」（中間材料又は要素がそれらの間で要素を電氣的に連結していない）、及び「間接的に電氣的に結合された」（中間材料又は要素がそれらの間で要素を電氣的に連結する）を含む。例えば、「基板の上方に」要素を形成することは、中間材料/要素が介在せずに直接基板にその要素を形成することも、1つ以上の中間材料/要素が介在して間接的に基板の上にその要素を形成することも含む可能性がある。

30

40

【図面】

【図 1】



(先行技術)

【図 2】

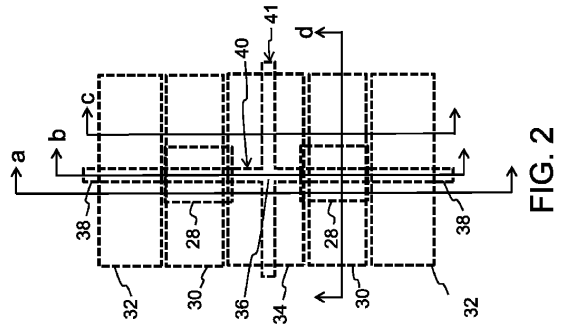
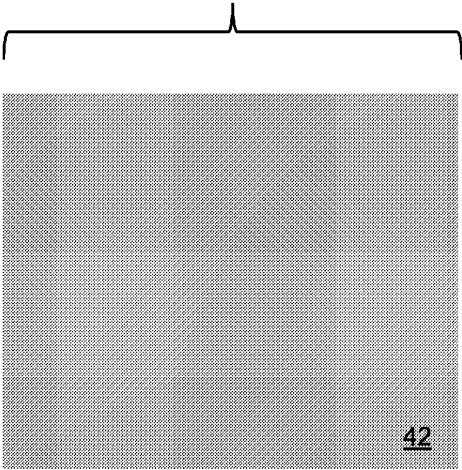


FIG. 2

【図 3 A】

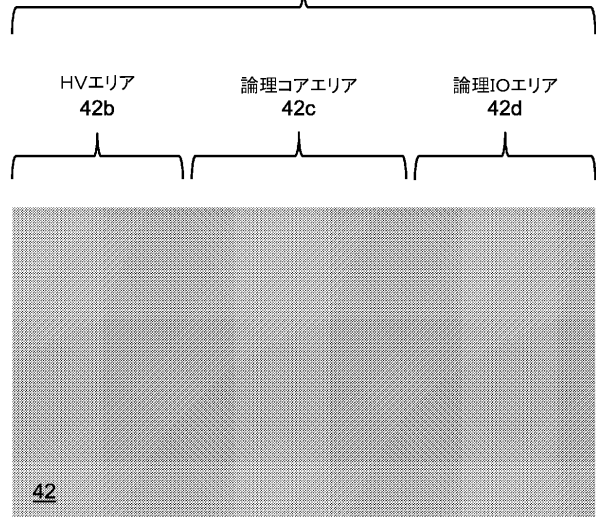
メモリエリア  
42a



(断面cに沿って)

【図 3 B】

論理エリア



10

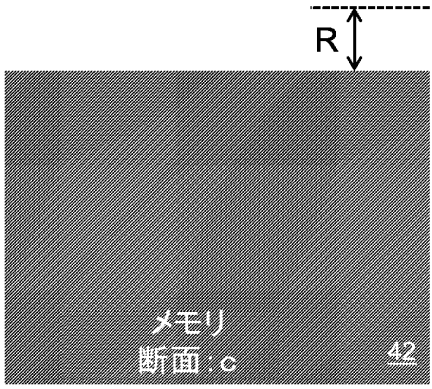
20

30

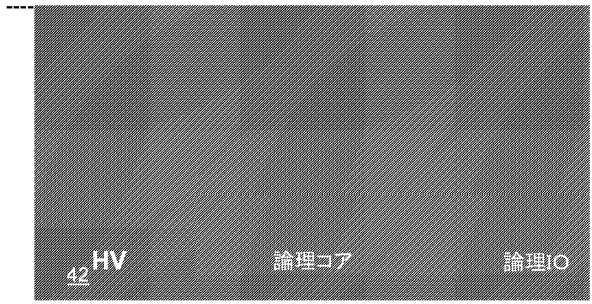
40

50

【図 4 A】

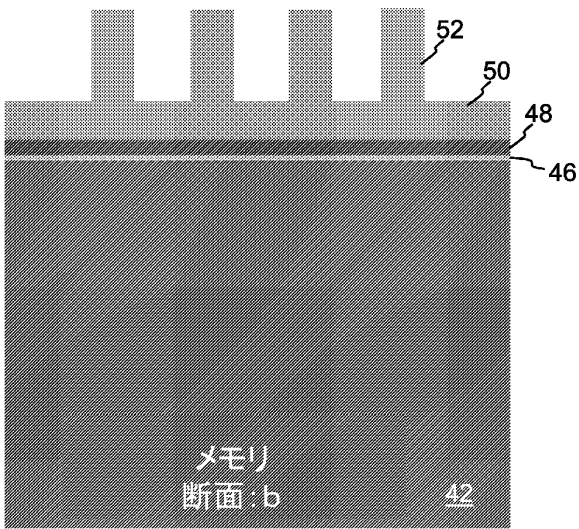


【図 4 B】

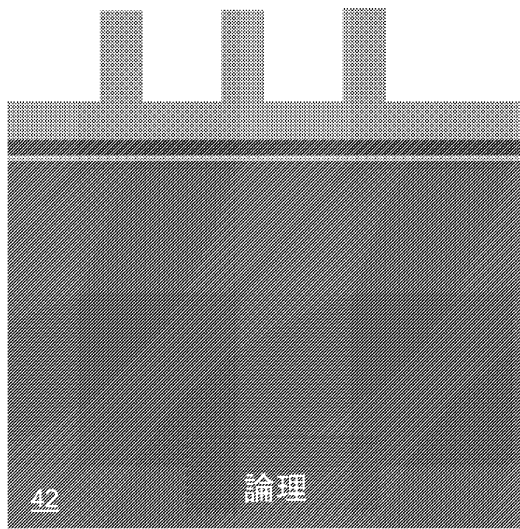


10

【図 5 A】



【図 5 B】



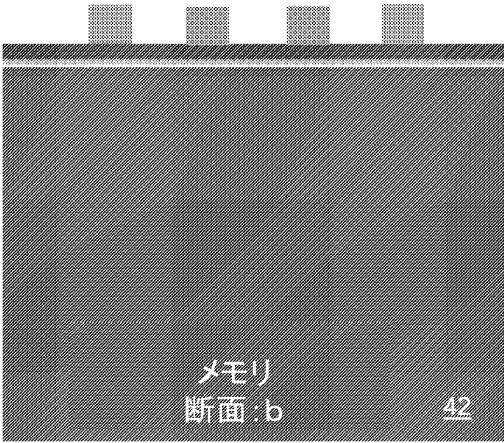
20

30

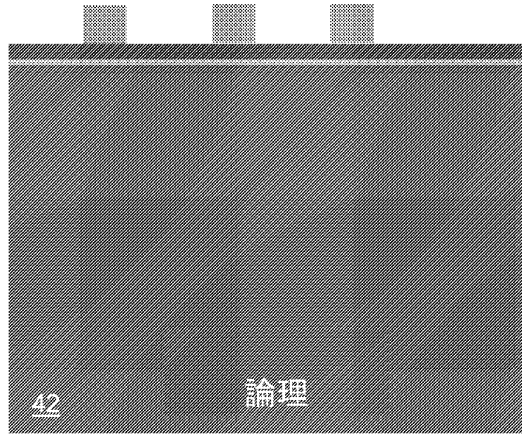
40

50

【図 6 A】

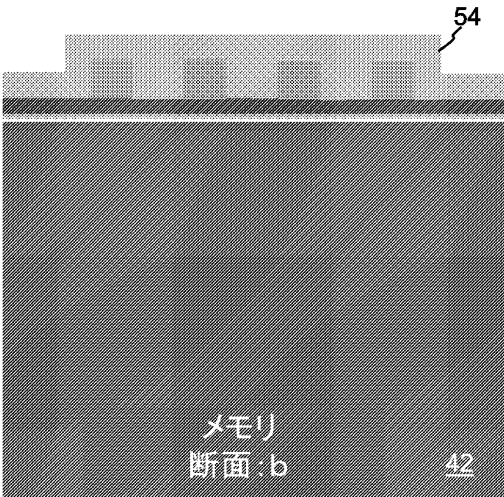


【図 6 B】

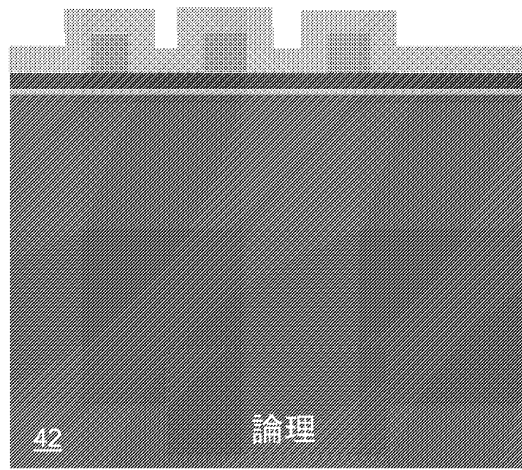


10

【図 7 A】



【図 7 B】



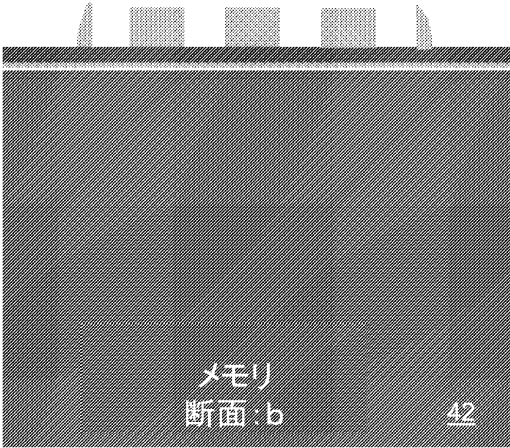
20

30

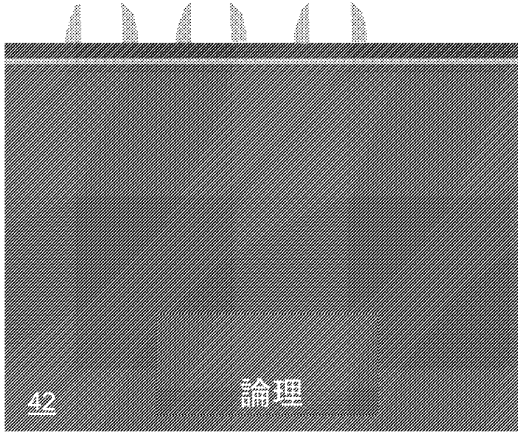
40

50

【図 8 A】

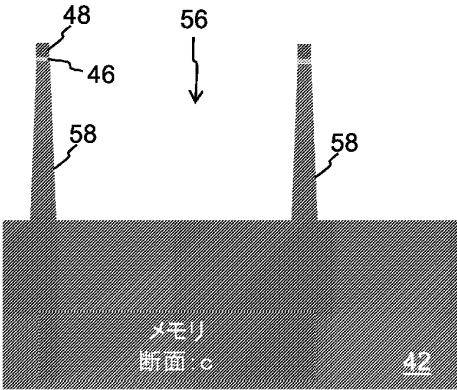


【図 8 B】

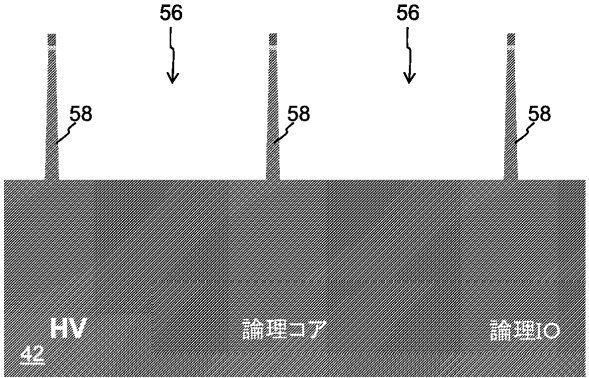


10

【図 9 A】



【図 9 B】



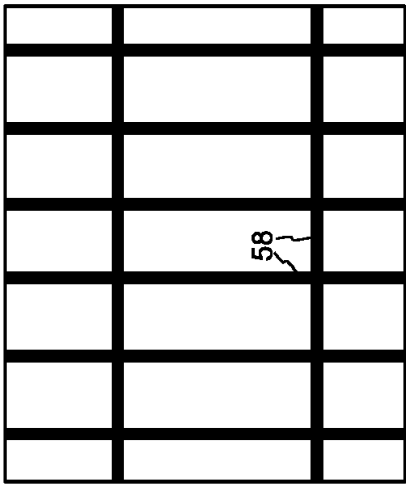
20

30

40

50

【図 9 C】



【図 10 A】

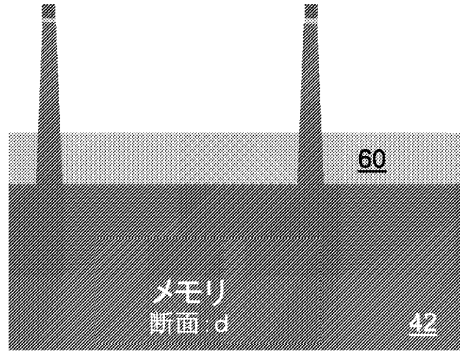
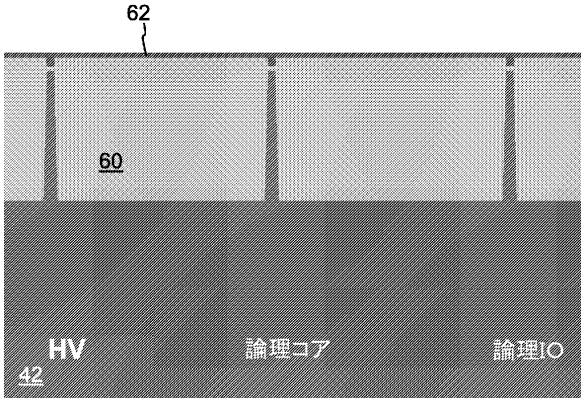


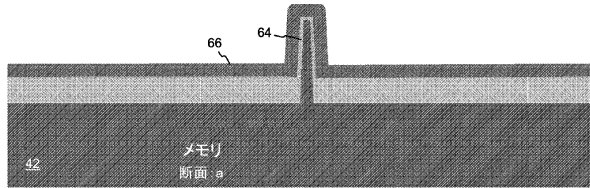
FIG. 9C

10

【図 10 B】



【図 11 A】



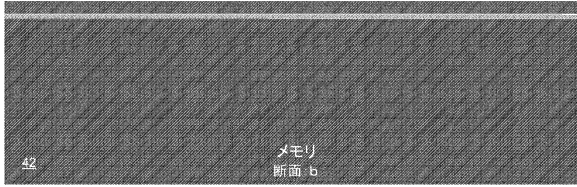
20

30

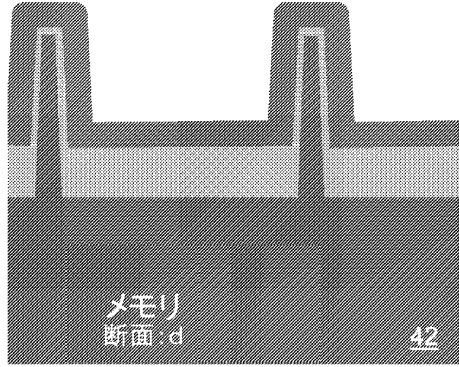
40

50

【図 1 1 B】

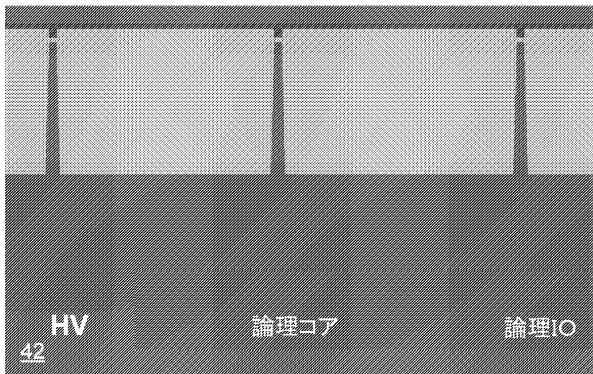


【図 1 1 C】

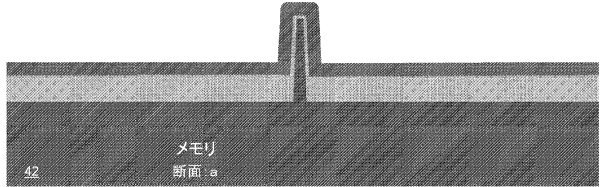


10

【図 1 1 D】

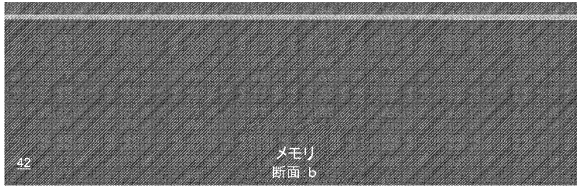


【図 1 2 A】

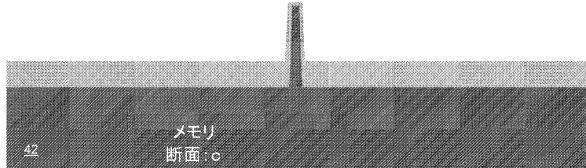


20

【図 1 2 B】



【図 1 2 C】

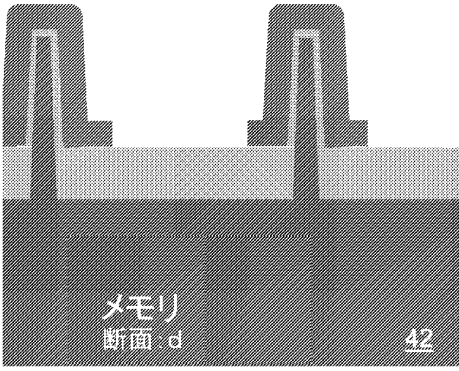


30

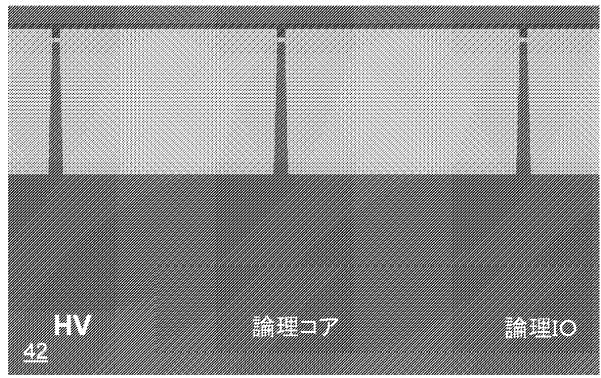
40

50

【図 1 2 D】

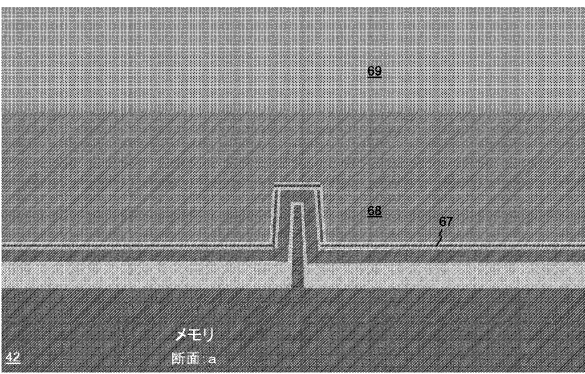


【図 1 2 E】

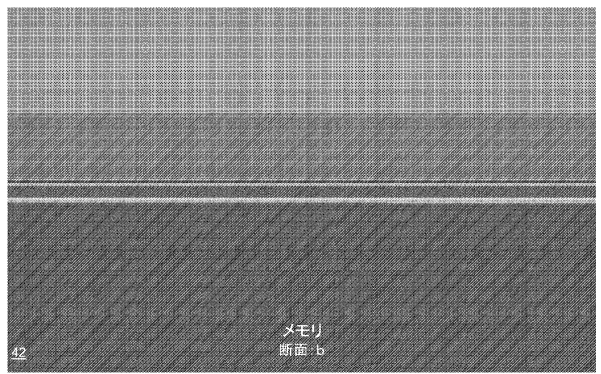


10

【図 1 3 A】



【図 1 3 B】



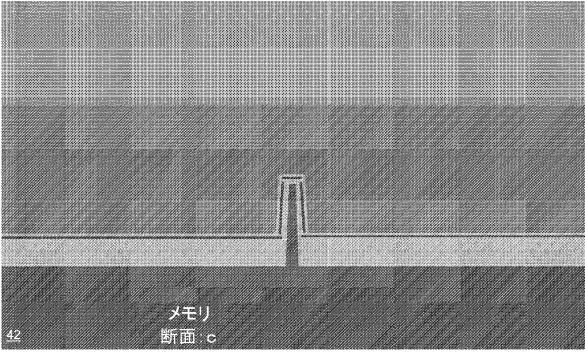
20

30

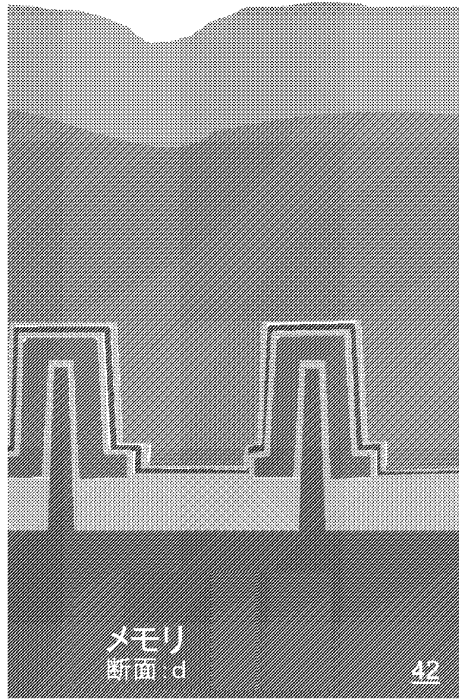
40

50

【図 1 3 C】



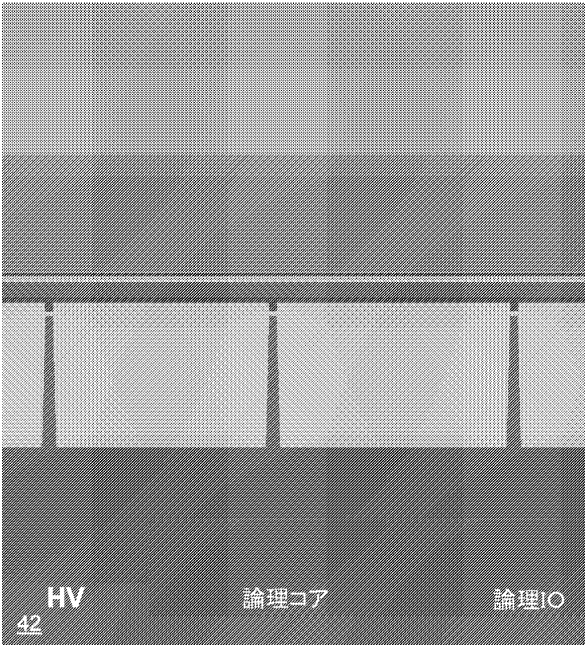
【図 1 3 D】



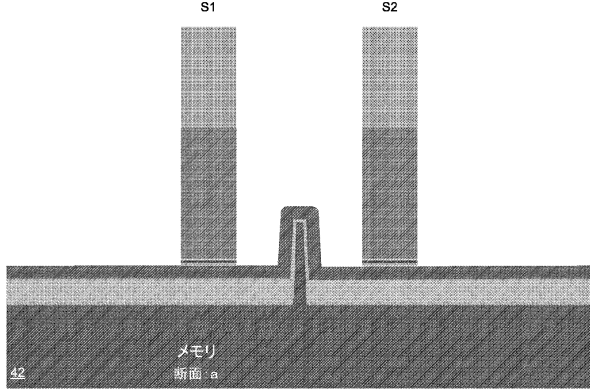
10

20

【図 1 3 E】



【図 1 4 A】

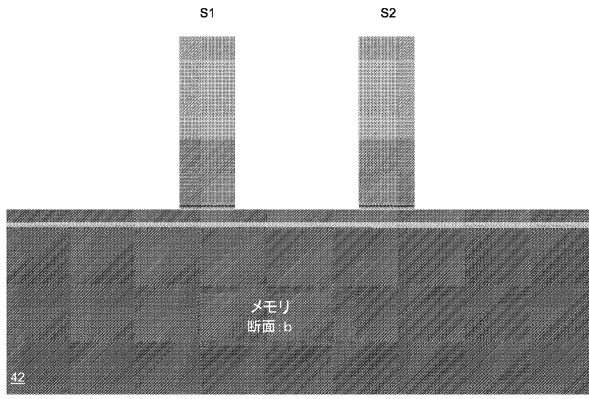


30

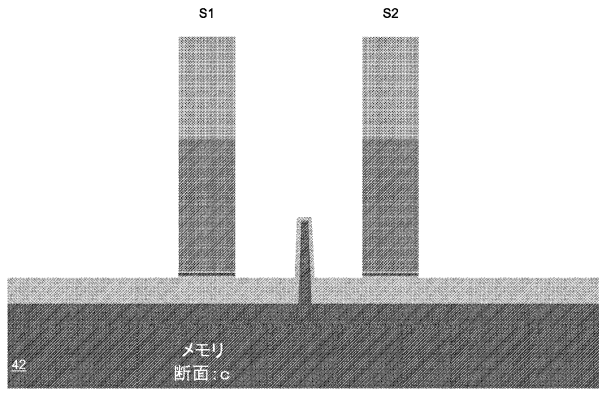
40

50

【図14B】

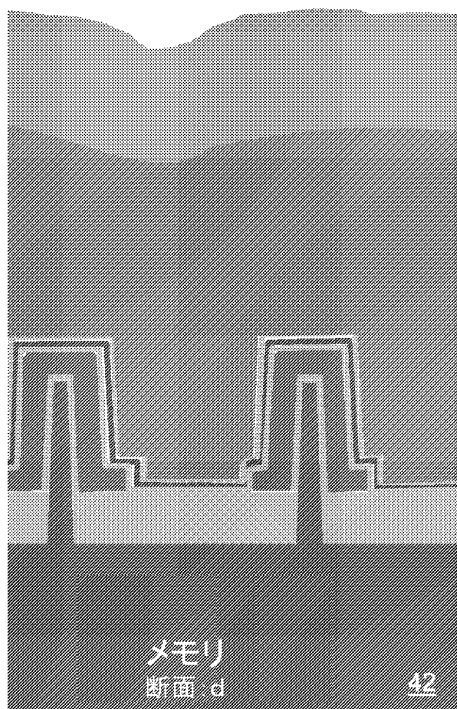


【図14C】

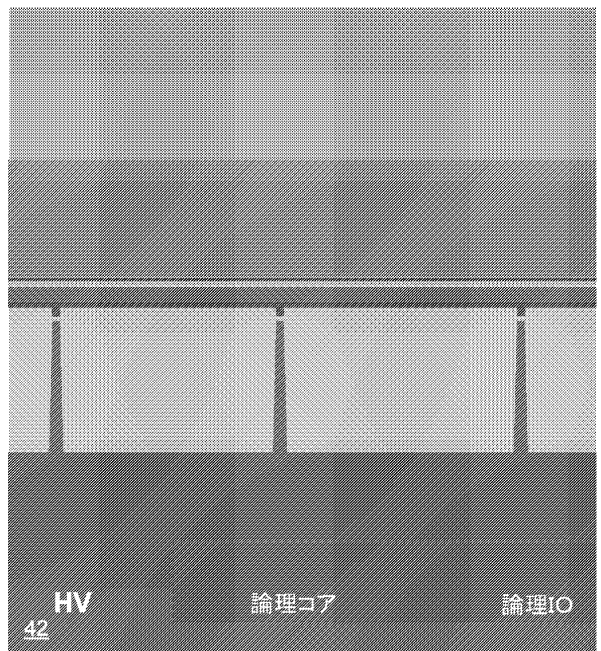


10

【図14D】



【図14E】



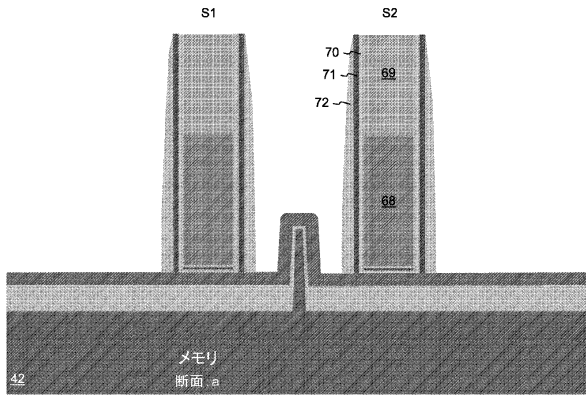
20

30

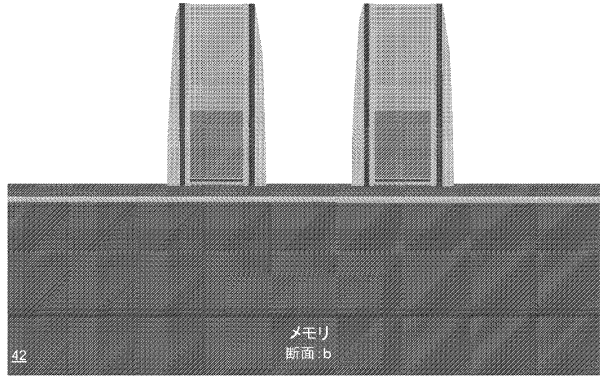
40

50

【図 15 A】

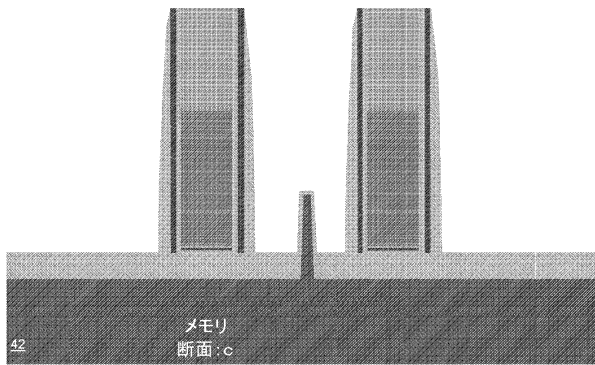


【図 15 B】

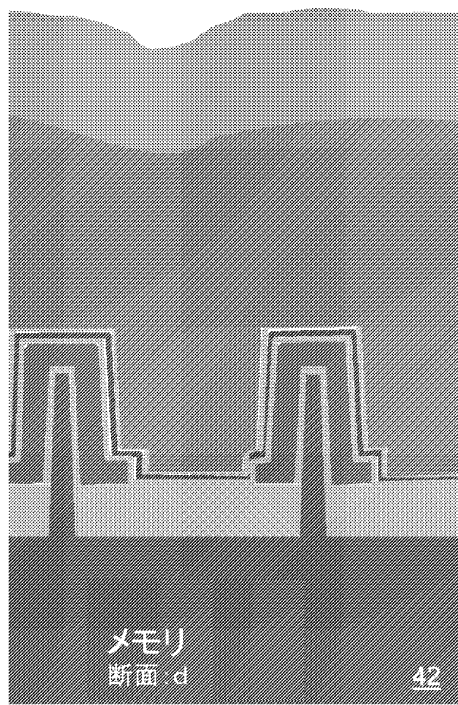


10

【図 15 C】



【図 15 D】



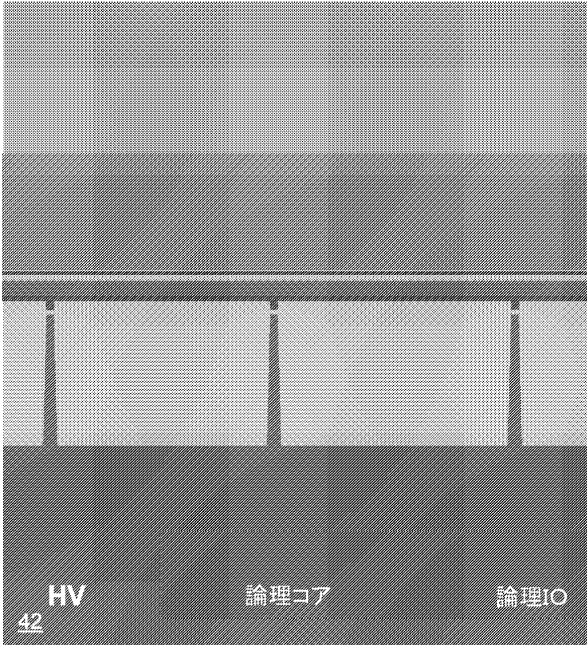
20

30

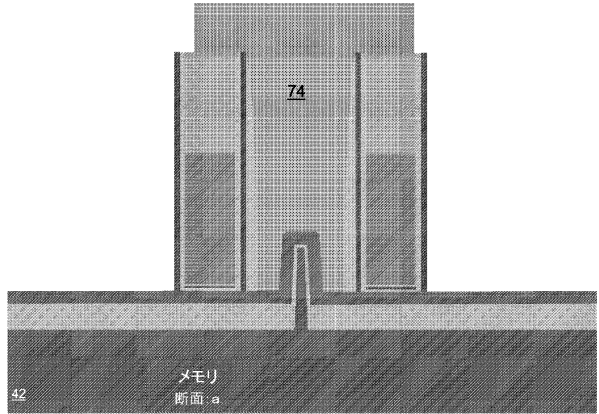
40

50

【図 15 E】

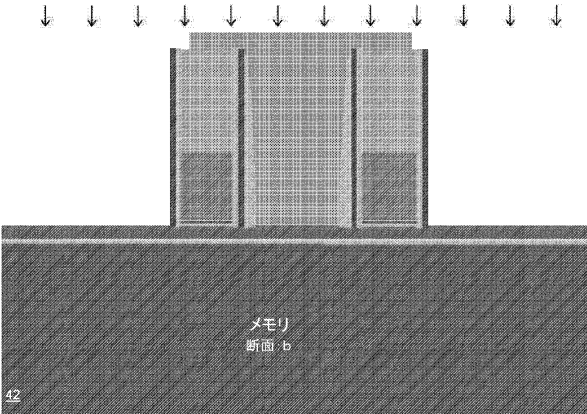


【図 16 A】

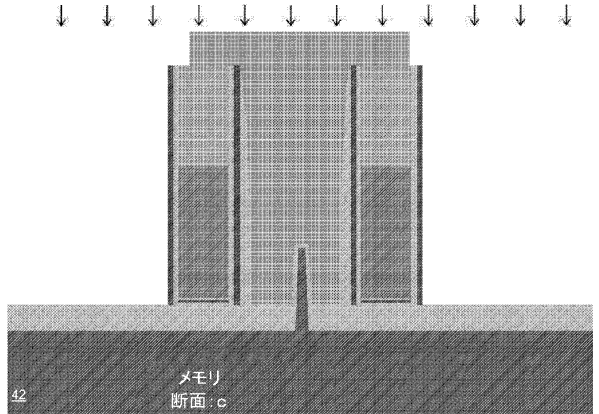


10

【図 16 B】



【図 16 C】



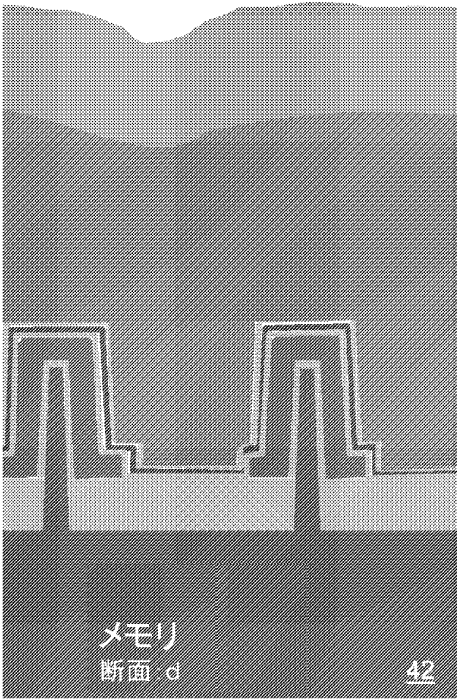
20

30

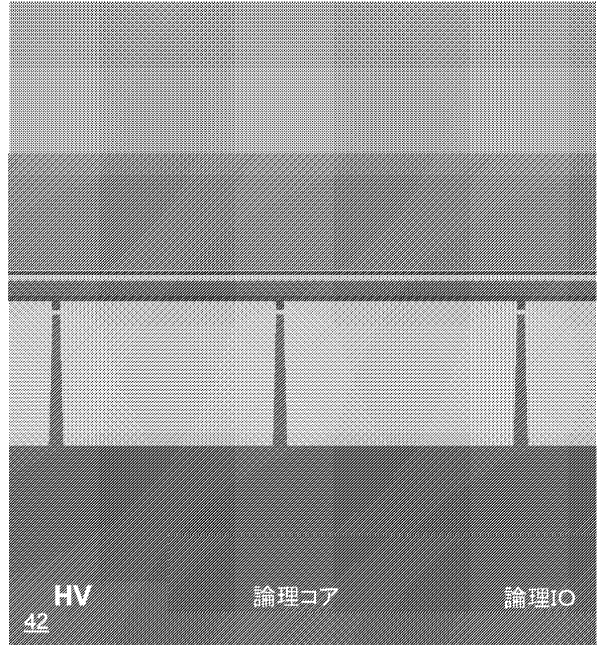
40

50

【図 16 D】



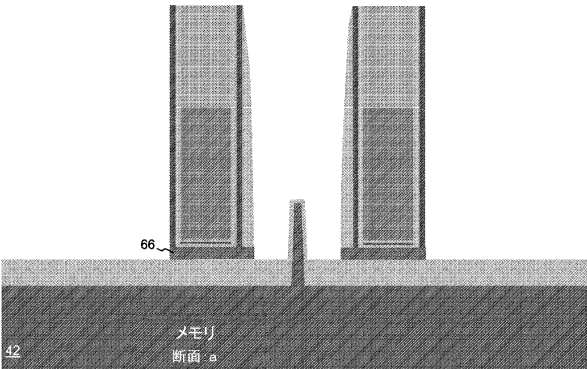
【図 16 E】



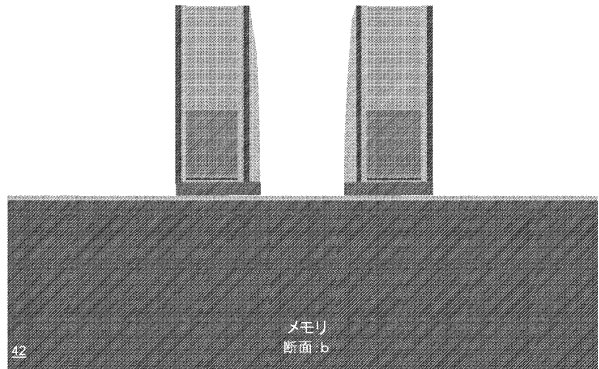
10

20

【図 17 A】



【図 17 B】

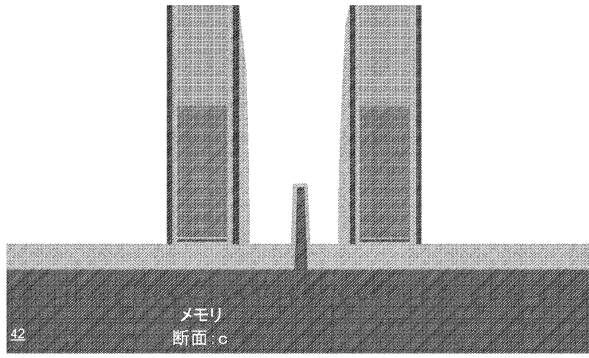


30

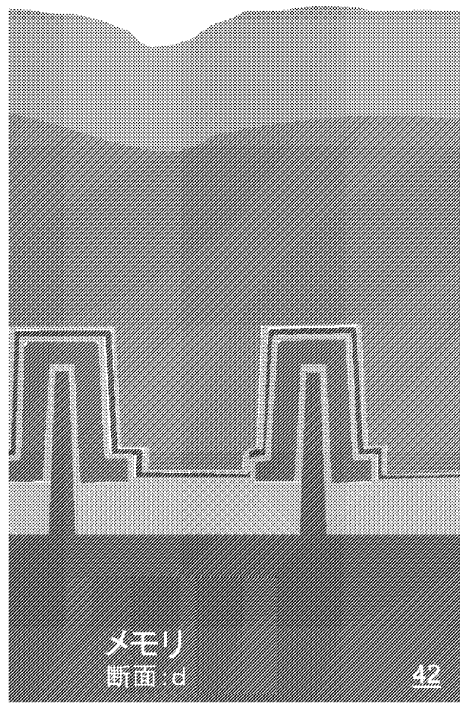
40

50

【図 17 C】



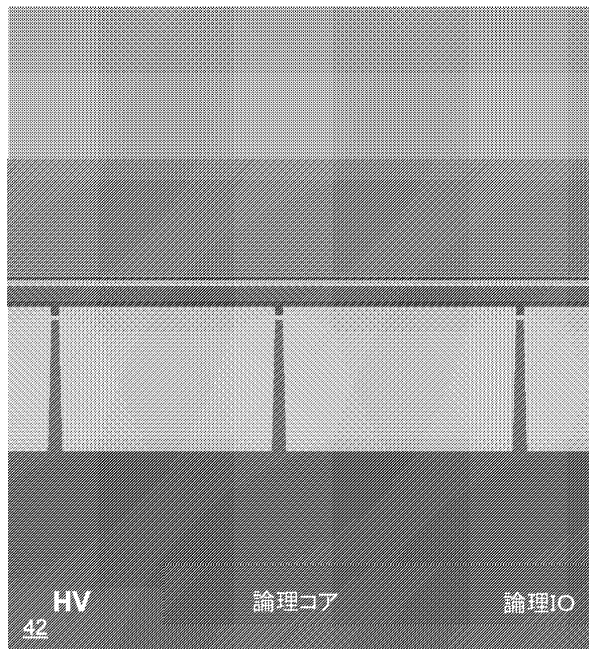
【図 17 D】



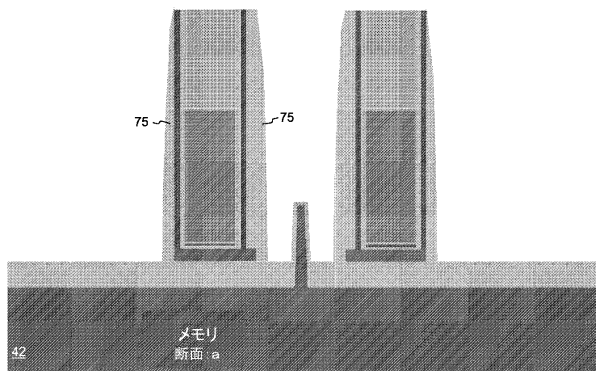
10

20

【図 17 E】



【図 18 A】

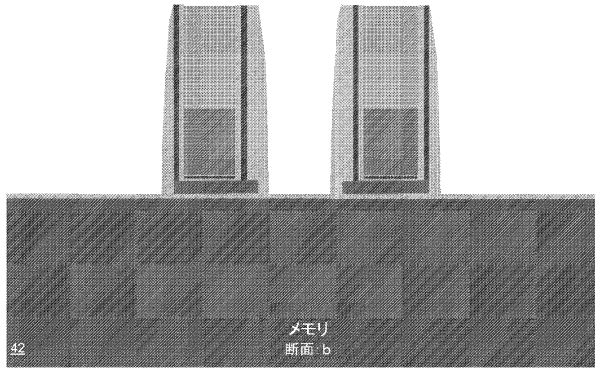


30

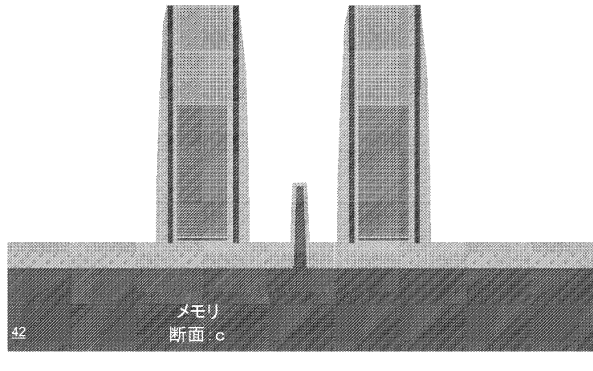
40

50

【図18B】

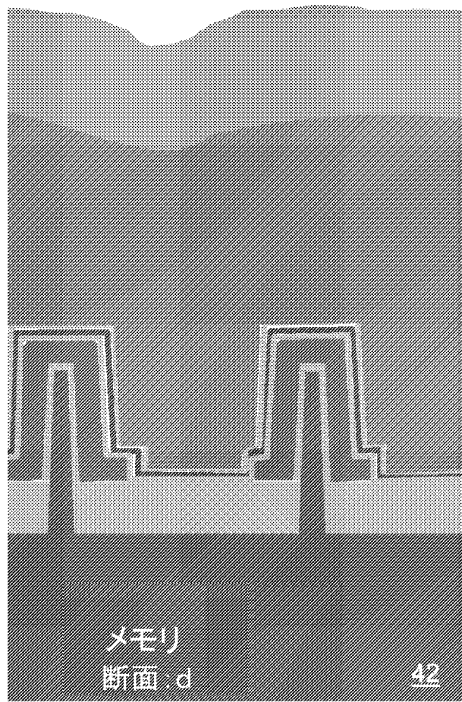


【図18C】

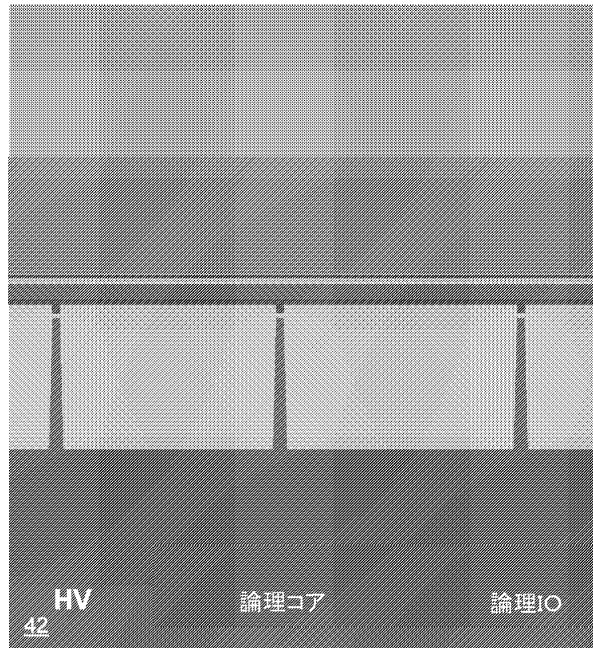


10

【図18D】



【図18E】



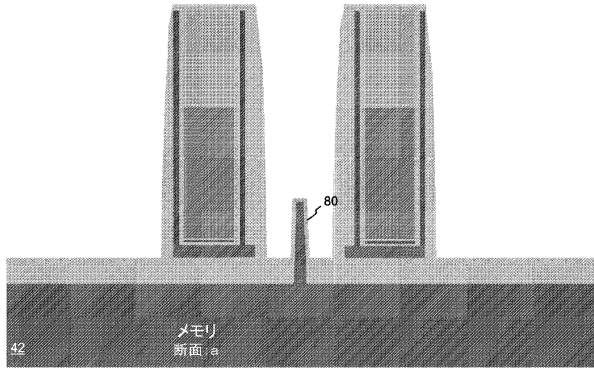
20

30

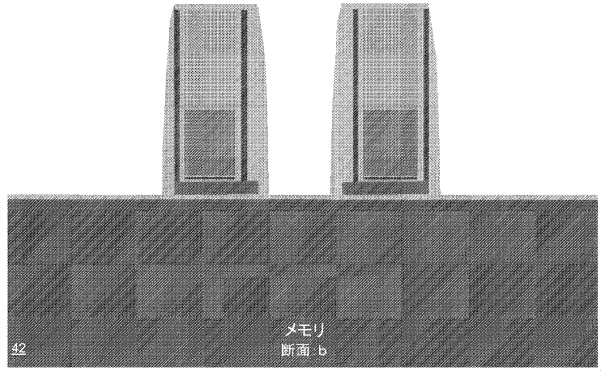
40

50

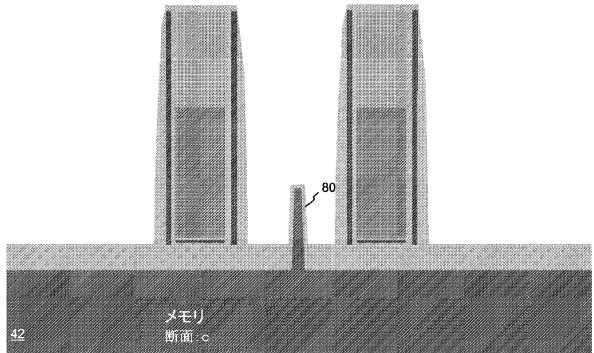
【図19A】



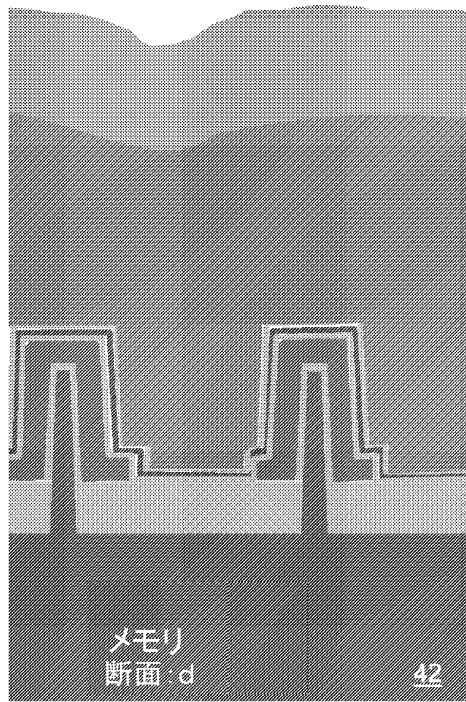
【図19B】



【図19C】



【図19D】



10

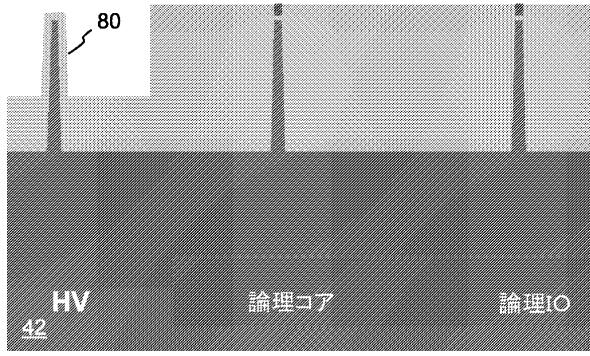
20

30

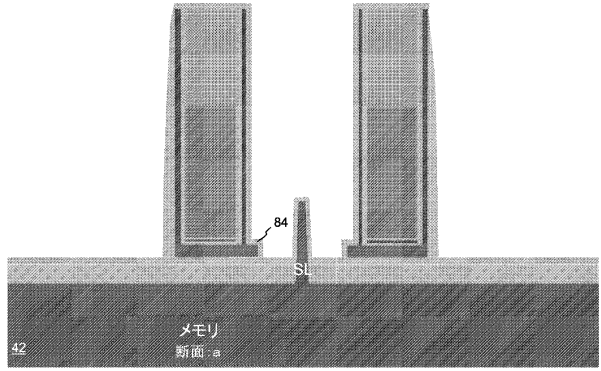
40

50

【図19E】

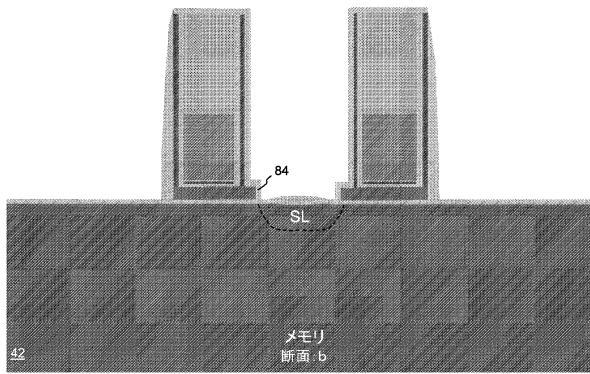


【図20A】

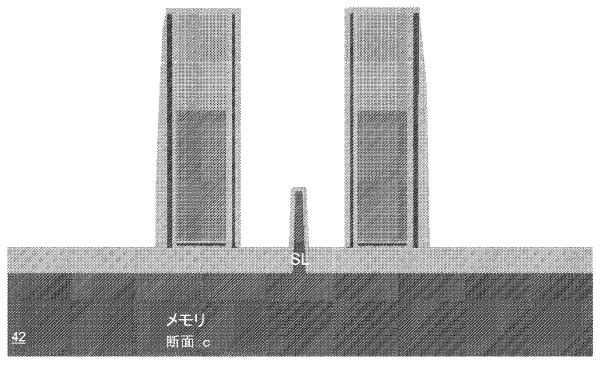


10

【図20B】



【図20C】



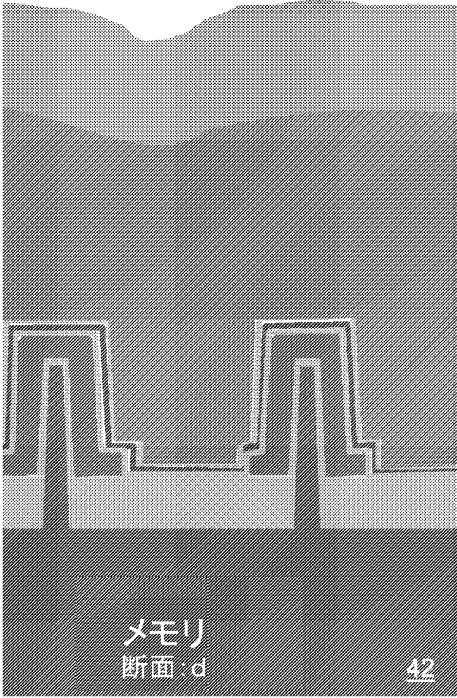
20

30

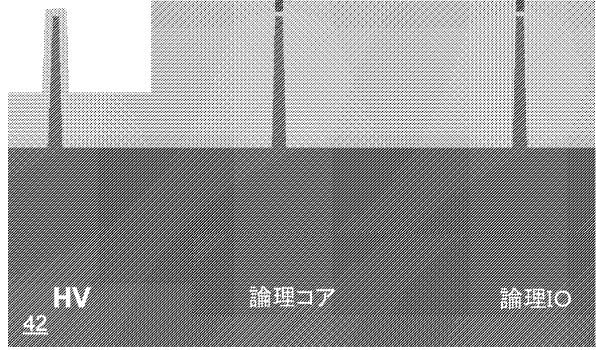
40

50

【図 20 D】



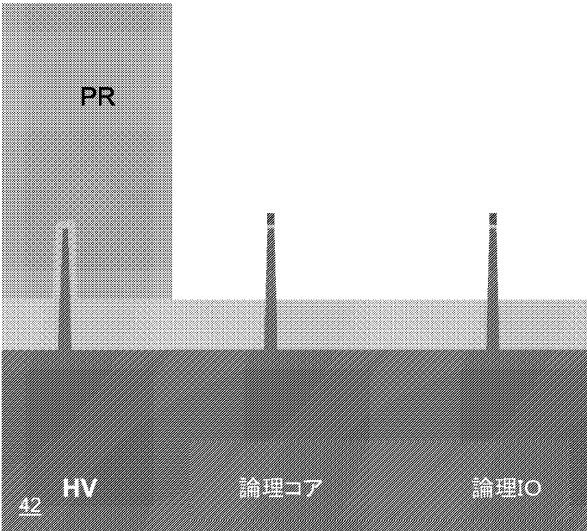
【図 20 E】



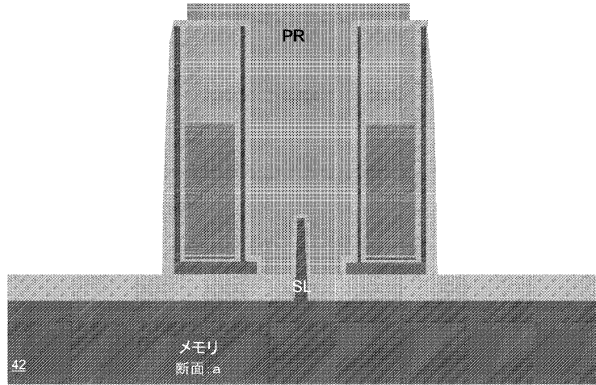
10

20

【図 21】



【図 22 A】

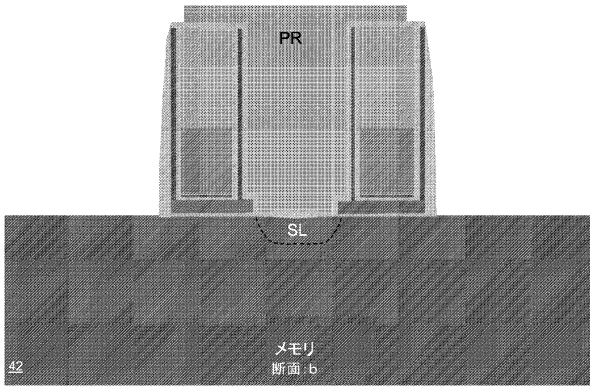


30

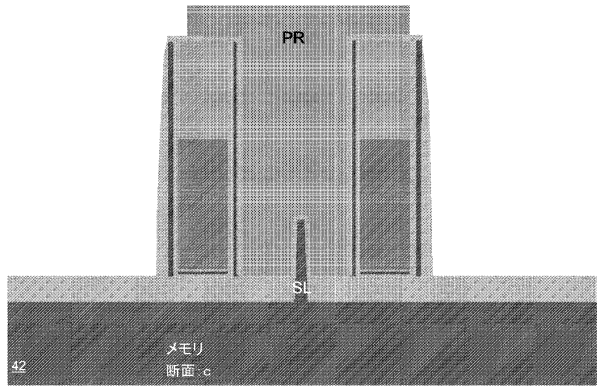
40

50

【図 2 2 B】

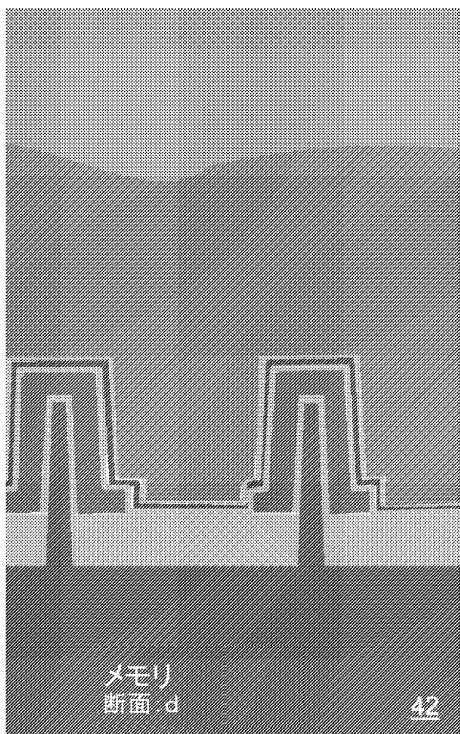


【図 2 2 C】

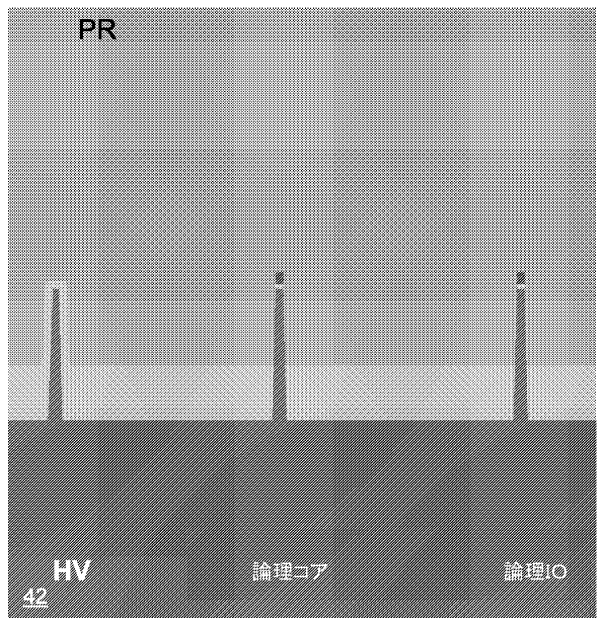


10

【図 2 2 D】



【図 2 2 E】



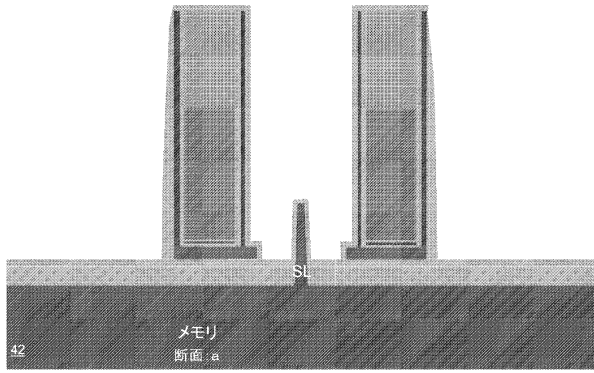
20

30

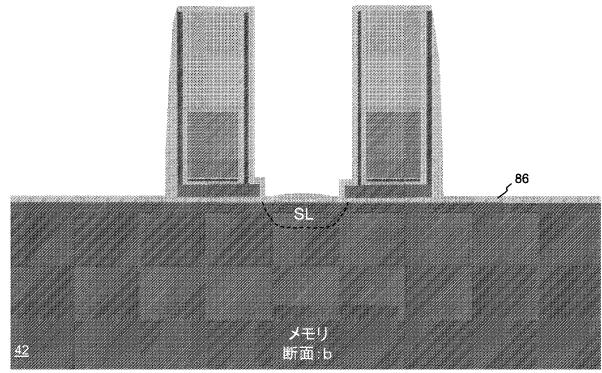
40

50

【図 2 3 A】

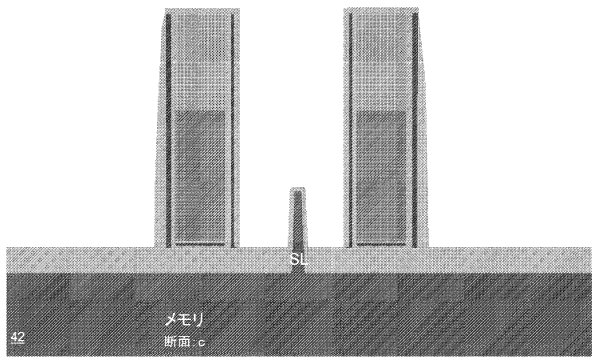


【図 2 3 B】

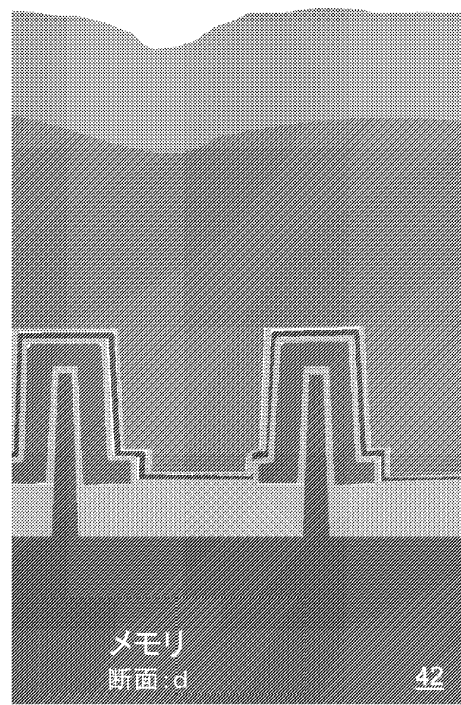


10

【図 2 3 C】



【図 2 3 D】



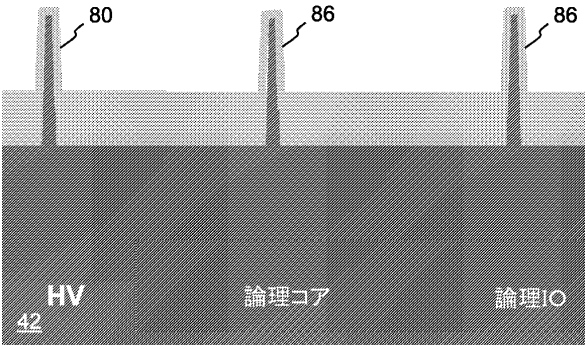
20

30

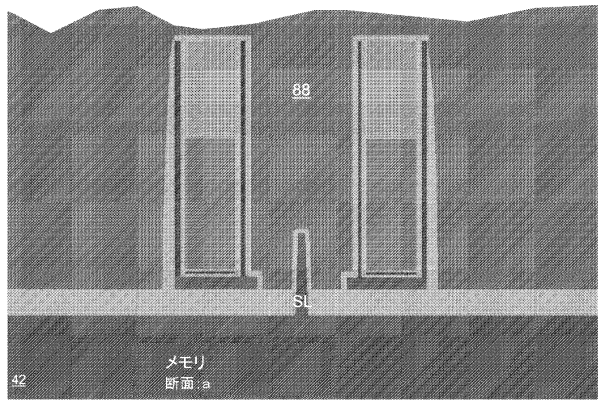
40

50

【図 2 3 E】

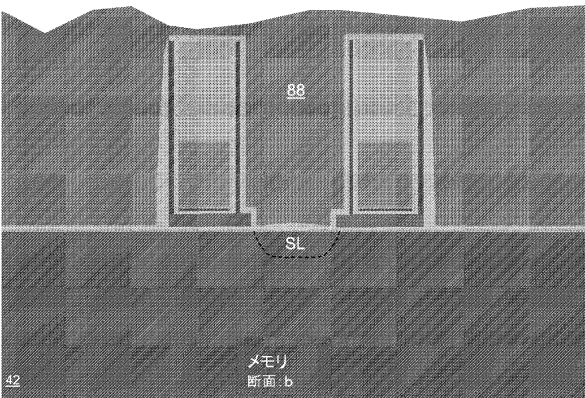


【図 2 4 A】

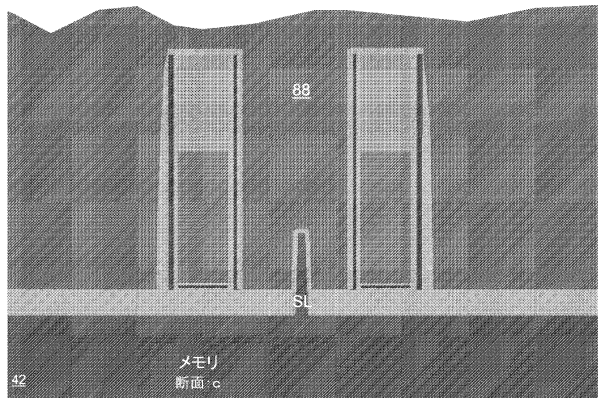


10

【図 2 4 B】



【図 2 4 C】



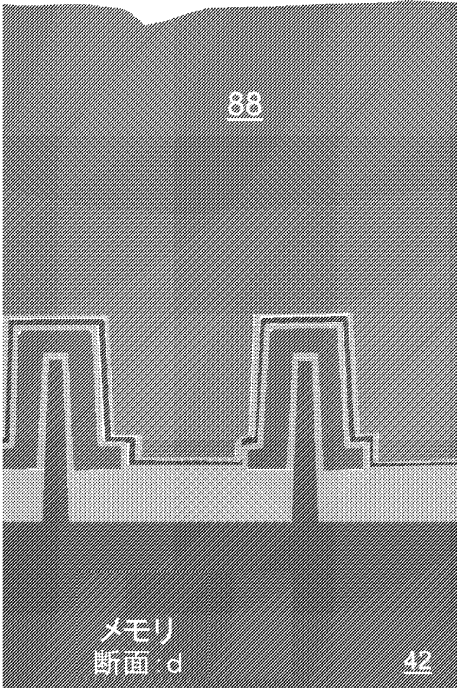
20

30

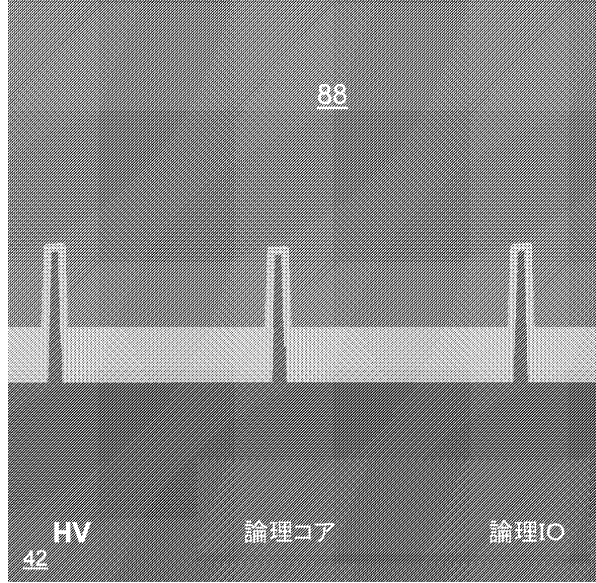
40

50

【図 2 4 D】



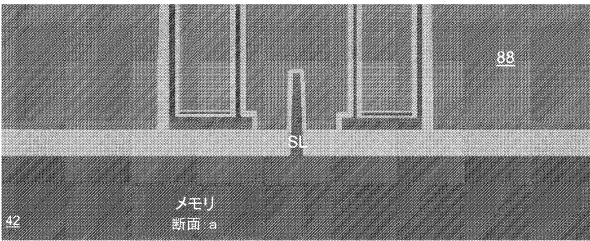
【図 2 4 E】



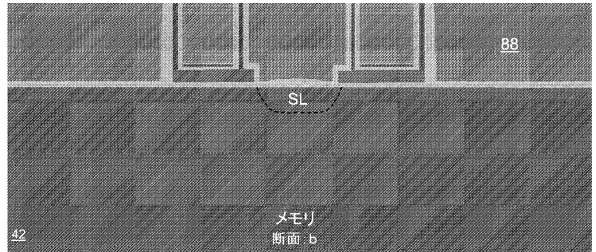
10

20

【図 2 5 A】



【図 2 5 B】

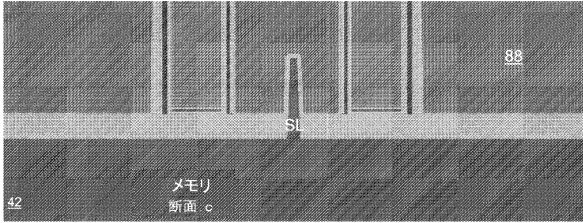


30

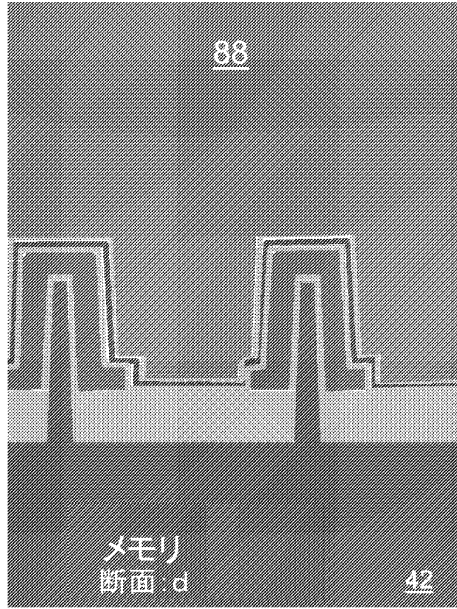
40

50

【図 25 C】

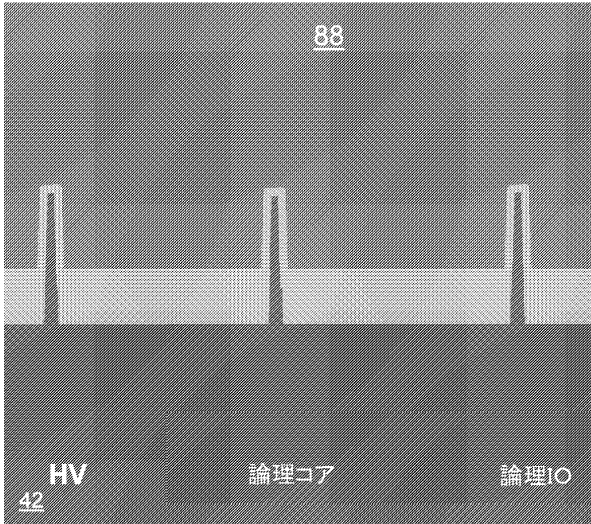


【図 25 D】

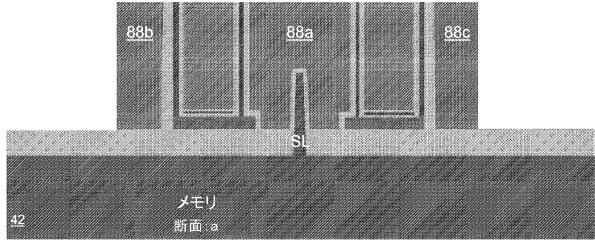


10

【図 25 E】



【図 26 A】



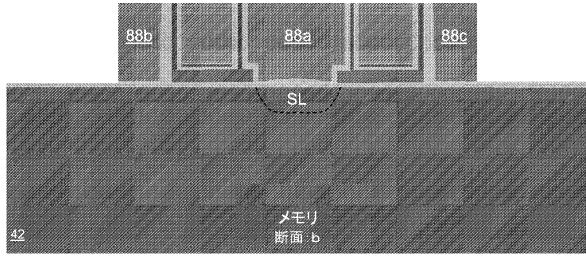
20

30

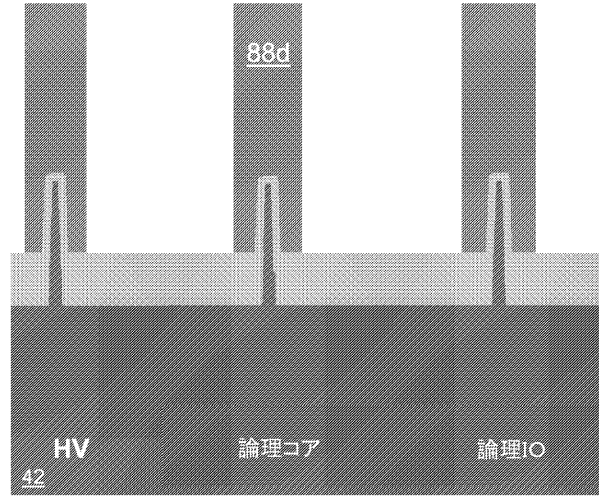
40

50

【図 26B】

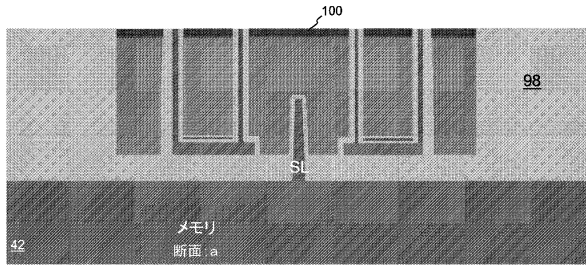


【図 26C】

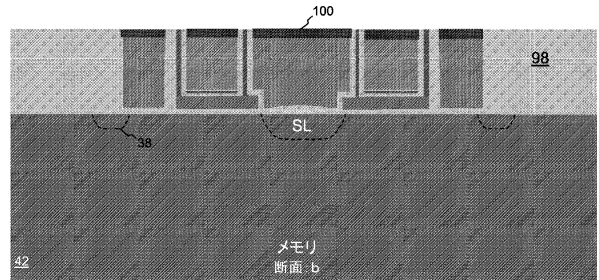


10

【図 27A】



【図 27B】



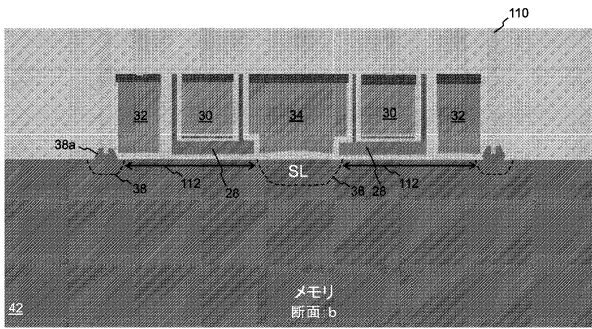
20

30

40

50

【 図 28 】



10

20

30

40

50

## フロントページの続き

- ユマン デュ デフォン デュ パン 5 3 5
- (72)発明者 ゾウ、フェン  
アメリカ合衆国 9 4 5 3 6 カリフォルニア州、フリーモント、パーキンス ストリート 3 5 9 1 0
- (72)発明者 キム、ジンホ  
アメリカ合衆国 9 5 0 7 0 カリフォルニア州、サラトガ、トリニティ アベニュー 1 3 8 5 2
- (72)発明者 リウ、シアン  
アメリカ合衆国 9 4 0 8 7 カリフォルニア州、サニーベール、サージェント ドライブ 1 2 3 6
- (72)発明者 ドー、ナン  
アメリカ合衆国 9 5 0 7 0 カリフォルニア州、サラトガ、ウォールナット アベニュー 2 0 4 5 1
- 審査官 小山 満
- (56)参考文献 米国特許出願公開第 2 0 1 6 / 0 3 7 9 9 8 7 ( U S , A 1 )  
米国特許出願公開第 2 0 0 6 / 0 2 0 8 3 0 7 ( U S , A 1 )  
米国特許出願公開第 2 0 1 6 / 0 0 6 4 3 9 8 ( U S , A 1 )  
米国特許出願公開第 2 0 1 6 / 0 1 4 8 9 4 4 ( U S , A 1 )  
特表 2 0 1 8 - 5 0 9 0 0 0 ( J P , A )  
特表 2 0 1 6 - 5 0 2 7 5 6 ( J P , A )  
米国特許出願公開第 2 0 1 5 / 0 1 7 9 5 2 5 ( U S , A 1 )
- (58)調査した分野 (Int.Cl. , D B 名)
- H 1 0 B 4 1 / 3 5  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 7 8 8  
H 0 1 L 2 9 / 7 9 2