

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7143185号

(P7143185)

(45)発行日 令和4年9月28日(2022.9.28)

(24)登録日 令和4年9月16日(2022.9.16)

(51)国際特許分類

F I

B 4 1 J 2/447(2006.01)

B 4 1 J 2/447 1 0 1 D

B 4 1 J 2/45 (2006.01)

B 4 1 J 2/447 1 0 1 Q

G 0 3 G 15/00 (2006.01)

B 4 1 J 2/447 1 0 1 P

G 0 3 G 15/043(2006.01)

B 4 1 J 2/45

H 0 1 L 33/00 (2010.01)

G 0 3 G 15/00 3 0 3

請求項の数 10 (全26頁) 最終頁に続く

(21)出願番号 特願2018-211159(P2018-211159)

(22)出願日 平成30年11月9日(2018.11.9)

(65)公開番号 特開2020-75437(P2020-75437A)

(43)公開日 令和2年5月21日(2020.5.21)

審査請求日 令和3年11月8日(2021.11.8)

(73)特許権者 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(74)代理人 100123559

弁理士 梶 俊和

(74)代理人 100177437

弁理士 中村 英子

(72)発明者 古田 泰友

東京都大田区下丸子3丁目30番2号

キャノン株式会社内

審査官 牧島 元

最終頁に続く

(54)【発明の名称】 画像形成装置

(57)【特許請求の範囲】

【請求項1】

感光体と、

複数の面発光素子を有し、前記面発光素子により前記感光体を露光する露光手段と、

画像データを前記露光手段に出力し、画像形成を制御する制御手段と、

を備える画像形成装置であって、

前記露光手段は、前記感光体を露光する複数の前記面発光素子を有する複数の面発光素子アレイチップと、前記面発光素子を発光させるための駆動電圧を前記面発光素子アレイチップに出力する出力部と、を有し、

前記出力部は、各々の前記面発光素子アレイチップに対応して設けられ、前記駆動電圧を出力する第1の光量制御部と、前記第1の光量制御部に前記面発光素子アレイチップに出力する前記駆動電圧の最大電圧を出力する第2の光量制御部と、前記第1の光量制御部に前記面発光素子アレイチップに出力する前記駆動電圧の最小電圧を出力する第3の光量制御部と、を有し、

前記第1の光量制御部は、複数の抵抗が直列に接続され、入力された電圧を分圧する抵抗部と、前記複数の抵抗の各々の端子に対応して設けられ、前記制御手段からの指示に応じて接続、又は切断することにより、前記第2の光量制御部から出力された前記最大電圧と、前記第3の光量制御部から出力された前記最小電圧との間の電圧を、前記抵抗部の抵抗により分圧した電圧を出力するための複数のスイッチを有するセレクト部と、を有し、

前記制御手段は、前記面発光素子アレイチップの発光光量に応じて、各々の前記第1の

10

20

光量制御部の前記セレクト部の前記スイッチを制御し、各々の前記面発光素子アレイチップに前記駆動電圧を出力することを特徴とする画像形成装置。

【請求項 2】

前記第 2 の光量制御部は、前記最大電圧を出力するために、複数の抵抗が直列に接続され、入力された基準電圧を分圧する抵抗部と、前記複数の抵抗の各々の端子に対応して設けられ、接続、又は切断することにより、前記抵抗部の抵抗により分圧した電圧を出力するための複数のスイッチを有するセレクト部と、を有し、

前記第 3 の光量制御部は、前記最小電圧を出力するために、複数の抵抗が直列に接続され、入力された基準電圧を分圧する抵抗部と、前記複数の抵抗の各々の端子に対応して設けられ、接続、又は切断することにより、前記抵抗部の抵抗により分圧した電圧を出力するための複数のスイッチを有するセレクト部と、を有し、

前記制御手段は、前記第 1 の光量制御部から前記面発光素子アレイチップに出力する前記最大電圧、及び前記最小電圧に応じて、前記第 2 の光量制御部及び前記第 3 の光量制御部の、それぞれの前記セレクト部の前記スイッチの制御を行うことを特徴とする請求項 1 に記載の画像形成装置。

【請求項 3】

前記第 1 の光量制御部の前記抵抗部の前記複数の抵抗、前記第 2 の光量制御部の前記抵抗部の前記複数の抵抗、及び前記第 3 の光量制御部の前記抵抗部の前記複数の抵抗は、それぞれ同一の抵抗値を有することを特徴とする請求項 2 に記載の画像形成装置。

【請求項 4】

前記露光手段は、記憶部を有し、

前記記憶部には、各々の前記面発光素子アレイチップの前記面発光素子を所定の光量で発光させるときに、前記面発光素子アレイチップに対応する前記第 1 の光量制御部が前記面発光素子アレイチップに供給する駆動電圧が記憶されていることを特徴とする請求項 3 に記載の画像形成装置。

【請求項 5】

前記制御手段は、画像形成を開始する際には、

前記第 2 の光量制御部の前記セレクト部の前記スイッチのうちの、前記記憶部に記憶された前記駆動電圧のうちの最大の駆動電圧に応じたスイッチのみを接続することにより、前記第 2 の光量制御部から前記第 1 の光量制御部に前記最大電圧を出力し、

前記第 3 の光量制御部の前記セレクト部の前記スイッチのうちの、前記記憶部に記憶された前記駆動電圧のうちの最小の駆動電圧に応じたスイッチのみを接続することにより、前記第 3 の光量制御部から前記第 1 の光量制御部に前記最小電圧を出力し、

各々の前記第 1 の光量制御部の前記セレクト部の前記スイッチのうちの、前記記憶部に記憶された各々の前記第 1 の光量制御部が対応する前記面発光素子アレイチップに供給する前記駆動電圧に応じたスイッチのみを接続することにより、前記第 1 の光量制御部から前記面発光素子アレイチップに前記駆動電圧を出力することを特徴とする請求項 4 に記載の画像形成装置。

【請求項 6】

前記制御手段は、各々の前記面発光素子アレイチップの光量を同一光量に設定する場合には、前記第 2 の光量制御部及び前記第 3 の光量制御部が前記同一光量に応じた最大電圧及び最小電圧を出力するように、前記セレクト部の前記スイッチのみを制御することを特徴とする請求項 5 に記載の画像形成装置。

【請求項 7】

感光体と、

複数の面発光素子を有し、前記面発光素子により前記感光体を露光する露光手段と、
画像データを前記露光手段に出力し、画像形成を制御する制御手段と、
を備える画像形成装置であって、

前記露光手段は、前記感光体を露光する複数の前記面発光素子を有する複数の面発光素子アレイチップと、前記面発光素子を発光させるための駆動電圧を前記面発光素子アレイ

10

20

30

40

50

チップに出力する出力部と、を有し、

前記出力部は、各々の前記面発光素子アレイチップに対応して設けられ、前記面発光素子アレイチップの前記面発光素子を発光させるための前記駆動電圧を出力する第１の光量制御部と、前記第１の光量制御部に前記面発光素子アレイチップに出力する前記駆動電圧の最大電圧を出力する第２の光量制御部と、前記第１の光量制御部に前記面発光素子アレイチップに出力する前記駆動電圧の最小電圧を出力する第３の光量制御部と、を有し、

前記第１の光量制御部は、前記制御手段から出力される制御信号によりオン又はオフされ、オンした場合には前記第２の光量制御部から入力される前記最大電圧を出力し、オフした場合には前記第３の光量制御部から入力される前記最小電圧を出力するスイッチ部と、前記スイッチ部から出力される電圧を平滑化して、前記面発光素子アレイチップに出力する平滑部と、を有することを特徴とする画像形成装置。

10

【請求項 8】

前記制御手段が前記第１の光量制御部に出力する前記制御信号は、前記面発光素子アレイチップに出力する駆動電圧に応じたデューティを有する PWM 信号であることを特徴とする請求項 7 に記載の画像形成装置。

【請求項 9】

前記第２の光量制御部は、前記制御手段から出力される制御信号によりオン又はオフされ、オンした場合には基準電圧を出力するスイッチ部と、前記スイッチ部から出力される電圧を平滑化して、前記最大電圧を前記第１の光量制御部に出力する平滑部と、を有し、

前記第３の光量制御部は、前記制御手段から出力される制御信号によりオン又はオフされ、オンした場合には基準電圧を出力するスイッチ部と、前記スイッチ部から出力される電圧を平滑化して、前記最小電圧を前記第１の光量制御部に出力する平滑部と、を有することを特徴とする請求項 7 又は請求項 8 に記載の画像形成装置。

20

【請求項 10】

前記制御手段が前記第２の光量制御部に出力する前記制御信号は、前記第２の光量制御部が前記第１の光量制御部に出力する前記最大電圧に応じたデューティを有する PWM 信号であり、

前記制御手段が前記第３の光量制御部に出力する前記制御信号は、前記第３の光量制御部が前記第１の光量制御部に出力する前記最小電圧に応じたデューティを有する PWM 信号であることを特徴とする請求項 9 に記載の画像形成装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子写真方式の画像形成装置に関する。

【背景技術】

【0002】

電子写真方式の画像形成装置であるプリンタでは、露光ヘッドを使用して感光ドラムを露光し、潜像形成を行う方式が一般的に知られている。なお、露光ヘッドには、LED (Light Emitting Diode) や有機 EL (Organic Electro Luminescence) などが用いられる。露光ヘッドは、感光ドラムの長手方向に配列された発光素子列と、発光素子列からの光を感光ドラム上に結像させるロッドレンズアレイと、から構成される。LED や有機 EL は、発光面からの光の照射方向がロッドレンズアレイと同一方向となる面発光形状を有する構成が知られている。ここで、発光素子列の長さは、感光ドラム上における画像領域幅に応じて決まり、プリンタの解像度に応じて発光素子間の間隔が決まる。例えば、1200 dpi のプリンタの場合、画素の間隔は 21.16 μm であり、そのため、発光素子間の間隔も 21.16 μm に対応する間隔となる。この発光素子間の間隔で A3 サイズの記録紙（短手方向の長さが約 300 mm）を印刷可能な画像形成装置の場合には、14173 個（ $= 300\text{ mm} \times (2.54\text{ cm} / 1200\text{ dpi})$ ）の発光素子が配列される。ディスプレイの発光素子をワイヤボンディングでプリント基板上に実装する場合には、発光素子の数が多いとワイヤボンディン

40

50

グの数も多くなり、実装コストが高くなる。そのため、従来、複数の発光素子列を1つの半導体チップ上に形成し、各面発光素子の端子を半導体チップ内で共通化することで、ワイヤボンディングの数を少なくする方式が用いられている。例えば、500個の発光素子を1つの半導体チップ上に形成した場合には、プリント基板上には半導体チップを29個（14173個／500個）実装すれば、A3サイズの記録紙の印刷が可能な300mmの画像領域幅を確保することができる。これにより、ディスクリートの発光素子の実装個数（ワイヤボンディングの数）を大幅に削減することができる。このような露光ヘッドを使用したプリンタでは、回転多面鏡によって偏向されたレーザビームによって感光ドラムを走査するレーザ走査方式のプリンタと比べて、使用する部品数が少ないため、装置の小型化、低コスト化が容易である。また、露光ヘッドを使用したプリンタでは回転多面鏡の回転によって生じる音が低減される。

10

【0003】

一方で、半導体チップは製造バラツキにより、チップ毎に光量に個体差が生じることが知られている。前述したように、複数の発光素子列を1つの半導体チップ上に配列した場合には、半導体チップの幅が視認できる幅（例えば1mm以上）になると、光量の個体差により濃度ムラが視認されやすくなる。そこで、例えば特許文献1では、半導体チップ毎の光量を調整する調整手段を設け、画像濃度が均一になるように光量調整を行う方式について提案されている。

【先行技術文献】

【特許文献】

20

【0004】

【文献】特開平7-156444号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上述したような半導体チップ毎に光量調整手段を設ける場合、光量調整手段の回路規模が大きくなり、その結果、コストアップとなる課題がある。例えば、DAC（デジタルアナログ変換制御回路）を用いて、発光素子の駆動電圧、又は駆動電流を制御し、露光ヘッド内の各半導体チップの光量バラツキを1%以内に抑える場合、7ビット（0～127の128段階）以上の分解能を持つDACが必要となる。一方、7ビットのDACを備えていても、画像形成装置内で露光ヘッド全体の光量をダイナミックに変化させる場合は、光量の制御分解能が不足することがある。画像形成装置において、感光ドラムやトナーのバラツキや温度変化により、所定の濃度を得るために必要とされる光量は変化する。そのため、多くの画像形成装置では、画像形成装置内に設けられた濃度センサにより、画像濃度を検知し、所定の濃度になるように露光ヘッドの光量を調整する。ここで、画像形成時に最も高い光量が必要となる場合の必要光量を P_{max} とし、最も低い光量が必要となる場合の必要光量を P_{min} とする。例えば光量 P_{min} を光量 P_{max} の20%まで低光量になるようにダイナミックに全体の光量を制御する場合、光量 P_{max} をDAC（7bit）の最大値（127）とすると、光量 P_{min} のDAC値は約25（ $=127 \times 0.2$ （20%））となる。光量 P_{min} の場合に、露光ヘッド内のチップ毎の光量差を補正する場合、光量の制御分解能が4%（DAC値25から1段階増減した時のDAC値24又は26の、DAC値25に対するパーセンテージが±4%）となり、制御分解能が粗くなる。そのため、光量 P_{min} 時においても、制御分解能を1%以内に抑える場合は、4倍の分解能が求められ、9ビット（ $=7$ ビット+2ビット）のDACが必要となる。前述したように、半導体チップは、個々に光量調整機能が必要なため、9ビットのDACは半導体チップの数だけ必要になり、回路規模が増大してしまうことになる。

30

40

【0006】

本発明は、このような状況のもとでなされたもので、回路規模の増大を抑えるとともに、半導体チップ毎の光量バラツキを高精度に制御することを目的とする。

【課題を解決するための手段】

50

【0007】

上述した課題を解決するために、本発明では、以下の構成を備える。

【0008】

(1) 感光体と、複数の面発光素子を有し、前記面発光素子により前記感光体を露光する露光手段と、画像データを前記露光手段に出力し、画像形成を制御する制御手段と、を備える画像形成装置であって、前記露光手段は、前記感光体を露光する複数の前記面発光素子を有する複数の面発光素子アレイチップと、前記面発光素子を発光させるための駆動電圧を前記面発光素子アレイチップに出力する出力部と、を有し、前記出力部は、各々の前記面発光素子アレイチップに対応して設けられ、前記駆動電圧を出力する第1の光量制御部と、前記第1の光量制御部に前記面発光素子アレイチップに出力する前記駆動電圧の最大電圧を出力する第2の光量制御部と、前記第1の光量制御部に前記面発光素子アレイチップに出力する前記駆動電圧の最小電圧を出力する第3の光量制御部と、を有し、前記第1の光量制御部は、複数の抵抗が直列に接続され、入力された電圧を分圧する抵抗部と、前記複数の抵抗の各々の端子に対応して設けられ、前記制御手段からの指示に応じて接続、又は切断することにより、前記第2の光量制御部から出力された前記最大電圧と、前記第3の光量制御部から出力された前記最小電圧との間の電圧を、前記抵抗部の抵抗により分圧した電圧を出力するための複数のスイッチを有するセクタ部と、を有し、前記制御手段は、前記面発光素子アレイチップの発光光量に応じて、各々の前記第1の光量制御部の前記セクタ部の前記スイッチを制御し、各々の前記面発光素子アレイチップに前記駆動電圧を出力することを特徴とする画像形成装置。

10

20

【0009】

(2) 感光体と、複数の面発光素子を有し、前記面発光素子により前記感光体を露光する露光手段と、画像データを前記露光手段に出力し、画像形成を制御する制御手段と、を備える画像形成装置であって、前記露光手段は、前記感光体を露光する複数の前記面発光素子を有する複数の面発光素子アレイチップと、前記面発光素子を発光させるための駆動電圧を前記面発光素子アレイチップに出力する出力部と、を有し、前記出力部は、各々の前記面発光素子アレイチップに対応して設けられ、前記面発光素子アレイチップの前記面発光素子を発光させるための前記駆動電圧を出力する第1の光量制御部と、前記第1の光量制御部に前記面発光素子アレイチップに出力する前記駆動電圧の最大電圧を出力する第2の光量制御部と、前記第1の光量制御部に前記面発光素子アレイチップに出力する前記駆動電圧の最小電圧を出力する第3の光量制御部と、を有し、前記第1の光量制御部は、前記制御手段から出力される制御信号によりオン又はオフされ、オンした場合には前記第2の光量制御部から入力される前記最大電圧を出力し、オフした場合には前記第3の光量制御部から入力される前記最小電圧を出力するスイッチ部と、前記スイッチ部から出力される電圧を平滑化して、前記面発光素子アレイチップに出力する平滑部と、を有することを特徴とする画像形成装置。

30

【発明の効果】

【0010】

本発明によれば、回路規模の増大を抑えるとともに、半導体チップ毎の光量バラツキを高精度に制御することができる。

40

【図面の簡単な説明】

【0011】

【図1】実施例の画像形成装置の構成を示す概略断面図

【図2】実施例の露光ヘッドと感光ドラムの位置関係を説明する図、及び露光ヘッドの構成を説明する図

【図3】実施例の露光ヘッド全域の調整前後の発光光量を説明する図

【図4】実施例の駆動基板の模式図、及び面発光素子アレイチップの構成を説明する図

【図5】実施例の制御基板及び露光ヘッドの制御ブロック図

【図6】実施例のチップデータ変換部の制御ブロック図

【図7】実施例の駆動電圧生成部の回路構成を示す模式図

50

【図 8】実施例の D A C の回路構成を示す模式図

【図 9】実施例の D A C の出力電圧を決定する制御シーケンスを示すフローチャート

【図 10】実施例の D A C の回路構成を示す模式図

【図 11】実施例の面発光素子アレイチップの回路を説明する図

【図 12】実施例のシフトサイリスタのゲート電位の分布状態を説明する図

【図 13】実施例の面発光素子アレイチップの駆動信号波形を示す図

【図 14】実施例の面発光サイリスタの断面を示す図

【発明を実施するための形態】

【0012】

以下に、図面を参照して本発明の実施の形態について詳細に説明する。

【実施例】

【0013】

〔画像形成装置の構成〕

図 1 は、実施例 1 における電子写真方式の画像形成装置の構成を示す概略断面図である。図 1 に示す画像形成装置は、スキャナ機能とプリンタ機能を備える複合機（MFP）であり、スキャナ部 100、作像部 103、定着部 104、給紙／搬送部 105、及びこれらを制御するプリンタ制御部（不図示）から構成される。スキャナ部 100 は、原稿台に置かれた原稿に照明を当てて原稿画像を光学的に読み取り、読み取った画像を電気信号に変換して画像データを作成する。

【0014】

作像部 103 は、無端の搬送ベルト 111 の回転方向（反時計回り方向）に沿って、シアン（C）、マゼンタ（M）、イエロー（Y）、ブラック（K）の順に並べられた、4 連の画像形成ステーションを備える。4 つの画像形成ステーションは同じ構成を有し、各画像形成ステーションは、矢印方向（時計回り方向）に回転する感光体である感光ドラム 102、露光ヘッド 106、帯電器 107、現像器 108 を備えている。なお、感光ドラム 102、露光ヘッド 106、帯電器 107、現像器 108 の添え字 a、b、c、d は、それぞれ画像形成ステーションのブラック（K）イエロー（Y）、マゼンタ（M）、シアン（C）に対応する構成であることを示す。なお、以下では、特定の感光ドラム等を指す場合を除き、符号の添え字を省略することとする。

【0015】

作像部 103 では、感光ドラム 102 を回転駆動し、帯電器 107 によって感光ドラム 102 を帯電させる。露光手段である露光ヘッド 106 は、配列された LED アレイを画像データに応じて発光し、LED アレイのチップ面で発光した光を、ロッドレンズアレイによって感光ドラム 102 上（感光体上）に集光し、静電潜像を形成する。現像器 108 は、感光ドラム 102 に形成された静電潜像をトナーで現像する。そして、現像されたトナー像は、記録紙を搬送する搬送ベルト 111 上の記録紙に転写される。このような一連の電子写真プロセスが各画像形成ステーションで実行される。なお、画像形成時には、シアン（C）の画像形成ステーションでの画像形成が開始されて所定時間が経過した後に、順次、マゼンタ（M）、イエロー（Y）、ブラック（K）の各画像形成ステーションで、画像形成動作が実行される。

【0016】

図 1 に示す画像形成装置は、記録紙を給紙するユニットとして、給紙／搬送部 105 が有する本体内給紙ユニット 109a、109b、大容量の給紙ユニットである外部給紙ユニット 109c、及び手差し給紙ユニット 109d を備えている。画像形成時には、このうち、予め指示された給紙ユニットから記録紙が給紙され、給紙された記録紙はレジストレーションローラ 110 まで搬送される。レジストレーションローラ 110 は、上述した作像部 103 において形成されたトナー像が記録紙に転写されるタイミングで、搬送ベルト 111 に記録紙を搬送する。搬送ベルト 111 により搬送される記録紙には、各画像形成ステーションの感光ドラム 102 上に形成されたトナー像が順次転写される。未定着のトナー像が転写された記録紙は、定着部 104 へと搬送される。定着部 104 は、ハロゲ

10

20

30

40

50

ンヒータ等の熱源を内蔵し、記録紙上のトナー像を、２つのローラにより加熱・加圧することによって記録紙に定着させる。定着部１０４によりトナー像が定着された記録紙は、排出口ローラ１１２により画像形成装置の外部に排出される。

【００１７】

ブラック（Ｋ）の画像形成ステーションの記録紙搬送方向の下流側には、搬送ベルト１１１に対向する位置に、検知手段である光学センサ１１３が配置されている。光学センサ１１３は、各画像形成ステーション間のトナー像の色ずれ量を導出するため、搬送ベルト１１１上に形成されたテスト画像の位置検出を行う。光学センサ１１３により導出された色ずれ量は、後述する制御基板４１５（図５参照）に通知され、記録紙上に色ずれのないフルカラートナー像が転写されるように、各色の画像位置が補正される。また、プリンタ制御部（不図示）は、複合機（ＭＦＰ）全体を制御するＭＦＰ制御部（不図示）からの指示に応じて、上述したスキャナ部１００、作像部１０３、定着部１０４、給紙／搬送部１０５等を制御しながら、画像形成動作を実行する。

【００１８】

ここでは、電子写真方式の画像形成装置の例として、搬送ベルト１１１上の記録紙に各画像形成ステーションの感光ドラム１０２に形成されたトナー像を直接転写する方式の画像形成装置について説明した。本発明は、このような感光ドラム１０２上のトナー像を直接、記録紙に転写する方式のプリンタに限定されるものではない。例えば、感光ドラム１０２上のトナー像を中間転写ベルトに転写する一次転写部と、中間転写ベルト上のトナー像を記録紙に転写する二次転写部を備える画像形成装置についても、本発明は適用することができる。

【００１９】

〔露光ヘッドの構成〕

次に、感光ドラム１０２に露光を行う露光ヘッド１０６について、図２を参照して説明する。図２（ａ）は、露光ヘッド１０６と感光ドラム１０２との位置関係を示す斜視図であり、図２（ｂ）は、露光ヘッド１０６の内部構成と、露光ヘッド１０６からの光束がロッドレンズアレイ２０３により感光ドラム１０２に集光される様子を説明する図である。図２（ａ）に示すように、露光ヘッド１０６は、矢印方向に回転する感光ドラム１０２の上部の、感光ドラム１０２に対向する位置に、取付け部材（不図示）によって画像形成装置に取り付けられている（図１）。

【００２０】

図２（ｂ）に示すように、露光ヘッド１０６は、駆動基板２０２と、駆動基板２０２に実装された面発光素子アレイ素子群２０１と、ロッドレンズアレイ２０３と、ハウジング２０４から構成されている。ハウジング２０４には、ロッドレンズアレイ２０３と駆動基板２０２が取り付けられる。ロッドレンズアレイ２０３は、面発光素子アレイ素子群２０１からの光束を感光ドラム１０２上に集光させる。工場では、露光ヘッド１０６単体で組立て調整作業が行われ、各スポットのピント調整、光量調整が行われる。ここで、感光ドラム１０２とロッドレンズアレイ２０３との間の距離、及びロッドレンズアレイ２０３と面発光素子アレイ素子群２０１との間の距離が、所定の間隔となるように組立て調整が行われる。これにより、面発光素子アレイ素子群２０１からの光が感光ドラム１０２上に結像される。そのため、工場でのピント調整時においては、ロッドレンズアレイ２０３と面発光素子アレイ素子群２０１との距離が所定の値となるように、ロッドレンズアレイ２０３の取付け位置の調整が行われる。また、工場での光量調整時においては、面発光素子アレイ素子群２０１の各面発光素子を順次発光させていき、ロッドレンズアレイ２０３を介して感光ドラム１０２上に集光させた光が所定光量になるように、各面発光素子の駆動電流の調整が行われる。

【００２１】

図３（ａ）は、露光ヘッド１０６の面発光素子アレイ素子群２０１を構成する面発光素子アレイ素子の光量調整前の光量分布を示す図である。図３（ａ）の横軸は、各面発光素子アレイ素子（チップ）の位置を示し、縦軸は、面発光素子アレイ素子の発光光量を示す

。面発光素子アレイ素子は、チップ毎に光量がバラツクため、例えば図中のチップ1とチップ2の間では、光量が約10%異なる。この状態のまま画像形成を行うと、チップ間での濃度差が視認されることになる。このため、出荷前の工場の検査工程では、調整目標光量と各チップの発光光量との差を検知し、各チップ毎に調整目標値の光量出力が得られる駆動電圧値である駆動電圧データ V_x ($x=1\sim 29$ 、面発光素子アレイチップ毎の個別データ)を測定する。そして、測定された駆動電圧データ V_x を露光ヘッド106に内蔵された記憶部であるメモリ420 (図5参照)に記憶する。画像形成装置では、画像形成時にメモリ420より駆動電圧データ V_x ($x=1\sim 29$)が読み出され、露光ヘッド106に設定される。また、露光ヘッド106は、画像形成装置の条件によって必要とされる光量が増えるため、露光ヘッド106全体の光量制御を行いつつ、各チップ個別の光量バラツキの調整を行う。図3(b)は、工場において所定の光量(工場調整光量)に調整されたときの各面発光素子アレイ素子の調整光量、及び画像形成中に画像濃度に応じて光量が制御されたときの各面発光素子アレイ素子の制御光量のイメージを示す図である。図3(b)の横軸は、各面発光素子アレイ素子(チップ)の位置を示し、縦軸は、面発光素子アレイ素子の発光光量を示す。

【0022】

〔面発光素子アレイ素子群の構成〕

図4は、面発光素子アレイ素子群201を説明する図である。図4(a)は、駆動基板202の面発光素子アレイ素子群201が実装された面の構成を示す模式図であり、図4(b)は、駆動基板202の面発光素子アレイ素子群201が実装された面(第1面)とは反対側の面(第2面)の構成を示す模式図である。

【0023】

図4(a)に示すように、駆動基板202に実装された面発光素子アレイ素子群201は、29個の面発光素子アレイチップ1~29が、駆動基板202の長手方向に沿って、千鳥状に2列に配置された構成を有している。なお、図4(a)において、上下方向は第1の方向である副走査方向(感光ドラム102の回転方向)を示し、水平方向は、副走査方向と直交する第2の方向である主走査方向を示す。各々の面発光素子アレイチップの内部には、計516個の発光点を有する面発光素子アレイチップの各素子が、面発光素子アレイチップの長手方向に所定の解像度ピッチで配列されている。本実施例では、面発光素子アレイチップの各素子のピッチは、第1の解像度である1200dpiの解像度のピッチである略21.16 μm (2.54cm/1200ドット)となっている。その結果、1つの面発光素子アレイチップ内における516個の発光点の端から端までの間隔は、約10.9mm (21.16 $\mu\text{m}\times 516$)である。面発光素子アレイ素子群201は、29個の面発光素子アレイチップから構成されている。面発光素子アレイ素子群201における露光可能な発光素子数は14,964素子(=516素子 $\times$ 29チップ)となり、約316mm (約10.9mm $\times$ 29チップ)の主走査方向の画像幅に対応した画像形成が可能となる。

【0024】

図4(c)は、長手方向に2列に配置された面発光素子アレイチップのチップ間の境界部の様子を示す図であり、水平方向は、図4(a)の面発光素子アレイ素子群201の長手方向である。図4(c)に示すように、面発光素子アレイチップの端部には、制御信号が入力されるワイヤボンディングパッドが配置されており、ワイヤボンディングパッドから入力された信号により、転送部及び発光素子が駆動される。また、面発光素子アレイチップは、複数の発光素子を有している。面発光素子アレイチップ間の境界部においても、発光素子の長手方向のピッチ(2つの発光素子の中心点と中心点の間隔)は、1200dpiの解像度のピッチである略21.16 μm となっている。また、上下2列に並んだ面発光素子アレイチップは、上下の面発光素子アレイチップの発光点の間隔(図中、矢印Sで示す)が約84 μm (1200dpiで4画素分、2400dpiで8画素分の各解像度の整数倍の距離)となるように配置されている。

【0025】

図４（ｂ）に示すように、面発光素子アレイ素子群２０１が実装された面とは反対側の駆動基板２０２の面には、駆動部３０３ａ、３０３ｂ、及びコネクタ３０５が実装されている。コネクタ３０５の両側に配置された駆動部３０３ａ、３０３ｂは、それぞれ面発光素子アレイチップ１～１５、面発光素子アレイチップ１６～２９を駆動する。駆動部３０３ａ、３０３ｂは、それぞれパターン３０４ａ、３０４ｂを介して、コネクタ３０５と接続されている。コネクタ３０５には、後述する制御基板４１５（図５参照）からの駆動部３０３ａ、３０３ｂを制御する信号線、電源電圧、グランドが接続されており、駆動部３０３ａ、３０３ｂと接続される。また、駆動部３０３ａ、３０３ｂからは、それぞれ面発光素子アレイ素子群２０１を駆動するための配線が駆動基板２０２の内層を通り、面発光素子アレイチップ１～１５、面発光素子アレイチップ１６～２９に接続されている。

10

【００２６】

〔制御基板、駆動基板の制御構成〕

図４は、画像データを処理し、露光ヘッド１０６の駆動基板２０２に出力する制御基板４１５と、制御基板４１５から入力された画像データに基づいて、感光ドラム１０２を露光する露光ヘッド１０６の駆動基板２０２の制御ブロック図である。駆動基板２０２については、図４に示す駆動部３０３ａにより制御される面発光素子アレイチップ１～１５について説明する。なお、駆動部３０３ｂ（図４には不図示）により制御される面発光素子アレイチップ１６～２９も、駆動部３０３ａにより制御される面発光素子アレイチップ１～１５と同様の動作を行う。また、説明を簡便にするために、ここでは１つの色の画像処理について説明するが、本実施例の画像形成装置では、同様の処理を４色同時に並列処理される。図４に示す制御基板４１５は、露光ヘッド１０６を制御する信号を駆動基板２０２に送信するためのコネクタ４１６を有している。コネクタ４１６からは、駆動基板２０２のコネクタ３０５に接続されたケーブル４１７、４１８、４１９を介して、それぞれ画像データ、後述するＬｉｎｅ同期信号、制御基板４１５のＣＰＵ４００からの制御信号が送信される。

20

【００２７】

〔制御基板の構成〕

制御基板４１５では、ＣＰＵ４００により、画像データの処理と印刷タイミングの処理が行われる。制御基板４１５は、画像データ生成部４０１、ラインデータシフト部４０２、チップデータ変換部４０３、チップデータシフト部４０４、データ送信部４０５、同期信号生成部４０６の機能ブロックから構成されている。本実施例では、画像データ生成部４０１は１つの集積回路（ＩＣ）により構成されているものとする。また、ラインデータシフト部４０２、チップデータ変換部４０３、チップデータシフト部４０４、データ送信部４０５、同期信号生成部４０６は、画像データ生成部４０１を有する集積回路とは異なる、１つの集積回路（ＩＣ）により構成されているものとする。なお、画像データ生成部４０１、ラインデータシフト部４０２、チップデータ変換部４０３、チップデータシフト部４０４、データ送信部４０５、同期信号生成部４０６は、集積回路（ＩＣ）内部のモジュールを示している。また、ＣＰＵ４００は、これらの集積回路とは異なる集積回路であり、制御基板４１５にはＣＰＵ４００、画像データ生成部４０１を有する集積回路、ラインデータシフト部４０２等を有する集積回路、コネクタ４１６が実装されている。なお、画像データ生成部４０１、ラインデータシフト部４０２、チップデータ変換部４０３、チップデータシフト部４０４、データ送信部４０５、同期信号生成部４０６が１つの集積回路に含まれていてもよい。更に、画像データ生成部４０１、ラインデータシフト部４０２、チップデータ変換部４０３、チップデータシフト部４０４、データ送信部４０５、同期信号生成部４０６と、ＣＰＵ４００とが１つの集積回路に含まれていてもよい。以下、制御基板４１５での画像データが処理される順に、各機能ブロックでの処理について説明する。

30

40

【００２８】

（画像データ生成部）

生成手段である画像データ生成部４０１は、スキャナ部１００又は画像形成装置に接続

50

された外部コンピュータから受信した画像データに対して、CPU 400から指示された解像度でディザリング処理を行い、プリント出力のための画像データを生成する。

【0029】

(ラインデータシフト部)

CPU 400は、光学センサ113により検知された色ずれ量に基づいて、主走査方向、副走査方向の画像シフト量を各々決定する。画像シフト量は、例えば、光学センサ113による色ずれ検出用パターン画像の検知結果に基づいて算出される色間の相対的な色ずれ量に基づいて、CPU 400によって決定される。そして、CPU 400は、補正手段であるラインデータシフト部402に画像シフト量を指示する。ラインデータシフト部402では、CPU 400から指示された画像シフト量を基に、記録紙1ページ内の画像領域全域に対して、画像データ生成部401から入力された画像データ(ラインデータともいう)をシフト処理する。シフト処理により、画像の形成位置の補正が行われる。なお、ラインデータシフト部402は、記録紙1ページ内の画像領域を複数に分割し、分割された複数の画像領域毎にシフト処理を実行するようにしても良い。

【0030】

(同期信号生成部)

同期信号生成部406は、感光ドラム102の回転速度に同期した信号で、感光ドラム102の回転方向の1ライン分の周期信号(以下、Line同期信号という)を生成する。CPU 400は、同期信号生成部406にLine同期信号の周期を指示する。Line同期信号の周期とは、予め定められた感光ドラム102の回転速度に対して、感光ドラム102表面が回転方向(副走査方向)に、CPU 400から指示された解像度に基づく画素サイズの分だけ移動する周期(1ライン周期)である。副走査方向の速度については、画像形成装置が感光ドラム102の回転速度を検知する検知部を有している場合、CPU 400は、検知部の検知結果(エンコーダが出力する信号の発生周期)に基づいて、副走査方向の感光ドラム102の回転速度を算出する。そして、CPU 400は、当該算出結果に基づいてLine同期信号の周期を決定する。ここでの検知部は、例えば感光ドラムの回転軸に設置したエンコーダである。一方、画像形成装置が感光ドラム102の回転速度を検知する検知部を有していない場合、次のような情報に基づいて、感光ドラム102の回転速度を算出する。すなわち、CPU 400は、ユーザが操作部から入力するシートの坪量(g/cm^2)やシートサイズなどの紙の種類の情報に基づいて、Line同期信号の周期を決定する。

【0031】

(チップデータ変換部)

チップデータ変換部403は、Line同期信号に同期して、ラインデータシフト部402より、感光ドラム102の副走査方向の1ライン分ずつ、ラインデータの読み出しを行う。そして、チップデータ変換部403は、読み出したラインデータをチップ毎のラインデータに分割するデータ処理を実行し、各面発光素子アレイチップ1~29に対応したメモリ501~529に格納する。

【0032】

図6は、チップデータ変換部403の構成を示すブロック図である。図6において、同期信号生成部406から出力されるLine同期信号は、カウンタ530に入力される。カウンタ530はLine同期信号が入力されると、カウント値を0にリセットした後、不図示のクロック信号に同期して、カウンタ値をインクリメントする。チップデータ変換部403は、Line同期信号の間に、副走査方向1ライン分の画像データを読み出してラインメモリ500への書き込みと、メモリ501~529への画像データの書き込みを行う。そのため、カウンタ530は、画像データ1ライン分の画素数の2倍の数のカウント動作を行う。カウンタ530のカウント値の前半の期間を期間Tm1、カウント値の後半の期間を期間Tm2とする。READ制御部531は、カウンタ530のカウント値に応じた画像データをラインデータシフト部402から読み出す。すなわち、READ制御部531は、カウンタ530のカウント値が期間Tm1のときに、副走査方向1ライン分

10

20

30

40

50

の画像データをラインメモリ500に格納する。また、WR制御部532は、カウンタ530のカウント値が期間Tm2のときに、ラインメモリ500に格納された副走査方向1ライン分の画像データをメモリ501~529に分割して書き込む。メモリ501~529はラインメモリ500よりも記憶容量の少ないメモリであり、チップ毎に分割されたラインデータ（分割ラインデータ）を記憶する。なお、メモリ501~529は、面発光素子アレイチップ1~29に対応して設けられているFIFO（First In First Out：先入れ先出し）メモリである。即ち、メモリ501は面発光素子アレイチップ1に対応するラインデータを記憶し、メモリ502は面発光素子アレイチップ2に対応するラインデータを記憶し、・・・メモリ529は面発光素子アレイチップ29に対応するラインデータを記憶する。

10

【0033】

本実施例では、ラインメモリ500より、主走査方向1ライン分のラインデータを順次読み出し、まず、面発光素子アレイチップ1のラインデータを格納するメモリ501への書き込みが行われる。次に、面発光素子アレイチップ2の画像データを格納するメモリ502への書き込みが行われ、以降、面発光素子アレイチップ29の画像データを格納するメモリ529まで順次、書き込みが連続的に行われる。なお、チップデータ変換部403の後段のチップデータシフト部404では、面発光素子アレイチップ単位での副走査方向のデータシフト処理が行われる。そのため、メモリ501~529には、副走査方向10ライン分のラインデータが格納されるものとする。

【0034】

20

（チップデータシフト部）

補正手段であるチップデータシフト部404は、次のような制御を行う。すなわち、CPU400から予め指示された面発光素子アレイチップ毎の副走査方向の画像シフト量に関するデータ（2400dpi単位）に基づいて、メモリ501~529からのラインデータの相対的な読み出しタイミングを制御する。以下、チップデータシフト部404が実行する副走査方向の画像シフト処理について具体的に説明する。

【0035】

露光ヘッド106の長手方向において、偶数番目の各面発光素子アレイチップの実装位置にずれがないことが望ましい。同様に、露光ヘッド106の長手方向においても、奇数番目の各面発光素子アレイチップの実装位置にずれがないことが望ましい。また、偶数番目の各面発光素子アレイチップと奇数番目の各面発光素子アレイチップとの副走査方向の実装位置関係は2400dpi相当で所定の画素数（例えば、8画素）であることが設計上好ましい。さらに、各面発光素子アレイチップ内における発光素子列の副走査方向の配置位置が固体差を持たず一定であることが好ましい。しかしながら、面発光素子アレイチップの実装位置や発光素子列の配置位置は誤差を含み、これらの誤差が出力画像の画質の低下を招くおそれがある。

30

【0036】

図4に示すメモリ420（ROM）には、駆動基板202に千鳥状に実装された面発光素子アレイチップ1~29の各発光素子列の副走査方向の相対的な位置関係から演算された補正データが記憶されている。例えば、メモリ420には、次のような測定データに基づく補正データが記憶されている。副走査方向の位置の基準となる面発光素子アレイチップ1の発光素子列に対し、他の面発光素子アレイチップ2~29の各発光素子列が副走査方向に2400dpi相当で何画素ずれて駆動基板202に実装されているかを示す補正データが記憶されている。測定データは、駆動基板202に面発光素子アレイチップ2~29を実装した後、測定装置によって各面発光素子アレイチップの発光素子を点灯させ、その受光結果に基づいて計測される。CPU400は、画像形成装置の電源がONされたことに応じてメモリ420から読み出した補正データをチップデータシフト部404の内部レジスタに設定する。チップデータシフト部404は、内部レジスタに設定された補正データに基づいてメモリ501~529に記憶された同一ラインを形成するためのラインデータのシフト処理を行う。例えば、面発光素子アレイチップ1の発光素子列に対して面

40

50

発光素子アレイチップ2の発光素子列が2400dpi相当で副走査方向に8画素ずれて駆動基板に実装されている場合には、チップデータシフト部404は、次のような処理を行う。すなわち、チップデータシフト部404は、駆動基板202への面発光素子アレイチップ1に対応するラインデータの出力タイミングに対して、同一ラインをなす面発光素子アレイチップ2に対応するラインデータの出力タイミングを8画素分遅延させる。そのため、チップデータシフト部404は、面発光素子アレイチップ1に対応するラインデータに対して、面発光素子アレイチップ2に対応する全ラインデータをシフトさせる。

【0037】

(データ送信部)

データ送信部405は、露光ヘッド106の駆動基板202に対して、上述した一連のラインデータに対するデータ処理を実行した後のラインデータを送信する。

【0038】

[露光ヘッドの駆動部]

(データ受信部)

次に、露光ヘッド106の駆動部303a内部の処理について説明する。駆動部303aは、データ受信部407、PWM信号生成部411、タイミング制御部412、制御信号生成部413、駆動電圧生成部414の機能ブロックから構成されている。以下、駆動部303aでの画像データが処理される順に各機能ブロックの処理について説明する。なお、前述したように、チップデータ変換部403では、29個の面発光素子アレイチップ毎に画像データの配列を行い、以降の処理ブロックは、29チップに格納された各画像データを並列に処理する構成となっている。駆動部303aでは、面発光素子アレイチップ1～15に対応した画像データを受信し、面発光素子アレイチップ毎に並列に処理可能な回路を有するものとする。

【0039】

(データ受信部)

データ受信部407は、制御基板415のデータ送信部405から送信された信号を受信する。ここで、データ受信部407、データ送信部405は、Line同期信号に同期して副走査方向のライン単位で、画像データを送受信するものとする。

【0040】

(PWM信号生成部、タイミング制御部、制御信号生成部、駆動電圧生成部)

PWM信号生成部411では、データ受信部407から入力された画素毎のデータ値に応じて面発光素子アレイチップが1画素区間内で発光する発光時間に対応したパルス幅に変換したパルス幅信号(以下、PWM信号という)を生成する。PWM信号を出力するタイミングは、タイミング制御部412により制御される。タイミング制御部412は、制御基板415の同期信号生成部406で生成されたLine同期信号より、各画素の画素区間に対応した同期信号を生成し、PWM信号生成部411に出力する。駆動電圧生成部414は、PWM信号に同期して、面発光素子アレイチップを駆動する駆動電圧を生成する。なお、駆動電圧生成部414は、CPU400によって所定の光量となるように出力信号の電圧レベルを5V中心に調整可能な構成とする。本実施例では、各面発光素子アレイチップは、同時に4つの発光素子を独立して駆動できる構成となっている。駆動電圧生成部414は、面発光素子アレイチップ毎に駆動信号4ライン、露光ヘッド106全体では、千鳥状構成の1ライン(15チップ)×4=60ラインに駆動信号を供給する。各面発光素子アレイチップに供給される駆動信号は、ΦW1～ΦW4とする(図11参照)。一方、後述するシフトサイリスタ(図11参照)の動作により、順次、面発光素子チップアレイが駆動される。制御信号生成部413は、タイミング制御部412で生成された画素区間に対応する同期信号より、画素毎にシフトサイリスタを転送するための制御信号Φs、Φ1、Φ2を生成する(図11参照)。

【0041】

[駆動電圧生成部の構成]

図7は、駆動電圧生成部414の回路構成を示す模式図である。上述したように、駆動

10

20

30

40

50

電圧生成部 4 1 4 では、PWM 信号生成部 4 1 1 から出力される PWM 信号に同期して面発光素子アレイチップ 1 ～ 1 5 を駆動する駆動電圧を生成し、各面発光素子アレイチップ 1 ～ 1 5 に供給する。図 7 に示すように、駆動電圧生成部 4 1 4 は、デジタル信号をアナログ信号に変換するデジタルアナログ変換制御回路である DAC 1 1 0 0、1 1 0 1、DAC 1 1 1 1 ～ 1 1 2 5、スイッチ素子 1 1 5 1 ～ 1 1 6 5 を有している。第 2 の光量制御部である DAC 1 1 0 0、第 3 の光量制御部である DAC 1 1 0 1 は、露光ヘッド 1 0 6 全体の光量を制御するための DAC である。DAC 1 1 0 0、1 1 0 1 は、入力される電源電圧から、第 1 の光量制御部である DAC 1 1 1 1 ～ 1 1 2 5 が各面発光素子アレイチップ 1 ～ 2 5 に駆動電圧を供給するための制御電圧を生成する。そして、DAC 1 1 0 0、1 1 0 1 は、アナログ配線 1 1 0 2、1 1 0 3 を介して、面発光素子アレイチップ 1 ～ 1 5 に対応して設けられた、各面発光素子アレイチップ 1 ～ 1 5 の光量調整を行う DAC 1 1 1 1 ～ 1 1 2 5 に対して、生成した制御電圧を供給する。以下では、DAC 1 1 0 0 から供給される制御電圧を第 1 の電圧、DAC 1 1 0 1 から供給される制御電圧を第 2 の電圧とする。また、第 1 の電圧と第 2 の電圧の大小関係は、後述するように、第 1 の電圧 > 第 2 の電圧とする。

【0042】

DAC 1 1 1 1 ～ 1 1 2 5 は、面発光素子アレイチップ 1 ～ 1 5 に対応して設けられ、各面発光素子アレイチップの面発光素子を発光させるための駆動電圧を出力する。出力する駆動電圧は、DAC 1 1 0 0 から供給される第 1 の電圧、DAC 1 1 0 1 から供給される第 2 の電圧、各 DAC 1 1 1 1 ～ 1 1 2 5 に CPU 4 0 0 から設定される、出力する駆動電圧に応じた設定値（第 1 の指示値）に基づいて生成される。前述したように、面発光素子アレイチップ 1 ～ 1 5 は、同一の駆動電圧を供給されても面発光素子アレイチップ毎に発光光量が異なる。そのため、各 DAC 1 1 1 1 ～ 1 1 2 5 には、CPU 4 0 0 から通信ライン（不図示）を介して駆動電圧に応じた設定値が設定されるものとする。同一の面発光素子アレイチップ内では、面発光素子毎の光量のバラツキが小さいため、面発光素子アレイチップ 1 ～ 1 5 毎に設けた DAC 1 1 1 1 ～ 1 1 2 5 により、面発光素子アレイチップ内の面発光素子の光量が制御される。また、DAC 1 1 1 1 ～ 1 1 2 5 の駆動電圧を出力する出力部は、スイッチ素子 1 1 5 1 ～ 1 1 6 5 がオンしたときに流れる電流により、出力している駆動電圧が変動しないように、ボルテージフォロア等の電圧ドライブ回路（不図示）を有しているものとする。生成された駆動電圧は、スイッチ素子 1 1 5 1 ～ 1 1 6 5 を介して、各面発光素子アレイチップ 1 ～ 1 5 に供給される。スイッチ素子 1 1 5 1 ～ 1 1 6 5 は、各面発光素子アレイチップ 1 ～ 1 5 において、4 つの発光素子を同時に発光させるため、それぞれ内部に 4 つの接点、1 1 5 1 a ～ 1 1 5 1 d、・・・、1 1 6 5 a ～ 1 1 6 5 d を有している。末尾の a、b、c、d は、それぞれ上述した各面発光素子アレイチップ 1 ～ 1 5 に供給される駆動信号 $\Phi W 1 \sim \Phi W 4$ に対応する。スイッチ素子 1 1 5 1 ～ 1 1 6 5 の各接点は、PWM 信号生成部 4 1 1 より出力された PWM 信号によってオン又はオフされる。PWM 信号に応じて生成された駆動電圧のパルス信号は、スイッチ素子 1 1 5 1、1 1 5 2 ～ 1 1 6 5 の各接点に接続された配線 1 1 3 1 a ～ 1 1 3 1 d、1 1 3 2 a ～ 1 1 3 2 d、・・・1 1 4 5 a ～ 1 1 4 5 d を介して各面発光素子アレイチップに供給される。このような動作によって、面発光素子アレイチップ 1 ～ 1 5 毎に駆動電圧の電圧レベルが制御されたパルス信号が各面発光素子アレイチップ 1 ～ 1 5 に供給される。

【0043】

〔DAC の回路構成〕

図 8 は、本実施例の DAC の回路構成の一例を示す模式図である。図 8 に示す DAC は、電圧が入力される入力部 1 2 0 0、1 2 0 1、電圧が出力される出力部 1 2 0 3、6 3 個の分圧抵抗で構成されるラダー抵抗回路 1 2 0 4、6 4 個のスイッチ接点で構成されるセレクト回路 1 2 0 5 を有する 6 ビットの DAC である。前述した DAC 1 1 1 1 ～ 1 1 2 5 の場合には、入力部 1 2 0 0 には、第 1 の電圧が入力され、入力部 1 2 0 1 には第 2 の電圧が入力され、出力部 1 2 0 3 からは駆動電圧がスイッチ素子 1 1 5 1 ～ 1 1 6 5 に

出力される。また、DAC1100、1101においては、入力部1200には電源電圧が入力され、入力部1201にはグランドが接続され、出力部1203からは、それぞれ第1の電圧、第2の電圧が出力される。

【0044】

抵抗部であるラダー抵抗回路1204は、互いに等しい抵抗値を有する63個の抵抗が直列に接続された回路である。各抵抗間の電圧は、例えばDAC1111～1125の場合には、入力部1200から入力された第1の電圧と入力部1201から入力された第2の電圧を63個の抵抗で等分割した電圧となる。なお、ここでは、各抵抗の抵抗値は、同じ抵抗値としているが、公差の範囲内で抵抗値に差分があってもよい。また、必ずしもすべての抵抗の抵抗値が同一である必要はなく、複数の抵抗の中には抵抗値に公差よりも大きい差分があってもよく、それらの抵抗の中には抵抗値が同一のものを含んでもよい。その場合、CPU400は出力する電圧が目標電圧となるように各抵抗の抵抗値に応じて使用する抵抗を選択する。

10

【0045】

一方、セレクト部であるセレクト回路1205は、64個のスイッチ接点を有しており、図8に示すように、ラダー抵抗回路1204の各抵抗の端子に1対1に対応するように、64個のスイッチ接点がそれぞれ接続された構成となっている。そして、CPU400からの指示値(0～63)に応じて、セレクト回路1205の該当するスイッチ接点がオンすることにより、出力部1203から出力される出力電圧が決定される。例えば、CPU400から指示値"0"が入力されると、セレクト回路1205の入力部1201に最も近いスイッチ接点がオンし、指示値"1"が入力されると、入力部1201から2番目に近いスイッチ接点がオンされる。同様に、CPU400から指示値"63"が入力されると、セレクト回路1205の入力部1200に最も近いスイッチ接点がオンされる。

20

【0046】

DAC1100が出力する第1の電圧、DAC1101が出力する第2の電圧、DAC1111～1125が各面発光素子アレイチップ1～25に供給される出力電圧(駆動電圧)は、次の(式1)～(式3)により算出することができる。

【0047】

第1の電圧＝電源電圧×(第1の電圧設定値÷63)・・・(式1)

第2の電圧＝電源電圧×(第2の電圧設定値÷63)・・・(式2)

30

各面発光素子アレイチップの出力電圧＝(第1の電圧－第2の電圧)×(面発光素子アレイチップ毎のDAC設定値÷63)＋第2の電圧・・・(式3)

ここで第1の電圧設定値とは、CPU400からDAC1100に設定される第1の電圧に応じた電圧設定値(第2の指示値)であり、第2の電圧設定値とは、CPU400からDAC1101に設定される第2の電圧に応じた電圧設定値(第3の指示値)である。また、各面発光素子アレイチップの出力電圧とは、DAC1111～1125から面発光素子アレイチップ1～25に出力される駆動電圧である。面発光素子アレイチップ毎のDAC設定値とは、CPU400から各DAC1111～1125に指示される駆動電圧に応じた設定値(指示値)である。

【0048】

40

[DACの出力電圧を決定する制御シーケンス]

図9は、DAC1100、1101、1111～1125の出力電圧を設定するための制御シーケンスを示すフローチャートである。図9に示す処理は、本実施例の画像形成装置において画像形成動作が開始される際に起動され、CPU400により実行される。なお、メモリ420には、上述した、出荷前の工場の検査工程において、調整目標光量と各面発光素子アレイチップの発光光量との差を検知し、各面発光素子アレイチップ毎に調整目標値の光量出力が得られる駆動電圧データVxが格納されているものとする。

【0049】

ステップ(以下、Sという)1301では、CPU400は、メモリ420から、各面発光素子アレイチップ1～29の駆動電圧データVx(x=1～29)を読み出す。前述

50

したように駆動電圧データ V_x は、各面発光素子アレイチップ 1～29 を所定の目標光量で発光する際に必要となる駆動電圧を示すデータである。S1302では、CPU400は、各面発光素子アレイチップ 1～29 の駆動電圧データの中で、最も光量が低い面発光素子アレイチップの駆動電圧、すなわちメモリ 420 に格納されている駆動電圧データのうちの最大値を、第1の電圧として決定する。そして、CPU400は、上述した(式1)より、電源電圧、決定した第1の電圧に基づいて、DAC1100に設定する第1の電圧設定値を算出する。なお、面発光素子アレイチップの光量が低いほど、他の面発光素子アレイチップと同じ光量にするためには、駆動電圧を高くする必要がある。S1303では、CPU400は、各面発光素子アレイチップ 1～29 の駆動電圧データの中で、最も光量が高い面発光素子アレイチップの駆動電圧、すなわちメモリ 420 に格納されている駆動電圧データのうちの最小値を、第2の電圧として決定する。そして、CPU400は、上述した(式2)より、電源電圧、決定した第2の電圧に基づいて、DAC1101に設定する第2の電圧設定値を算出する。なお、面発光素子アレイチップの光量が高いほど、他の面発光素子アレイチップと同じ光量にするためには、駆動電圧を低くする必要がある。

【0050】

S1304では、CPU400は、第1の電圧、第2の電圧、各面発光素子アレイチップ 1～29 の駆動電圧データ V_x に基づいて、以下の(式4)、(式5)により各面発光素子アレイチップに対応したDAC設定値を算出する。

【0051】

DAC分解能 = (第1の電圧 - 第2の電圧) ÷ 63・・・(式4)

チップ個別のDAC設定値 = (駆動電圧データ V_x - 第2の電圧) ÷ DAC分解能・・・(式5)

S1305では、CPU400は、算出した第1の電圧設定値、第2の電圧設定値、面発光素子アレイチップ個別のDAC設定値を、それぞれDAC1100、1101、1111～1125に設定し、処理を終了する。

【0052】

なお、S1302、S1303の処理において、第1の電圧と第2の電圧を、メモリ 420 に記憶されている工場調整時の面発光素子アレイチップの駆動電圧データ V_x と同一の値を設定した場合には、面発光素子は工場調整時と同一光量で制御される。一方、画像形成時の条件に応じて露光ヘッド106全体の光量を必要とされる光量(以下、制御光量という)に制御する場合、CPU400は、以下の(式6)、(式7)により第1の電圧、及び第2の電圧を算出する。

【0053】

第1の電圧 = 駆動電圧最大値 V_{max} × 制御光量 ÷ 工場調整光量・・・(式6)

第2の電圧 = 駆動電圧最小値 V_{min} × 制御光量 ÷ 工場調整光量・・・(式7)

ここで、駆動電圧最大値 V_{max} は、メモリ 420 に格納されている各面発光素子アレイチップの駆動電圧データのうちの駆動電圧の最大電圧値である。また、駆動電圧最小値 V_{min} は、メモリ 420 に格納されている各面発光素子アレイチップの駆動電圧データのうちの駆動電圧の最小電圧値である。工場調整光量は、出荷前の工場の検査工程で調整されたときの所定の光量である。

【0054】

(式6)、(式7)の演算を、S1302、S1303の処理で行うことにより、制御光量における第1の電圧と第2の電圧が決定される。これにより、露光ヘッド106内の最大光量となる面発光素子アレイチップの光量と、最小光量となる面発光素子アレイチップの光量とが、制御したい光量レベルとなる。なお、本実施例の構成においては、露光ヘッド106全体の光量を制御する場合、各面発光素子アレイチップ個別の調整を行うDAC1101～1125の設定を変えることなく、第1の電圧、第2の電圧の設定を制御だけで光量制御を行うことが可能となる。例えば、工場調整時における第1の電圧が4.4V、第二の電圧が3.6V、ある面発光素子アレイチップの駆動電圧が4.0Vの場合を

例に挙げて説明する。この場合、該当の面発光素子アレイチップの駆動電圧は、第1の電圧と第2の電圧のちょうど中間の電圧値になるため、面発光素子アレイチップ毎に設定される6ビットのDAC設定値は”32”となる。露光ヘッド106全体の光量を下げるように制御する場合には、例えば第1の電圧を2.2V、第2の電圧を1.8Vに変更する。この場合、該当の面発光素子アレイチップの駆動電圧は、DACの設定値を”32”にした状態のままで、第1の電圧(2.2V)と第2の電圧(1.8V)のちょうど中間の電圧である2.0Vとなる。すなわち、各面発光素子アレイチップの駆動電圧は、相対的に同じ比率で制御されることになる。そのため、S1304の各DAC設定値の決定、S1305の各DAC設定値の設定については、電源オンした後の最初の光量設定フローで実行すれば、以降の処理では省略することが可能となる。例えば、画像形成装置の機内昇温等の要因によって、高頻度に光量の制御を行う場合には、S1302、S1303の処理において、第1の電圧と第2の電圧のみを決定し、S1305の処理において、DAC1100、1101にDAC設定値を設定すればよい。これにより、露光ヘッド106全体の光量バラツキを補正しつつ、露光ヘッド106全体の光量を制御可能となり、面発光素子アレイチップ個別にDAC設定値を設定する際の通信やDACの応答速度に起因する光量切り換え時間を大幅に短縮することができる。

【0055】

また、本実施例では、面発光素子アレイチップを電圧駆動する駆動方式において、印加する電圧レベルを制御することで光量を制御する例について説明した。電流駆動により光量を制御する駆動方式についても、DAC1100、1101の出力電圧に応じて駆動電流値が決まるように電流源が構成されていれば、面発光素子アレイチップ個別に制御することで、光量調整が可能となる。なお、駆動電圧や駆動電流に対して、面発光素子アレイチップの光量が比例関係にない(例えば、駆動電圧が2V以上で発光し、2V~5Vまで光量が線形に増加する)場合の面発光素子アレイチップには、次のような演算処理を行うことで光量制御が可能になる。すなわち、光量ゼロになるときの電圧V0(この場合は2V)を予めメモリ420に記憶しておき、上述した(式6)、(式7)を、以下の(式8)、(式9)に変更することにより、より高精度に光量制御可能となる。

【0056】

第1の電圧 = (駆動電圧最大値max - 電圧V0) × 制御光量 ÷ 工場調整光量 + 電圧V0・・・(式8)

第2の電圧 = (駆動電圧最大値min - 電圧V0) × 制御光量 ÷ 工場調整光量 + 電圧V0・・・(式9)

〔DACの回路構成例〕

DACの回路構成については、ラダー抵抗回路1204、セレクト回路1205を用いた6ビットのDAC構成を例に説明したが、必要とする精度に応じてビット数を決めればよく、6ビットである必要は必ずしもない。また、ラダー抵抗回路1204、セレクト回路1205を用いない、その他の方式のDACを用いてもよい。図10は、PWM方式によるDACの回路構成を示す模式図である。図10(a)は、上述した第1の電圧及び第2の電圧を制御するDAC1100、1101に適用可能なDACの回路構成の一例を示す回路図である。図10(a)において、PWM生成部1401で生成されたPWM信号(第2の指示値、第3の指示値に相当)は、スイッチ部であるFET1402のゲート端子に入力される。FET1402は、PWM信号のDuty(デューティ)に応じて、スイッチング動作を行う。FET1402がオン時には、電源電圧がFET1402を介して、抵抗及びコンデンサで構成された平滑部である平滑回路1403に入力され、入力された電源電圧は平滑回路1403によって平滑化される。そして、平滑化された電圧は、出力部であるボルテージフォロア1404により配線1405(図7のアナログ配線1102、1103に相当)を介して出力される。図10(a)に示す回路構成では、電源電圧に対して、PWM信号のオン状態の比率に応じたアナログ電圧が出力される。図10(b)は、各面発光素子アレイチップ1~29の駆動電圧を個別に調整するDAC1111~1125に適用可能なDACの回路構成の一例を示す回路図である。図10(b)にお

いて、入力部 1416 から第 1 の電圧が入力され、入力部 1417 から第 2 の電圧が入力される。PWM 生成部 1411 で生成された PWM 信号（第 3 の指示値に相当）は、スイッチング素子である FET 1412 のゲート端子に入力される。FET 1412 は、PWM 信号の Duty に応じて、スイッチング動作を行う。抵抗及びコンデンサで構成される平滑回路 1413 は、FET 1412 がオン時に入力される第 1 の電圧と、オフ時に入力される第 2 の電圧を平滑化する。そして、平滑化された電圧は、出力部であるボルテージフォロア 1414 により配線 1415 を介して出力される。このように、PWM 方式においても、上述したラダー抵抗を用いた方式と同様に、露光ヘッド 106 全体の光量制御と、面発光素子アレイチップ個別の光量制御が可能となる。

【0057】

〔SLED 回路の説明〕

図 11 は、本実施例の自己走査型発光素子（Self-Scanning LED: SLED）チップアレイの一部分を抜き出した等価回路である。図 11 において、 R_a 、 R_g はそれぞれアノード抵抗、ゲート抵抗であり、 T_n はシフトサイリスタ、 D_n は転送ダイオード、 L_n は発光サイリスタを示す。また、 G_n は、対応するシフトサイリスタ T_n 、及びシフトサイリスタ T_n に接続されている発光サイリスタ L_n の共通ゲートを表している。ここで、 n は 2 以上の整数とする。 $\Phi 1$ は奇数番目のシフトサイリスタ T の転送ライン、 $\Phi 2$ は偶数番目のシフトサイリスタ T の転送ラインである。 $\Phi W 1 \sim \Phi W 4$ は発光サイリスタ L の点灯信号ラインであり、それぞれ抵抗 $R W 1 \sim R W 4$ と接続されている。 $V G K$ はゲートラインであり、 Φs はスタートパルスラインである。図 11 に示すように、1 個のシフトサイリスタ T_n に対し、発光サイリスタは $L_{4n-3} \sim L_{4n}$ までの 4 個が接続されており、同時に 4 個の発光サイリスタ $L_{4n-3} \sim L_{4n}$ が点灯可能な構成となっている。

【0058】

〔SLED 回路の動作〕

次に、図 11 に示す SLED 回路の動作について説明する。なお、図 11 の回路図において、ゲートライン $V G K$ には 5 V が印加されているものとし、転送ライン $\Phi 1$ 、 $\Phi 2$ 、及び点灯信号ライン $\Phi W 1 \sim \Phi W 4$ に入力される電圧も、同じく 5 V とする。図 11 において、シフトサイリスタ T_n がオン状態にあるとき、シフトサイリスタ T_n 、及びシフトサイリスタ T_n に接続されている発光サイリスタ L_n の共通ゲート G_n の電位は約 0.2 V まで引き下げられる。発光サイリスタ L_n の共通ゲート G_n と発光サイリスタ L_{n+1} の共通ゲート G_{n+1} との間は、結合ダイオード D_n で接続されているため、結合ダイオード D_n の拡散電位にほぼ等しい電位差が発生する。本実施例では、結合ダイオード D_n の拡散電位は約 1.5 V であるので、発光サイリスタ L_{n+1} の共通ゲート G_{n+1} の電位は、発光サイリスタ L_n の共通ゲート G_n の電位の 0.2 V に、拡散電位の 1.5 V を加えた 1.7 V ($= 0.2 \text{ V} + 1.5 \text{ V}$) となる。以下、同様に、発光サイリスタ L_{n+2} の共通ゲート G_{n+2} の電位は 3.2 V ($= 1.7 \text{ V} + 1.5 \text{ V}$)、発光サイリスタ L_{n+3} (不図示) の共通ゲート G_{n+3} (不図示) の電位は 4.7 V ($= 3.2 \text{ V} + 1.5 \text{ V}$) となる。ただし、発光サイリスタ L_{n+4} の共通ゲート G_{n+4} 以降の電位は、ゲートライン $V G K$ の電圧が 5 V であり、これ以上の高い電位にはならないので、5 V となる。また、発光サイリスタ L_n の共通ゲート G_n より前 (図 11 の共通ゲート G_n よりも左側) の共通ゲート G_{n-1} の電位については、結合ダイオード D_{n-1} が逆バイアス状態になっているため、ゲートライン $V G K$ の電圧がそのまま印加され、5 V となっている。

【0059】

図 12 (a) は、上述したシフトサイリスタ T_n がオン状態のときの各発光サイリスタ L_n の共通ゲート G_n のゲート電位の分布を示す図であり、共通ゲート G_{n-1} 、 G_n 、 $G_{n+1} \dots$ は、図 11 中の発光サイリスタ L の共通ゲートを指している。また、図 12 (a) の縦軸は、ゲート電位を示す。各シフトサイリスタ T_n がオンするために必要な電圧 (以下、しきい値電圧と表記) は、各々の発光サイリスタ L_n の共通ゲート G_n のゲート電位に拡散電位 (1.5 V) を加えたものと、ほぼ同じ電位である。シフトサイリス

10

20

30

40

50

タ T_n がオンしているとき、同じシフトサイリスタ T_n の転送ライン $\phi 2$ のラインに接続されているシフトサイリスタの中で、共通ゲートのゲート電位が最も低いのはシフトサイリスタ T_{n+2} である。シフトサイリスタ T_{n+2} に接続されている発光サイリスタ L_{n+2} の共通ゲート G_{n+2} の電位は、先に説明したように 3.2 V ($=1.7\text{ V} + 1.5\text{ V}$) (図 12 (a)) である。したがって、シフトサイリスタ T_{n+2} のしきい値電圧は 4.7 V ($=3.2\text{ V} + 1.5\text{ V}$) となる。しかしながら、シフトサイリスタ T_n がオンしているため、転送ライン $\phi 2$ の電位は約 1.5 V (拡散電位) に引き込まれており、シフトサイリスタ T_{n+2} のしきい値電圧より低いために、シフトサイリスタ T_{n+2} はオンすることができない。同じ転送ライン $\phi 2$ に接続されている他のシフトサイリスタは、シフトサイリスタ T_{n+2} よりもしきい値電圧が高いため、同様にオンすることができず、シフトサイリスタ T_n のみがオン状態を保つことができる。

【0060】

また、転送ライン $\phi 1$ に接続されているシフトサイリスタについては、しきい値電圧が最も低い状態であるシフトサイリスタ T_{n+1} のしきい値電圧は 3.2 V ($=1.7\text{ V} + 1.5\text{ V}$) である。そして、次にしきい値電圧の低いシフトサイリスタ T_{n+3} (図 11 では不図示) は 6.2 V ($=4.7\text{ V} + 1.5\text{ V}$) である。この状態で、転送ライン $\phi 1$ に 5 V が入力されると、シフトサイリスタ T_{n+1} のみがオン状態に遷移できる。この状態では、シフトサイリスタ T_n とシフトサイリスタ T_{n+1} が同時にオンした状態である。そのため、シフトサイリスタ T_{n+1} から図 11 の回路図中、右側に設けられたシフトサイリスタ T_{n+2} 、 T_{n+3} 等のゲート電位は、各々、拡散電位 (1.5 V) 分、引き下げられる。ただし、ゲートライン V_{GK} の電圧が 5 V であり、発光サイリスタ L の共通ゲートの電圧はゲートライン V_{GK} の電圧で制限されるため、シフトサイリスタ T_{n+5} より右側のゲート電位は 5 V となる。図 12 (b) は、このときの各共通ゲート $G_{n-1} \sim G_{n+4}$ のゲート電圧分布を示す図であり、縦軸はゲート電位を示す。この状態で、転送ライン $\phi 2$ の電位を 0 V に下げると、シフトサイリスタ T_n がオフし、シフトサイリスタ T_n の共通ゲート G_n の電位が V_{GK} 電位まで上昇する。図 12 (c) は、このときのゲート電圧分布を示す図であり、縦軸はゲート電位を示す。こうして、シフトサイリスタ T_n からシフトサイリスタ T_{n+1} へのオン状態の転送が完了する。

【0061】

〔発光サイリスタの発光動作〕

次に、発光サイリスタの発光動作に関して説明する。シフトサイリスタ T_n のみがオンしているとき、発光サイリスタ $L_{4n-3} \sim L_{4n}$ までの 4 個の発光サイリスタのゲートはシフトサイリスタ T_n の共通ゲート G_n に共通に接続されている。そのため、発光サイリスタ $L_{4n-3} \sim L_{4n}$ のゲート電位は、共通ゲート G_n と同じ 0.2 V である。したがって、各々の発光サイリスタのしきい値は 1.7 V ($=0.2\text{ V} + 1.5\text{ V}$) であり、発光サイリスタの点灯信号ライン $\phi W_1 \sim \phi W_4$ から、 1.7 V 以上の電圧が入力されれば、発光サイリスタ $L_{4n-3} \sim L_{4n}$ は点灯可能である。したがって、シフトサイリスタ T_n がオンしているときに、点灯信号ライン $\phi W_1 \sim \phi W_4$ に点灯信号を入力することにより、発光サイリスタ $L_{4n-3} \sim L_{4n}$ までの 4 個の発光サイリスタを選択的に発光させることが可能である。このとき、シフトサイリスタ T_n の隣のシフトサイリスタ T_{n+1} の共通ゲート G_{n+1} の電位は 1.7 V であり、共通ゲート G_{n+1} にゲート接続している発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ のしきい値電圧は 3.2 V ($=1.7\text{ V} + 1.5\text{ V}$) となる。点灯信号ライン $\phi W_1 \sim \phi W_4$ から入力される点灯信号は 5 V であるので、発光サイリスタ $L_{4n-3} \sim L_{4n}$ の点灯パターンと同じ点灯パターンで、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ も点灯しそうである。ところが、発光サイリスタ $L_{4n-3} \sim L_{4n}$ までの方がしきい値電圧が低いため、点灯信号ライン $\phi W_1 \sim \phi W_4$ から点灯信号が入力された場合には、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ よりも早くオンする。一旦、発光サイリスタ $L_{4n-3} \sim L_{4n}$ がオンすると、接続されている点灯信号ライン $\phi W_1 \sim \phi W_4$ が約 1.5 V (拡散電位) に引き下げられる。そのため、点灯信号ライン $\phi W_1 \sim \phi W_4$ の電位が、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ のしきい値電圧よりも

低くなるため、発光サイリスタ $L_{4n+1} \sim L_{4n+4}$ はオンすることができない。このように、1個のシフトサイリスタ T に複数の発光サイリスタ L を接続することで、複数の発光サイリスタ L を同時点灯させることができる。

【0062】

図13は、図11に示すSLED回路の駆動信号のタイミングチャートである。図13では、上から順に、ゲートライン V_{GK} 、スタートパルスライン ϕ_s 、奇数番目、偶数番目のシフトサイリスタの転送ライン ϕ_1 、 ϕ_2 、発光サイリスタの点灯信号ライン $\phi_{W1} \sim \phi_{W4}$ の駆動信号の電圧波形を表している。なお、各駆動信号は、オン時の電圧は5V、オフ時の電圧は0Vである。また、図13の横軸は時間を示す。また、 T_c は、クロック信号 ϕ_1 の周期を示し、 $T_c/2$ は、周期 T_c の半分 ($=1/2$) の周期を示す。

10

【0063】

ゲートライン V_{GK} には常に5Vが供給される。また、奇数番目のシフトサイリスタ用のクロック信号 ϕ_1 、偶数番目のシフトサイリスタ用のクロック信号 ϕ_2 が同じ周期 T_c にて入力され、スタートパルスラインの信号 ϕ_s は5Vが供給されている。奇数番目のシフトサイリスタ用のクロック信号 ϕ_1 が最初に5Vになる少し前に、ゲートライン V_{GK} に電位差をつけるために、スタートパルスラインの信号 ϕ_s は0Vに落とされる。これにより、最初のシフトサイリスタ T_{n-1} のゲート電位が5Vから1.7Vに引き込まれ、しきい値電圧が3.2Vになって、転送ライン ϕ_1 による信号でオンできる状態になる。転送ライン ϕ_1 に5Vが印加され、最初のシフトサイリスタ T_{n-1} がオン状態に移してから少し遅れて、スタートパルスライン ϕ_s に5Vが供給され、以降、スタートパルスライン ϕ_s には5Vが供給され続ける。

20

【0064】

転送ライン ϕ_1 と転送ライン ϕ_2 は互いのオン状態（ここでは5V）が重なる時間 T_{ov} を持ち、略相補的な関係になるように構成される。発光サイリスタ点灯用信号ライン $\phi_{W1} \sim \phi_{W4}$ は、転送ライン ϕ_1 、 ϕ_2 の周期の半分の周期で送信され、対応するシフトサイリスタがオン状態のときに、5Vが印加されると点灯する。例えば期間aでは同一のシフトサイリスタに接続されている4つの発光サイリスタが全て点灯している状態であり、期間bでは3つの発光サイリスタが同時点灯している。また、期間cでは全ての発光サイリスタは消灯状態であり、期間dでは2つの発光サイリスタが同時点灯している。期間eでは点灯する発光サイリスタは1つのみである。

30

【0065】

本実施例では1個のシフトサイリスタに接続する発光サイリスタの数は4個としているがこれに限ったものではなく、用途に応じて4個より少なくても多くてもよい。なお、上述した回路では各サイリスタのカソードを共通とする回路について説明したが、アノード共通回路でも適宜極性を反転することで適用可能である。

【0066】

〔面発光サイリスタの構造〕

図14は、本実施例の面発光サイリスタ部の概略図である。図14(a)は、メサ（台形）構造922に形成された発光素子が複数配列されている発光素子アレイの平面図（模式図）である。図14(b)は、図14(a)に示すB-B線で、メサ構造922に形成された発光素子を切断したときの断面概略図である。発光素子が形成されたメサ構造922は、所定のピッチ（発光素子間の間隔）（例えば1200dpiの解像度の場合には略21.16 μ m）で配置されており、各メサ構造922は、素子分離溝924により互いに分離されている。

40

【0067】

図14(b)において、900は第一伝導型の化合物半導体基板、902は基板900と同じ第一伝導型のバッファ層、904は第一伝導型の二種類の半導体層の積層で構成される分布ブラッグ反射（DBR）層である。また、906は第1の第一伝導型の半導体層、908は第一伝導型とは異なる第1の第二伝導型の半導体層、910は第2の第一伝導型の半導体層、912は第2の第二伝導型の半導体層である。図14(b)に示すように

50

、半導体層 906、908、910、912 の、伝導型の異なる半導体を交互に積層することで、pnpn 型（又は npnp 型）のサイリスタ構造を形成している。本実施例では、基板 900 には n 型の GaAs 基板を用い、バッファ層 902 には n 型の GaAs 層又は n 型の AlGaAs 層、DBR 層 904 には n 型の高 Al 組成の AlGaAs と低 Al 組成の AlGaAs の積層構造を用いている。DBR 層の上の第 1 の第一伝導型の半導体層 906 には n 型の AlGaAs、第 1 の第二伝導型の半導体層 908 には p 型 AlGaAs を用いている。また、第 2 の第一伝導型の半導体層 910 には n 型の AlGaAs、第 2 の第二伝導型の半導体層 912 には p 型の AlGaAs を用いている。

【0068】

また、メサ構造型の面発光素子では、電流狭窄機構を用い、電流をメサ構造 922 側面に流さないようにすることで発光効率を向上させている。ここで、本実施例における電流狭窄機構について説明する。図 14 (b) に示すように、本実施例では第 2 の第二伝導型の半導体層 912 である p 型の AlGaAs の上に、p 型の GaP 層 914 を形成し、更にその上に n 型の透明導電体である ITO 層 918 を形成している。p 型の GaP 層 914 は、透明導電体の ITO 層 918 と接触する部分の不純物濃度を十分高く形成しておく。発光サイリスタに対して順バイアスを加えたとき（例えば裏面電極 926 を接地し、表面電極 920 に正電圧を加えたとき）、p 型の GaP 層 914 は、透明導電体の ITO 層 918 と接触する部分の不純物濃度を十分高く形成されているためトンネル接合となる。その結果、電流が流れる。このような構造により、p 型の GaP 層 914 は、n 型透明導電体の ITO 層 918 と接触する部分に電流を集中させ、電流狭窄機構を形成している。なお、本実施例においては、ITO 層 918 と p 型の AlGaAs 層 912 との間に層間絶縁層 916 を設けている。ところが、n 型の ITO 層 918 と p 型の AlGaAs 層 912 で形成される付設ダイオードは、発光サイリスタの順方向バイアスに対して逆バイアスになっており、順バイアスしたときに、トンネル接合部以外は基本的に電流が流れない。そのため、n 型の ITO 層 918 と p 型の AlGaAs 層 912 で形成される付設ダイオードの逆方向耐圧が必要な用途に対して十分であれば、省略することも可能である。このような構成により、p 型の GaP 層 914 と n 型の透明導電体の ITO 層 918 とが接触する部分とほぼ同等な部分の下部の半導体積層部が発光し、DBR 層 904 によってそのほとんどの発光が基板 900 と反対側に反射される。

【0069】

本実施例における露光ヘッド 106 は、解像度に応じて発光点の密度（発光素子間の間隔）が決定される。面発光素子アレイチップ内部の各面発光素子は、素子分離溝 924 によってメサ構造 922 に分離され、例えば 1200 dpi の解像度で画像形成を行う場合は、隣接する発光素子（発光点）の素子中心間の間隔は 21.16 μm となるように配列される。

【0070】

以上、各面発光素子アレイチップのうちの最大、最小光量の面発光素子アレイチップの駆動電圧に基づいて、2 つの基準電圧（第 1 の電圧、第 2 の電圧）を決定し、基準電圧に基づいて、各面発光素子アレイチップの DAC を駆動する方式について説明した。これにより、各面発光素子アレイチップの発光光量のバラツキを高精度に補正しつつ、DAC の回路規模を小さくすることが可能となる。例えば、発光素子アレイチップのバラツキが $\pm 1.6\%$ （バラツキ幅（レンジ）が 3.2%）ある場合においても、6 bit（64 段階）の DAC を用いれば 0.5%（ $= 3.2\% / 64$ ）の分解能で補正可能となる。更に、露光ヘッド全体の光量制御を共通の DAC 1100、1101 で行うことで、面発光素子アレイチップ個別の DAC の制御分解能を低下させることなく、面発光素子アレイチップ間の濃度差の発生を防ぐことが可能となる。露光ヘッド全体の光量制御を行う場合は、面発光素子アレイチップ個別の DAC 設定を再設定する必要がないことから、短時間で光量の切替えが可能となり、画像形成装置全体の生産性を落とすことなく、光量を切り替えることができる。

【0071】

なお、本実施例では、面発光素子アレイチップを配列した露光ヘッドを例に説明した。本発明は、複数の発光素子から構成されるレーザ走査方式の露光手段に対しても、同様に有効である。特にビーム数の多いV C S E L（面発光レーザ）を用いた露光手段においても、光出力の近いビームを一つのグループとし、そのグループに対して共通となる2つの基準電圧と、発光素子個別のD A Cを用いることで同様の効果を奏することができる。

【0072】

以上説明したように、本実施例によれば、回路規模の増大を抑えるとともに、半導体チップ毎の光量バラツキを高精度に制御することができる。

【符号の説明】

【0073】

1 ～ 2 9	面発光素子アレイチップ
1 0 6	露光ヘッド
4 0 0	C P U
4 1 4	駆動電圧生成部
1 1 0 0	D A C
1 1 0 1	D A C
1 1 1 1 ～ 1 1 2 5	D A C
1 2 0 4	ラダー抵抗
1 2 0 5	セクタ回路

10

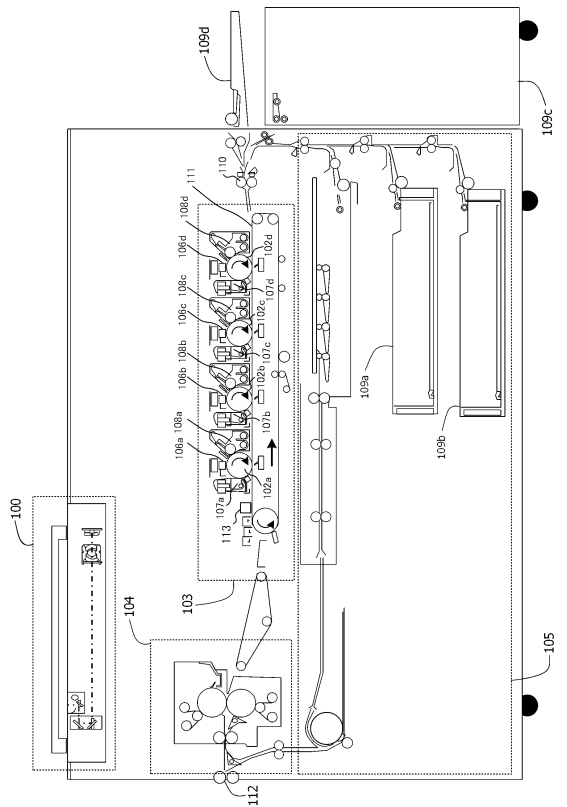
20

30

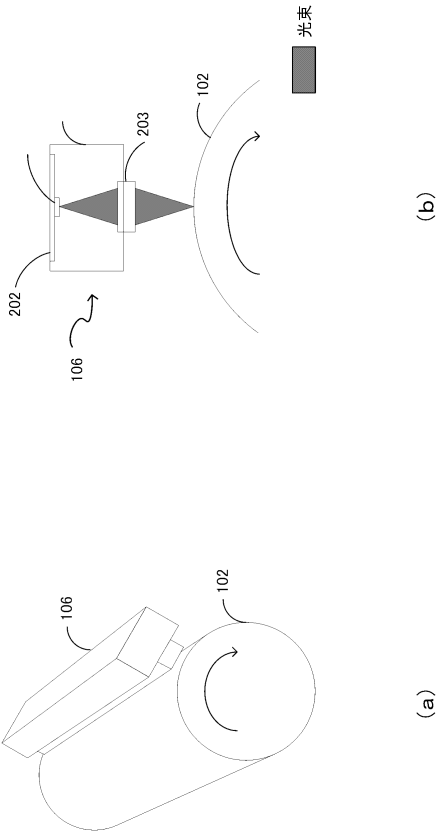
40

50

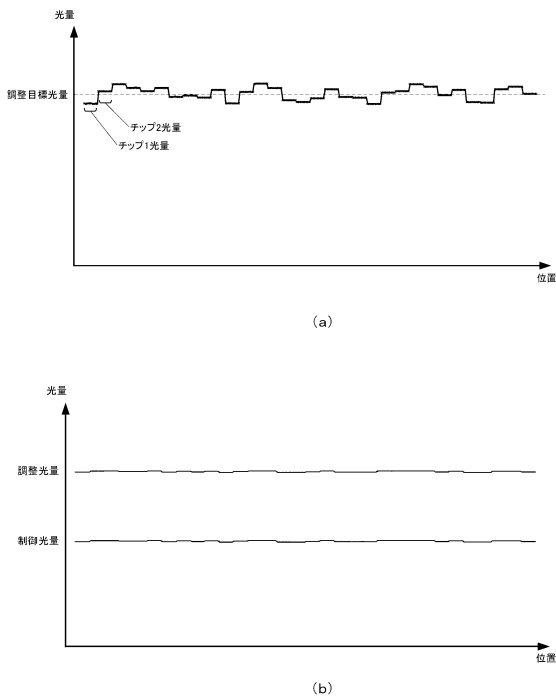
【図面】
【図 1】



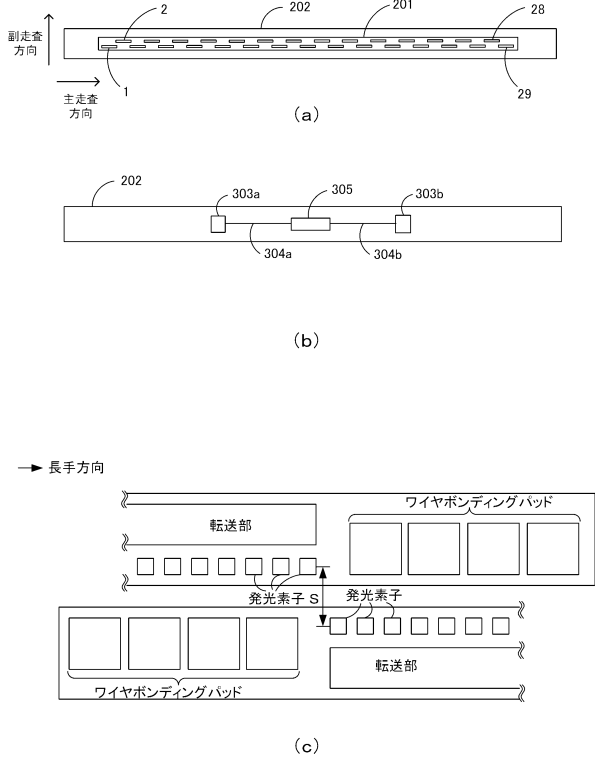
【図 2】



【図 3】



【図 4】



10

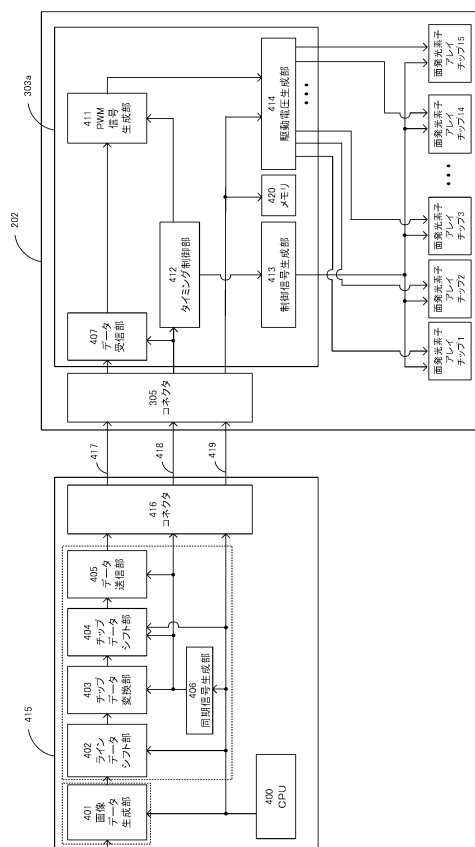
20

30

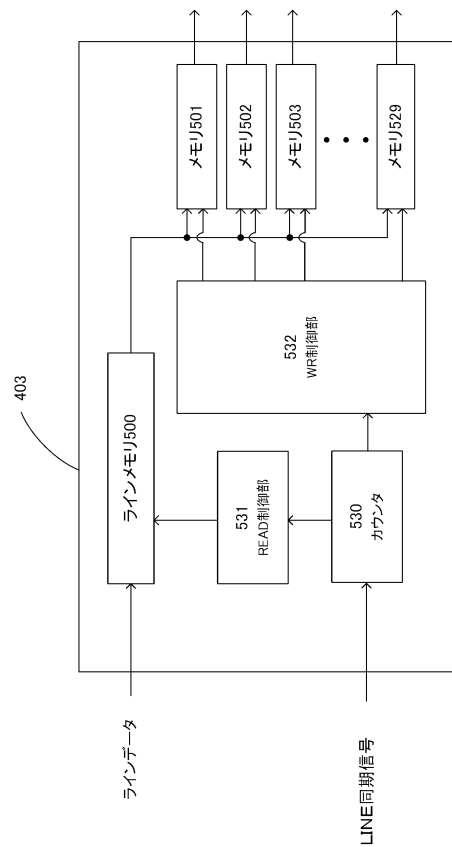
40

50

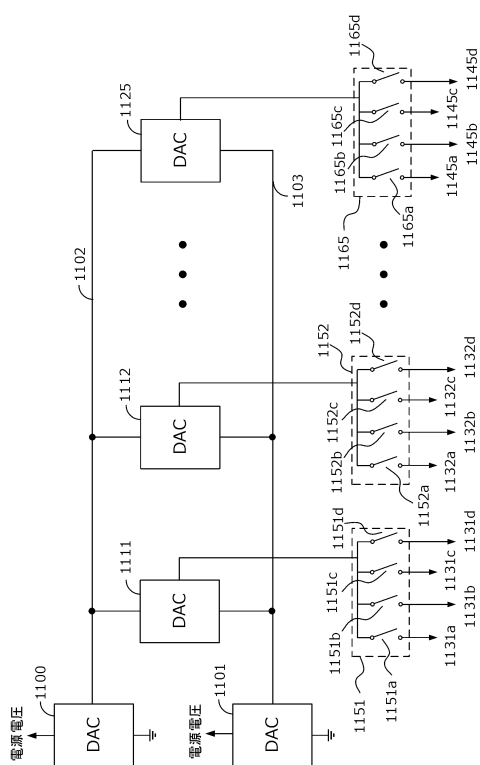
【図 5】



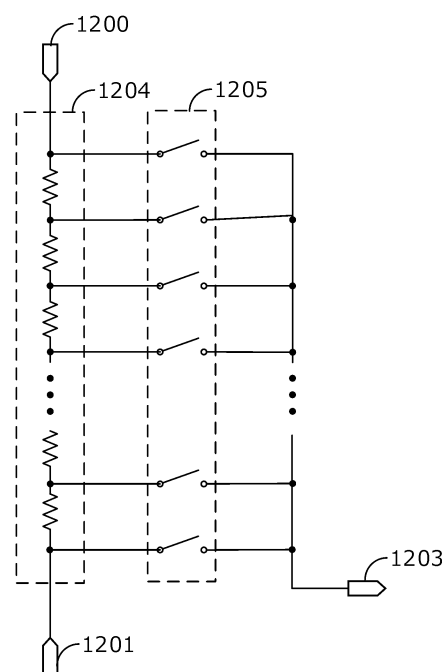
【圖 6】



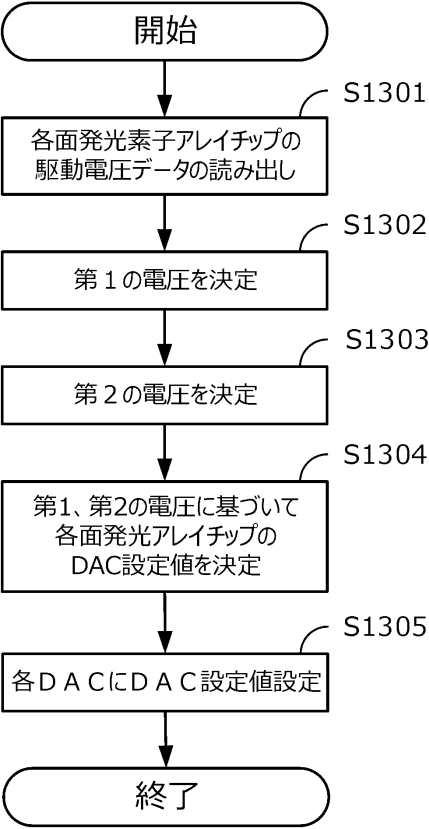
【圖 7】



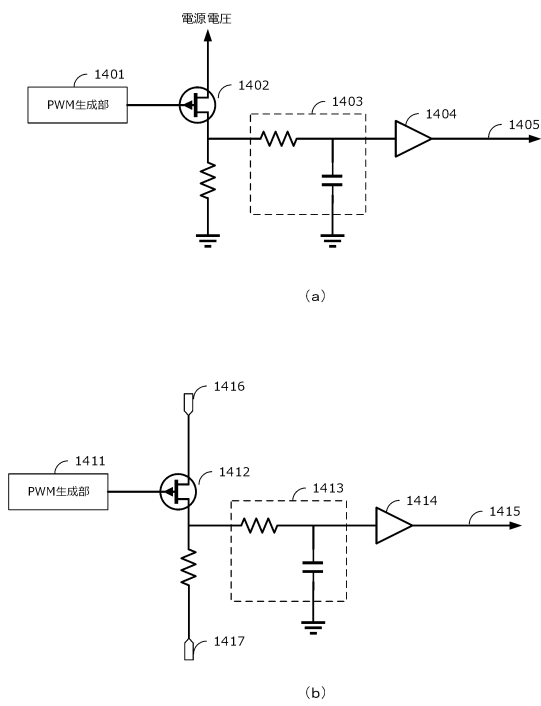
【圖 8】



【図 9】



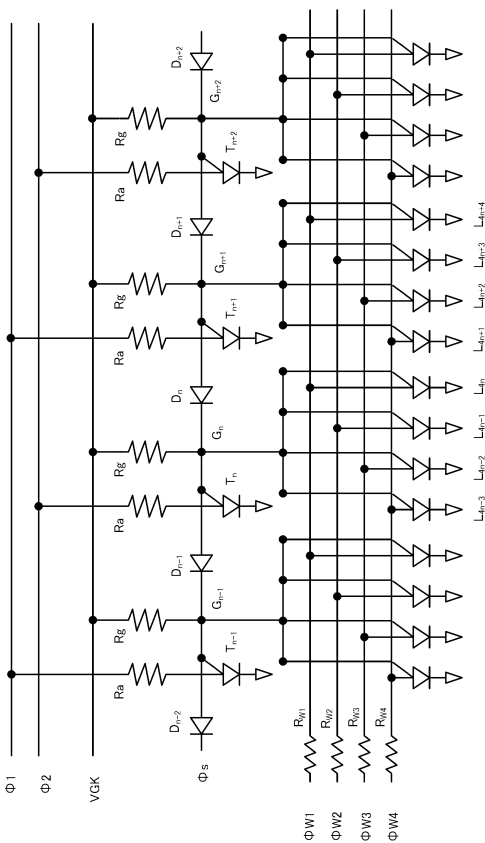
【図 1 0】



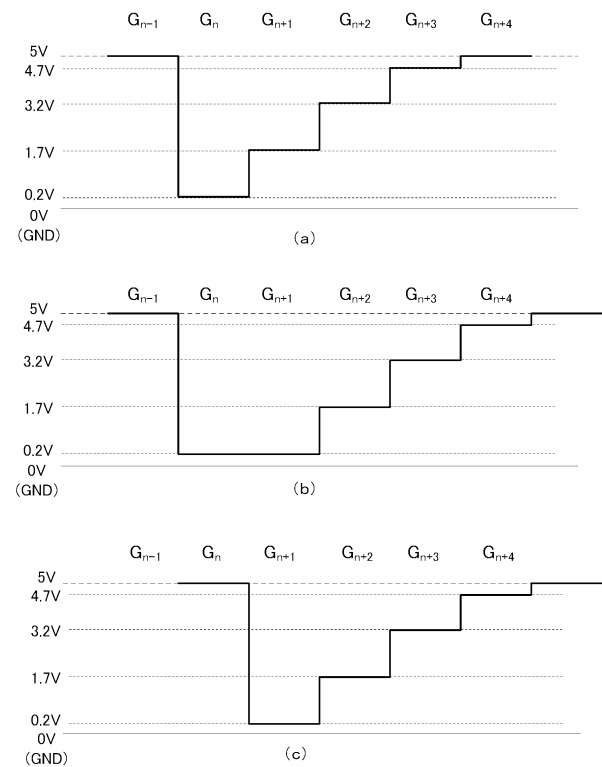
10

20

【図 1 1】



【図 1 2】

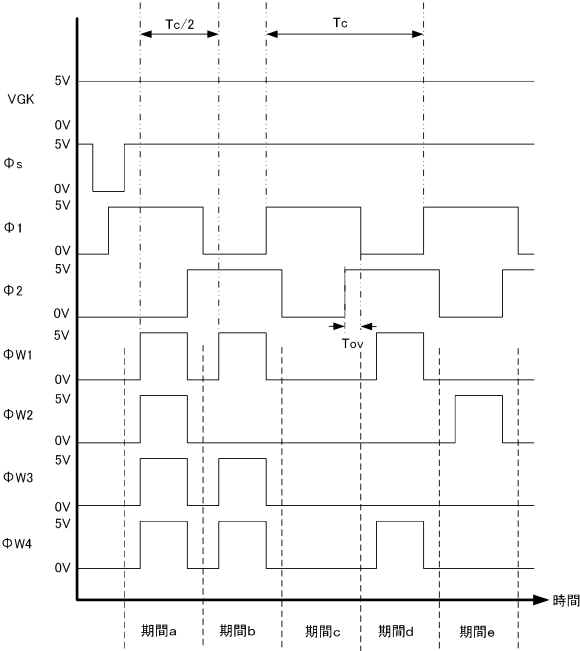


30

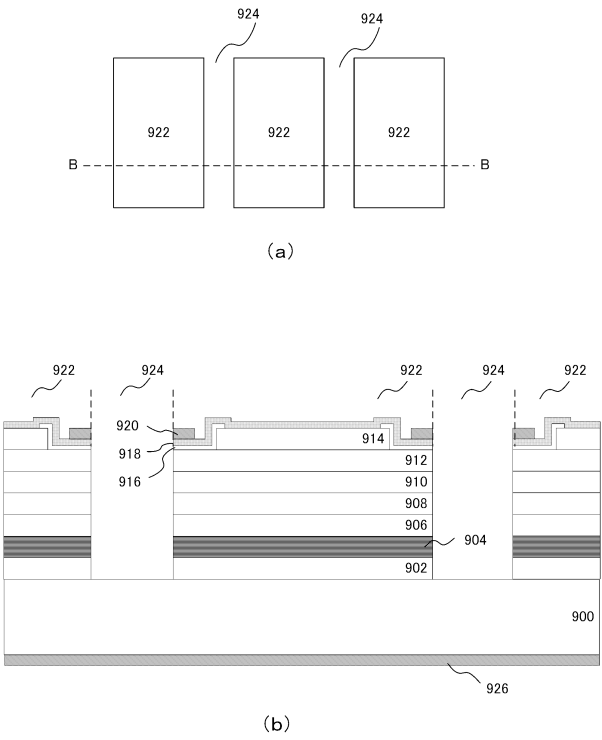
40

50

【図 1 3】



【図 1 4】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

H 0 1 L 33/02 (2010.01)

F I

G 0 3 G 15/043

H 0 1 L 33/00

J

H 0 1 L 33/02

(56)参考文献

特開 2 0 1 0 - 1 6 2 8 8 9 (J P, A)

特開 2 0 0 7 - 0 9 8 7 6 7 (J P, A)

特開平 0 8 - 0 8 0 6 3 5 (J P, A)

特開 2 0 1 7 - 2 2 9 0 0 9 (J P, A)

特開 2 0 1 4 - 1 7 6 9 7 0 (J P, A)

特開 2 0 0 0 - 3 5 1 2 3 5 (J P, A)

米国特許第 0 5 1 2 4 7 2 6 (U S, A)

(58)調査した分野 (Int.Cl., D B名)

B 4 1 J 2 / 4 4 7

B 4 1 J 2 / 4 5

G 0 3 G 1 5 / 0 0

G 0 3 G 1 5 / 0 4 3

H 0 1 L 3 3 / 0 0

H 0 1 L 3 3 / 0 2