(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0070533
(43) 공개일자 2021년06월15일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 21/76877 (2013.01)
H01L 21/76805 (2013.01)
(21) 출원번호 10-2019-0160371
(22) 출원일자 2019년12월05일
심사청구일자 2019년12월05일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유현용
서울특별시 서초구 신반포로 270, 130동 2403호
진동규
인천광역시 미추홀구 경인남길102번길 56, 404호
(74) 대리인
김홍석

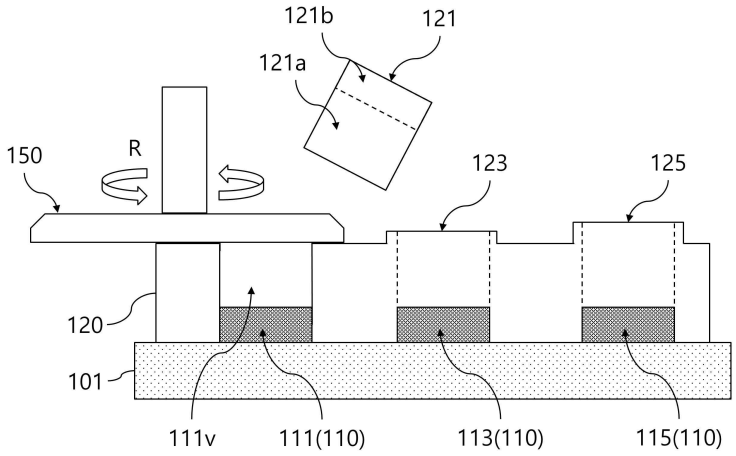
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치**

(57) 요 약

비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치에 관한 것으로, 비아 형성 방법은, 적어도 하나의 소자가 형성된 기판에 중간층이 형성되는 단계 및 상기 중간층의 일 면에 대해 요구 회전 속도로 미리 정의된 기간 동안 평탄화를 수행하여 상기 적어도 하나의 소자에 대응하는 적어도 하나의 부분을 상기 중간층으로부터 이탈시킴으로써, 상기 적어도 하나의 소자에 대응하는 적어도 하나의 비아를 상기 중간층에 형성하는 단계를 포함할 수 있다.

대 표 도 - 도4



(52) CPC특허분류
H01L 21/7684 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711051153
과제번호	2017R1A2B4006460
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(미래부)
연구과제명	차세대 반도체 소자 구현을 위한 전도성 필라멘트 기반 초저저항 컨택 기술 개발
기 여 율	1/2
과제수행기관명	고려대학교
연구기간	2017.03.01 ~ 2020.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711121315
과제번호	2020M3F3A2A01082329
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(R&D)
연구과제명	저온 공정 기반 Si/SiGe M3D 집적 소자 및 회로 플랫폼 기술개발
기 여 율	1/2
과제수행기관명	고려대학교
연구기간	2020.07.01 ~ 2023.02.28

명 세 서

청구범위

청구항 1

적어도 하나의 소자가 형성된 기판에 중간층이 형성되는 단계;

상기 중간층의 일 면에 대해 요구 회전 속도로 미리 정의된 기간 동안 평탄화를 수행하여 상기 적어도 하나의 소자에 대응하는 적어도 하나의 부분을 상기 중간층으로부터 이탈시킴으로써, 상기 적어도 하나의 소자에 대응하는 적어도 하나의 비아를 상기 중간층에 형성하는 단계;를 포함하는 비아 형성 방법.

청구항 2

제1항에 있어서,

상기 요구 회전 속도는, 적어도 90 이상의 분당 회전수를 포함하는 비아 형성 방법.

청구항 3

제1항에 있어서,

상기 미리 정의된 기간은, 적어도 25초의 기간을 포함하는 비아 형성 방법.

청구항 4

제1항에 있어서,

상기 평탄화는 상기 중간층의 일 면에 대해 회전력 및 마찰력을 인가 가능한 평탄화부에 의해 수행되되, 상기 평탄화부의 회전 속도는 상기 요구 회전 속도까지 단 기간 동안 급격히 가속되는 비아 형성 방법.

청구항 5

제1항에 있어서,

상기 중간층은 이산화규소를 이용하여 제조된 것인 비아 형성 방법.

청구항 6

제1항에 있어서,

상기 적어도 하나의 소자는, 금속 소재로 이루어진 적어도 하나의 접촉 금속 소자를 포함하는 비아 형성 방법.

청구항 7

제6항에 있어서,

상기 금속 소재는, 구리, 텅스텐, 금, 은 및 백금 중 적어도 하나를 포함하는 비아 형성 방법.

청구항 8

적어도 하나의 소자가 형성된 하부 기판에 중간층이 형성되는 단계;

상기 중간층의 일 면에 대해 요구 회전 속도로 미리 정의된 기간 동안 평탄화를 수행하여 상기 적어도 하나의 소자에 대응하는 적어도 하나의 부분을 상기 중간층으로부터 이탈시킴으로써, 상기 적어도 하나의 소자에 대응하는 적어도 하나의 비아를 상기 중간층에 형성하는 단계; 및

상기 적어도 하나의 비아가 형성된 중간층의 일 면에 상부 기판이 형성되는 단계;를 포함하는 반도체 장치의 제조 방법.

청구항 9

제1항 내지 제8항 중 어느 한 항의 방법을 이용하여 제조된 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치에 관한 것이다.

배 경 기 술

[0003] 기존에 반도체 장치의 소형화 및 용량 증가를 위해서 다양한 연구가 진행되어 왔다. 예를 들어, 소자의 집적도 향상을 위해 장치 내 소자들이 차지하는 수평 면적을 축소하는 다양한 방법들이 제시된 바 있다. 그러나, 이와 같은 수평 면적의 축소에는 한계가 존재하였고, 이에 따라 소자를 3차원으로 적층 시켜 이를 해결하려는 기술이 개발되었다. 3차원 적층 구조의 반도체 장치는 쓰루 실리콘 비아(TSV: Through Silicon Via) 등을 이용하여 하부 층과 상부 층 간의 전기적 신호를 전달하고 있다. 그러나, 이와 같이 쓰루 실리콘 비아를 이용하는 경우, 와이어 본딩을 이용하여 각 층 간의 수직 배선을 형성하게 되므로, 배선의 길이 연장에 따른 알씨 지연(RC delay)이 심화되는 문제점이 있었다.

[0004] 최근에는 쓰루 실리콘 비아를 이용하는 제조 방식의 단점을 개선하기 위해서, 모놀리식 3차원(Monolithic 3D) 방식으로 수직 적층 소자를 제작하는 연구가 진행되고 있다. 모놀리식 3차원 소자의 경우, 각 층 간의 수직 배선을 위해 하부 기판 및 상부 기간 사이에 위치한 중간층에 대한 식각 공정을 필요로 한다. 그러나, 중간층에 대한 식각은 그 조절이 용이하지 않다는 문제점이 있다. 그래서, 중간층을 과하게 식각하거나 또는 부족하게 식각할 가능성이 높다. 이는 소자의 성능 저하의 원인이 될 수 있다. 또한, 중간층에 대한 식각 공정 도중에 플라즈마 효과가 발생하여 소자 열화가 발생하는 문제점도 존재하였다. 뿐만 아니라, 중간층에 대한 식각 공정은, 각 층마다 식각 패턴을 위한 리소그라피 공정과, 감광제 제거를 위한 플라즈마 애칭 공정 등과 같은 다수의 공정이 부가되어야 하므로, 전체 공정 시간이 증가되고 공정 비용이 상승하는 문제점도 가지고 있었다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 등록특허 제1805074호 (2017.12.06. 공고)

(특허문헌 0002) 일본국 공개특허 특개2013-162071호 (2013.08.19. 공개)

(특허문헌 0003) 대한민국 공개특허 제2017-0041046호 (2017.04.14. 공개)

발명의 내용

해결하려는 과제

[0007] 반도체 장치의 제조 과정에 있어서, 공정 난이도와 비용을 절감할 수 있는 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치를 제공하는 것을 해결하고자 하는 과제로 한다.

과제의 해결 수단

[0009] 상술한 과제를 해결하기 위하여 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치가 제공된다.

[0010] 비아 형성 방법은 적어도 하나의 소자가 형성된 기판에 중간층이 형성되는 단계 및 상기 중간층의 일 면에 대해 요구 회전 속도로 미리 정의된 기간 동안 평탄화를 수행하여 상기 적어도 하나의 소자에 대응하는 적어도 하나의 부분을 상기 중간층으로부터 이탈시킴으로써, 상기 적어도 하나의 소자에 대응하는 적어도 하나의 비아를 상기 중간층에 형성하는 단계를 포함할 수 있다.

[0011] 또한, 반도체 장치의 제조 방법은 적어도 하나의 소자가 형성된 하부 기판에 중간층이 형성되는 단계, 상기 중간층의 일 면에 대해 요구 회전 속도로 미리 정의된 기간 동안 평탄화를 수행하여 상기 적어도 하나의 소자에 대응하는 적어도 하나의 부분을 상기 중간층으로부터 이탈시킴으로써, 상기 적어도 하나의 소자에 대응하는 적어도 하나의 비아를 상기 중간층에 형성하는 단계 및 상기 적어도 하나의 비아가 형성된 중간층의 일 면에 상부 기판이 형성되는 단계를 포함할 수 있다.

[0012] 또한, 반도체 장치는 상술한 비아 형성 방법 내지 반도체 장치의 제조 방법 중 적어도 하나의 방법을 이용하여 제조된 것일 수 있다.

발명의 효과

[0014] 상술한 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치에 의하면, 반도체 장치의 제조에 있어서 그 공정의 난이도와 공정에 소모되는 비용을 절감할 수 있게 되는 효과를 얻을 수 있다.

[0015] 상술한 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치에 의하면, 식각 공정 없이 평탄화 공정을 이용하여 수직 배선을 위한 비아를 기판에 형성할 수 있게 되는 효과도 얻을 수 있다.

[0016] 상술한 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치에 의하면, 수직 적층형 반도체 장치를 제조하는 데 있어서, 식각 공정 등에서 발생 가능한 플라즈마 효과에 기인한 소자 열화 없이, 공정 시간을 단축할 수 있게 되고, 이에 따라 반도체 장치 제조 비용을 절감하고 제조 효율을 개선할 수 있는 효과도 얻을 수 있다.

[0017] 상술한 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치에 의하면, 모놀리식 3차원 소자 제조의 편의성 및 비용을 절감할 수 있는 효과도 얻을 수 있다.

도면의 간단한 설명

[0019] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 비아 형성 방법의 일 실시예에 대한 흐름도이다.

도 2는 비아 형성 과정의 일례를 설명하기 위한 제1 도이다.

도 3은 비아 형성 과정의 일례를 설명하기 위한 제2 도이다.

도 4는 비아 형성 과정의 일례를 설명하기 위한 제3 도이다.

도 5는 비아 형성 과정의 일례를 설명하기 위한 제4 도이다.

도 6은 비아가 형성된 기판에 다른 기판이 장착되는 일례를 설명하기 위한 도면이다.

도 7은 반도체 장치의 제조 방법의 일 실시예에 대한 흐름도이다.

도 8은 반도체 장치의 제조 방법의 일례를 설명하기 위한 제1 도이다.

도 9는 반도체 장치의 제조 방법의 일례를 설명하기 위한 제2 도이다.

도 10은 반도체 장치의 제조 방법의 일례를 설명하기 위한 제3 도이다.

도 11은 반도체 장치의 제조 방법의 일례를 설명하기 위한 제4 도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하 명세서 전체에서 동일 참조 부호는 특별한 사정이 없는 한 동일 구성요소를 지칭한다. 이하에서 사용되는 '부'가 부가된 용어는, 소프트웨어 또는 하드웨어로 구현될 수 있으며, 실시예에 따라 하나의 '부'가 하나의 물리적 또는 논리적 부품으로 구현되거나, 복수의 '부'가 하나의 물리적 또는 논리적 부품으로 구현되거나, 하나의 '부'가 복수의 물리적 또는 논리적 부품들로 구현되는 것도 가능하다.

[0021] 명세서 전체에서 어떤 부분이 다른 부분과 '연결되어 있다'고 할 때, 이는 어떤 부분과 다른 부분에 따라서 물리적 연결을 의미할 수도 있고, 또는 전기적으로 연결된 것을 의미할 수도 있다. 또한, 어떤 부분이 다른 부분을 '포함한다'고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 부분 이외의 또 다른 부분을 제외하는 것이 아니며, 설계자의 선택에 따라서 또 다른 부분을 더 포함할 수 있음을 의미한다.

[0022] '제1' 또는 '제2' 등의 용어는 하나의 부분을 다른 부분으로부터 구별하기 위해 사용되는 것으로, 특별한 기재가 없는 이상 이들이 순차적인 표현을 의미하는 것은 아니다. 또한 단수의 표현은 문맥상 명백하게 예외가 있지 않는 한, 복수의 표현을 포함할 수 있다.

[0024] 이하, 도 1 내지 도 6을 참조하여 비아 형성 방법의 일 실시예를 설명하도록 한다.

[0025] 도 1은 비아 형성 방법의 일 실시예에 대한 흐름도이고, 도 2는 비아 형성 과정의 일례를 설명하기 위한 제1 도이다.

[0026] 도 1 및 도 2에 도시된 바에 의하면, 비아 형성 방법은 일 실시예에 있어서 먼저 기판(100, 이하 제1 기판)이 마련되고, 제1 기판(100)의 일 면에 적어도 하나의 소자(110: 111, 113, 115)가 형성될 수 있다(10). 여기서 소자(110)는, 예를 들어, 소스, 드레인 또는 게이트 등의 일 면에 설치된 접촉 금속(contact metal)을 포함할 수 있다. 접촉 금속은, 예를 들어, 구리(Cu), 텅스텐(W), 금(Au), 은(Ag) 및/또는 백금(Pt) 등을 이용하여 제작된 것일 수 있으나, 이에 한정되는 것은 아니다. 접촉 금속은, 열적, 전기적 안정성이 좋은 금속이나 산화에 의한 열화를 감소시킬 수 있는 금속 등을 포함할 수 있으며, 예를 들어 귀금속을 포함할 수도 있다. 이들 접촉 금속은 대체적으로 중간층(120)으로 이용되는 이산화 규소(SiO2)에 대한 부착력이 상대적으로 약하여, 이산화 규소(SiO2)로부터 쉽게 이탈되는 경향이 있다.

[0027] 제1 기판(100)의 일 면에 적어도 하나의 소자(111, 113, 115)가 형성되면, 제1 기판(100)의 동일한 일 면 방향에 중간층(120)이 형성될 수 있다(12). 중간층(120)은 제1 기판(100)의 일 면의 전부 또는 일부 및/또는 적어도 하나의 소자(111, 113, 115)의 전부 또는 일부를 차폐하여 마련된다. 이 경우, 중간층(120)은 적어도 하나의 소자(111, 113, 115) 각각에 대응하는 부분(121, 123, 125, 이하 소자 대응 부분)을 포함할 수 있다. 소자 대응 부분(121, 123, 125)은 중간층(120)의 일 면(120a)에 돌출된 부분(121b, 123b, 125b, 이하 돌출부)과, 돌출부(121b, 123b, 125b)로부터 소자(111, 113, 115) 방향에 연장되어 중간층(120) 내측에 은닉된 부분(121a, 123a, 125a, 이하 은닉부)를 포함할 수 있다. 돌출부(121b, 123b, 125b)는 대략 소자(111, 113, 115)가 위치한 부분에 대응하는 중간층(120)의 일 면(120a)의 일부분에 형성된다. 일 실시예에 의하면, 중간층(120)은 적어도 하나의 유전체를 이용하여 구현될 수 있으며, 이 경우, 적어도 하나의 유전체는 저 유전상수 유전체(low-K dielectric)를 포함할 수 있으며, 구체적으로 예를 들어, 이산화규소(SiO2) 또는 이산화규소를 포함하는 화합물이나 조합물 등을 포함할 수도 있다. 그러나 중간층(120)은 이들 소재만을 이용하여 구현 가능한 것은 아니다. 예를 들어, 중간층(120)는 설계자가 고려 가능하고 소자(110)와의 부착력이 약한 소정의 소재를 기반으로 제작될 수 있다. 이 경우, 중간층(120)은 소자(110)를 이루는 금속과의 부착력이 제1 기판(101)과의 부착력에 비해 상대적으로 약한 소재를 기반으로 제작된 것일 수도 있다.

[0028] 도 3은 비아 형성 과정의 일례를 설명하기 위한 제2 도이다.

[0029] 중간층(120)이 형성되면, 도 3에 도시된 바와 같이, 중간층(120)의 일 면(120a)에 대한 평탄화 공정이 수행될 수 있다(14). 다시 말해서, 일 면(120a) 위에 외부로 돌출된 부분(121b, 123b, 125b)을 제거하여 일 면(120a)을 대체적으로 평평하게 처리함으로써, 중간층(120)의 일 면(120a)에 다른 부품(일례로 제2 기판(도 6의 150))에 적절하게 장착될 수 있도록 할 수 있다.

[0030] 평탄화 공정은, 예를 들어, 평탄화부(150)를 이용하여 구현될 수 있다. 평탄화부(150)는 대략 평면 판(일례로 원판 등)의 형태로 형성되고, 적어도 일 방향으로 회동할 수 있게 마련된다. 이 경우, 평탄화부(150)는 소정의 회전 속도(R)로 회동할 수 있으며, 회전 속도(R)는 증가되거나, 대체적으로 일정하게 유지되거나 또는 감속될 수 있다. 평탄화부(150)가 회동을 개시한 후, 평탄화부(150)의 일 면(151)이 중간층(120)의 일 면(120a)과 접촉하게 되면, 마찰력에 의해 중간층(120)의 일 면(120a)은 평탄화 된다. 실시예에 따라서, 평탄화부(150)는 제1 기판(101) 및 중간층(120)에 대해 상대적으로 이동할 수도 있다. 예를 들어, 평탄화부(150)는 고정된 제1 기판(101) 및 중간층(120)의 일 면(120a) 위에서 그 자체적으로 이동하도록 설계될 수도 있고, 및/또는 평탄화부(150)는 고정되고, 제1 기판(101) 및 중간층(120)이 이동하도록 설계될 수도 있다. 물론 실시예에 따라, 평탄화부(150) 및 제1 기판(101)이 함께 이동하는 것도 가능하다.

[0031] 일 실시예에 의하면, 평탄화부(150)는 제어부(159)의 제어에 따라 동작할 수 있다. 제어부(159)는, 사용자의 조작에 따라 및/또는 미리 정의된 설정에 따라 평탄화부(150)를 회동 시킬 수 있다. 일 실시예에 의하면, 제어부(159)는 요구 회전 속도로 평탄화부(150)를 회동 시킬 수 있다. 제어부(159)는, 가속 기간 동안 평탄화부(150)의 회전 속도를 요구 회전 속도까지 증가시키고, 평탄화 기간 동안 평탄화부(150)가 요구 회전 속도로 계속해서 회동하도록 제어할 수 있다. 여기서, 요구 회전 속도는 소자 대응 부분(121, 123, 125)을 이탈시킬 수 있는 회전 속도를 포함할 수 있다. 요구 회전 속도는, 예를 들어, 분당 회전수가 대략 100rpm 정도인 경우를 포함할 수도 있으나, 이에 한정되는 것은 아니며, 상황(예를 들어, 중간층(120)의 소재나 소자(110)의 종류)에 따라서 요구 회전 속도는 이보다 더 작을 수도 있고, 또는 더 클 수도 있다. 예를 들어, 요구 회전 속도는 90 이상의 분당 회전수로 정의될 수도 있다. 가속 기간은 평탄화부(150)의 회전 속도가 요구 회전 속도까지 가속되는 기간을 의미한다. 가속 기간은 상대적으로 단기간일 수 있다. 예를 들어, 가속 기간은 대략 1초일 수 있다. 이 경우, 회전 속도는 급격히 가속된다. 평탄화 기간은, 소자 대응 부분(121, 123, 125)에 필요한 적절한 기간으로 정의될 수 있으며, 상대적으로 단기간으로 정의될 수 있다. 예를 들어, 평탄화 기간은 각각의 소자 대응 부분(121, 123, 125)마다 대략 30초 정도로 정의될 수도 있다. 그러나, 상술한 가속 기간 및 평탄화 기간은 예시적인 것으로, 가속 기간 및 평탄화 기간은 이에 한정되는 것은 아니다. 가속 기간은 대략 1초보다 더 짧은 수도 있고 또는 더 길 수도 있다. 또한, 평탄화 기간은 대략 30초보다 더 짧은 수도 있고 또는 더 길 수도 있다. 예를 들어, 평탄화 기간은 적어도 25초일 수도 있다. 요구 회전 속도, 가속 기간 및 평탄화 기간 중 적어도 하나는 사용자에 의해 정의될 수도 있고 및/또는 설계자에 의해 미리 정의될 수도 있다. 실시예에 따라서, 요구 회전 속도, 가속 기간 및 평탄화 기간은 평탄화 과정 동안 변경될 수도 있다.

[0032] 제어부(159)는 저장부(미도시)에 저장된 애플리케이션을 구동시켜, 상술한 평탄화부(150)에 대한 제어 등을 수행할 수도 있다.

[0033] 제어부(159)는 중앙 처리 장치(CPU, Central Processing Unit), 마이크로 컨트롤러 유닛(MCU, Micro Controller Unit), 마이컴(Micom, Micro Processor), 애플리케이션 프로세서(AP, Application Processor), 전자 제어 유닛(ECU, Electronic Controlling Unit) 및/또는 각종 연산 처리 및 제어 신호의 생성이 가능한 다른 전자 장치 등을 포함할 수 있다. 이들 장치는 예를 들어 하나 또는 둘 이상의 반도체 칩 및 관련 부품을 이용하여 구현 가능하다.

[0034] 도 4는 비아 형성 과정의 일례를 설명하기 위한 제3 도이고, 도 5는 비아 형성 과정의 일례를 설명하기 위한 제4 도이다.

[0035] 평탄화 공정의 수행 도중에 또는 평탄화 공정의 수행이 완료되면, 도 4 및 도 5에 도시된 바와 같이 중간층(120)에는 적어도 하나의 비아(111v, 113v, 115v)가 형성될 수 있다(16). 구체적으로 제어부(159)의 제어에 따라서 평탄화부(150)가 높은 회전 속도(R), 일례로 대략 100RPM의 회전 속도로 회동하는 동안, 평탄화부(150)의 일 면(151)이 중간층(120)의 일 면(120a) 및/또는 소자 대응 부분(121, 123, 125)의 도출부(121b, 123b, 125b)에 접촉하면, 평탄화부(150) 및 중간층(120) 사이에는 수평 방향의 정지 마찰력이 상대적으로 크게 발생하게 된다. 이때, 적어도 하나의 소자, 일례로 제1 소자(111) 및 제1 소자(111)에 대응하는 소자 대응 부분, 일례로 제1 소자 대응 부분(121) 사이의 부착력은 상대적으로 낮으므로, 도 4에 도시된 바와 같이 평탄화부(150)가 제1 소자 대응 부분(121)의 돌출부(121b)에 도달하여 일정 시간(예를 들어, 대략 30초 정도) 동안 회동하면, 이에

기인한 마찰력의 인가에 따라 제1 소자 대응 부분(121)과 제1 소자(111)가 서로 분리되고, 중간층(120)으로부터 제1 소자 대응 부분(121)이 이탈하게 된다. 이 경우, 제1 소자 대응 부분(121)의 은닉부(121a) 및 돌출부(121b)는, 양자(121a, 121b) 사이의 부착력이 제1 소자(111) 및 제1 소자 대응 부분(121) 사이의 부착력보다 상대적으로 높기 때문에, 상황에 따라서 대체적으로 서로 분리되지 않고 함께 중간층(120)으로부터 이탈할 수도 있다. 제1 소자 대응 부분(121)의 은닉부(121a)가 중간층(120)으로부터 이탈됨에 따라 기존에 은닉부(121a)가 존재하던 공간(즉, 소자(111) 및 일 면(120a) 사이에 위치하는 중간층(120)의 일부 공간)에는 빈 공간, 즉 비아(via, 111v)가 생성되게 된다. 다시 말해서, 소자(111)가 설치된 위치에 대응하여 중간층(120)에는 비아(111v)가 생성되고, 소자(111)는 대략 외부로 노출될 수 있게 된다. 평탄화부(150)는 일시에 또는 상대적으로 이동하면서 다른 소자 대응 부분(123, 125)에 대해서도 회전력 및 마찰력을 인가할 수 있으며, 이에 의하여 다른 소자 대응 부분(123, 125) 역시 중간층(120)으로부터 탈락되어 제거되게 된다. 따라서, 도 5에 도시된 바와 같이 각각의 소자(113, 115)에 대응하는 적어도 하나의 비아(113v, 115v)가 중간층(120)에 형성되게 된다.

[0036] 도 6은 비아가 형성된 기판에 다른 기판이 장착되는 일례를 설명하기 위한 도면이다.

[0037] 도 6에 도시된 바와 같이, 각각의 소자(111 내지 115)에 대응하는 비아(111v 내지 115v)가 형성되면, 중간층(120)의 일 면(120a) 방향에는, 중간층(120)의 일 면(120a)에 접하거나 이격되어 다른 소자(미도시), 다른 기판 또는 이들의 조합된 부품(130, 이하 제2 기판)이 장착될 수 있다. 여기서, 제2 기판(130)은 실리콘이나 폴리실리콘 등의 소재로 구현된 것일 수도 있다. 실시예에 따라서, 제2 기판(130)의 장착 전에 각각의 소자(111, 113, 115)에 대응하는 비아(111v, 113v, 115v)에는, 필요에 따라, 금속 소재가 도금되거나 금속 선 등이 삽입 설치될 수도 있다. 이와 같이 중간층(120)의 일 면(120a) 방향에 제2 기판(130) 등이 부착되면, 비아(111v, 113v 115v) 내측에 도금 또는 장착되는 금속 소재 등을 통해 제1 기판(101) 또는 제1 기판(101)에 설치된 소자(110) 등과 제2 기판(130) 또는 이에 부착된 소자는 상호 전기적으로 연결될 수 있게 되고, 이에 따라 수직 적층 구조를 갖는 반도체 장치의 구현이 가능하게 된다.

[0038] 상술한 비아(111v, 113v, 115v)를 형성하는 방법은 리소그라피나 플라즈마 애칭 공정 등을 필요로 하지 않는다. 따라서, 이에 기인한 소자(111, 113, 115)의 열화를 방지하면서도 공정 시간 및 비용을 절감할 수 있게 된다.

[0039] 상술한 중간층(120)에 비아(111v, 113v 115v)를 형성하는 방법은, 반도체 장치(도 11의 200)의 제조 방법에 이용될 수 있으며, 예를 들어 수직 배선이 필요한 반도체 장치의 제조 방법에 이용될 수 있다. 여기서, 수직 배선이 필요한 반도체 장치는, 적어도 두 개의 층(도 11의 210, 220)을 포함하는 반도체 장치를 포함할 수 있으며, 일 실시예에 의하면, 수직 적층형 트랜지스터를 포함할 수 있다. 수직 적층형 트랜지스터는, 예를 들어, 수직 적층형의 금속 산화막 반도체 전계효과 트랜지스터(MOSFET: MOS Field-Effect Transistor), 수직 적층형의 핀 전계효과 트랜지스터(FinFET: Fin Field-Effect Transistor), 수직 적층형 고전자 이동도 트랜지스터(HEMT: High Electron Mobility Transistor) 또는 수직 적층형 기능 전계효과 트랜지스터(JFET: Junction Field-Effect Transistor) 등을 포함할 수 있다. 또한, 수직 배선이 필요한 반도체 장치는 3차원 교차점 어레이(cross point array) 구조를 갖는 반도체 장치를 포함할 수도 있다. 이외에도 설계자가 고려 가능한 적어도 하나의 반도체 장치가 상술한 비아 형성 방법을 기반으로 제작 가능하다.

[0040] 이하 도 7 내지 도 11을 참조하여, 반도체 장치의 제조 방법의 일 실시예에 대해 설명하도록 한다.

[0041] 도 7은 반도체 장치의 제조 방법의 일 실시예에 대한 흐름도이고, 도 8은 반도체 장치의 제조 방법의 일례를 설명하기 위한 제1 도이다.

[0042] 도 7 및 도 8에 도시된 바에 의하면, 먼저 제1 층(210)을 형성하기 위한 기판(211, 이하 하부 기판)이 마련되고, 하부 기판(211) 위에 적어도 하나의 소자(213)가 배치되어 형성될 수 있다(20). 이 경우, 적어도 하나의 소자(213)는 금속 소재로 구현된 금속 소자(213a), 일례로 접촉 금속 소자를 포함할 수 있으며, 여기서 금속 소재는, 예를 들어, 상술한 바와 같이 구리, 텅스텐, 은, 금 및/또는 백금 등을 포함할 수 있다.

[0043] 도 9는 반도체 장치의 제조 방법의 일례를 설명하기 위한 제2 도이다.

[0044] 순차적으로 하부 기판(211) 및 적어도 하나의 소자(213, 213a) 위에 중간층(215)이 형성된다(22). 중간층(215)은 예를 들어 이산화규소를 기반으로 구현된 것일 수 있으나, 이에 한정되진 않는다. 중간층(215)이 하부 기판(211) 및 소자(213, 213a) 위에 형성되면, 중간층(215)의 상면(215a)에는 돌출된 부분(217, 217a)이 존재하게 된다. 돌출된 부분(217, 217a)은 적어도 하나의 소자(213, 213a)에 대응하여 존재하게 되며, 적어도 하나의 소자(213, 213a)가 배치된 위치에 대응하는 위치에 존재할 수 있다. 이 경우, 돌출된 부분 중 일부(217a, 이하 제1 돌출부)는 금속 소자(213a)에 대응하고, 다른 일부(217)는 금속 소자(213a) 이외의 소자(213), 일례로 게이트

(Gate) 등에 대응할 수도 있다.

[0045] 도 10은 반도체 장치의 제조 방법의 일례를 설명하기 위한 제3 도이다.

[0046] 순차적으로 중간층(215)의 일 면(215a)에 대해 평탄화 공정이 수행되고, 이에 따라 적어도 하나의 비아가 중간층(215)에 형성되게 된다(24). 평탄화 공정은 상술한 평탄화부(150)에 의해 수행될 수도 있으나, 이에 한정되는 건 아니다. 평탄화 공정 과정에서 평탄화부(150)가 대략 요구 회전 속도(예를 들어, 100rpm) 또는 그 이상의 회전 속도까지 급격히 가속되거나, 요구 회전 속도 또는 그 이상의 회전 속도로 회전하거나 및/또는 일정한 시간 이상 회동하는 경우, 돌출된 부분(217, 217a) 중 금속 소자(213a)에 대응하는 제1 돌출부(217a)와, 제1 돌출부(217a)에서 대응하는 금속 소자(213a)에 까지 연장된 일 부분은 평탄화부(150)에 의해 인가되는 회전력 및 마찰력에 의해 중간층(215)으로부터 이탈되게 되고, 이에 따라 금속 소자(213a)에 대응하는 비아(213v)가 생성되게 된다. 이 경우, 돌출된 부분(217, 217a) 중 금속 소자(213a) 이외의 소자(213)에 대응하는 부분은 돌출된 부분(217)만 이탈하여 제거될 수도 있다. 다시 말해서, 돌출된 부분(217)으로부터 소자(213)까지 연장된 내측 부분은 이탈하지 않게 될 수도 있다. 이에 따라 중간층(215)에는 금속 소자(213a) 이외의 소자(213)에 대응하는 비아는 형성되지 않을 수도 있다.

[0047] 도 11은 반도체 장치의 제조 방법의 일례를 설명하기 위한 제4 도이다.

[0048] 비아(213v)가 중간층(215)에 형성되면, 도 11에 도시된 바와 같이, 중간층(215)의 일 면(215a) 및/또는 적어도 하나의 비아(213v) 위로 제2 층(220)이 형성된다. 제2 층(220)은 적어도 하나의 기판(221, 이하 상부 기판)과, 상부 기판(221)에 형성된 적어도 하나의 소자(223)와, 상부 기판(221) 및 적어도 하나의 소자(223)를 차폐하여 형성된 중간층(225)을 포함할 수 있다. 제2 층(220)은 제1 층(210)과 동일한 방법으로 제작될 수도 있고, 또는 일부 또는 전부가 상이한 방법으로 제작될 수도 있다. 또한, 일 실시예에 의하면, 제2 층(220)에도 일정 속도에 따라 일정 기간 동안 평탄화 공정이 수행될 수도 있으며, 이에 따라 제2 층(220)에도 적어도 하나의 비아(미도시)가 형성될 수도 있다. 다른 실시예에 의하면, 제2 층(220)에는 상대적으로 저속의 회전 속도로 및/또는 상대적으로 짧은 기간 동안 평탄화 공정이 수행될 수도 있다. 이 경우, 제2 층(220)에는 비아가 형성되지 않게 된다. 실시예에 따라, 제2 층(220)에 비아가 생성되거나 또는 생성되지 않은 상태에서 제2 층(220)의 일 면에 제3 층(미도시)이 더 형성되는 것도 가능하다.

[0049] 상술한 과정에 의해 도 11에 도시된 바와 같은 수직 적층형 반도체 장치(200)를 제작할 수 있게 된다. 수직 적층형 반도체 장치(200)는, 상술한 바와 같이, 수직 적층형의 금속 산화막 반도체 전계효과 트랜지스터 등과 같은 수직 적층형 트랜지스터나 3차원 교차점 어레이 등을 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0050] 이상 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치의 여러 실시예에 대해 설명하였으나, 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치는 오직 상술한 실시예에 한정되는 것은 아니다. 해당 기술 분야에서 통상의 지식을 가진 자가 상술한 실시예를 기초로 수정 및 변형하여 구현 가능한 다양한 장치나 방법 역시 상술한 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치의 일례가 될 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성 요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나 다른 구성 요소 또는 균등물에 의하여 대치되거나 또는 치환되더라도 상술한 비아 형성 방법, 이를 기반으로 하는 반도체 장치의 제조 방법 및 반도체 장치의 일 실시예가 될 수 있다.

부호의 설명

[0052] 101: 제1 기판

110: 소자

111v, 113v, 115v: 비아

120: 중간층

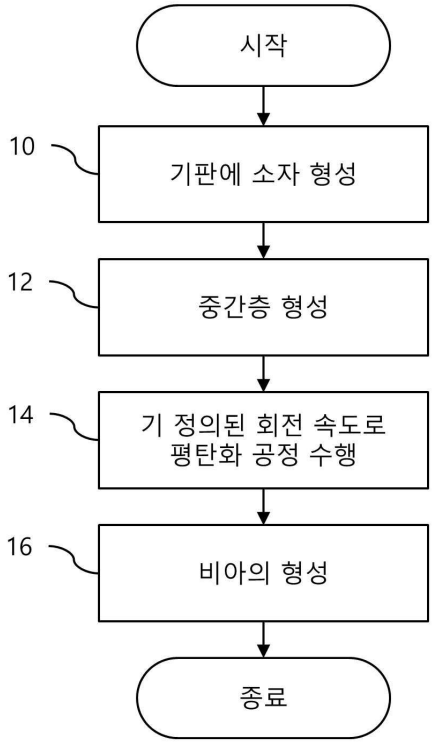
121: 소자 대응 부분

150: 평탄화부

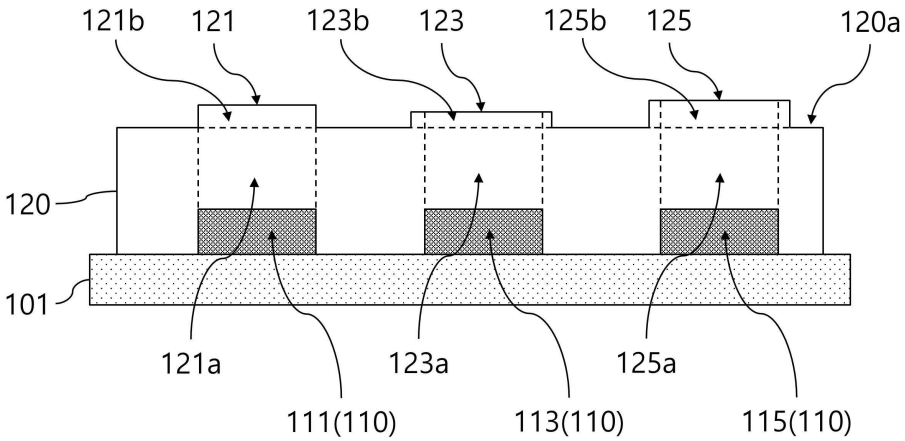
159: 제어부

도면

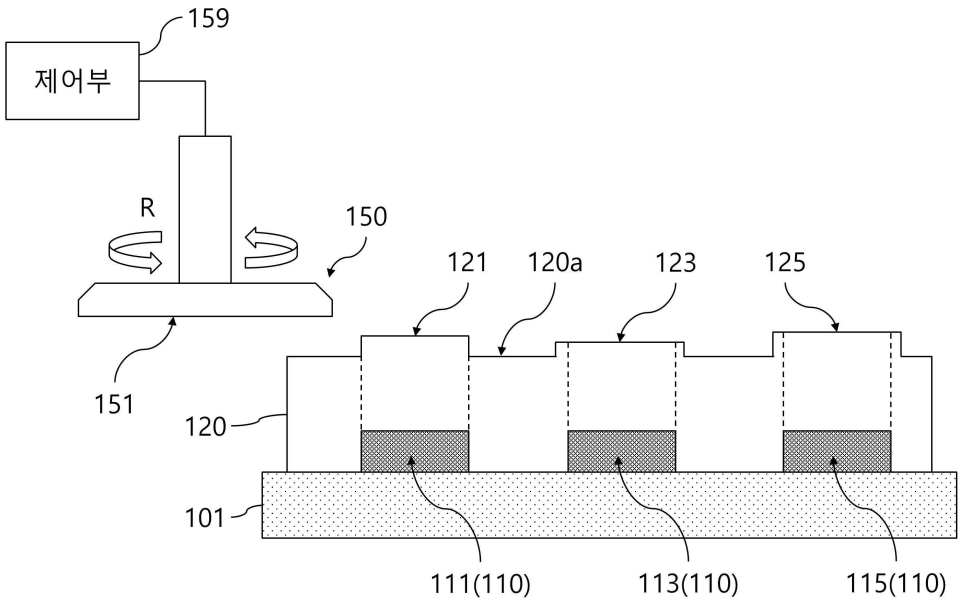
도면1


시작
10
기판에 소자 형성
12
중간층 형성
14
기 정의된 회전 속도로
평탄화 공정 수행
16
비아의 형성
종료

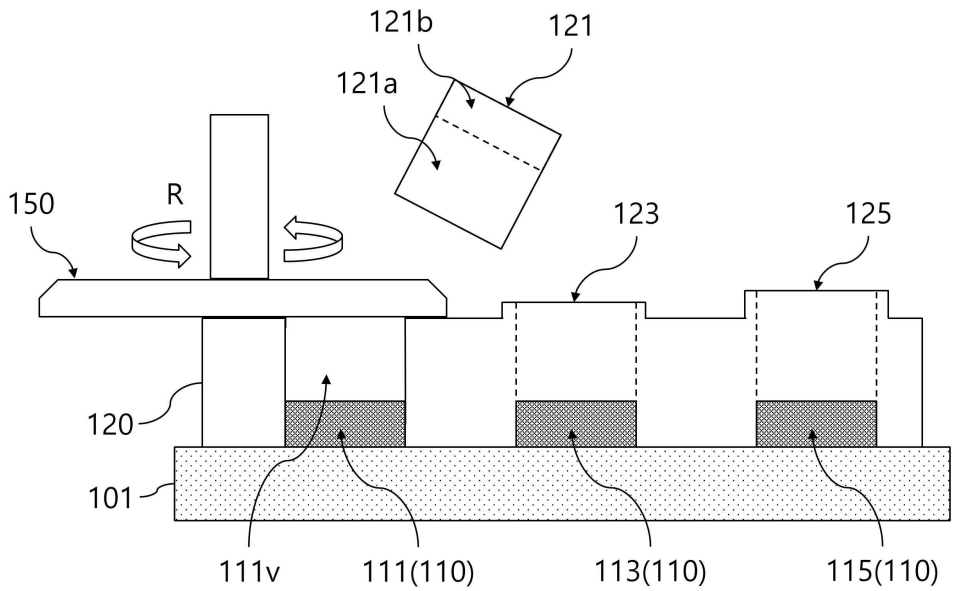
도면2


121b
121
123b
123
125b
125
120a
120
101
121a
123a
125a
111(110)
113(110)
115(110)

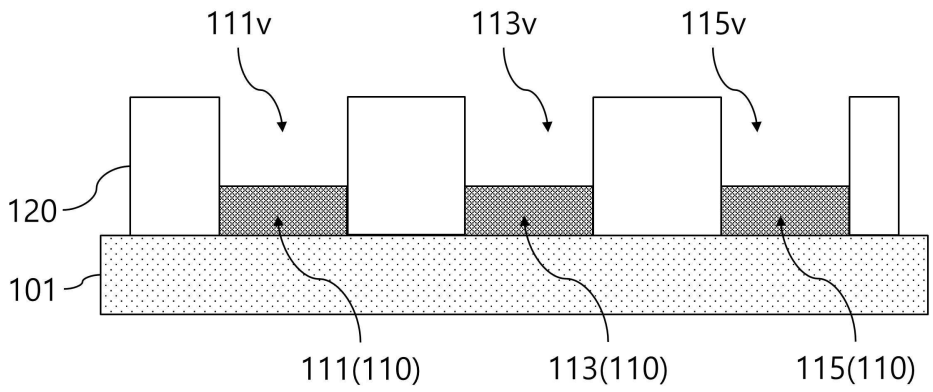
도면3


159
제어부
R
150
121
120a
123
125
151
120
101
111(110)
113(110)
115(110)

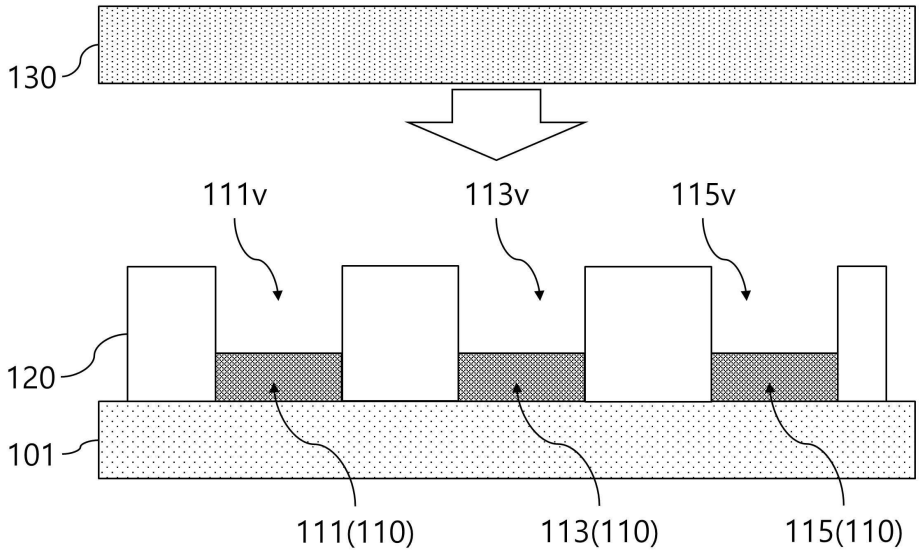
도면4


121b
121
121a
150
R
123
125
120
101
111v
111(110)
113(110)
115(110)

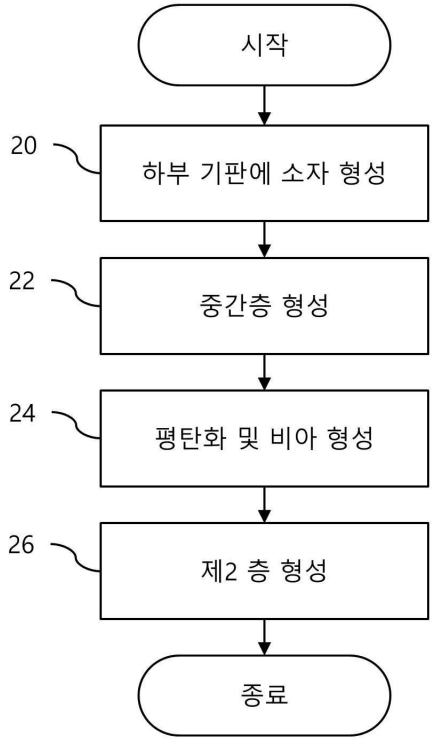
도면5


111v
113v
115v
120
101
111(110)
113(110)
115(110)

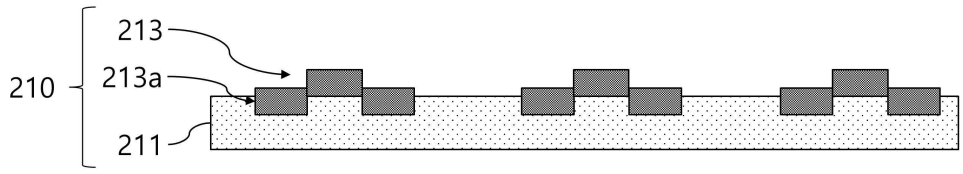
도면6


130
111v
113v
115v
120
101
111(110)
113(110)
115(110)

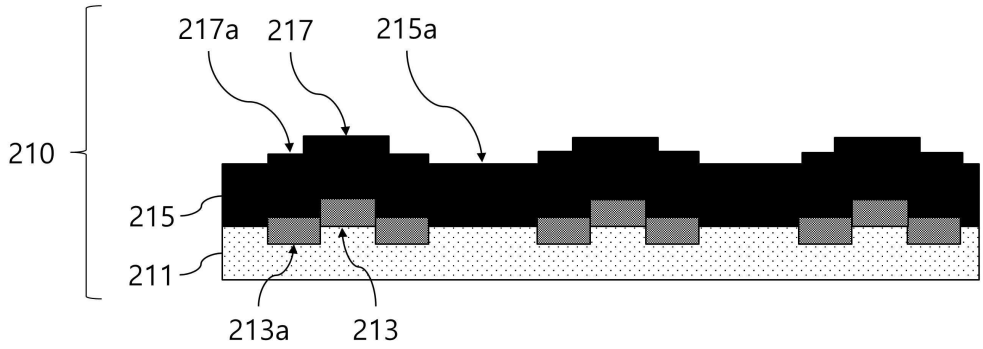
도면7


시작
20
하부 기판에 소자 형성
22
중간층 형성
24
평탄화 및 비아 형성
26
제2 층 형성
종료

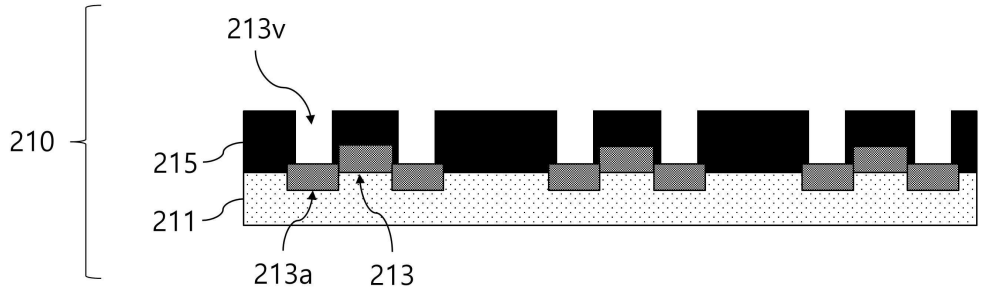
도면8


213
213a
210
211

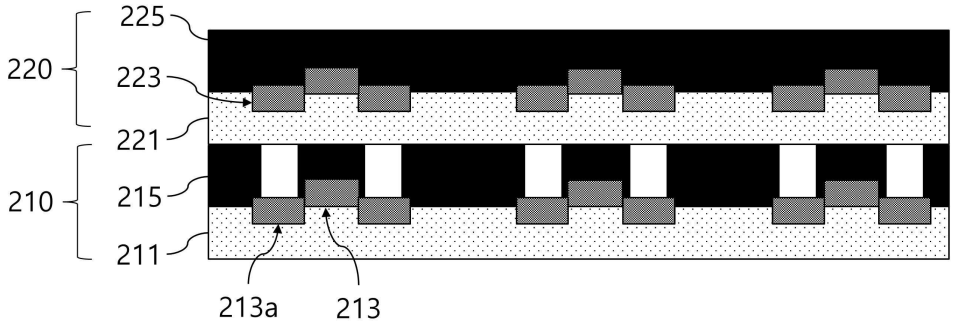
도면9



도면10



도면11



200