

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 7 月 5 日 (05.07.2018)



(10) 国际公布号
WO 2018/120363 A1

- (51) 国际专利分类号:
H01L 29/778 (2006.01)
- (21) 国际申请号: PCT/CN2017/073541
- (22) 国际申请日: 2017 年 2 月 15 日 (15.02.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201611269252.X 2016 年 12 月 31 日 (31.12.2016) CN
201611269244.5 2016 年 12 月 31 日 (31.12.2016) CN
- (71) 申请人: 华南理工大学 (SOUTH CHINA UNIVERSITY OF TECHNOLOGY) [CN/CN]; 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。
- (72) 发明人: 王洪(WANG, Hong); 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。周泉斌(ZHOU, Quanbin); 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。李析昕(LI, Qixin); 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。

- (74) 代理人: 广州粤高专利商标代理有限公司 (YOGO PATENT & TRADEMARK AGENCY LIMITED COMPANY); 中国广东省广州市天河区体育西路中石化大厦 B 塔 3912 室, Guangdong 510620 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: GAN-BASED ENHANCED HEMT DEVICE BASED ON SI SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 基于Si衬底的GaN基增强型HEMT器件及其制造方法

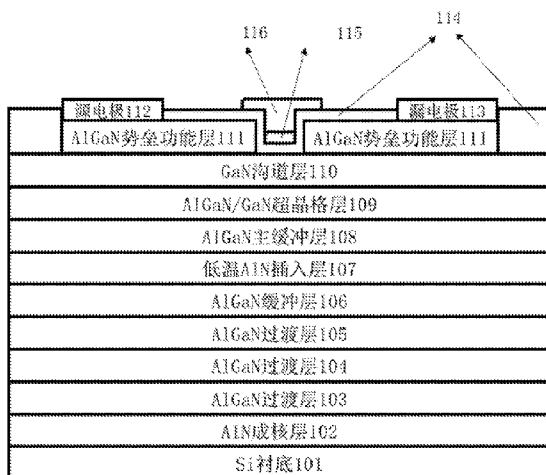


图 1

- | | |
|-----------------------------|---|
| 101 Si substrate | 107 Low-temperature AlN inserting layer |
| 102 AlN nucleating layer | 108 AlGaIn main buffer layer |
| 103 AlGaIn transition layer | 109 AlGaIn/GaN super-lattice layer |
| 104 AlGaIn transition layer | 110 GaN channel layer |
| 105 AlGaIn transition layer | 111 AlGaIn barrier functional layer |
| 106 AlGaIn buffer layer | 112 Source electrode |
| | 113 Drain electrode |

(57) Abstract: Provided are a GaN-based enhanced HEMT device based on a Si substrate and a manufacturing method therefor. The device comprises: a Si substrate (101), an AlN nucleating layer (102), AlGaIn transition layers (103-105), an AlGaIn buffer layer (106), a low-temperature AlN inserting layer (107), an AlGaIn main buffer layer (108), an AlGaIn/GaN super-lattice layer (109), a GaN channel layer (110) and an AlGaIn barrier functional layer (111), wherein a source electrode (112) and a drain electrode (113) are on two sides of a top end, a gate electrode (116) is in the middle of the top end, the middle AlGaIn barrier functional layer (111) is etched through to form a groove, a bottom part of the groove is in contact with the GaN channel layer (110), a passivation protection layer (114) and a gate dielectric layer (115) are deposited at the bottom part of the groove, and the gate electrode (116) is above the gate dielectric layer (115). The device has a high threshold voltage, a high breakdown voltage, a high current density and great pinch-off characteristics, and the characteristics of a simple manufacturing process and good repeatability, and is suitable for application in high-voltage high-power electronic devices.

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 发明人资格(细则4.17(iv))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种基于Si衬底的GaN基增强型HEMT器件及其制造方法。该器件包括: Si衬底(101)、AlN成核层(102)、AlGaN过渡层(103-105)、AlGaN缓冲层(106)、低温AlN插入层(107)、AlGaN主缓冲层(108)、AlGaN/GaN超晶格层(109)、GaN沟道层(110)、AlGaN势垒功能层(111), 顶端两侧是源电极(112)和漏电极(113)、顶端中间是栅电极(116), 中间AlGaN势垒功能层(111)被刻穿形成凹槽, 凹槽的底部与GaN沟道层(110)相接触, 凹槽底部淀积有钝化保护层(114)和栅介质层(115), 栅介质层(115)上面是栅电极(116)。该器件具有高阈值电压、高击穿电压、高电流密度、以及优良的夹断特性, 而且制造工艺简单, 重复性好的特点, 适用于高压大功率电子器件等应用。

基于 Si 衬底的 GaN 基增强型 HEMT 器件及其制造方法

[1] 技术领域

[2] 本发明属于微电子技术领域，涉及半导体器件，具体的说是一种基于 Si 衬底的 GaN 基增强型 HEMT 器件及其制造方法，可用于高压大功率应用场合以及构成数字电路基本单元。

[3] 背景技术

[4] 随着现代武器装备和航空航天、核能、通信技术、汽车电子、开关电源的发展，对半导体器件的性能提出了更高的要求。作为宽禁带半导体材料的典型代表，GaN 基材料具有禁带宽度大、电子饱和漂移速度高、临界击穿场强高、热导率高、稳定性好、耐腐蚀、抗辐射等特点，可用于制作高温、高频及大功率电子器件。另外，GaN 还具有优良的电子特性，可以和 AlGaIn 形成调制掺杂的 AlGaIn/GaN 异质结构，该结构在室温下可以获得高于 $1500\text{cm}^2/\text{Vs}$ 的电子迁移率，以及高达 $3 \times 10^7\text{cm/s}$ 的峰值电子速度和 $2 \times 10^7\text{cm/s}$ 的饱和电子速度，并获得比第二代化合物半导体异质结构更高的二维电子气密度，被誉为是研制微波功率器件的理想材料。因此，基于 AlGaIn/GaN 异质结的高电子迁移率晶体管 HEMT 在微波大功率器件方面具有非常好的应用前景。

[5] GaN 是第三代半导体材料的典型代表，具有宽禁带、高击穿电场、高频、高效等优异性质，GaN 基材料和器件是电力电子行业发展的方向。为了替代现有的 Si 基电力电子器件，GaN 基高压材料和器件需要在保持高性能的前提下极大地降低生产成本。在大尺寸 Si 衬底上制备 GaN 基外延材料和器件，是平衡性能和成本的最佳解决方案。目前，国内大量的高科技公司和科研单位希望可以在大尺寸（6 英寸及以上）Si 衬底上生长平整、无龟裂的高质量 GaN 基高压外延材料，同时结合 Si 基器件 CMOS 工艺开发，研制 600V 和 1200V 高压开关器件，探索影响器件性能和可靠性的关键物理机制，并对所制作的器件进行应用验证和产品开发。

[6] 大尺寸 Si 衬底上生长平整的 GaN 基外延材料由于 GaN 和 Si 衬底之间存在巨

大的晶格失配（-17%）和热失配（116%），在 Si 衬底上生长 GaN 基材料单晶是非常困难的。特别是 GaN 基材料和 Si 衬底之间的热失配会在高温生长 GaN 基外延材料结束后，在降温过程中引入大的张应力（>1G 帕斯卡），这个由于热失配引起的张应力会导致外延片强烈翘曲甚至龟裂。如何避免 Si 衬底上生长 GaN 基材料时外延材料的龟裂，降低大尺寸 Si 衬底上 GaN 基外延材料的翘曲，是该领域最重大的技术难点。

- [7] 大尺寸 Si 衬底上 GaN 基异质结结构的生长和优化 GaN 基异质结结构中，AlGaIn 势垒层受到了 GaN 沟道层施加的张应力，应力的释放会在异质结中引入各种缺陷，从而造成 GaN 基高压开关器件电学性能的下降和可靠性的问题。而 Si 衬底上 GaN 基异质结结构的生长则更为困难，因为 Si 衬底上 GaN 基材料具有更高的缺陷密度（包括位错和背景杂质），而且 GaN 基材料受到更大的应力，此应力会与异质结结构中的应力累加，更多的缺陷和更大的应力会促使 Si 衬底上 GaN 基异质结结构中应力的加速释放，造成器件的可靠性问题。
- [8] 发明内容
- [9] 本发明的目的在于克服上述已有技术的缺陷，从器件纵向结构的优化角度提出一种基于 Si 衬底的 GaN 基增强型 HEMT 器件及其制造方法，以降低工艺难度，提高器件的可靠性。
- [10] 本发明的目的至少通过如下技术方案之一实现。
- [11] Si 衬底 AlGaIn/GaN 异质结基的增强型 HEMT 器件，其包括从下至少上依次层叠的 Si 衬底、AN 成核层、AlGaIn 过渡层、AlGaIn 缓冲层、低温 AlN 插入层、AlGaIn 主缓冲层、AlGaIn/GaN 超晶格层、GaN 沟道层、AlGaIn 势垒功能层；HEMT 器件的顶端两侧是源电极和漏电极，顶端中间是栅电极；AlGaIn 势垒功能层上淀积有钝化保护层，AlGaIn 势垒功能层和钝化保护层中间被刻穿形成凹槽，凹槽的底部与 GaN 沟道层相连，底部还淀积有钝化保护层和介质层，介质层上面是所述栅电极，形成 MIS 结构，AlGaIn 势垒功能层上方两侧的钝化保护层被刻蚀成源电极窗口和漏电极窗口，源电极窗口和漏电极窗口分别用于通过蒸发形成源电极、漏电极。
- [12] 进一步地，Si 衬底尺寸为 2inch-10inch。

- [13] 进一步地, AlGa_N 过渡层总共三层, 其中从下至上每层的 Al 元素摩尔含量依次为 x 、 y 和 z , 并满足关 $1 > x > y > z > 0$ 的关系。
- [14] 进一步地, AlGa_N 过渡层总共三层, 从下至上其厚度依次为 h_1 、 h_2 和 h_3 , 并满足关 $300\text{nm} > h_3 > h_2 > h_1 > 50\text{nm}$ 的关系。
- [15] 进一步地, AlGa_N 缓冲层和 AlGa_N 主缓冲层中的 Al 元素摩尔含量分别为 m 和 n , 满足关系式 $m > 0$ 和 $n > 0$ 。
- [16] 进一步地, AlGa_N 缓冲层和 AlGa_N 主缓冲层中间穿插低温 AlN 层, 以降低材料累积应力。
- [17] 进一步地, GaN 沟道层下有 AlGa_N/GaN 超晶格层, 超晶格周期大于 5 个周期。
- [18] 进一步地, GaN 沟道层和 AlGa_N 势垒功能层界面处形成的高浓度二维电子气 (2DEG) 的沟道。
- [19] 进一步地, AlGa_N 势垒功能层被刻穿形成的凹槽, 凹槽的底部与 GaN 沟道层相接触。
- [20] 进一步地, 凹槽底部淀积有钝化保护层作为栅绝缘介质, 形成 MIS 结构。
- [21] 进一步地, 钝化保护层和栅介质层采用 PVD 方法或是溅射方法淀积形成。
- [22] 进一步地, 顶端两侧的源电极和漏电极的电极金属采用的合金金属为无金体系金属。
- [23] 制备所述 Si 衬底 AlGa_N/GaN 异质结基的增强型 HEMT 器件的方法, 包括如下步骤:
- [24] 1) 在反应室中对 Si 衬底表面进行退火处理;
- [25] 2) 在衬底上外延 AlN 成核层, 为后续生长提供成核节点;
- [26] 3) 在 AlN 成核层的基础上外延生长 AlGa_N 过渡层, 共三层, 其 Al 元素的摩尔含量依次下降, 厚度依次增加;
- [27] 4) 在 AlGa_N 过渡层基础上外延 AlGa_N 缓冲层和 AlGa_N 主缓冲层作为器件材料的主干层, 其中 Al 组分大于零, 中间穿插低温 AlN 层以降低材料累积应力;
- [28] 5) 在 AlGa_N 主缓冲层基础上外延 AlGa_N/GaN 超晶格层, 超晶格周期大于 5 个周期;

- [29] 6) 外延生长GaN沟道层;
- [30] 7) 外延生长AlkGa(1-k)N势垒功能层, 其Al元素的摩尔含量k满足 $0.5 > k > 0.2$;
- [31] 8) 刻蚀材料的AlGa_N势垒功能层和Ga_N沟道层进行台面隔离, 将各个器件分隔开, 刻蚀深度为200nm~500nm;
- [32] 9) 钝化保护, 采用PVD方法进行钝化层淀积, 对器件进行钝化保护;
- [33] 10) 刻蚀出栅极凹槽, AlGa_N势垒功能层被刻穿形成凹槽, 凹槽的底部与Ga_N沟道层相连;
- [34] 11) 采用PVD方法, 在凹槽处淀积SiO₂钝化层, 同时作为栅绝缘层;
- [35] 12) 采用溅射方法在凹槽内进行栅极介质层的淀积;
- [36] 13) 光刻后刻蚀出源极和漏极窗口;
- [37] 14) 采用电子束蒸发技术子在栅极、源极和漏极窗口蒸发肖特基接触金属和欧姆接触金属, 并通过剥离、退火后, 形成栅电极和源、漏接触电极;
- [38] 15) 光刻已形成源、漏、栅极的器件表面, 获得加厚电极图形, 并采用电子束蒸发技术加厚电极, 完成器件制作。
- [39] 进一步地, 所述退火处理的温度为1100摄氏度, 时间15分钟。
- [40] 进一步地, 所述低温AlN插入层和AlGa_N/Ga_N超晶格层, 缓解晶格累积的失配应力的同时, 提高材料的结晶质量。
- [41] 与现有技术相比, 本发明具有如下优点和技术效果:
- [42] 该器件是基于Si衬底的Ga_N基增强型HEMT器件, 可以更为容易的实现CMOS兼容的Ga_N电子器件工艺。同时采用CMOS中成熟的ALD和 LPCVD 绝缘薄膜生长技术, 在耗尽型外延材料上制备增强型MIS-HEMT。通过优化工艺条件, 一方面抑制材料失效, 另一方面提高薄膜质量, 同时改善半导体/介质层的界面态, 制作高质量绝缘栅介质, 减小表面态, 实现大的栅电压等级。采用发明制备的器件具有高阈值电压、高击穿电压、高电流密度、以及优良的夹断特性, 而且制造工艺简单, 重复性好的特点, 适用于高压大功率电子器件等应用。
- [43] 附图说明
- [44] 图1是本发明实例基于Si衬底的Ga_N基增强型HEMT器件的结构示意图。
- [45] 图2a~图2n是本发明实例中基于Si衬底的Ga_N基增强型HEMT器件的制备

过程示意图。

[46] 图 3 是本发明和传统结构的电流 - 电压曲线。

[47] 具体实施方式

[48] 以下结合附图和实例对本发明的具体实施作进一步说明，但本发明的实施和保护不限于此，需指出的是，以下若有未特别详细说明之过程或工艺参数，均是本领域技术人员可参照现有技术实现的。

[49] 参照图 1，基于 Si 衬底的 GaN 基增强型 HEMT 器件，包括：Si 衬底 101、AlN 成核层 102、AlGa_xN 过渡层 103-105、AlGa_xN 缓冲层 106、低温 AlN 插入层 107、AlGa_nN 主缓冲层 108、AlGa_iN/GaN 超晶格层 109、GaN 沟道层 110、AlGa_kN 势垒功能层 111；HEMT 器件的顶端两侧是源电极 112 和漏电极 113，顶端中间是栅电极 116；AlGa_kN 势垒功能层 111 上淀积有钝化保护层 114，AlGa_kN 势垒功能层 111 和钝化保护层 114 中间被刻穿形成凹槽，凹槽的底部与 GaN 沟道层 110 相连，底部还淀积有钝化保护层 114 和介质层 115，介质层上面是所述栅电极 116，形成 MIS 结构，AlGa_kN 势垒功能层 111 上方两侧的钝化保护层 114 被刻蚀成源电极 112 窗口和漏电极 113 窗口，源电极 112 窗口和漏电极 113 窗口分别用于通过蒸发形成源电极 112、漏电极 113。

[50] AlN 成核层 102 外延在 Si 衬底 101 上面；Al_xGa_(1-x)N 过渡层（103-105）外延在成核层 102 上面，一共三层，从下至上其 Al 元素摩尔含量依次下降，分别取值 0.75、0.40 和 0.2，单层厚度 h 依次增加，分别取值为 140nm、190nm 和 240nm；Al_mGa_(1-m)N 缓冲层 106 外延在 Al_xGa_(1-x)N 过渡层（103-105）上面，其 Al 元素摩尔含量为 7%，厚度为 200nm；低温 AlN 插入层 107 外延在 Al_mGa_(1-m)N 缓冲层 106 上面，厚度为 10nm；Al_nGa_(1-n)N 主缓冲层 108 外延在低温 AlN 插入层 107 上面，其 Al 元素摩尔含量为 5%，厚度为 1.2μm；Al_iGa_(1-i)N/GaN 超晶格层 109 外延在 Al_nGa_(1-n)N 主缓冲层 108 上面，超晶格周期为 8 个周期，其中 Al_iGa_(1-i)N 和 GaN 单层厚度分别为 5nm 和 10nm，Al_iGa_(1-i)N 中的 Al 元素摩尔含量为 10%；GaN 沟道层 110 外延在 Al_iGa_(1-i)N/GaN 超晶格层 109 上面，厚度为 2.4μm；Al_kGa_(1-k)N 势垒功能层 111 外延在 GaN 沟道层 110 上面，其 Al 元素摩尔含量为 27%，厚度为 27nm；刻蚀材料的 AlGa_kN

层和 GaN 层进行台面隔离，将各个器件分隔开，刻蚀深度为 200nm；钝化保护，采用 PECVD 方法淀积 200nm SiO₂ 作为钝化层，对器件进行钝化保护；刻蚀掉中间区域的 200nm SiO₂ 的钝化层和势垒功能层 Al_kGa_(1-k) 形成栅极凹槽。

- [51] Al_kGa_(1-k) N 势垒功能层 111 被刻穿形成凹槽，凹槽的底部与 GaN 沟道层 110 相连；采用 PECVD 淀积 20nm SiO₂ 栅极绝缘层；采用磁控溅射方法淀积 100nm TiN 作为栅极介质层；光刻后刻蚀两端区域的 220nm SiO₂ 的钝化层形成出源极和漏极窗口；采用电子束蒸发技术在栅极、源极和漏极窗口蒸发 Ti/Al/Ti/TiN=20nm/130nm/25nm/70nm 四层金属分别作为肖特基接触和欧姆接触金属，并通过剥离、退火后，形成栅极和源、漏接触电极；光刻已形成源、漏、栅极的器件表面，获得加厚电极图形，并采用电子束蒸发技术加厚电极，完成器件制作。
- [52] 仅作为举例，如图 2a~ 图 2n，具体实施步骤如下：
- [53] 步骤一，对衬底进行退火处理，温度 1100 摄氏度，时间 15 分钟；
- [54] 步骤二，AlN 成核层 102 外延在 Si 衬底 101 上面；
- [55] 步骤三，Al_xGa_(1-x) N 过渡层（103-105）外延在成核层 102 上面，一共三层，其 Al 元素摩尔含量依次下降，分别取值 0.75、0.40 和 0.2，单层厚度 h 依次增加，分别取值为 140nm、190nm 和 240nm；
- [56] 步骤四，Al_mGa_(1-m) N 缓冲层 106 外延在 Al_xGa_(1-x) N 过渡层（103-105）上面，其 Al 元素摩尔含量为 7%，厚度为 200nm；
- [57] 步骤五，低温 AlN 插入层 107 外延在 Al_mGa_(1-m) N 缓冲层 106 上面，厚度为 10nm；
- [58] 步骤六，Al_nGa_(1-n) N 主缓冲层 108 外延在低温 AlN 插入层 107 上面，其 Al 元素摩尔含量为 5%，厚度为 1.2μm；
- [59] 步骤七，Al_iGa_(1-i) N/GaN 超晶格层 109 外延在 Al_nGa_(1-n) N 主缓冲层 108 上面，超晶格周期为 8 个周期，其中 Al_iGa_(1-i) N 和 GaN 单层厚度分别为 5nm 和 10nm，Al_iGa_(1-i) N 中的 Al 元素摩尔含量为 10%；
- [60] 步骤八，GaN 沟道层 110 外延在 Al_iGa_(1-i) N/GaN 超晶格层 109 上面，厚度为 2.4μm；

- [61] 步骤九, $\text{Al}_k\text{Ga}_{(1-k)}\text{N}$ 势垒功能层 111 外延在 GaN 沟道层 110 上面, 其 Al 元素摩尔含量为 27%, 厚度为 27nm;
- [62] 步骤十, 刻蚀材料的 AlGa N 层和 Ga N 层进行台面隔离, 将各个器件分隔开, 刻蚀深度为 200nm;
- [63] 步骤十一, 钝化保护, 采用 PECVD 方法淀积 200nm SiO_2 作为钝化层, 对器件进行钝化保护;
- [64] 步骤十二, 刻蚀掉中间区域的 200nm SiO_2 的钝化层和势垒功能层 $\text{Al}_k\text{Ga}_{(1-k)}\text{N}$ 形成栅极凹槽, $\text{Al}_k\text{Ga}_{(1-k)}\text{N}$ 势垒功能层 111 被刻穿形成凹槽, 凹槽的底部与 Ga N 沟道层 110 相连;
- [65] 步骤十三, 采用 PECVD 方法淀积 20nm 的 SiO_2 , 形成栅绝缘介质;
- [66] 步骤十四, 采用磁控溅射方法在凹槽中淀积 100nm TiN 作为栅极介质层;
- [67] 步骤十五, 光刻后刻蚀两端区域的 220nm SiO_2 的钝化层形成出源极窗口和漏极窗口;
- [68] 步骤十六, 采用电子束蒸发技术在栅极介质层、源极窗口和漏极窗口蒸发 Ti/Al/Ti/TiN=20nm/130nm/25nm/70nm 四层金属分别作为肖特基接触和欧姆接触金属, 并通过剥离、退火后, 形成栅极和源、漏接触电极;
- [69] 步骤十七, 光刻已形成源、漏、栅极的器件表面, 获得加厚电极图形, 并采用电子束蒸发技术加厚电极, 完成器件制作。
- [70] 该器件是基于 Si 衬底的 Ga N 基增强型 HEMT 器件, 可以更为容易的实现 CMOS 兼容的 Ga N 电子器件工艺。同时采用 CMOS 中成熟的 ALD 和 LPCVD 绝缘薄膜生长技术, 在耗尽型外延材料上制备增强型 MIS-HEMT。通过优化工艺条件, 一方面抑制材料失效, 另一方面提高薄膜质量, 同时改善半导体 / 介质层的界面态, 制作高质量绝缘栅介质, 减小表面态, 实现大的栅电压等级, 因而具有高阈值电压、高击穿电压、高电流密度、以及优良的夹断特性, 而且制造工艺简单, 重复性好的特点, 适用于高压大功率电子器件等应用。本发明和传统结构相比, 漏电流明显减小, 如图 3 所示。
- [71] 上述实施例仅本发明的优选实例, 不构成对本发明的任何限制, 显然对于本领域的专业人员来说, 在了解了本发明内容和原理后, 能够在不背离本发明的原

理和范围的情况下，根据本发明的方法进行形式和细节上的各种修正和改变，但是这些基于本发明的修正和改变仍在本发明的权利要求保护范围之内。

权利要求书

- [权利要求 1] 基于Si衬底的GaN基增强型HEMT器件，其特征在于包括从下至上依次层叠的Si衬底（101）、AN成核层（102）、AlGa_N过渡层（103-105）、AlGa_N缓冲层（106）、低温AlN插入层（107）、AlGa_N主缓冲层（108）、AlGa_N/Ga_N超晶格层（109）、Ga_N沟道层（110）、AlGa_N势垒功能层（111）；HEMT器件的顶端两侧是源电极（112）和漏电极（113），顶端中间是栅电极（116）；AlGa_N势垒功能层（111）上淀积有钝化保护层（114），AlGa_N势垒功能层（111）和钝化保护层（114）中间被刻穿形成凹槽，凹槽的底部与Ga_N沟道层（110）相连，底部还淀积有钝化保护层（114）和介质层（115），介质层上面是所述栅电极（116），形成MIS结构，AlGa_N势垒功能层（111）上方两侧的钝化保护层（114）被刻蚀成源电极（112）窗口和漏电极（113）窗口，源电极（112）窗口和漏电极（113）窗口分别用于通过蒸发形成源电极（112）、漏电极（113）。
- [权利要求 2] 根据权利要求1所述的基于Si衬底的Ga_N基增强型HEMT器件，其特征在于Si衬底尺寸为2inch-10inch。
- [权利要求 3] 根据权利要求1所述的基于Si衬底的Ga_N基增强型HEMT器件，其特征在于AlGa_N过渡层（103-105）总共三层，其中从下至上每层的Al元素的摩尔含量依次为x、y和z，并满足关系 $1 > x > y > z > 0$ 的关系，从下至上每层的厚度依次为h1、h2和h3，并满足关系 $300\text{nm} > h3 > h2 > h1 > 50\text{nm}$ 的关系。
- [权利要求 4] 根据权利要求1的基于Si衬底的Ga_N基增强型HEMT器件，其特征在于AlGa_N缓冲层（106）和AlGa_N主缓冲层（108）中的Al元素摩尔含量分别为m和n，满足关系式 $m > 0$ 和 $n > 0$ 。
- [权利要求 5] 根据权利要求1的基于Si衬底的Ga_N基增强型HEMT器件，其特征在于AlGa_N缓冲层（106）和AlGa_N主缓冲层（108）中间穿插低温AlN层（107）。

- [权利要求 6] 根据权利要求1的基于Si衬底的GaN基增强型HEMT器件，其特征在于GaN沟道层（110）下有AlGa_N/GaN超晶格层，超晶格周期大于5个周期。
- [权利要求 7] 根据权利要求1的基于Si衬底的GaN基增强型HEMT器件，其特征在于GaN沟道层（110）和AlGa_N势垒功能层（111）界面处形成高浓度二维电子气（2DEG）的沟道。
- [权利要求 8] 根据权利要求1的基于Si衬底的GaN基增强型HEMT器件，其特征在于，其特征在于AlGa_N势垒功能层（111）被刻穿形成的凹槽，凹槽的底部与GaN沟道层（110）相接触；凹槽底部淀积有钝化保护层（114）作为栅绝缘介质，形成MIS结构。
- [权利要求 9] 根据权利要求1的基于Si衬底的GaN基增强型HEMT器件，其特征在于，
顶端两侧的源电极（112）和漏电极（113）的电极金属采用的合金金属为无金体系金属。
- [权利要求 10] 制备权利要求1~9任一项所述基于Si衬底的GaN基增强型HEMT器件的方法，其特征在于包括如下步骤：
1) 在反应室中对Si衬底表面进行退火处理，温度1100摄氏度，时间15分钟；
2) 在衬底上外延AlN成核层（102），为后续生长提供成核节点；
3) 在AlN成核层的基础上外延生长AlGa_N过渡层（103-105），共三层，其Al元素的摩尔含量依次下降，厚度依次增加；
4)
在AlGa_N过渡层（103-105）基础上外延AlGa_N缓冲层（106）和AlGa_N主缓冲层（108）作为器件材料的主干层，其中Al组分大于零，中间穿插低温AlN层（107）以降低材料累积应力；
5)
在AlGa_N主缓冲层（108）基础上外延AlGa_N/GaN超晶格层（109），超晶格周期大于5个周期；

- 6) 外延生长GaN沟道层 (110) ;
- 7) 外延生长 $\text{Al}_k\text{Ga}_{(1-k)}\text{N}$ 势垒功能层 (111) , 其Al元素的摩尔含量 k 满足 $0.5 > k > 0.2$;
- 8) 刻蚀材料的 AlGaIn 势垒功能层 (111) 和GaN沟道层 (110) 进行台面隔离, 将各个器件分隔开, 刻蚀深度为200nm~500nm;
- 9) 钝化保护, 采用PVD方法或溅射方法进行钝化层淀积, 对器件进行钝化保护;
- 10) 刻蚀出栅极凹槽, AlGaIn 势垒功能层 (111) 被刻穿形成凹槽, 凹槽的底部与GaN沟道层 (110) 相连;
- 11) 采用PVD方法, 在凹槽处淀积 SiO_2 钝化层, 同时作为栅绝缘层 ;
- 12) 采用溅射方法在凹槽内进行栅极介质层 (115) 的淀积;
- 13) 光刻后刻蚀 SiO_2 钝化保护层, 露出源极和漏极窗口;
- 14) 采用电子束蒸发技术, 在栅极、源极和漏极窗口蒸发肖特基接触金属和欧姆接触金属, 并通过剥离、退火后, 形成栅电极和源、漏接触电极;
- 15) 光刻已形成源、漏、栅极的器件表面, 获得加厚电极图形, 并采用电子束蒸发技术加厚电极, 完成器件制作。

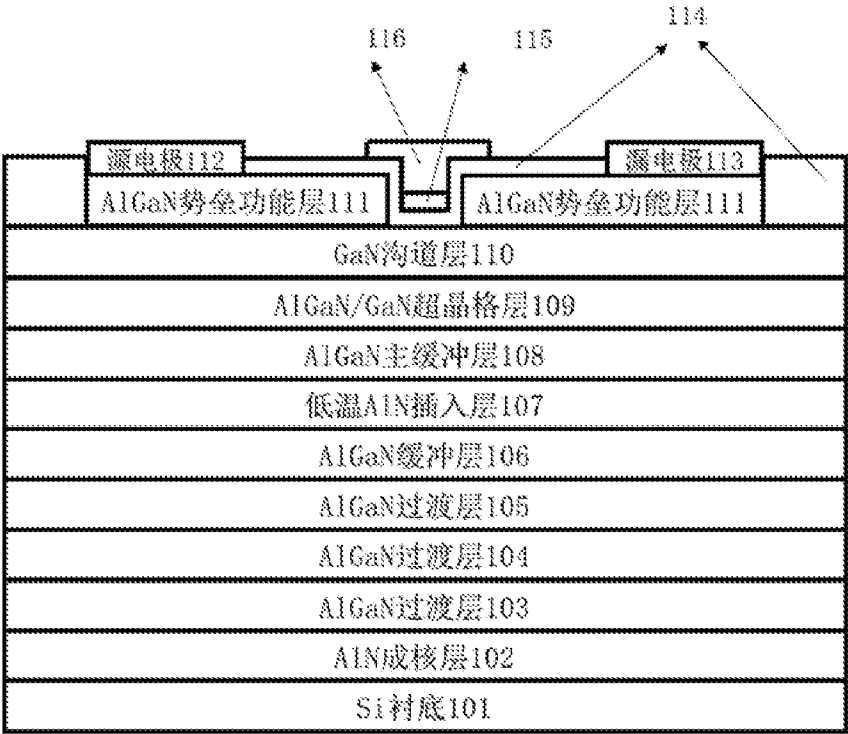


图 1



图 2a

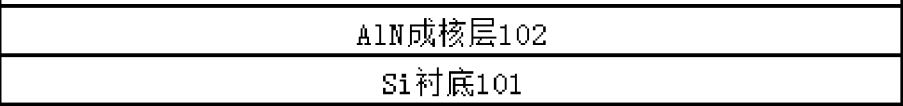


图 2b



图 2c

AlGa _N 缓冲层106
AlGa _N 过渡层105
AlGa _N 过渡层104
AlGa _N 过渡层103
AlN成核层102
Si衬底101

图 2d

低温AlN插入层107
AlGa _N 缓冲层106
AlGa _N 过渡层105
AlGa _N 过渡层104
AlGa _N 过渡层103
AlN成核层102
Si衬底101

图 2e

AlGa _N 主缓冲层108
低温AlN插入层107
AlGa _N 缓冲层106
AlGa _N 过渡层105
AlGa _N 过渡层104
AlGa _N 过渡层103
AlN成核层102
Si衬底101

图 2f

AlGa _N /Ga _N 超晶格层109
AlGa _N 主缓冲层108
低温AlN插入层107
AlGa _N 缓冲层106
AlGa _N 过渡层105
AlGa _N 过渡层104
AlGa _N 过渡层103
AlN成核层102
Si衬底101

图 2g

GaN沟道层110
AlGaIn/GaN超晶格层109
AlGaIn主缓冲层108
低温AlN插入层107
AlGaIn缓冲层106
AlGaIn过渡层105
AlGaIn过渡层104
AlGaIn过渡层103
AlN成核层102
Si衬底101

图 2h

AlGaIn势垒功能层111
GaN沟道层110
AlGaIn/GaN超晶格层109
AlGaIn主缓冲层108
低温AlN插入层107
AlGaIn缓冲层106
AlGaIn过渡层105
AlGaIn过渡层104
AlGaIn过渡层103
AlN成核层102
Si衬底101

图 2i

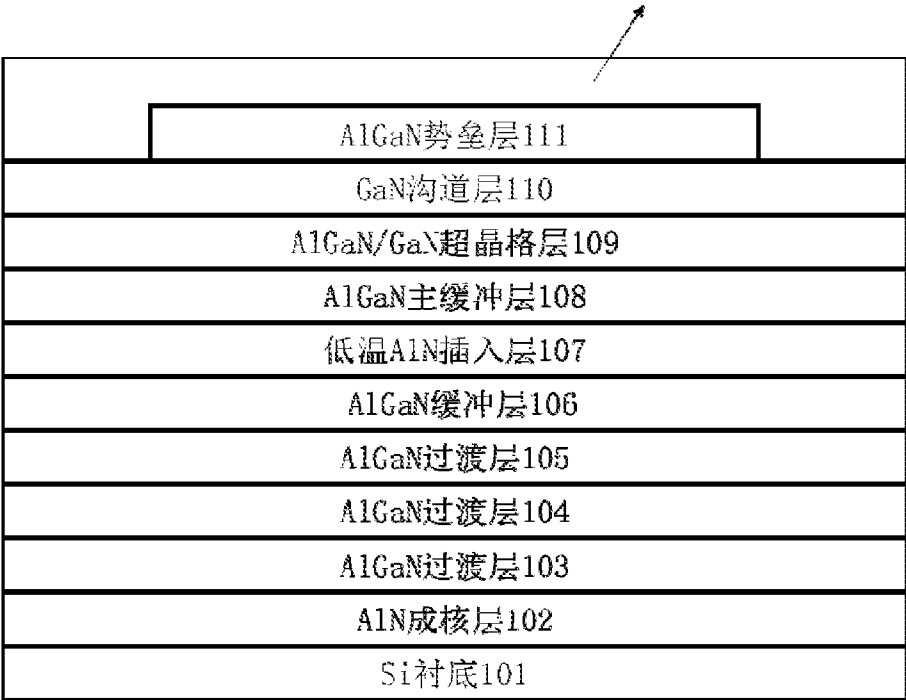


图 2j

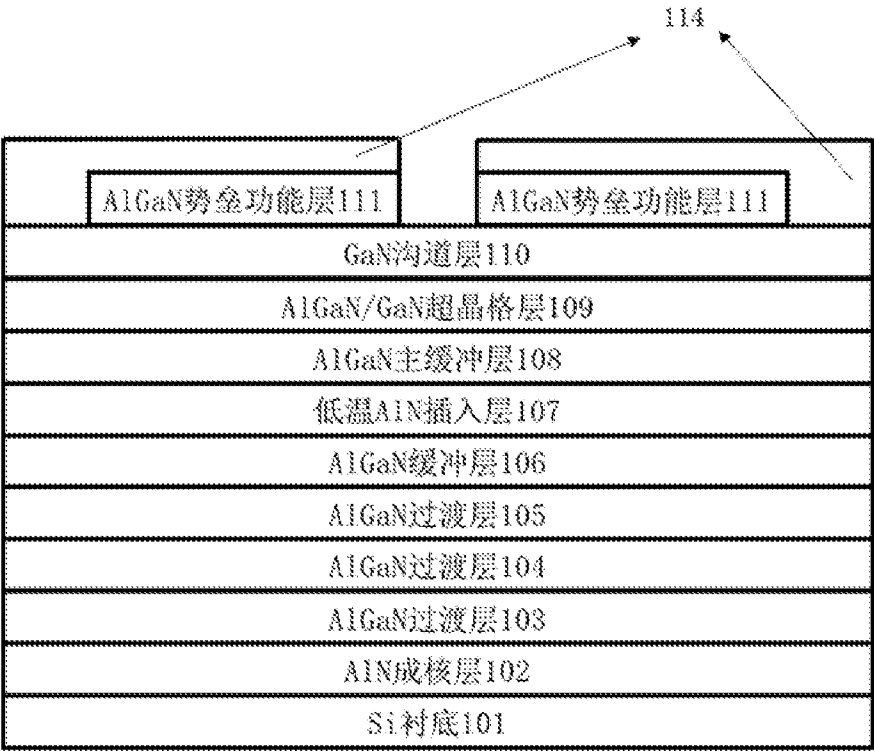


图 2k

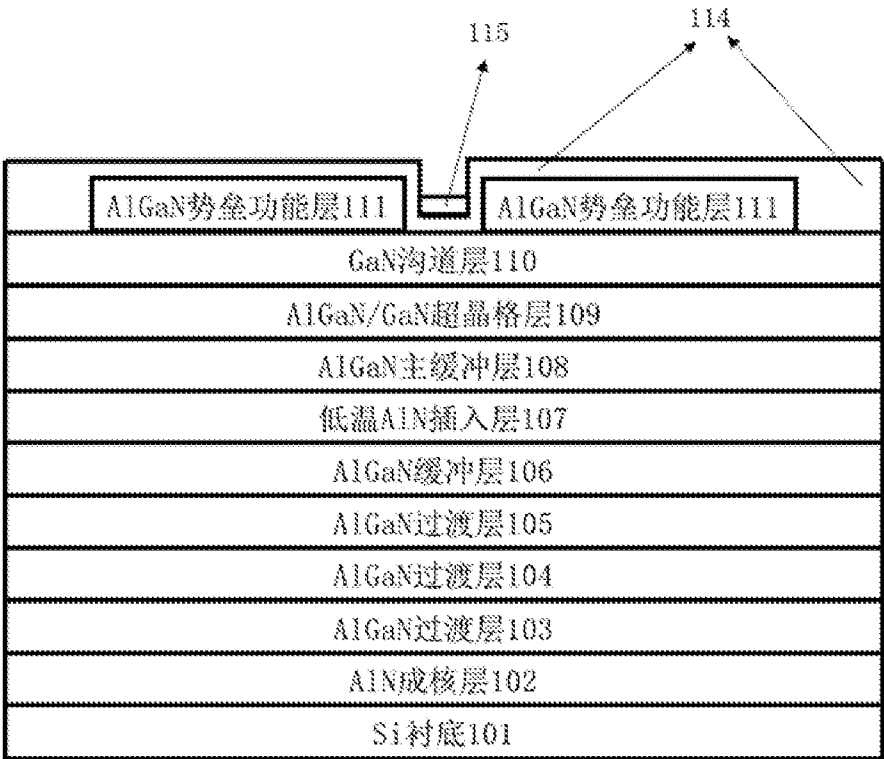


图 2l

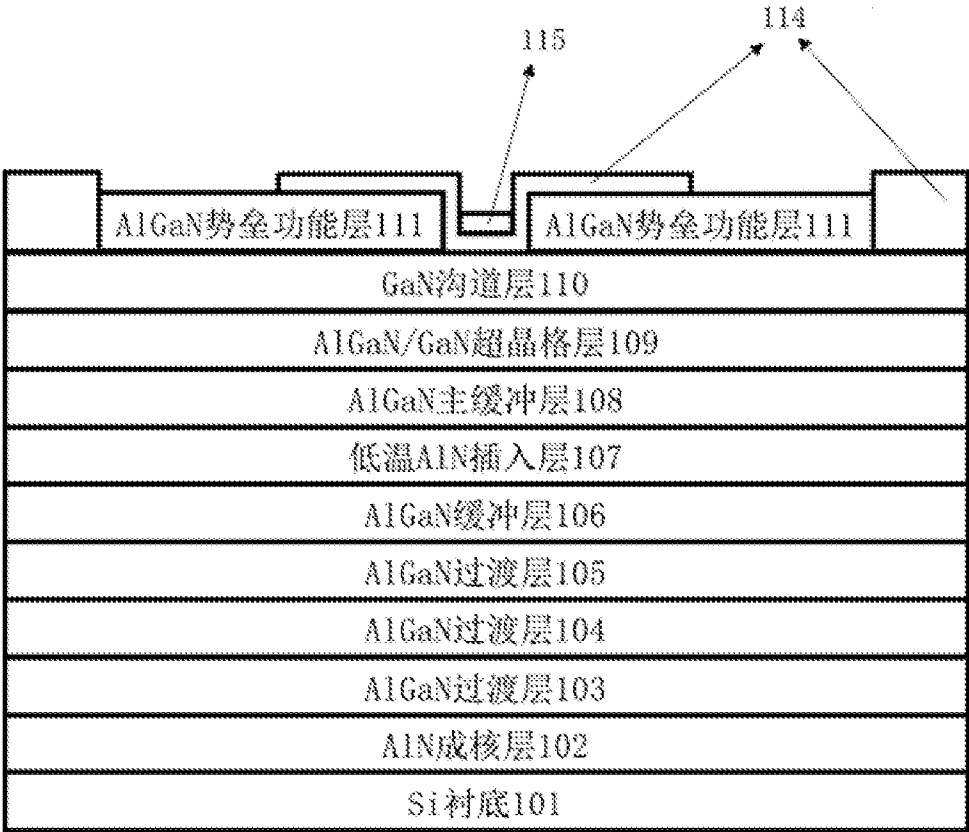


图 2m

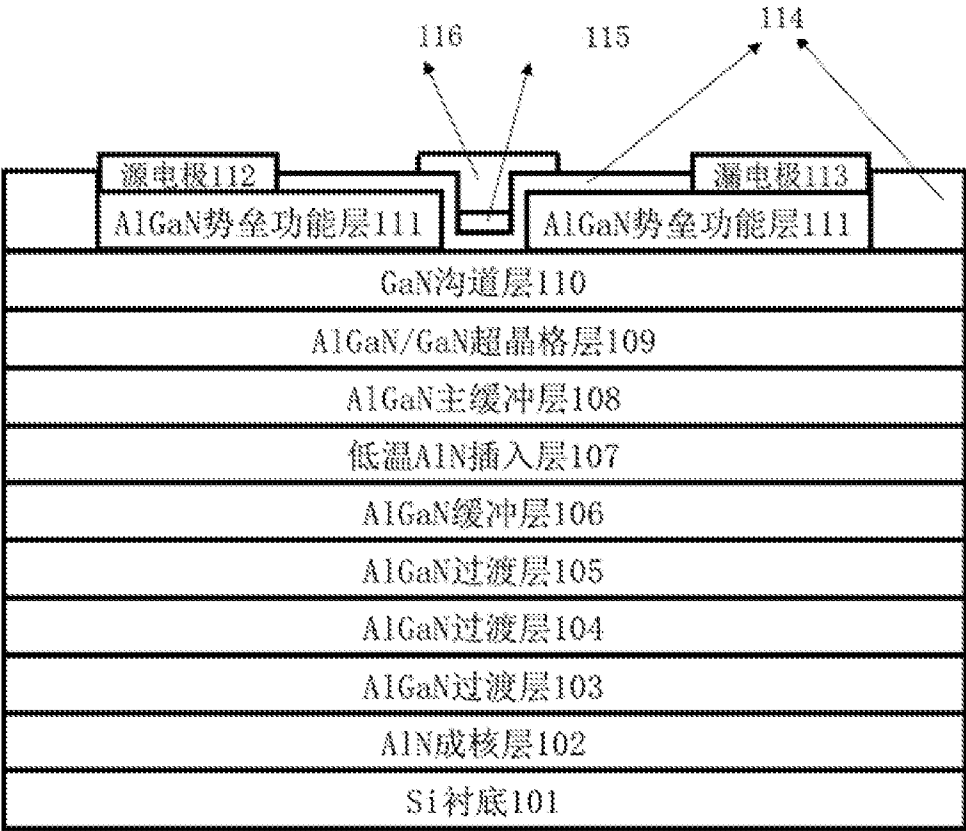


图 2n

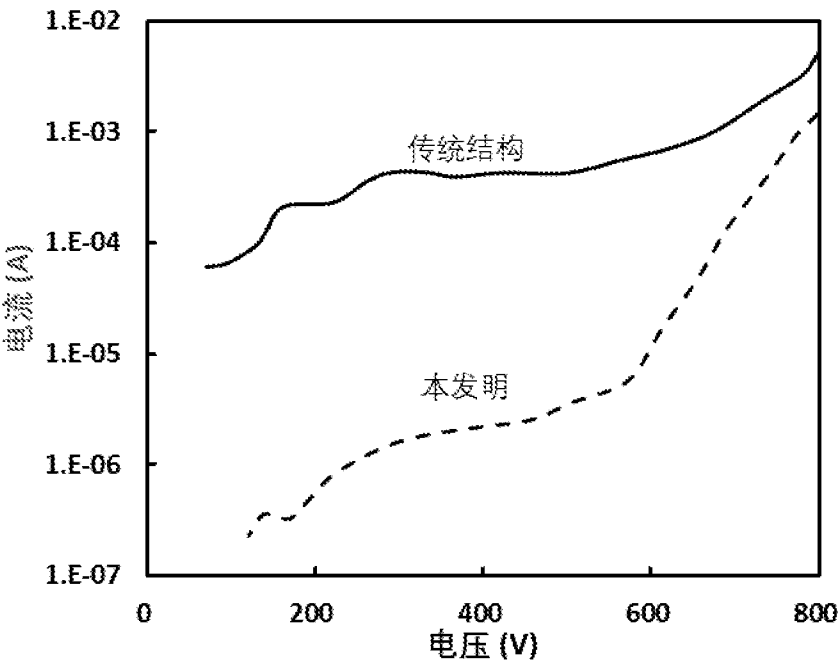


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/073541

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/778 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: 高电子迁移率, 增强, 异质结, 氮化镓, 氮化铝镓, 超晶格, 缓冲层, 过渡层, HEMT, enhanced, heterojunction, aluminum, gallium, nitride, superlattice, buffer, transition

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 205177852 U (HANGZHOU SILAN MICROELECTRONICS CO., LTD. et al.), 20 April 2016 (20.04.2016), description, paragraphs [0048]-[0074], and figure 1	1-10
A	CN 102664188 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA), 12 September 2012 (12.09.2012), entire document	1-10
A	CN 105637620 A (SHARP KABUSHIKI KAISHA), 01 June 2016 (01.06.2016), entire document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 September 2017	Date of mailing of the international search report 11 October 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer CHEN, Long Telephone No. (86-10) 62414006

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/073541

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 205177852 U	20 April 2016	None	
CN 102664188 A	12 September 2012	CN 102664188 B	23 July 2014
CN 105637620 A	01 June 2016	US 2016254378 A1	01 September 2016
		WO 2015068448 A1	14 May 2015
		US 9660068 B2	23 May 2017
		JP 6064051 B2	18 January 2017

国际检索报告

国际申请号

PCT/CN2017/073541

A. 主题的分类 H01L 29/778(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, WPI, EPODOC, CNKI, IEEE: 高电子迁移率, 增强, 异质结, 氮化镓, 氮化铝镓, 超晶格, 缓冲层, 过渡层, HEMT, enhanced, heterojunction, aluminum, gallium, nitride, superlattice, buffer, transition				
C. 相关文件				
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求		
A	CN 205177852 U (杭州士兰微电子股份有限公司 等) 2016年 4月 20日 (2016 - 04 - 20) 说明书第[0048]-[0074]段、图1	1-10		
A	CN 102664188 A (电子科技大学) 2012年 9月 12日 (2012 - 09 - 12) 全文	1-10		
A	CN 105637620 A (夏普株式会社) 2016年 6月 1日 (2016 - 06 - 01) 全文	1-10		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。				
<table><tr><td>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td><td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</td></tr></table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件			
国际检索实际完成的日期 2017年 9月 23日	国际检索报告邮寄日期 2017年 10月 11日			
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	授权官员 陈龙 电话号码 (86-10)62414006			

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/073541

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	205177852	U	2016年 4月 20日	无	
CN	102664188	A	2012年 9月 12日	CN	102664188 B 2014年 7月 23日
CN	105637620	A	2016年 6月 1日	US	2016254378 A1 2016年 9月 1日
				WO	2015068448 A1 2015年 5月 14日
				US	9660068 B2 2017年 5月 23日
				JP	6064051 B2 2017年 1月 18日