

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-174902

(P2012-174902A)

(43) 公開日 平成24年9月10日(2012.9.10)

(51) Int.Cl.	F 1	テーマコード (参考)
H01L 33/36 (2010.01)	H01L 33/00 200	5F041
H01L 33/32 (2010.01)	H01L 33/00 186	5F141
H01L 33/20 (2010.01)	H01L 33/00 170	

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2011-35864 (P2011-35864)	(71) 出願人	000002303 スタンレー電気株式会社 東京都目黒区中目黒2丁目9番13号
(22) 出願日	平成23年2月22日 (2011.2.22)	(74) 代理人	110001025 特許業務法人藤村合同特許事務所
		(72) 発明者	宮地 譲 東京都目黒区中目黒2丁目9番13号 ス タンレー電気株式会社内
		F ターム (参考)	5F041 AA31 CA40 CA65 CA74 CA77 CA92 CA98 CB11 5F141 AA31 CA40 CA65 CA74 CA77 CA92 CA98 CB11

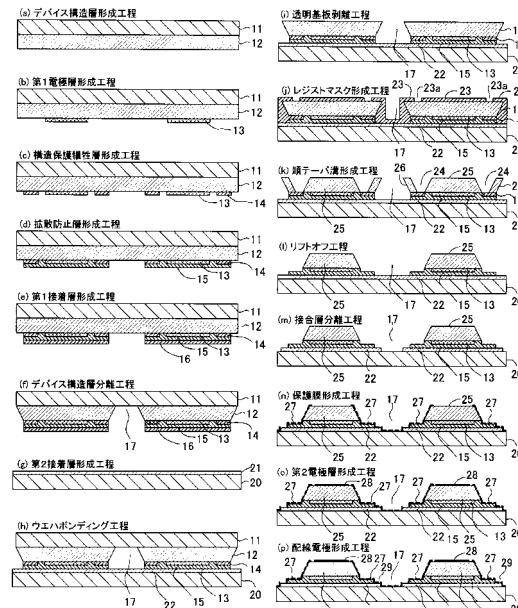
(54) 【発明の名称】窒化物半導体発光素子の製造方法

## (57) 【要約】 (修正有)

【課題】成膜用の成長基板を剥離した発光素子面から機械的に安定した配線電極を確実に形成できる窒化物半導体発光素子の製造方法を提供する。

【解決手段】成長基板11上にデバイス構造層12を形成する工程と、発光素子に対応した位置に第1電極層13を形成する工程と、第1電極層の周辺に構造保護犠牲層14を形成する工程と、デバイス構造層に素子分離溝17を形成する素子分離工程と、デバイス構造層側に支持基板20を貼り付ける接合工程と、成長基板の剥離を行う工程と、デバイス構造層を第1電極層を有する発光素子と構造保護犠牲層上の逆テーパ部26とに分離する順テーパ溝24形成工程と、構造保護犠牲層をエッチングして逆テーパ部をリフトオフするリフトオフ工程と、デバイス構造層の露出面に第2電極層28を形成する工程と、発光素子の側壁に絶縁層を形成して第2電極層と電気的に接続した配線電極層29を形成する配線電極層形成工程とを含む。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

成膜用の成長基板上に複数の発光素子分のデバイス構造層を形成し、前記デバイス構造層を発光素子毎の分離後に前記デバイス構造層側に支持基板を貼り付けて前記成長基板を剥離する窒化物半導体発光素子の製造方法であって、

前記成長基板上に前記デバイス構造層を形成する工程と、

前記デバイス構造層表面の前記複数の発光素子の各々に対応した位置に第1電極層を形成する工程と、

前記デバイス構造層表面の前記第1電極層の周辺に構造保護犠牲層を形成する工程と、

前記デバイス構造層を発光素子毎の分離のために前記デバイス構造層に素子分離溝を形成する素子分離工程と、

前記素子分離工程後に前記デバイス構造層側に前記支持基板を貼り付ける接合工程と、前記接合工程後に前記成長基板の剥離を行う工程と、

前記デバイス構造層に前記構造保護犠牲層まで達する順テープ溝を形成することにより前記デバイス構造層を第1電極層を有する発光素子と前記構造保護犠牲層上の逆テープ部とに分離する順テープ溝形成工程と、

前記構造保護犠牲層をエッチングすることにより前記逆テープ部をリフトオフするリフトオフ工程と、

前記成長基板の剥離によって露出した前記デバイス構造層の露出面に第2電極層を形成する工程と、

前記発光素子の側壁に絶縁層を形成して前記第2電極層と電気的に接続した配線電極層を前記絶縁層上に形成する配線電極層形成工程と、を含むことを特徴とする製造方法。

**【請求項 2】**

前記デバイス構造層の前記露出面において前記順テープ溝の形成位置を開口部とし、前記開口部を除いて前記デバイス構造層の前記露出面及び前記素子分離溝を保護するためのマスクを形成するマスク形成工程を更に備え、

前記順テープ溝形成工程は、前記開口部をエッチングすることにより順テープ溝を形成することを特徴とする請求項1記載の製造方法。

**【請求項 3】**

前記デバイス構造層の前記構造保護犠牲層及び前記第1電極層の形成面に第1接着層を形成する工程と、

前記支持基板上に第2接着層を形成する工程と、を更に備え、

前記接合工程は前記第1接着層と前記第2接着層とを接触させて前記第1接着層と前記第2接着層との融着接合により前記デバイス構造層に前記支持基板を貼り付けることを特徴とする請求項1又は2記載の製造方法。

**【請求項 4】**

前記素子分離溝部分に露出している前記第2接着層の一部をエッチングして前記複数の発光素子を互いに電気的に絶縁する工程を更に備えることを特徴とする請求項3記載の製造方法。

**【請求項 5】**

前記順テープ溝形成工程は、前記発光素子各々が四角形の主面を有するように前記発光素子各々の4つの側壁のうちの少なくとも1側壁を前記順テープ溝の形成によって形成することを特徴とする請求項1~4のうちのいずれか1記載の製造方法。

**【請求項 6】**

前記配線電極層形成工程において前記配線電極層は、前記配線電極層が前記第2電極層と電気的に接続された前記発光素子に隣接した発光素子の前記第1電極層と電気的に接続されることを特徴とする請求項1記載の製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

10

20

30

40

50

本発明は、窒化物半導体発光素子の製造方法に関する。

【背景技術】

【0002】

窒化物半導体発光素子の成膜用の成長基板としては一般的にサファイアからなる透明基板が用いられ、サファイア基板表面上に複数の窒化物半導体発光素子が各々成膜形成される。

【0003】

サファイアは熱伝導性が20W/mKと低いため、良好な放熱を得るためにには窒化物半導体側をヒートシックやサブマウント等に貼り付ける必要がある。この場合にはサファイア基板側から光を取り出すことになるが、サファイア基板裏面で多くの光が反射され、光取り出し効率が低下する。このため熱伝導率の高いパッケージ基板を含む別の支持基板を窒化物半導体側に貼り付けた後、レーザリフトオフでサファイア基板を剥離する手法がとられている。

【0004】

別の支持基板への貼り付けを行う際、大面積の平面同士を貼り合わせると接着面に雰囲気ガス等を含んでしまい、ボイドが発生することになるという問題が生じる。

【0005】

また、レーザリフトオフはサファイア基板裏面より例えば、GaN（窒化ガリウム）の吸収端の波長である362nmよりも短い波長の光を照射して、サファイア基板との界面近傍のGaNをガリウムと窒素に分解することによりサファイア基板の剥離を行う。しかしながら、大面積の平面同士を貼り合わせた場合には、レーザリフトオフの際に発生する窒素ガスが周辺へ逃げにくく溜まるために、GaN膜に大きな衝撃が発生するという別の問題も生じる。

【0006】

そこで、サファイア基板上の窒化物半導体を個々の発光素子に分割してから別の支持基板へ貼り付けて、レーザリフトオフでサファイア基板の剥離を行う手法が行われている。

【0007】

III窒化物半導体の場合には、結晶が化学的に安定なため、ウェットエッチングが非常に難しく、形状の加工にはドライエッティングが用いられているが、ドライエッティングでの加工形状は一般に順テープ形状となるため、上記手法のように窒化物半導体を個々の素子に分割してから別の支持基板への貼り替えを行うと、素子側壁は逆テープ形状となる。

【0008】

このため、サファイア基板を剥離した面（一般的にはn型GaN面）への給電配線を側壁に形成することは困難となる。

【0009】

そこで、ワイヤーボンディングを用いた給電配線とする手法や、電極構造をフリップチップ構造（n電極、p電極を同じ側に配置した構造）とし、予め給電配線パターンを形成したパッケージ基板に位置合わせをして貼り合わせる手法が開示されている（特許文献1参照）。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2006-128710号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、ワイヤーボンディングでの電気的接続方法では機械的衝撃等による断線や接合部の剥離が起こるという問題があった。また、蛍光体を用いて波長変換を行う発光デバイスにおいては、ワイヤーが邪魔になるために、チップ上面への蛍光体層形成を安定的に均一にすることが困難となってしまう。

10

20

30

40

50

## 【0012】

また、フリップチップタイプを用いる場合には、貼り合わせの際に精密な位置合わせが必要であり、プロセスが複雑になるという問題が生じる。

## 【0013】

機械的に安定な配線電極を簡便なプロセスで形成するには、発光素子の側壁を順テープ形状に加工し、この順テープ状の側壁に配線電極層を堆積する手法が有効であるが、逆テープ側壁部分をエッチングしようとした場合に、その周辺に露出している支持基板上の金属層も同時にエッチングされることとなる。この領域の露出金属層がエッチングされてしまうと、貼り合わせ面側の電極（通常p電極）と電気的に接続した配線電極を形成することが困難となってしまう。

10

## 【0014】

更に、エッチングプロセス中に支持基板上の金属層等の素子周辺領域の金属又はエッチング生成物が発光素子の側壁に付着してしまい、p型層とn型層を電気的に短絡させるという問題も生じることがある。

## 【0015】

そこで、本発明の目的は、かかる点を鑑みてなされたものであり、成膜用の成長基板を剥離した発光素子面から機械的に安定した配線電極を確実に形成することができる窒化物半導体発光素子の製造方法を提供することである。

20

## 【課題を解決するための手段】

## 【0016】

本発明の窒化物半導体発光素子の製造方法は、成膜用の成長基板上に複数の発光素子分のデバイス構造層を形成し、前記デバイス構造層を発光素子毎の分離後に前記デバイス構造層側に支持基板を貼り付けて前記成長基板を剥離する窒化物半導体発光素子の製造方法であって、前記成長基板上に前記デバイス構造層を形成する工程と、前記デバイス構造層表面の前記複数の発光素子の各々に対応した位置に第1電極層を形成する工程と、前記デバイス構造層表面の前記第1電極層の周辺に構造保護犠牲層を形成する工程と、前記デバイス構造層を発光素子毎の分離のために前記デバイス構造層に素子分離溝を形成する素子分離工程と、前記素子分離工程後に前記デバイス構造層側に前記支持基板を貼り付ける接合工程と、前記接合工程後に前記成長基板の剥離を行う工程と、前記デバイス構造層に前記構造保護犠牲層まで達する順テープ溝を形成することにより前記デバイス構造層を第1電極層を有する発光素子と前記構造保護犠牲層上の逆テープ部とに分離する順テープ溝形成工程と、前記構造保護犠牲層をエッチングすることにより前記逆テープ部をリフトオフするリフトオフ工程と、前記成長基板の剥離によって露出した前記デバイス構造層の露出面に第2電極層を形成する工程と、前記発光素子の側壁に絶縁層を形成して前記第2電極層と電気的に接続した配線電極層を前記絶縁層上に形成する配線電極層形成工程と、を含むことを特徴としている。

30

## 【発明の効果】

## 【0017】

本発明の窒化物半導体発光素子の製造方法によれば、デバイス構造層上の第1電極層の周辺に構造保護犠牲層が予め形成され、デバイス構造層を発光素子各々に対応するように分離した後に支持基板へ貼り付けることが行われ、その後の順テープ溝形成工程で構造保護犠牲層まで達する順テープ溝が形成され、その形成時に順テープ溝より外側に形成される逆テープ部がリフトオフ工程でリフトオフされるので、発光素子の側壁を支持基板側に向けて順テープにすることができる。よって、発光素子の順テープの側壁に絶縁層を形成して発光素子の主面上の第2電極層と電気的に接続した配線電極層を絶縁層上に形成することにより機械的に安定した配線電極層を確実に形成することができる。

40

## 【図面の簡単な説明】

## 【0018】

【図1】本発明の実施例1の製造方法を示す断面図である。

【図2】順テープ溝形成工程後の発光素子の正面側を示す平面図である。

50

【図3】エッチングによって発光素子の側壁にエッチング生成物が付着する様子を示す断面図である。

【図4】本発明の実施例2の製造方法を示す断面図である。

【図5】本発明の実施例3の製造方法を示す断面図である。

【図6】実施例3における順テープ溝形成工程後の発光素子の正面側を示す平面図である。

【図7】隣接する発光素子で互いに逆方向の側壁に順テープを形成した例を示す平面図である。

【図8】各発光素子の3側壁に順テープを形成した例を示す平面図である。

【発明を実施するための形態】

10

【0019】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

【実施例1】

【0020】

図1は本発明の実施例1として窒化物半導体発光素子の製造方法を断面図で示している。図1の符号(a)～(p)は次に説明する工程(a)～(p)に対応している。なお、この実施例では基板上に2つの発光素子を製造する場合を示している。

(a) デバイス構造層形成工程

デバイス構造層形成工程では、サファイアからなる透明基板(成長基板)11が用意され、基板11上に、MOCVD(有機金属化学気相成長)法を用いて窒化物系半導体からなるデバイス構造層12が形成される。デバイス構造層12は、図示しないが、膜厚5μmのn型GaN層、InGaN量子井戸層を含む多重量子井戸発光層、膜厚0.5μmのp型GaN層がこの順序で積層された層である。基板11のサファイアはGaNの吸収端波長である362nmの光に対して透明な材質のものであり、サファイア基板以外でもスピネル、SiC、ZnO等の材料を用いても良い。

(b) 第1電極層形成工程

第1電極層形成工程では、デバイス構造層12の表面に電子ビーム蒸着法により膜厚200nmのAg層を形成し、そのAg層をフォトリソグラフィー法によってパターニングして第1電極層13を形成することが行われる。第1電極層13は発光素子各自に対応したデバイス構造層12の表面上の位置に配置される。

20

(c) 構造保護犠牲層形成工程

構造保護犠牲層形成工程では、第1電極層13の周辺のデバイス構造層12上に、スパッタ法を用いて第1電極層13と同じ膜厚のSiO<sub>2</sub>(二酸化シリコン)からなる構造保護犠牲層14が形成される。構造保護犠牲層14は後述の順テープ溝形成工程(k)のエッチングで露出するが、金属等の導電性の高い材質のものを用いるとエッチング側壁に導電性のエッチング生成物が付着し、p型GaN層とn型GaN層を電気的に短絡させる。このため、この層に用いる材質としては絶縁材料が望ましく、二酸化シリコンの他に、例えば、窒化シリコン、窒化アルミニウム、ジルコニア、アルミナ等の材料を用いることができる。

30

【0021】

40

また、構造保護犠牲層14はリフトオフ工程(l)における犠牲層として機能するので、少なくとも、順テープ溝形成工程(k)において、順テープ溝の形成予定位置に形成される。つまり、順テープ溝形成工程(k)において形成される順テープ溝の底面に少なくともその一部が露出される位置に形成される。

【0022】

40

また、構造保護犠牲層14は上記のようにリフトオフ工程(l)における犠牲層として機能するので、緩衝フッ酸(BHF)で容易にウェットエッチングが可能な二酸化シリコンで構成することがより望ましい。

(d) 拡散防止層形成工程

50

拡散防止層形成工程では、第1電極層13上面及び構造保護犠牲層14の上面を含む領

域に、スパッタ法を用いて膜厚300nmのTiWからなる拡散防止層15を形成することが行われる。拡散防止層15は、第1電極層13に用いた材料の拡散を防止するためのものであり、第1電極層13の材料にAgを含む場合には、Ti、W、Pt、Pd、Mo、Ru、Ir及びこれらの合金を用いることができる。

(e) 第1接着層形成工程

第1接着層形成工程では、拡散防止層15上に電子ビーム蒸着法を用いて、膜厚200nmのAuからなる第1接着層16が形成される。

(f) デバイス構造層分離工程

デバイス構造層分離工程では、レジストマスク及び塩素ガスを用いたドライエッチング法を用いることにより、デバイス構造層12に基板11まで達する素子分離溝17が形成される。素子分離溝17で分離されたデバイス構造層12側面は基板11に向けて順テープとなる。素子分離溝17は基板11上のデバイス構造層12を複数の発光素子に区分する溝であり、デバイス構造層12の上部から見ると格子状となる。なお、デバイス構造層分離工程(f)は必ずしも拡散防止層形成工程(d)後に行う必要はなく、デバイス構造層形成工程(a)～拡散防止層形成工程(d)のいずれの間に行っても良い。

(g) 第2接着層形成工程

第2接着層形成工程では、Siからなる支持基板20が用意され、支持基板20上に、抵抗加熱蒸着法を用いて膜厚1μmのAu-Sn(Sn:20wt%)からなる第2接着層21が形成される。支持基板20としては熱膨張係数がサファイアの $7.5 \times 10^{-6}/K$ やGaNの $5.6 \times 10^{-6}/K$ に近く、熱伝導率が高い材料が好ましい。Siの他に例えば、AlN(窒化アルミニウム)、Mo(モリブデン)、W(タンゲステン)、CuW(銅タンゲステン合金)等の材料を用いることができる。また、第1接着層16と第2接着層21とに用いられる材料としては、融着接合が可能な、Au-Sn、Au-In、Pd-In、Cu-In、Cu-Sn、Ag-Sn、Ag-In、Ni-Sn等を含む金属や、拡散接合が可能なAuを含む金属を用いることができる。

(h) ウエハボンディング工程

ウエハボンディング工程では、第1接着層16と第2接着層21とを接触させ、圧力3MPaで加圧した状態で300℃に加熱して10分間保持した後、室温まで冷却することにより融着接合が行われる。つまり、融着接合可能な金属材料からなる第1接着層16と第2接着層21の混合拡散により、金属膜を介して貼り合わされる。図1では第1接着層16と第2接着層21との融着接合の結果の部分を接合層22として示している。

(i) 透明基板剥離工程

透明基板剥離工程では、UVエキシマレーザの光をサファイア基板11の裏面側から照射し、基板11との界面近傍のデバイス構造層12を加熱分解することにより、基板11が剥離される。素子分離溝17で分離されたデバイス構造層12側面は接合層22に向けて逆テープとなる。

(j) レジストマスク形成工程

レジストマスク形成工程では、素子分離溝17をマスクすると共に、デバイス構造層12の透明基板剥離面(露出面)において素子分離溝17から10μmだけ離れた位置から幅10μmの領域を開口部23aとして開口部23a以外をマスクするようにレジストマスク23が形成される。

【0023】

なお、本実施例においては、保護マスクとして、レジストマスクを形成したが、本発明の保護マスクとしては、レジストに限定されず、SiO<sub>2</sub>からなる絶縁層マスクや、メタルマスクなど、適宜な材料を選択することができる。

(k) 順テープ溝形成工程

順テープ溝形成工程では、塩素ガスを用いたドライエッチング法を用いることによりレジストマスク23でマスキングされていない部分のデバイス構造層12をエッチングすることが行われ、構造保護犠牲層14まで達する順テープ溝24が形成される。これにより、順テープ溝24より内側に発光素子25、順テープ溝24より外側に逆テープ部26が

10

20

30

40

50

形成される。エッティング後にレジストマスク 23 は除去される。

#### 【0024】

順テープ溝形成工程は、発光素子 25 各々が四角形の正面を有するように発光素子 25 各々の 4 つの側壁を順テープ溝 24 の環状形成によって形成する。図 2 はデバイス構造層 12 側、すなわち発光素子 25 の正面側をその上部から見た平面図であり、図 2 から分かるように正面が四角形の発光素子 25 の周囲に順テープ溝 24 が四角環状に形成され、順テープ溝 24 の周囲に逆テープ部 26 が四角環状に形成される。なお、図 2 の A-A の断面部分が図 1 の順テープ溝形成工程(k)で断面図として示されている。

#### (l) リフトオフ工程

リフトオフ工程では、構造保護犠牲層 14 を緩衝フッ酸を用いてウェットエッティングすることにより、逆テープ部 26 がリフトオフされる。

#### (m) 接合層分離工程

接合層分離工程では、素子分離溝 17 部分に露出している接合層 22 の一部がアルゴンガスを用いたドライエッティング法でエッティングされ、複数の発光素子 25 間が電気的に絶縁される。

#### (n) 保護膜形成工程

保護膜形成工程では、工程(m)までに基板 20 上に形成された素子面全体に SiO<sub>2</sub> からなる保護膜(絶縁層) 27 が形成される。更に、デバイス構造層 12 上に形成された保護膜 27 の一部を緩衝フッ酸を用いてエッティングすることにより、デバイス構造層 12 の一部(各発光素子 25 の正面)が露出される。

#### (o) 第 2 電極層形成工程

第 2 電極層形成工程では、透明基板剥離工程(i)の基板 11 の剥離によって露出したデバイス構造層 12 の表面に、電子ビーム蒸着法により膜厚 10 nm の Ti 層、膜厚 300 nm の Al 層をこの順序で積層し、フォトリソグラフィー法によってパターニングすることにより第 2 電極層 28 が形成される。

#### (p) 配線電極形成工程

配線電極形成工程では、第 2 電極層 28 及び保護層 27 を含む領域に、電子ビーム蒸着法を用いて膜厚 1 μm の Au からなる配線電極層 29 が形成される。

#### 【0025】

このように実施例 1においては、デバイス構造層分離工程(f)でデバイス構造層を発光素子各々に対応するように分離した後にウエハボンディング工程(h)で支持基板 20 へ貼り付ける製造方法が実行される。この実施例 1 の製造方法では、デバイス構造層 12 上の第 1 電極層 13 の周辺に構造保護犠牲層 14 を予め形成しておき、その後の順テープ溝形成工程(k)で構造保護犠牲層 14 まで達する順テープ溝 24 が形成され、その形成時に順テープ溝 24 より外側に形成される逆テープ部 26 がリフトオフ工程(l)でリフトオフされるので、発光素子 25 の側壁を支持基板 20 側に向けて順テープにすることができる。よって、発光素子 25 の順テープの側壁に絶縁層 27 を形成して発光素子 25 の正面の第 2 電極層 28 と電気的に接続した配線電極層 29 を絶縁層 27 上に形成することにより機械的に安定した配線電極層 29 を確実に形成することができる。また、機械的強度が弱いワイヤーボンディングでの電気的接続方法や工程が複雑になる電極構造をフリップチップ構造とする方法を用いないで済むという利点がある。

#### 【0026】

更に、実施例 1 の製造方法においては、発光素子 25 の側壁を順テープにするためのドライエッティングの際に発光素子 25 の側壁へのエッティング生成物の付着が防止されるので、例えば、p 型層と n 型層との間の電気的短絡の原因となることが起きず、窒化物半導体発光素子の製造の際の歩留まりの向上を図ることができる。

#### 【0027】

図 3(a)は上記した順テープ溝 24 を形成することなく発光素子 25 の側壁を順テープにエッティングする場合を示している。このエッティングでは発光素子 25 の正面は通常、レジストマスク 30 でマスクされるが、接合層 22 が露出しているところがそのエッティング

10

20

30

40

50

で、金属を含むエッティング生成物が発生し、その一部が、図3(a)に示すように飛んで、図3(b)に示すように、発光素子25の側壁に付着することが起きる。しかしながら、上記したように実施例1の製造方法においては、発光素子25の側壁が逆テーパ部26で保護されるので、発光素子25の側壁へのエッティング生成物の付着が防止される。

#### 【実施例2】

##### 【0028】

図4は本発明の実施例2として窒化物半導体発光素子の製造方法の一部である配線電極形成工程(p)を示している。実施例2の配線電極形成工程(p)においては、上記した実施例1の配線電極形成工程(p)における1つの発光素子25に形成された配線電極層29を更に、隣接した発光素子25の第1電極層13と電気的に接続した接合層22上にも延伸して形成することが行われる。実施例2のその他の工程については実施例1と同一であるので、ここでの詳細な説明は省略される。10

##### 【0029】

かかる実施例2の製造方法においては、隣接する発光素子25間の電気的接続が配線電極層29によって形成されるので、複数の発光素子を備えた発光装置を容易に構成することができる。

#### 【実施例3】

##### 【0030】

本発明の実施例3である窒化物半導体発光素子の製造方法において、図5に示すように、デバイス構造層分離工程(f)の終了後に、側壁保護層形成工程(r)が行われる。側壁保護層形成工程(r)では、素子分離溝17の側壁に膜厚200nmのSiO<sub>2</sub>からなる側壁保護層31が形成される。この側壁保護層形成工程(r)は、その後のウエハボンディング工程(h)での融着接合プロセスや、透明基板剥離工程(i)の基板11の剥離プロセスにおいて素子分離溝17側壁に融着金属が付着し、p型GaN層とn型GaN層を電気的に短絡してしまうことを防止する目的で行われる。20

##### 【0031】

側壁保護層形成工程(r)が実行された場合には、図5に符号(k)で示すように順テーパ溝形成工程(k)が行われる。この順テーパ溝形成工程(k)では、構造保護犠牲層14まで達する順テーパ溝24が発光素子25の1つの側壁だけについて形成される。図6に示すようにデバイス構造層12側をその上部から見ると、各発光素子25の外周の4側壁のうちの同一方向の1つの側壁が順テーパ溝24の直線形成によって形成されている。なお、図6のA-Aの断面部分が図5の順テーパ溝形成工程(k)で断面図として示されている。30

##### 【0032】

このように順テーパ溝24が形成された後に、図5に符号(l)及び(p)で示すようにリフトオフ工程(l)及び配線電極形成工程(p)が行われる。ここで、図5の(k)において、順テーパ溝24が形成されない側壁については、側壁保護膜31を覆うレジスト(図示せず)を形成し、リフトオフ工程(l)において、当該領域の側壁保護層31及び構造保護犠牲層14が除去されないように保護する。なお、側壁保護層31を覆うレジスト(図示せず)は、リフトオフ後に除去され、再度側壁保護層31が露出して、図5の(l)に示すように形成される。40

##### 【0033】

図5の順テーパ溝形成工程(k)では順テーパ溝24が発光素子25の4側壁のうちの同一方向の1側壁だけをなすように形成されるが、順テーパ溝24が必ずしも同一方向の1側壁についてである必要はなく、図7に示すように隣り合う発光素子25で互いに4側壁のうちの互いに逆方向となる側壁の形成を順テーパ溝24の形成によって行ってても良い。

##### 【0034】

発光素子25各々の4つの側壁のうちの順テーパ溝によって形成された側壁以外の側壁は素子分離溝の形成によって形成される。すなわち、各発光素子25の外周の4側壁のうちの少なくとも1側壁の順テーパ化のために形成されるだけでも良く、図8は各発光素子25の3つの順テーパ側壁の形成のために順テーパ溝24が形成された例を示している。50

**【 0 0 3 5 】**

更に、各発光素子の素子分離溝に面している少なくとも1側壁を逆テープ形状とすると、発光素子中を面内方向に導波した光は逆テープ側壁で上方に反射され、発光素子の外に有効に取り出されることとなる。よって、発光素子間近傍の光量低下を抑制することができる。複数の発光素子を備えた発光装置の場合に、発光素子間で光量が低下して輝度ムラを発生するという問題や、蛍光体を用いた波長変換を行う発光装置における色ムラの問題を解決することができる。

**【 0 0 3 6 】**

更に、上記した各実施例においては、2つの発光素子を製造する方法を示しているが、これに限定されず、本発明は3以上の発光素子を基板上に製造する場合にも適用することができる。

10

**【 0 0 3 7 】**

また、本発明は発光素子として青色発光ダイオード、白色発光ダイオード等の発光ダイオードの製造方法として好適である。

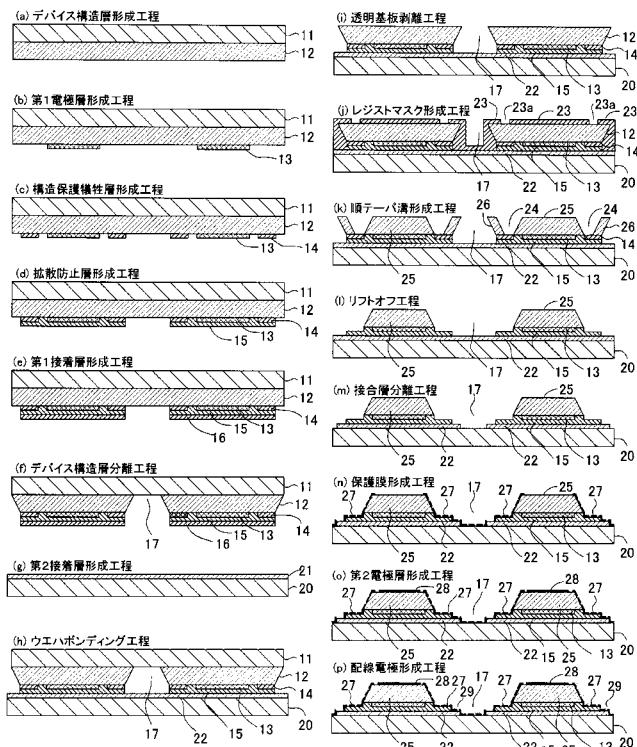
**【 符号の説明 】****【 0 0 3 8 】**

- |     |         |
|-----|---------|
| 1 1 | 透明基板    |
| 1 2 | デバイス構造層 |
| 1 4 | 構造保護犠牲層 |
| 1 5 | 拡散防止層   |
| 1 6 | 第1接着層   |
| 1 7 | 素子分離溝   |
| 2 0 | 支持基板    |
| 2 1 | 第2接着層   |
| 2 2 | 接合層     |
| 2 3 | レジストマスク |
| 2 4 | 順テープ溝   |
| 2 5 | 発光素子    |
| 2 6 | 逆テープ部   |
| 2 9 | 配線電極層   |

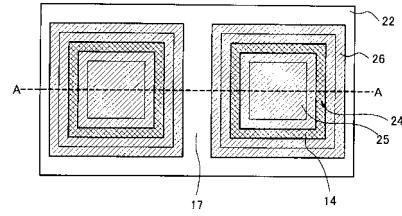
20

30

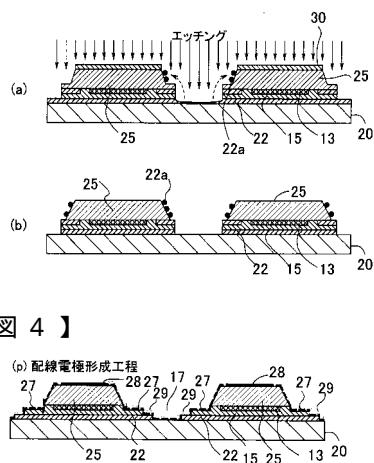
【図1】



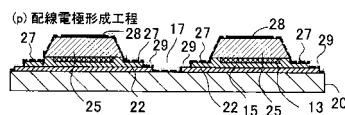
【図2】



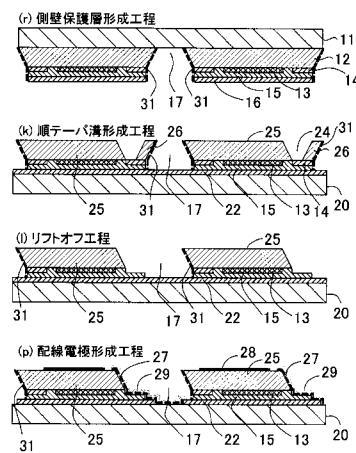
【図3】



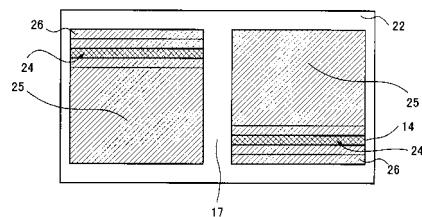
【図4】



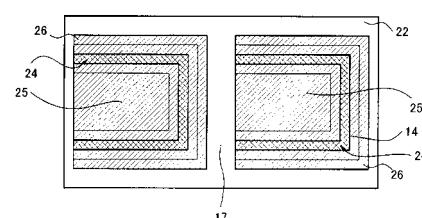
【図5】



【図7】



【図8】



【図6】

