

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

G11C 11/34

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 95190071.4

[45]授权公告日 2002 年 11 月 20 日

[11]授权公告号 CN 1094635C

[22]申请日 1995.2.2 [21]申请号 95190071.4

[30]优先权

[32]1994.2.9 [33]US [31]08/194,930

[86]国际申请 PCT/US95/01437 1995.2.2

[87]国际公布 WO95/22144 英 1995.8.17

[85]进入国家阶段日期 1995.10.9

[73]专利权人 爱特梅尔股份有限公司

地址 美国(95131)加利福尼亚州圣荷西市乌节大道 2325 号

[72]发明人 萨罗杰·帕塔克 詹姆斯·E·佩恩

审查员 熊 婷

[74]专利代理机构 北京三幸商标专利事务所

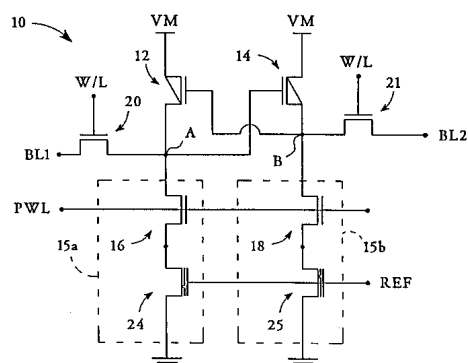
代理人 刘激扬

权利要求书 4 页 说明书 8 页 附图 7 页

[54]发明名称 零功率高速可编程电路器件结构

[57]摘要

一种永久性低和零功率高速自检可编程设备和永久性自检单元设计。永久性自检单元(10)实现了对可编程器件的高速编程和读取操作。根据本发明的一种设计,通过对编程或读取操作单元进行选择可产生两个自检单元。每个永久性自检单元包括一个交叉耦合负载晶体管(12 和 14)和永久性拖拽晶体管(16 和 18)。交叉耦合负载晶体管(12 和 14)是具有栅极的场效应晶体管,栅极连接于交叉耦合负载晶体管的负极。



1. 永久性可编程电路包括:

(a) 锁定装置, 它用于控制比特线信息的应用, 该锁定装置包含第一、第二、第三和第四终端;

(b) 第一和第二永久性单元, 其各自具有分别与该锁定装置的第一和第二终端相连的第一终端, 该第一和第二永久性单元各自具有与参考电位相连的第二终端;

(c) 第一和第二装置, 用于分别有选择地将该锁定装置的第一和第二终端连接于第一和第二比特线, 从而比特线信息可进行通讯和保存在该第一和第二永久性单元之中;

(d) 电压终端装置, 它用于提供一组相对于该参考电位的可选择电压电平, 该组可选择电压电平具有零值以外的任何值, 该锁定装置的第三和第四终端与该电压终端装置存在电气连接;

该锁定装置包含第一和第二晶体管, 该晶体管各自具有第一终端、第二终端和控制栅极, 该第一和第二晶体管的第一终端分别与该锁定装置的第一和第二终端相耦合, 该控制栅极与该第一和第二晶体管的第一终端交叉耦合, 该第一和第二晶体管的第二终端分别与该锁定装置的第三和第四终端相耦合。

2. 根据权利要求 1 的永久性可编程电路, 其中该锁定装置的第一和第二晶体管为 P 沟道场效应器件。

3. 根据权利要求 1 的永久性可编程电路, 其中该第一和第二永久性单元包括 n 沟道晶体管。

4. 根据权利要求 1 的永久性可编程电路, 其中用于各自进行选择连接的该第一和第二装置分别包括第一和第二栅极驱动晶体管, 该第一和第二栅极驱动晶体管根据施加于其上的栅极信号而有效地将该第一和第二终端连接于相应的第一和第二比特线之上。

5. 根据权利要求 1 的永久性可编程电路, 其中该第一和第二永久性单元包含场效应管, 场效应管又包含控制栅极终端,

而控制栅极终端被连接用于接收公共控制信号。

6. 根据权利要求1的永久性可编程电路, 其中该第一和第二永久性单元各自包含第一和第二浮动栅极晶体管。

7. 根据权利要求1的永久性可编程电路, 其中该永久性可编程电路是以零功率逻辑门阵列的方式而实现的。

8. 永久性可编程逻辑电路包括:

(a) 各自具有第一和第二终端的第一和第二自锁晶体管, 该第一和第二终端连接于电压源;

(b) 分别与该第一和第二自锁晶体管连接的第一和第二永久性拖拽单元, 该第一和第二自锁晶体管分别包含第三和第四终端, 该第二和第四终端分别与该第一和第二永久性单元电气相连, 该第一和第二自锁晶体管为场效应管且各自具有控制栅极, 该第一和第二自锁晶体管的控制栅极分别与该第三和第四终端相连, 而该第二永久性拖拽单元接地;

(c) 用于有选择地将该第三终端连接于输入比特线的装置, 从而使比特线信息可以进行通讯并被保存在该第一永久性拖拽单元之中。

9. 根据权利要求8的永久性可编程逻辑电路, 其中该第一和第二自锁晶体管为P沟道器件。

10. 根据权利要求8的永久性可编程逻辑电路, 其中该第一和第二永久性拖拽单元各自依次包含选择晶体管和浮动栅极晶体管。

11. 根据权利要求8的永久性可编程逻辑电路, 其中该用于有选择地连接该第三终端的装置包含栅极驱动晶体管, 该晶体管根据施加其上的栅极信号有效地将该第三终端连接于比特线之上。

12. 根据权利要求8的永久性可编程逻辑电路, 其中该第二永久性拖拽单元为含有控制栅极终端的场效应晶体管, 而该控制栅极终端接于该第三终端, 从而减少了该逻辑电路的功率消耗。

13. 根据权利要求8的永久性可编程逻辑电路, 其中该永久性可编程逻辑电路是以零功率逻辑门阵列的方式而实现的。

14. 永久性可编程电路包括:

(a) 用于存贮逻辑信息的第一和第二永久性单元装置, 该第一和第二永久性单元装置分别包含各自与第一和第二自锁晶体管相连的第一和第二永久性拖拽晶体管, 该第一和第二自锁晶体管分别包括各自与该第一和第二永久性拖拽晶体管电气相连的第一和第二终端, 该第一和第二自锁晶体管各自具有控制栅极, 而该第一和第二自锁晶体管的控制栅极分别与该第二和第一终端相连, 该第一和第二自锁晶体管具有第三和第四终端, 该第三和第四终端与电压源相接;

(b) 用于将该第一和第二永久性单元装置接于单根检测比特线的比特线晶体管装置, 该比特线晶体管装置包含与第一和第二永久性单元装置同时相连的控制栅极;

(c) 用于可间歇连接比特线晶体管装置的控制栅极和该各个第一和第二永久性单元装置的选择装置, 该选择装置有效地选择该第一和第二永久性单元装置中的任一个以便与比特线晶体管装置的控制栅极进行通讯。

15. 永久性可编程电路包括:

(a) 用于存贮和通讯信息的第一和第二永久性自检可编程单元装置;

(b) 用于接收来自第一和第二永久性自检可编程单元装置的信息的单比特线装置;

(c) 用于选择该第一和第二永久性自检可编程单元装置中任一个的选择装置;

(d) 用于检测存贮于该第一和第二永久性自检可编程单元装置中任一个之中信息的开关装置, 该开关装置包含第一和第二终端以及控制栅极, 该控制栅极与该选择装置相连, 而该单比特线装置与该第一终端相连, 该第一和第二永久性自检可编程单元装置中选定的一个由该单比特线装置进行检测。

16. 根据权利要求15的永久性可编程电路, 其中进一步包含用于编程该第一和第二永久性单元装置的装置。

17. 根据权利要求16的永久性可编程电路, 其中该编程装置与该比特线装置相连。

18. 根据权利要求15的永久性可编程电路, 其中进一步包含用于向该第一和第二永久性自检可编程单元装置通讯信息的第二比特线装置。

19. 根据权利要求18的永久性可编程电路, 其中该第一和第二永久性自检可编程单元装置由该第二比特线装置通过接于该第二比特线装置的编程装置进行编程。

20. 根据权利要求15的永久性可编程电路, 其中该永久性可编程电路是以零功率逻辑门阵列的方式而实现的。

零功率高速可编程电路器件结构

技术领域

本发明涉及永久性低功率可编程半导体电路器件。

背景技术

许多可编程电路器件已为人们所熟知。这些可编程电路器件的特点是具有一个或多个用于接收待存贮或处理信息的输入端。信息处理可以包括进行选定的逻辑操作以便在选定的比特线处产生输出。可编程电路器件可以进行互联而作为具有多个输入线和输出比特线的阵列。决定待完成的逻辑功能的互联可以是提前硬布线，或者在较迟的操作时间而确定。

受逻辑操作支配的信息被存贮在选定的单元之中，这些单元是精通这项技术的人们所熟知的。存贮待处理信息的单元可以是非永久性的，或者是永久性的。如果该单元是非永久性的，则在断电的情况下，其状态或信息内容易遭受无可挽回的损失。这些单元中的信息可以根据众所周知的检测技术检测或检索出来。但不幸的是，由于完成检测操作所需的电流，这些众所周知的技术耗费了过多的电力。

发明内容

因此，本发明的目的之一就是开发一种高速、低功率或零功率操作的电路设计，它依靠能产生逻辑信息的自检单元，而无需进行耗费过多电力的常规单元的检测操作。

本发明的另一个目的是增加可编程电路器件的速度和降低其功率消耗，其中可编程电路器件包括(但并不局限于)可编程存贮器和可编程逻辑器件及其阵列。

本发明还有一个目的，就是开发一种与单元电流容量无关的

可编程器件。

根据本发明的一个永久性可编程电路包括：(a)锁定装置，它用于控制比特线信息的应用，该锁定装置包含第一、第二、第三和第四终端；(b)第一和第二永久性单元，其各自具有分别与该锁定装置的第一和第二终端相连的第一终端，该第一和第二永久性单元各自具有与参考电位相连的第二终端；(c)第一和第二装置，用于分别有选择地将该锁定装置的第一和第二终端连接于第一和第二比特线，从而比特线信息可进行通讯和保存在该第一和第二永久性单元之中；(d)电压终端装置，它用于提供一组相对于该参考电位的可选择电压电平，该组可选择电压电平具有零值以外的任何值，该锁定装置的第三和第四终端与该电压终端装置存在电气连接；该锁定装置包含第一和第二晶体管，该晶体管各自具有第一终端、第二终端和控制栅极，该第一和第二晶体管的第一终端分别与该锁定装置的第一和第二终端相耦合，该控制栅极与该第一和第二晶体管的第一终端交叉耦合，该第一和第二晶体管的第二终端分别与该锁定装置的第三和第四终端相耦合。

根据本发明的又一个永久性可编程逻辑电路包括：(a)各自具有第一和第二终端的第一和第二自锁晶体管，该第一和第二终端连接于电压源；(b)分别与该第一和第二自锁晶体管连接的第一和第二永久性拖拽单元，该第一和第二自锁晶体管分别包含第三和第四终端，该第二和第四终端分别与该第一和第二永久性单元电气相连，该第一和第二自锁晶体管为场效应管且各自具有控制栅极，该第一和第二自锁晶体的控制栅极分别与该第三和第四终端相连，而该第二永久性拖拽单元接地；(c)用于有选择地将该第三终端连接于输入比特线的装置，从而使比特线信息可以进行通讯并被保存在该第一永久性拖拽单元之中。

根据本发明的又一个永久性可编程电路包括：(a)用于存贮逻辑信息的第一和第二永久性单元装置，该第一和第二永久性单元装置分别包含各自与第一和第二自锁晶体管相连的第一和第二永久性拖拽晶体管，该第一和第二自锁晶体管分别包括各自与该第

一和第二永久性拖拽晶体管电气相连的第一和第二终端，该第一和第二自锁晶体管各自具有控制栅极，而该第一和第二自锁晶体管的控制栅极分别与该第二和第一终端相连，该第一和第二自锁晶体管具有第三和第四终端，该第三和第四终端与电压源相接；(b)用于将该第一和第二永久性单元装置接于单根检测比特线的比特线晶体管装置，该比特线晶体管装置包含与第一和第二永久性单元装置同时相连的控制栅极；(c)用于可间歇连接比特线晶体管装置的控制栅极和该各个第一和第二永久性单元装置的选择装置，该选择装置有效地选择该第一和第二永久性单元装置中的任一个以便与比特线晶体管装置的控制栅极进行通讯。

根据本发明的又一个永久性可编程电路包括：(a)用于存贮和通讯信息的第一和第二永久性自检可编程单元装置；(b)用于接收来自第一和第二永久性自检可编程单元装置的信息的单比特线装置；(c)用于选择该第一和第二永久性自检可编程单元装置中任一个的选择装置；(d)用于检测存贮于该第一和第二永久性自检可编程单元装置中任一个之中信息的开关装置，该开关装置包含第一和第二终端以及控制栅极，该控制栅极与该选择装置相连，而该单比特线装置与该第一终端相连，该第一和第二永久性自检可编程单元装置中选定的一个由该单比特线装置进行检测。

附图说明：

图 1a 描述了根据本发明的包含交叉耦合闭锁器的永久性单元的第一种设计；

图 1b 描述了根据本发明的包含交叉耦合闭锁器的永久性单元的第二种设计；

图 2 描述了根据本发明的永久性单元的一种变型，它具有一条比特线联结并具有较少数目的晶体管；

图 3 描述了根据本发明的永久性单元的另外一种变型；

图 4 描述了根据本发明的永久性单元的多单元布局；

图 5 描述了图 4 的布局，它进一步包含了晶体管，以便进行

本发明选定单元的编程;

图 6 描述了图 5 布局的一种变型, 它允许对本发明可编程电路器件的选定单元进行编程。

具体实施方式

图 1a 描述了根据本发明的自检永久性单元 10, 它包含第一和第二闭锁(例如 P 沟道增强型)负载晶体管 12 和 14, 这两个晶体管在其各自源极接有复式电压 VM 作为源电压。VM 可以设定为选定的电压, 包括 VCC 或更高的电平(例如 VPP), 以便进行编程。负载晶体管 12 和 14 交叉耦合而成为闭锁器, 其耦合方式是将各自控制栅与对方的漏极分别在端结点 A 和 B 进行电气连接, 如图 1a 所示。根据图 1a 所示的本发明的一种设计, 端结点 A 和 B 又分别与各自包含的(例如 n 沟道增强型)拖拽晶体管 16 和 18 的永久性子单元 15a 和 15b 相连接。正如参考图 1b 中可以看到的那样, 端结点 A 和 B 可各自直接与单个晶体管单元连接, 不需要拖拽晶体管 16 和 18。

图 1a 还描述了自检永久性单元 10, 它包含第一和第二增强型晶体管 20 和 21, 该晶体管分别与端结点 A 和 B 以及各自的比特线 BL1 和 BL2 相连。增强型晶体管 20 和 21 由字线 W/L 进行计时。永久性子单元 15a 和 15b 各自包含第一和第二浮动栅极 n 沟道耗尽型晶体管 24 和 25, 而该晶体管分别与拖拽晶体管 16 和 18 相串联。特别地, 浮动栅极晶体管 24 的漏极连接于拖拽晶体管 16 的源极。另外, 浮动栅极晶体管 25 的漏极连接于拖拽晶体管 18 的源极。拖拽晶体管 16 和 18 的漏极分别与端结点 A 和 B 相连。随着计时, 永久性单元 10 可以在各自的比特线 BL1 和 BL2、各自的端结点 A 和 B 被读取或编程。

永久性子单元 15a 利用将字线 W/L 和比特线 BL1 的电压电平设置为 VCC 而将比特线 BL2 置零来进行编程。来自比特线 BL1 信息的锁定, 是利用将编程字线 PWL 置为 5 伏电平的 VCC 而实现的。一旦来自比特线 BL1 的信息被存贮于子单元 15a (准确地

说是在浮动栅极晶体管 24 中)中, 源电压 VM 便被提升至较高电压电平 VPP。编程字线 PWL 亦被置为高电平 VPP。因此, 端结点 A 处于 VPP, 而端结点 B 则仍然接地。总之, 根据这种编程方法, 永久性单元 15a 被编程, 而另一永久性单元 15b 则由于交叉锁定负载晶体管 12 和 14 的作用被置为其互补状态。因此, 当浮动栅极晶体管 24 置为高电平时, 浮动栅极晶体管 25 将被锁定在低电平。

借助将编程字线 PWL 置为低于 VCC 和 REF 的给定电压电平(该电平足够激活操作)可以对永久性单元 15a 进行读取。因此, 存取永久性单元 15a 的实现是将字线 W/L 置为 5 伏, 使得数据可以从比特线 BL1 和 BL2 上进行读取以产生差动输出。

图 1b 描述了本发明的另一种设计, 其中省去了拖拽晶体管 16 和 18。这可以通过采用 n 沟道增强型浮动栅极晶体管 24 和 25 而不采用 n 沟道耗尽型晶体管来实现。这样, 浮动栅极晶体管 24 和 25 可以在其各自栅极由编程字线 PWL 直接进行驱动。在其它方面, 图 1b 的电路及其一般工作原理与图 1a 相同。

图 2 描述了根据本发明的永久性单元 10 的一种变型, 它具有一条比特线 B/L 联结和较少数量的晶体管以及包含拖拽晶体管 16 和浮动栅极晶体管 24 的单个永久性单元 15。具体来说, 图 2 描述了各自包含第一和第二 P 沟道增强型负载晶体管 12 和 14 的永久性单元 10, 其中晶体管 12 和 14 各自的源极与 VM 相连。另一方面, 也可以采用耗尽型沟道晶体管。负载晶体管 12 和 14 交叉耦合形成闭锁器, 其方式是将各自的控制栅极分别与对方的漏极在端结点 A 和 B 电气相连。端结点 A 又与拖拽晶体管 16 相连。端结点 B 与拖拽增强型晶体管 18 的漏极相连。

另外, 图 2 还描述了包含连接于端结点 A 的单个增强型晶体管 20 的永久性单元。永久性单元 10 还包含接于拖拽晶体管 16 的 n 沟道耗尽型浮动栅极晶体管 24。再有, 浮动栅极晶体管 24 的漏极连接于拖拽晶体管 16 的源极, 而拖拽晶体管 16 的漏极又接于端结点 A。拖拽晶体管 18 的控制栅极接于端结点 A, 而其

源极接地。增强型晶体管 20 由字线 W/L 计时。随着计时的进行,永久性单元 10 与比特线 B/L 在端结点 A 相连。利用将字线 W/L 和比特线 B/L 选定具有电压值 VCC 可使永久性子单元 15 成为可编程。将编程字线 PWL 的电压设置为 5 伏的 VCC 值可以实现对来自比特线 B/L 的数据锁定在永久性子单元 15 上。一旦来自比特线 B/L 的数据被锁定于拖拽晶体管 16 上,VM 便被提升至 VCC。编程字线 PWL 也设置成高电平 VPP。因此,端结点 A 电压变为 VPP。总之,根据这种编程方法,浮动栅极晶体管 24 被编程。将正向字线 PWL 的电压设置为低于 VCC 和 REF 的给定电平可以对永久性子单元 15 进行读取。利用将字线 W/L 设置为 5 伏可实现对永久性子单元 15 的存取,使得可通过比特线 B/L 读取数据。在不需沿两条比特线的差动输出的条件下,图 2 的布局是有利的。

图 3 描述了根据本发明的自检永久性单元 10 的第二种变型,它具有字线 W/L,该字线用以控制拖拽晶体管 16 和 18。负载晶体管 12 和 14 的连接与图 1a 和图 1b 相同,而拖拽晶体管 16 和 18 如前述与各个负载晶体管 12 和 14 相连。另外,浮动栅极晶体管 24 与拖拽晶体管 16 的源极相连。在这种永久性单元 10 的设计中,晶体管 16 与 18 的栅极相连并由字线 W/L 驱动。拖拽晶体管 18 的源极再接地。比特线 B/L 与浮动栅极晶体管 24 相连以便按照字线 W/L 的控制信号进行读取和编程。

图示的浮动栅极晶体管 24 的形式为 n 沟道耗尽型晶体管。另一方面,拖拽晶体管 16 可通过采用 P 沟道增强型浮动栅极晶体管 24 而省去。负载晶体管 12 和 14 的锁定功能减少了读取及编程操作的功率消耗。如图 2 所示,利用在晶体管 12 导通时关闭晶体管 14(或相反),即将负载晶体管 14 的控制栅极与拖拽晶体管 18 相连,可以进一步降低功耗而产生零功率布局。

图 4 描述了永久性多单元布局 40,它由八个根据本发明的永久性自检单元 10 组成。多单元布局 40 为零功率或低功率完全依赖于是否采用了零功率单元。永久性单元 10 进行配对或多路复

用,且在给定时间只有自检单元 SSC1 和 SSC2 中的一个被选用。多路复用单元的其它单元对包括 SSC3 和 SSC4、SSC5 和 SSC6 以及 SSC7 和 SSC8。图 4 所示的多单元布局包含了这样的单元 10 的组对。每一组多路复用 SSC 单元又包括一对带有单根比特线 BL 的输入线。在任意给定时间,只有这两根输入线中的一个被选用,以便选择两组配对单元 10 中的一组。例如,多路复用布局 40 中的第一组单元 10 包括:输入线, IT1 和 IT1%, 比特线 BL1, 第一和第二自检永久性单元 10, SSC1 和 SSC2, 第一和第二输入线选择晶体管 43 和 44, 以及比特线晶体管 45。

因此,图 4 的八单元布局提供了用于在给定时间选择使用每对单元 10 中某一个的两对输入线,以及两根输出比特线 BL1 和 BL2。输入组包括 IT1、IT1%、IT2 和 IT2%。IT1 和 IT1%组成第一对输入线,该输入线传送互补信号以保证在任意给定时间只有输入线选择晶体管 43 和 44 中的一个被选用。IT2 和 IT2%构成第二对输入线,它们有效地控制着从另一个单元组对中选择一个自检单元 10。当 IT1 为高电平时,来自 SSC1 的数据将依据单元 SSC1 的逻辑状态接通或关断其组内的晶体管 45。在图 4 所示的布局 40 中,比特线 BL1 和 BL2 上的乘积项依据来自西单元 10 的输入项而相应地执行第一和第二逻辑或功能,其中西单元 10 由选择输入线对 IT1 和 IT1%及 IT2 和 IT2%进行控制。另外,布局 40 可连接成为零功率逻辑门的 CMOS 逻辑阵列的一部分,其中的逻辑门包括 AND、NAND、OR、NOR、XOR、XNOR、XAND、XNAND、或其它种类的逻辑门,包括复杂的门布局。比特线 45 最好为高速单聚晶晶体管以便使速度达到最大。尽管单元 10 确实决定着各个晶体管 45 的逻辑状态,但自检单元 SSC1 至 SSC8 不与多单元布局 40 的高速通道相连。

图 5 描述了图 4 的布局,它进一步包含了编程晶体管 50 和 51,该晶体管用以使多单元布局 40 中选定自检单元 10 能够进行编程。例如,晶体管 50 接于自检单元 SSC1,使得能够在输入编程信号 P(a1)的栅极控制下在比特线 BL1 与自检单元 SSC1 之间进行通

讯。类似地，晶体管 51 接于自检单元 SSC2，使得能够在第二输入编程信号 P(a2)的栅极控制下在比特线 BL1 与自检单元 SSC2 之间进行通讯，其中该控制信号在晶体管的控制栅极对其进行控制。图 6 给出了图 4 布局的另一种变型，它允许对本发明多单元布局 40 的选定自检单元 10 进行编程。此时，晶体管 60 和 61 接于比特线 BL1，用以在各自栅极编程信号 P(a1)和 P(a2)的控制下进行编程，而读取操作通过输入线选择晶体管 43 和 44、以及比特线晶体管 45 参考比特线 BL2 而进行。

综上所述，根据本发明的设计，实现了对可编程电路器件在零功率消耗条件下的高速编程和读取操作，其中该电路器件具有基于与永久性拖拽子单元相连的交叉耦合负载自锁晶体管的永久性自检单元。零功率消耗的实现依赖于零直流功率条件以及在应用的单元或子单元中不存在直流电流的状态。在接有零功率单元或子单元的整个电路中，无论如何可能会处于低功耗，这是由于考虑到存在一些直流电流。此处所描述的自检单元 10，之所以被认为是自检的，是由于不需要用检测放大器对该单元记忆状态的信息进行通讯。相反，自检单元 10 能够直接为比特线提供逻辑输出。

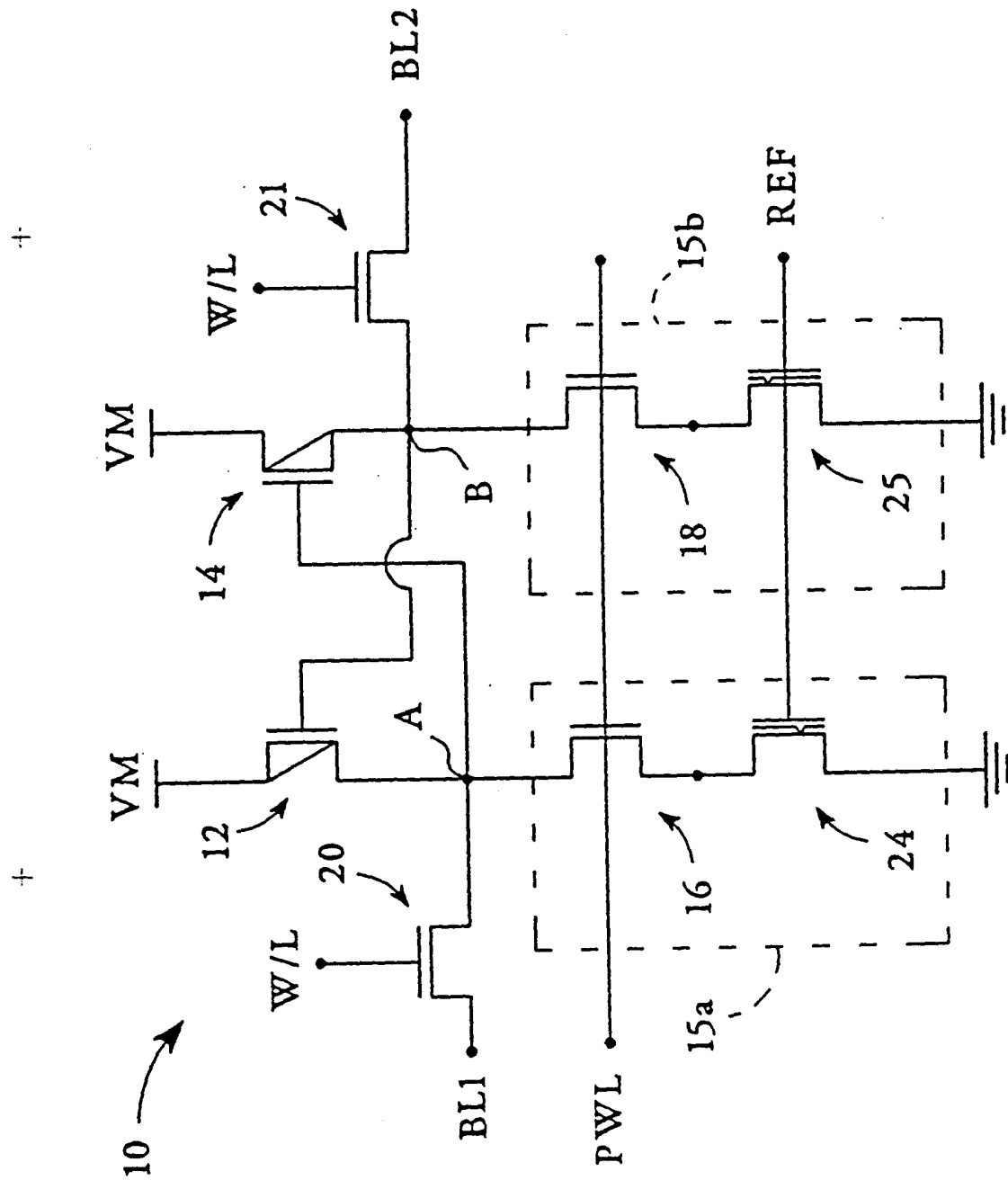


图 1a

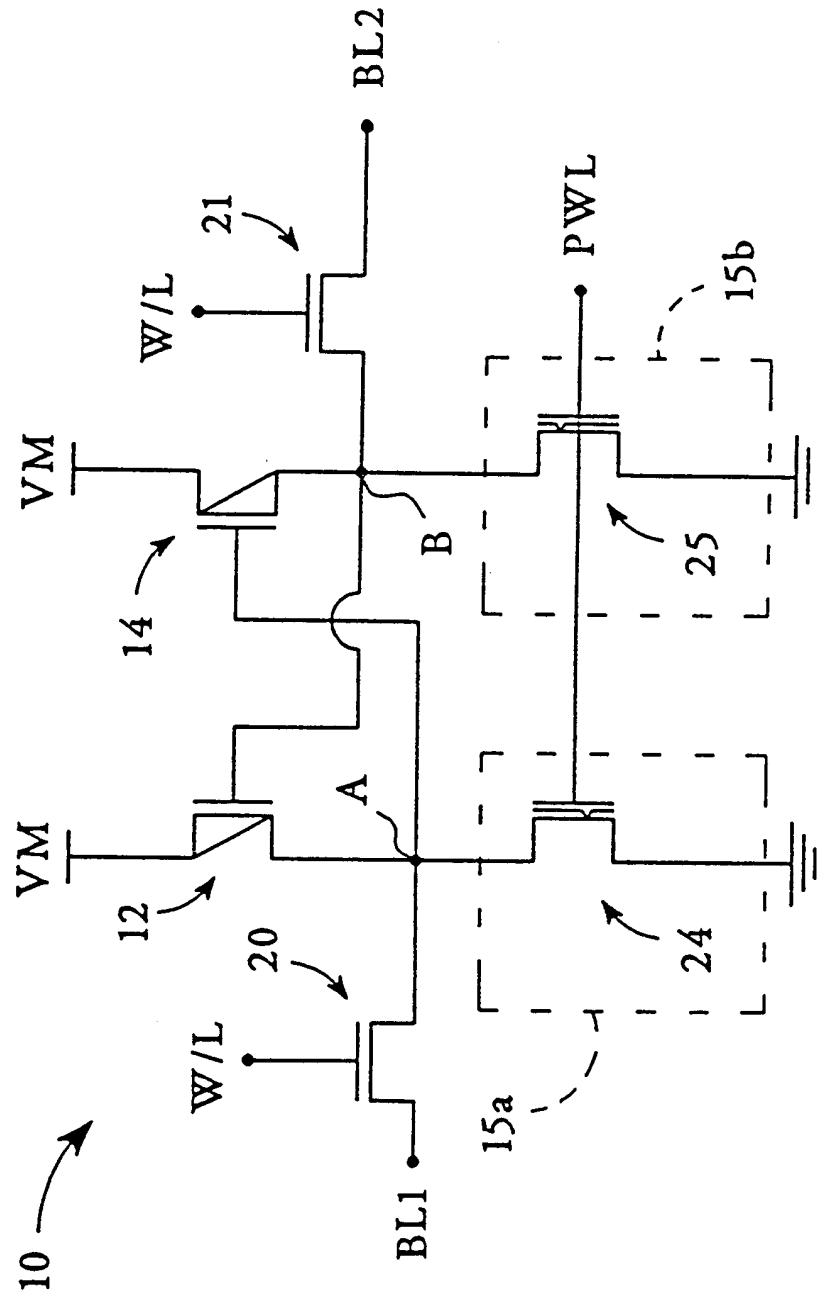


图 1b

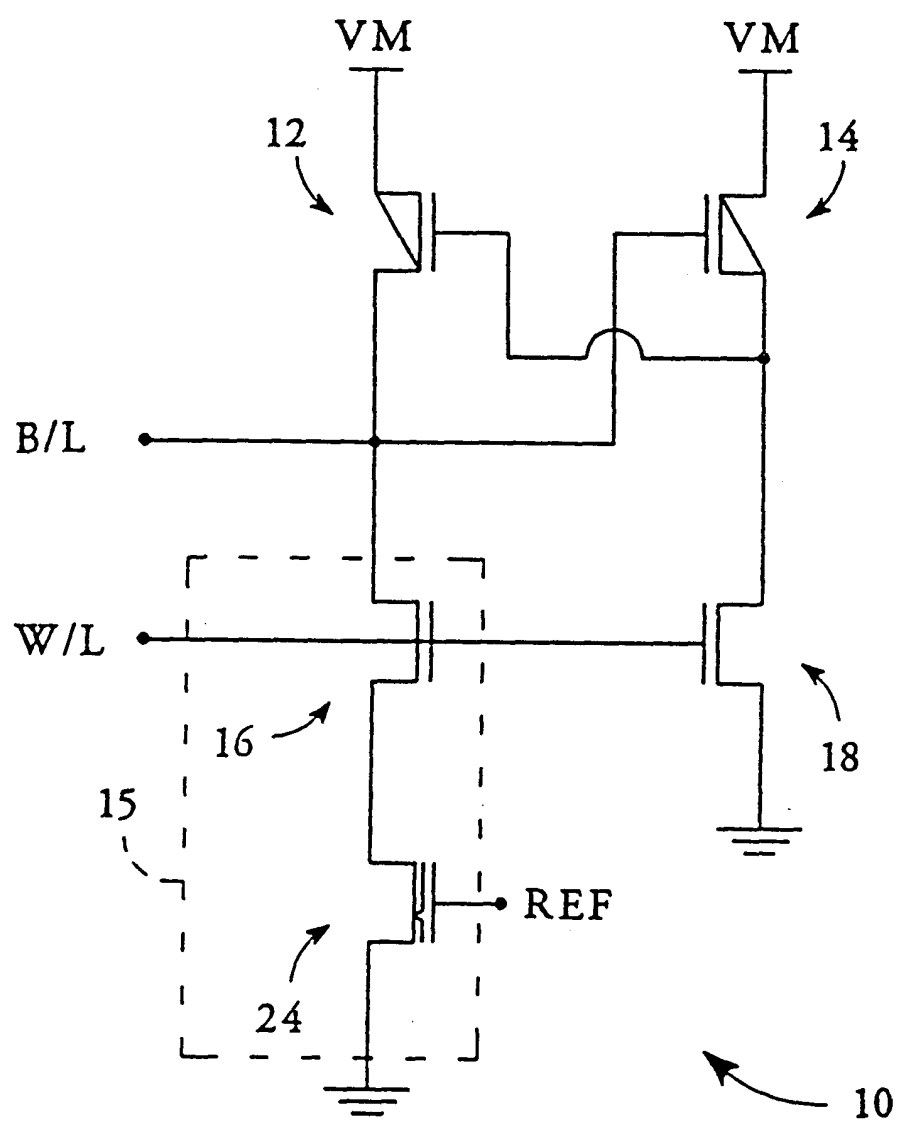


图 3

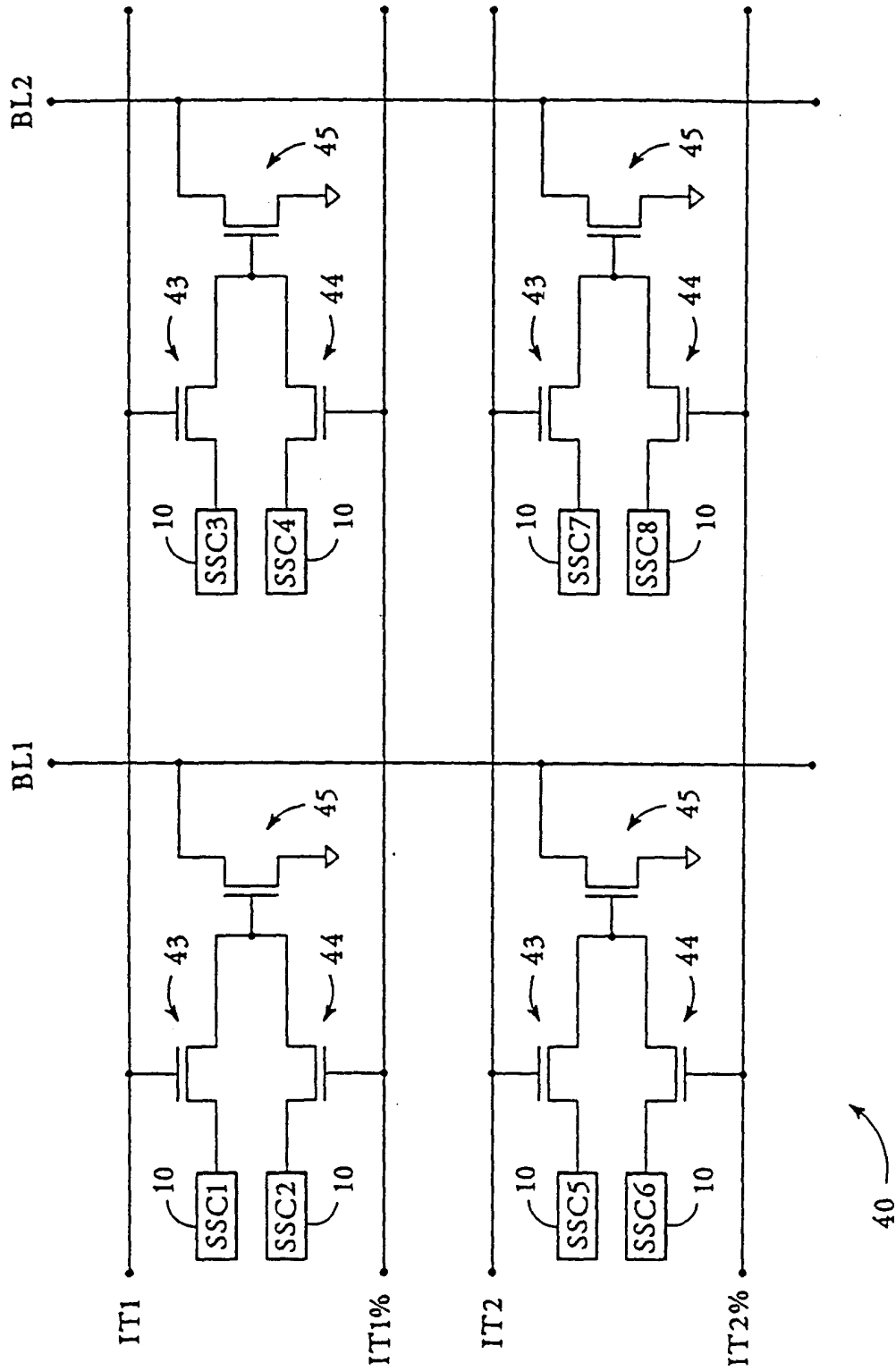


圖 4

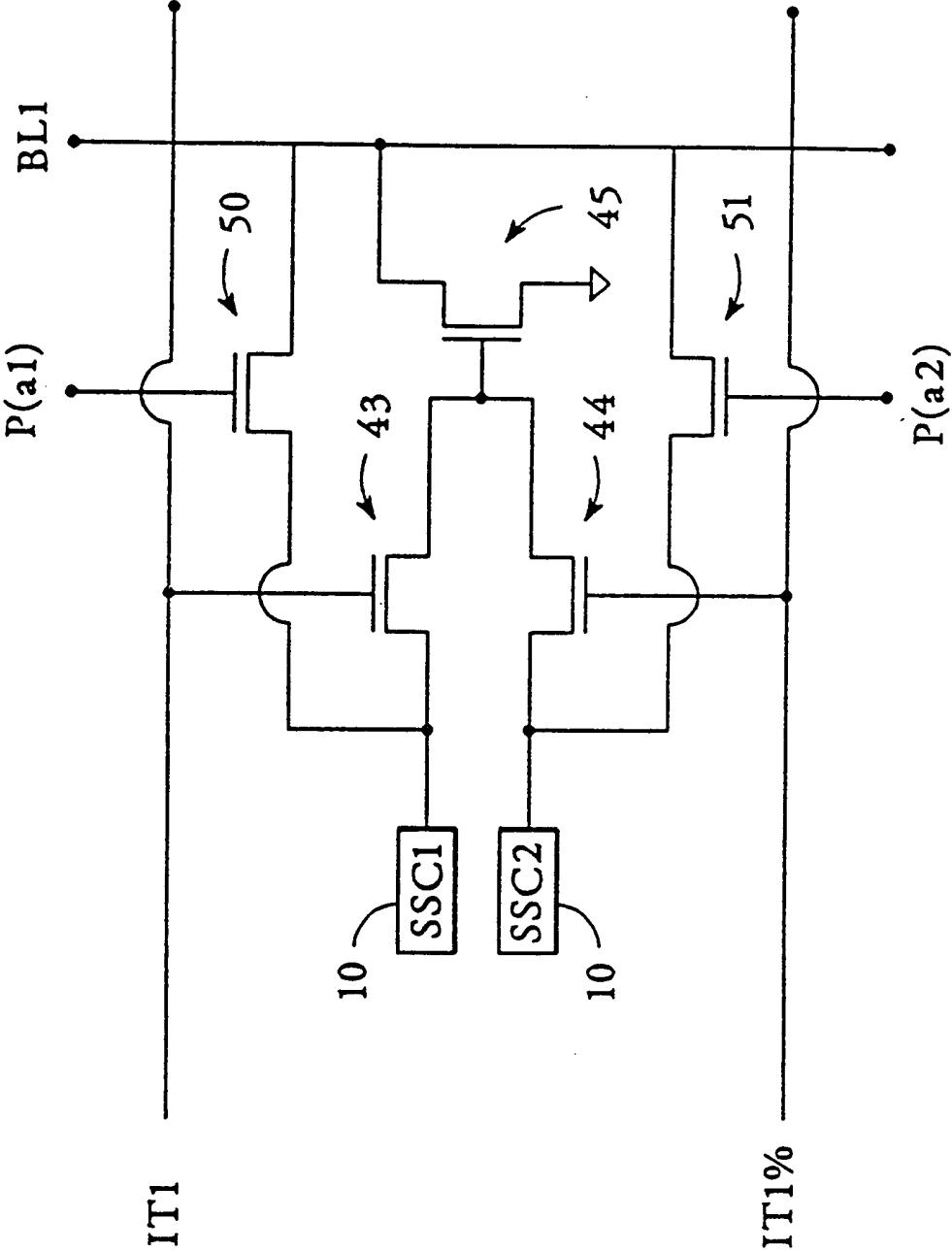
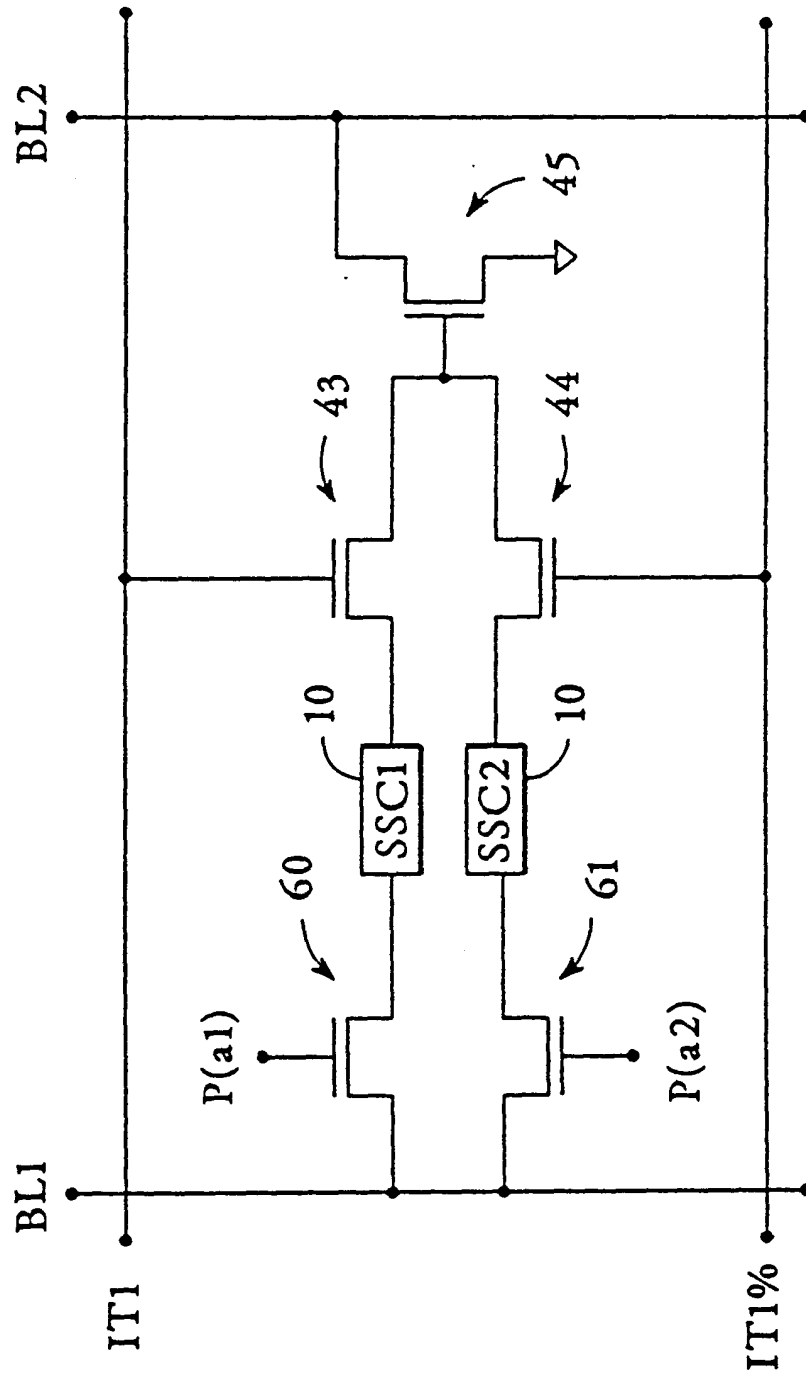


图5



9
四