

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4259019号
(P4259019)

(45) 発行日 平成21年4月30日(2009.4.30)

(24) 登録日 平成21年2月20日(2009.2.20)

(51) Int.Cl.

F 1

HO 1 L 41/22	(2006.01)	HO 1 L 41/22	Z
HO 1 L 41/08	(2006.01)	HO 1 L 41/08	Z
GO 1 C 19/56	(2006.01)	GO 1 C 19/56	
GO 1 P 9/04	(2006.01)	GO 1 P 9/04	

請求項の数 9 (全 12 頁)

(21) 出願番号	特願2002-16553 (P2002-16553)
(22) 出願日	平成14年1月25日 (2002.1.25)
(65) 公開番号	特開2003-218420 (P2003-218420A)
(43) 公開日	平成15年7月31日 (2003.7.31)
審査請求日	平成17年1月11日 (2005.1.11)

(73) 特許権者	000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(74) 代理人	100097445 弁理士 岩橋 文雄
(74) 代理人	100109667 弁理士 内藤 浩樹
(74) 代理人	100109151 弁理士 永野 大介
(72) 発明者	中谷 将也 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(72) 発明者	多鹿 博文 大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】電子部品の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板の表面に複数の電子素子を形成する第一の工程と、前記電子素子の外周に沿って前記基板の表面側に溝を形成する第二の工程と、基板の裏面側から基板の一部を前記溝に到達するまで除去して前記複数の電子素子を互いに分離する第三の工程を有し、前記第二の工程は、前記溝を形成する基板の表面を除いてレジストマスクを形成する工程と、ドライエッチングを行う工程と、前記レジストマスクを除去する工程を有する電子部品の製造方法。

【請求項 2】

レジストマスクを除去する工程を第三工程の後に行う請求項 1 に記載の電子部品の製造方法。

10

【請求項 3】

ドライエッチングは少なくとも 2 種類のガスを用いて行う請求項 1 または請求項 2 に記載の電子部品の製造方法。

【請求項 4】

ドライエッチングに用いるガスは少なくとも 1 種類がエッチングを促進するガスであり、他の少なくとも 1 種類はエッチングを抑制するガスである請求項 3 に記載の電子部品の製造方法。

【請求項 5】

エッチングはエッチングを促進するガスとエッチングを抑制するガスの混合ガスを用い

20

て行い、基板の表面から溝を深く掘り下げるに従って前記エッティングを促進するガスの混合比率を高くしてエッティングを行う請求項4に記載の電子部品の製造方法。

【請求項6】

エッティングはエッティングを促進するガスとエッティングを抑制するガスを交互に切り替えて繰り返し行い、基板の表面から溝を深く掘り下げるに従って前記エッティングを促進するガスの切り替え時間を多くしてエッティングを行う請求項4に記載の電子部品の製造方法。

【請求項7】

ドライエッティングを行った後、ガスとして2フロロ化キセノンを用いさらにドライエッティングを行う請求項1または請求項2に記載の電子部品の製造方法。

【請求項8】

第三の工程において基板の一部を除去する方法として、ダミー基板を用いて少なくとも電子素子の表面と前記ダミー基板とを接着層を介して接続し、基板の裏面側から研削により行う請求項1に記載の電子部品の製造方法。

【請求項9】

接着層を電子素子の表面と少なくとも前記電子素子の外周面に形成する請求項8に記載の電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、各種電子部品の製造方法に関するものであり、特に、小型化に対応した電子部品の製造方法に関するものである。

【0002】

【従来の技術】

従来の電子部品の製造方法としては、例えば下記のものがある。

【0003】

すなわち、電子部品の素子とは、シリコン基板やガラス基板などの平らな板上の材料の表面に金属、誘電体、半導体などの材料を順次積層及びパターン処理することにより電子回路を形成したものであるが、通常、複数の電子素子を同時に形成するためには、例えば、シリコン基板の表面に複数の電子素子を一括して形成し、後に、ダイシングブレードなどを用いて各電子素子を個片に切り出して製造している。

【0004】

【発明が解決しようとする課題】

上記製造方法によれば、電子部品を小型化する場合厚みの薄い基板を用いてその表面に電子素子を一括して形成し、その後各電子素子をダイシングブレードなどにより個片に切り出すことになる。しかし、各電子素子を個片に切り出しているので、その結果として生産性が悪いという問題があった。

【0005】

そこで本発明は、生産性の高い電子部品の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

この目的を達成するために、本発明の請求項1に記載の発明は、基板の表面に複数の電子素子を形成する第一の工程と、前記電子素子の外周に沿って前記基板の表面側に溝を形成する第二の工程と、基板の裏面側から基板の一部を前記溝に到達するまで除去して前記複数の電子素子を互いに分離する第三の工程を有し、前記第二の工程は、前記溝を形成する基板の表面を除いてレジストマスクを形成する工程と、ドライエッティングを行う工程と、前記レジストマスクを除去する工程を有する電子部品の製造方法であり、基板の裏面側より基板の一部を除去することにより基板に複数形成した電子素子を個片に分離することができるため効率的に生産することができるという作用効果を奏する。

【0007】

加えて、基板に電子素子を形成する工程において基板は十分な厚みを有しており後に基板

10

20

30

40

50

の裏面側より基板の一部を除去することにより基板を所望厚みにするため、基板の厚みが薄い小型の電子素子であっても割れ不良を低減することができ、その結果、生産性の向上に寄与することができるという作用効果も奏する。

【0008】

さらに、所望の基板の表面に溝を効率的に形成することができるという作用効果を奏する。

【0009】

請求項2に記載の発明は、レジストマスクを除去する工程を第三工程の後に行う請求項1に記載の電子部品の製造方法であり、基板の一部を除去する工程の際レジストマスクの下部の電子素子を損傷や汚染から保護することができるという作用効果を奏する。

10

【0010】

請求項3に記載の発明は、ドライエッティングは少なくとも2種類のガスを用いて行う請求項1または請求項2に記載の電子部品の製造方法であり、2種類のガスを用いることにより、ガスの種類によってエッティングの状態を変えることができるので、溝の形状を制御することができるという作用効果を奏する。

【0011】

請求項4に記載の発明は、ドライエッティングに用いるガスは少なくとも1種類がエッティングを促進するガスであり、他の少なくとも1種類はエッティングを抑制するガスである請求項3に記載の電子部品の製造方法であり、エッティングを促進するガスとエッティングを抑制するガスを用いることにより溝を部分的にエッティングを強くしたり、弱くしたりすることができるになり、請求項3の作用効果を補完するものである。

20

【0012】

請求項5に記載の発明は、エッティングはエッティングを促進するガスとエッティングを抑制するガスの混合ガスを用いて行い、基板の表面から溝を深く掘り下げるに従って前記エッティングを促進するガスの混合比率を高くしてエッティングを行う請求項4に記載の電子部品の製造方法であり、基板の表面から深く掘り下げるに従ってエッティングを強く行うと、溝の底面と側面の内角は鋭角になるものであり、これにより、後の工程で接着層を介して前記基板とダミー基板を接合したときにはその接合強度が強固になるという作用効果を奏するものであり、加えて、基板の一部を除去する工程において研削を行う際溝の側面と研削面の角部にチッピングが起きにくいという作用効果を奏する。

30

【0013】

請求項6に記載の発明は、エッティングはエッティングを促進するガスとエッティングを抑制するガスを交互に切り替えて繰り返し行い、基板の表面から溝を深く掘り下げるに従って前記エッティングを促進するガスの切り替え時間を多くしてエッティングを行う請求項4に記載の電子部品の製造方法であり、基板の表面から深く掘り下げるに従ってエッティングを強く行うと、溝の底面と側面の内角は鋭角になるものであり、請求項5と同様の作用効果を奏する。

【0014】

請求項7に記載の発明は、ドライエッティングを行った後、ガスとして2弗化キセノンを用いさらにドライエッティングを行う請求項1または請求項2に記載の電子部品の製造方法であり、2弗化キセノンをドライエッティングのガスとして用いると、溝の内壁を部分的に広げることが可能になるという作用効果を奏するものであり、基板の一部を除去する工程において研削を行う際チッピングを起こしたくない場合、もしくは溝の側面が基板の裏面に対し垂直に構成したい場合に有効である。

40

【0015】

請求項8に記載の発明は、第三の工程において基板の一部を除去する方法として、ダミー基板を用いて少なくとも電子素子の表面と前記ダミー基板とを接着層を介して接続し、基板の裏面側から研削により行う請求項1に記載の電子部品の製造方法であり、ダミー基板を接続することにより基板の強度は強固になり、基板の一部を研削により除去することが容易になる作用効果を奏する。加えて、接着層により接続されているので複数の素子が

50

互いに分離されてもバラバラになることがなく、被実装体に実装する際各電子素子を容易に取り出すことができるという作用効果を奏する。

【0016】

請求項9に記載の発明は、接着層を電子素子の表面と少なくとも前記電子素子の外周面に形成する請求項8に記載の電子部品の製造方法であり、接着層を確実に電子素子の外周面に形成することにより電子素子は強固にダミー基板に接合されるものとなり、基板の裏面側より基板の一部を除去するため研削を行う場合ダミー基板と電子素子がずれることを防止することができ、その結果、均一な基板の除去を行うことができるという作用効果を奏する。

【0017】

さらに、溝の側面にも接着層を形成することにより上記接合の強度はさらに向上するため上記作用効果をさらに高めることができるものである。

【0018】

【発明の実施の形態】

以下、本発明の電子部品の製造方法について実施の形態および図面を用いて説明する。なお電子部品として角速度センサを用いた。

【0019】

図1は本発明の一実施の形態である角速度センサの斜視図であり、図2は同分解斜視図である。音叉形状の基板1上に、バッファ層2、下部電極層3、圧電層4、上部電極層5、補助電極6を順次設けている。

【0020】

さて、ここでこの角速度センサが角速度を検出する時の動作について図1および図2を用いて少し説明する。

【0021】

図1および図2に示す上部電極層5は、励振電極5A、検出電極5Bに分割されており、それぞれ下部電極層3とともに圧電層4を挟むよう対向している。この励振電極5Aと下部電極層3との間に電圧を加えると、励振電極5Aと下部電極層3に挟まれた圧電層4の部分が伸縮することにより基板1に設けられた2本の腕部10A及び10Bの形状が歪み、その結果、音叉の水平方向に振動が起こる。このとき、この音叉の腕と平行方向を軸とする角速度が発生すると、腕部10A, 10Bにはこの軸と振動方向の共に垂直な方向へたわみが発生する。そしてこのたわみの大きさに応じて圧電層4が帯電するので、この帯電量を検出電極5Bにより検出することによって角速度の大きさを検出することができる。

【0022】

次に、本一実施の形態の製造方法について図3～図20を用いて説明する。

【0023】

図3は本一実施の形態による角速度センサの製造方法の流れを示す図であり、図4～図20はそれぞれ製造工程を示す断面図及び斜視図である。

【0024】

まず、図4において基板1の表面に酸化ニッケル、酸化コバルト、酸化マグネシウム、チタンのいずれかの材料を用いたバッファ層2を形成する(図3A)。形成方法としてはMOCVD法が挙げられる。例えば、酸化ニッケルのバッファ層2を形成する場合ニッケルアセチルアセトナトを昇華気化させたガスを用いることにより得ることができる。また、チタンを用いる場合は上記方法に加えてスパッタリングの方法も用いることができる。

【0025】

次に図5でバッファ層2の表面に下部電極層3を形成する(図3B)。材料としてPtを用い、スパッタリングや真空蒸着などの方法により形成する。

【0026】

ついで図6で下部電極層3の表面に圧電層4を形成する(図3C)。材料として例えば、チタン酸ジルコン酸鉛(以下PZTと記す)などの圧電材料を用い、スパッタリングにて

10

20

30

40

50

形成する。

【0027】

次に圧電層4の表面に材料として金を用いスパッタリング、真空蒸着などの方法により上部電極層5を形成したのが図7である(図3D)。ここでPZTよりなる圧電層4と金よりなる上部電極層5との間にチタンやクロムの層を形成することにより圧電層4と上部電極層5の密着強度をさらに向上させることができる。すなわち、上記材料はPZTとの密着性に優れ、かつ、金とは強固な拡散層を形成するため密着強度を向上させることができるものである。発明者らの実験では、例えばチタンを用いた場合20~100オングストローム程度の膜厚の層を形成することにより十分な密着性を得ることができた。

【0028】

続いて図8~図16は特に腕部10A, 10Bの断面図を示している。

【0029】

まず、図8で上部電極層5の励振電極5A、検出電極5Bを形成する部分に素子形成用レジスト膜7を形成する(図3E)。この形成方法としては感光性樹脂を用いた一般的なフォトリソ法を用いることができる。

【0030】

次に図9でドライエッティングにて素子形成用レジスト膜7で覆われている以外の領域の上部電極層5および圧電層4の除去を行うことにより励振電極5Aおよび検出電極5Bを形成する(図3F)。このとき次の素子形成用レジスト膜7の除去工程で用いる除去用溶剤や、後の工程により下部電極層3と圧電層4の界面が侵されることを防止するために下部電極層3が表出しないよう圧電層4の底面に至る直前で圧電層4の除去を終了させる。

【0031】

ついで図10で素子形成用レジスト膜7を除去する(図3G)。これにより上部電極層5は励振電極5Aと検出電極5Bに分離される。

【0032】

素子形成用レジスト膜7の除去用溶剤としては有機溶剤やアルカリ溶液を用いて行うことができる。また、酸素アッシング等の方法も用いることができる。

【0033】

次に図11にて、素子形成用レジスト膜7で覆われていた励振電極5A及び検出電極5Bおよび圧電層4の下部において、これら励振電極5A、検出電極5Bの垂直下方から外方に残る表面部分を覆うレジストマスク8を形成する(図3H)。このとき図12に示すように個々の電子素子13が分離するようにレジストマスク8の外周は他のどの電子素子13とも連結されていないようとする。これにより以下の作用効果を奏する。すなわち、レジストマスク8が他の電子素子13と連結していないので、後の工程で基板1の裏面側から基板1の一部の除去を行ったとき、電子素子13は後述する接着層12のみを介して他の電子素子13と接続されていることになる。したがって、この接着層12を除去することにより各電子素子13を一括して分離することができるものである。

【0034】

なお、レジストマスク8の形成方法は上記素子形成用レジスト膜7の場合と同様である。

【0035】

続いて、図12でドライエッティングにより圧電層4、下部電極層3およびバッファ層2を除去する(図3I)。

【0036】

さらに図13に示すように基板1をドライエッティングする。このとき、ドライエッティングは、少なくとも2種類のガスを用いる。2種類のガスとは、エッティングの条件が変わるガスであり、例えば、エッティングを促進するガスとしてSF₆、エッティングを抑制するガスとしてC₄F₈を用いる。

【0037】

エッティングの際には、これらガスを同時に混ぜるか、交互にガスを切り替えながら徐々にエッティングを行う。ガスを同時に混ぜた場合には、その混合比率によってエッティングの抑

10

20

30

40

50

制と促進が制御され、部分的にエッチングが進まなくなったり、進むようになったりする。これをうまく制御すれば、エッチングは垂直下方のみに進むようになり、溝9の底面と側面の内角をほぼ直角にすることができる。

【0038】

また、エッチングが進むにつれてエッチング促進ガスの混合比を増やすことにより溝9の底面と側面の内角を鋭角にすることができる。

【0039】

一方、これら2種類のガスを交互に切り替えてエッチング促進とエッチング抑制を交互に切り替えた場合もこの切り替え比を制御することにより同様に溝9の形状を制御することができる。

10

【0040】

ここで、基板1をエッチングする量は最終的に必要とする基板1の厚みより深くなるようエッチング量を多めに設定する。このようにすれば図13に示すように腕部10A, 10Bの裏面側の方が幅の狭い台形形状となる。

【0041】

次に、図14に示すようにダミー基板11と基板1を接着する(図3J)。このとき、溝9を形成する際に形成したレジストマスク8は除去せずに基板1とダミー基板11との接着を行う。すなわち、図13の後レジストマスク8を除去せず図14に示すように接着層12を介してダミー基板11と接続する。後の工程で基板1の一部を除去した後レジストマスク8を除去する。このとき必要であれば、電子素子13に付着した接着層12の残留物も除去する。

20

【0042】

上記の製造工程によれば、励振電極5Aと検出電極5Bを構成する上部電極層5は後の工程で個々の電子素子13に分離されるまでレジストマスク8で覆われることになるので、上部電極層5の破損や汚染を低減できるのである。

【0043】

また、このレジストマスク8を除去する工程(図3M)をダミー基板11へ貼り付ける工程(図3J)の前に行うことも可能である。

【0044】

さて、上記接着層12は電子素子13の表面と少なくとも前記電子素子13の外周面に形成される。ここで、基板1とダミー基板11との接合強度をさらに向上させるためには接着層12は台形形状となった腕部10A, 10Bの間(溝9)にも十分入り込むような量が望ましく、接着層12の固着後には図14のように台形形状の腕部10A, 10Bが接着層12に食い込むよう固着されるため接合強度をさらに向上させることができる。

30

【0045】

なお、図14では電子素子の一つについて示したが、実際には図17のように、電子素子が形成された基板1の面とダミー基板11が向かい合うようにして接着層12によって固着される。

【0046】

さて、ダミー基板11としては、平坦な表面を有し、かつ、基板1の除去による機械的ストレスに耐えられる強度を有しているものであればよく、例えば、ガラス、シリコン基板、SUS基板等を用いることができる。

40

【0047】

次に、図15に示すように基板1の裏面側から基板1の一部を除去する(図3K)。この方法としては研削が挙げられ、高精度に基板1の厚みを制御することができる。このとき図13に示すように研削する量は基板1が最終的に必要とする量となるように設定する。このようにすれば、製造工程において基板1に応力などの負荷がかかる上部電極層5、圧電層4、下部電極層3、バッファ層2及び基板1のエッチング工程は基板1が厚い状態で加工できるので、基板1の割れを極力減らすことができる。

【0048】

50

この研削は、研削量が進んで溝9が貫通しても所定の基板厚さになるまである程度進める必要があるが、上述のようにダミー基板11には接着層12によって、電子素子13の表面と少なくとも前記電子素子13の外周面に固着されているので、図18に示すように、個別の電子素子13に分離された後に、さらに基板1の厚みをあわせるためにしばらく研削を続けても、個別の電子素子13はバラバラになることがない。

【0049】

また、上述のように研削を進める側の基板1の外周は逆側よりも小さい台形形状とすることにより、溝9が貫通してからさらに研削を進めても溝9の側面と研削面の角部（図15のa部）を破損することが少なくなるのである。

【0050】

ここで、基板1が台形形状になってしまふと、角速度センサの周波数特性などに影響を与えるなど不都合な場合には、次のように行う。すなわち、図19に示すように、基板1を途中まで垂直下方にエッティングし、最終的に必要とする厚みの少し手前のところまでエッティングが進んだとき、エッティング条件を変更して、エッティングが基板1の側壁側に広がるようを行うのである（図19のa部）。これにより基板1の裏面側より研削を進めて溝9が貫通しても溝9の側面と研削面の角部（図19のa部）の破損を低減でき、また、基板1の大部分に於いて垂直な面を持つ立体とすることができる。その結果、周波数特性に悪影響を与えるなどの不都合が起こりにくいという作用効果を奏する。なお、エッティング条件を変えてエッティングが基板1の側壁側に広がるようを行う方法は、エッティングのガスに2弗化キセノンを用いる方法があり、これにより溝9の底面付近のみを図19のa部のように側壁側に広げることが可能になる。

10

【0051】

続いて、ダミー基板11を除去し（図3L）、素子形成用レジスト膜7を除去した方法と同様の方法により図16に示すようにレジストマスク8を除去し（図3M）、角速度センサ15を得ることができる。また、必要に応じて図20に示すように被実装体、例えば、外装ケース14に実装（図3N）する。

20

【0052】

なお、以上の説明では電子部品として角速度センサを用いたが、これに限定されるものではなく、例えば、チップ抵抗器、振動子、アクチュエータ等の電子部品においても同様の作用効果を奏するものである。

30

【0053】

【発明の効果】

以上のように本発明は、基板の表面に複数の電子素子を形成する第一の工程と、前記電子素子の外周に沿って前記基板の表面側に溝を形成する第二の工程と、基板の裏面側から基板の一部を前記溝に到達するまで除去して前記複数の電子素子を互いに分離する第三の工程を有する電子部品の製造方法であり、基板の裏面側より基板の一部を除去することにより基板に複数形成した電子素子を個片に分離することができるため効率的に生産することができるという作用効果を奏する。

【0054】

加えて、基板に電子素子を形成する工程において基板は十分な厚みを有しており後に基板の裏面側より基板の一部を除去することにより基板を所望厚みにするため、基板の厚みが薄い小型の電子素子であっても割れ不良を低減することができ、その結果、生産性の向上に寄与することができるという作用効果も奏する。

40

【図面の簡単な説明】

【図1】本発明の一実施の形態による角速度センサの斜視図

【図2】同分解斜視図

【図3】本発明の一実施の形態による角速度センサの製造工程を示す流れ図

【図4】同製造工程の一部を示す断面図

【図5】同断面図

【図6】同断面図

50

【図7】同断面図

【図8】同断面図

【図9】同断面図

【図10】同断面図

【図11】同断面図

【図12】同断面図

【図13】同断面図

【図14】同断面図

【図15】同断面図

【図16】同断面図

10

【図17】同製造工程の一部を示す斜視図

【図18】同斜視図

【図19】同製造工程の一部を示す断面図

【図20】本発明の一実施の形態による角速度センサを実装後の斜視図

【符号の説明】

1 基板

2 バッファ層

3 下部電極層

4 圧電層

5 上部電極層

20

5 A 励振電極

5 B 検出電極

6 補助電極

7 素子形成用レジスト膜

8 レジストマスク

9 溝

10 A 腕部

10 B 腕部

11 ダミー基板

12 接着層

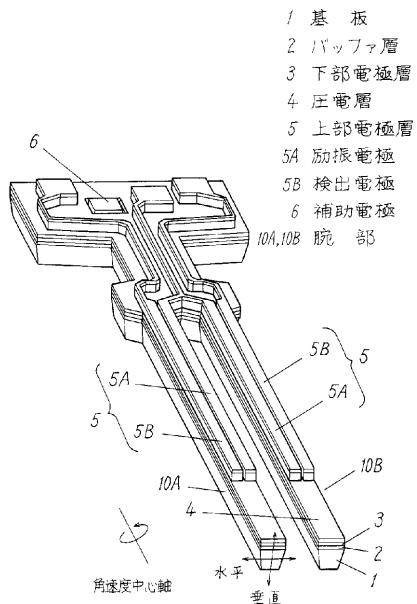
30

13 電子素子

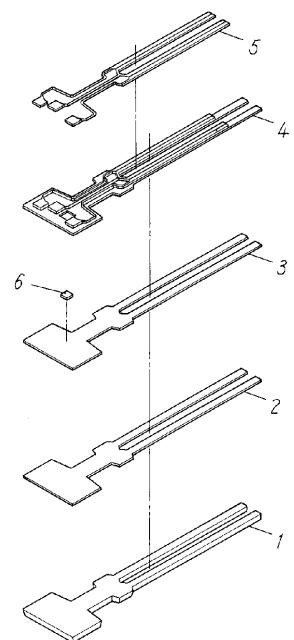
14 外装ケース

15 角速度センサ

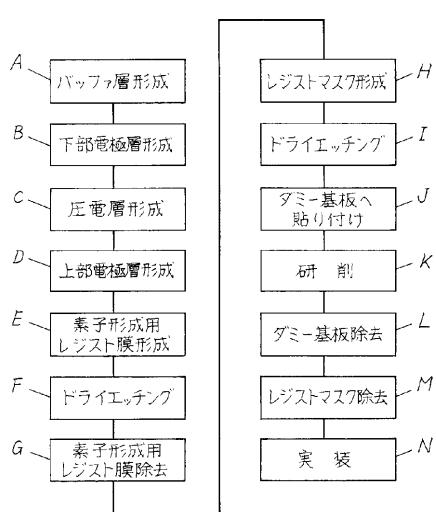
【図1】



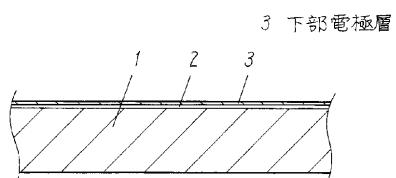
【図2】



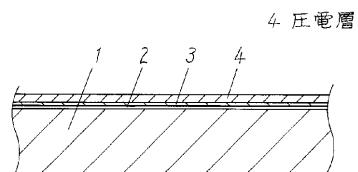
【図3】



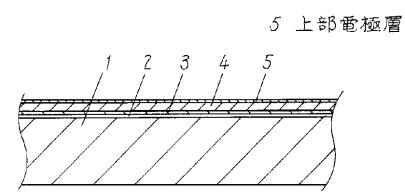
【図5】



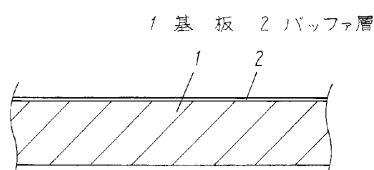
【図6】



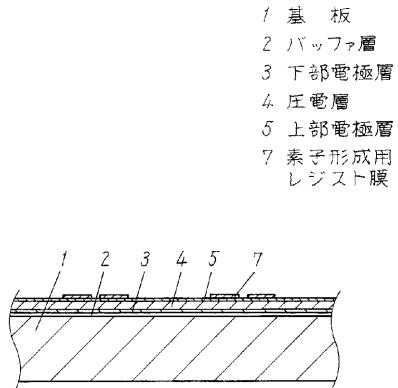
【図7】



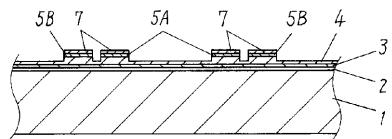
【図4】



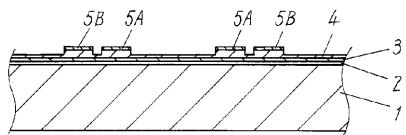
【図 8】



【図 9】

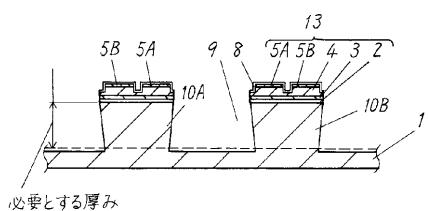


【図 10】

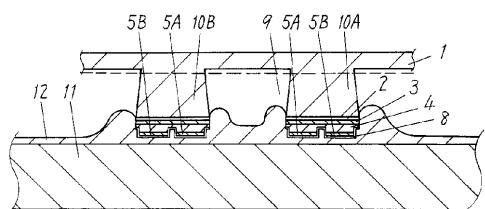


【図 13】

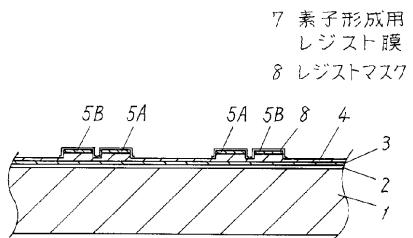
1 基板 5B 検出電極
2 バッファ層 8 レジストマスク
3 下部電極層 9 溝
4 圧電層 10A,10B 腕 部
5A 励振電極 13 電子素子



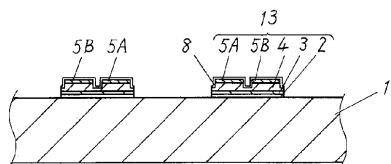
【図 14】



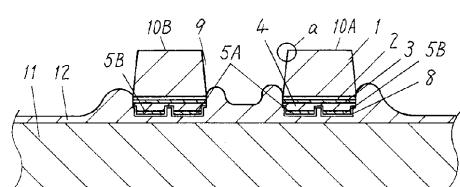
【図 11】



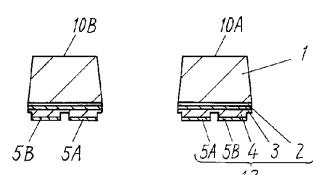
【図 12】



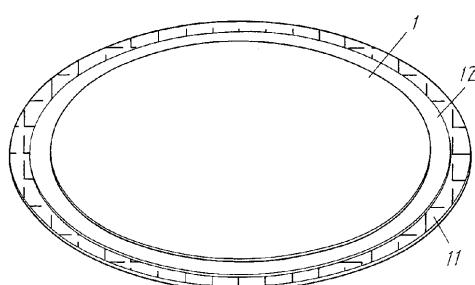
【図 15】



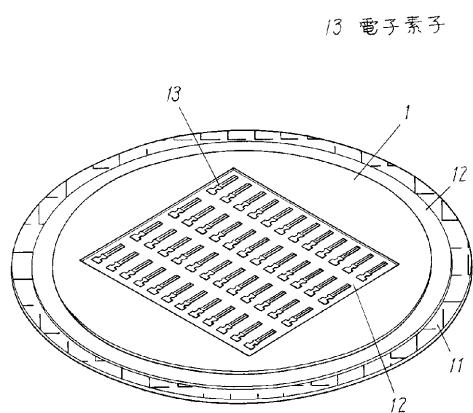
【図 16】



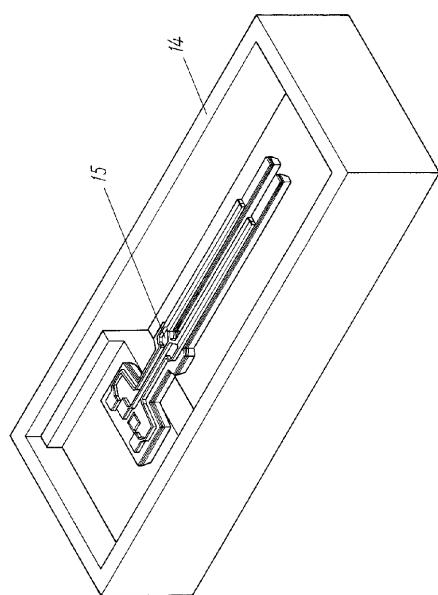
【図 17】



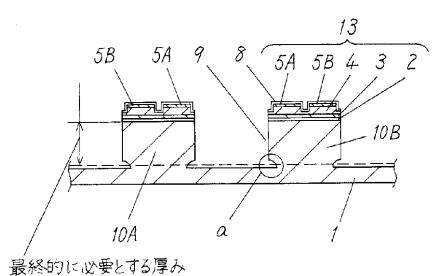
【図18】



【図20】



【図19】



フロントページの続き

(72)発明者 林 道彦
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 小野田 誠

(56)参考文献 特開平05-211235 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 41/22

H01L 41/08

G01C 19/56

G01P 9/04