



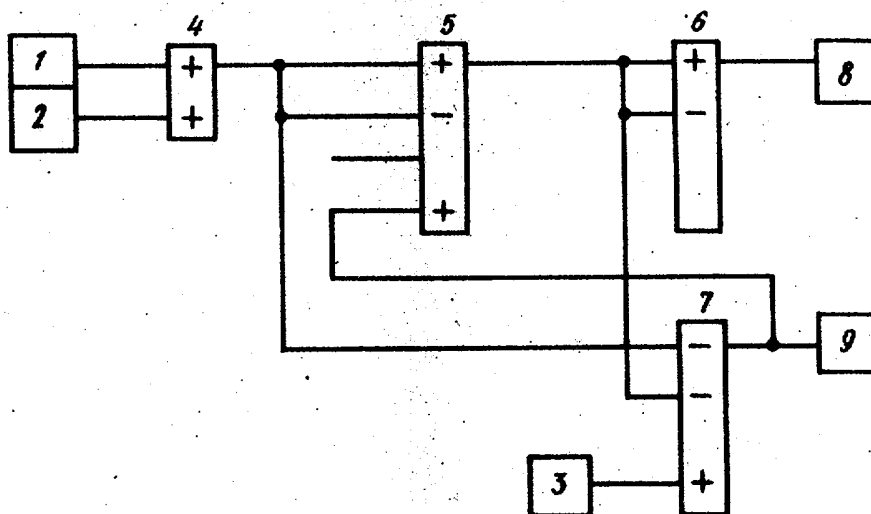
ГОСУДАРСТВЕННЫЙ КОМИТЕТ ССРС
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3427330/18-24
(22) 13.04.82
(46) 23.09.83. Бюл. № 35
(72) С.И. Шароватов и В.С. Кочнев
(53) 681.325.5(088.8)
(56) 1. Авторское свидетельство СССР № 811249, кл. G 06 F 7/50, 1978.

2. Ферритовые логические элементы и узлы информационных систем. Под ред. Соколова Т.Н. и Васильева Ф.А. Л., ЛВИКА им. А.Ф. Можайского, 1970, с. 201-203, рис. 4.70 (прототип).
(54) (57) ОДНОРАЗЯДНЫЙ ДВОИЧНЫЙ ВЫЧИТАТЕЛЬ, содержащий троичные логические элементы, причем первый вход первой группы и первый вход второй группы первого троичного логического элемента соединены соответственно с шинами уменьшаемого и вычитаемого одноразрядного двоичного вычитателя, а выход соединен с первым входом первой группы второго и первым и вторым входами первой группы

третьего троичных логических элементов, выход третьего троичного логического элемента соединен с первым и вторым входами первой группы четвертого троичного логического элемента, выход которого соединен с выходной шиной разности одноразрядного двоичного вычитателя, от л и ч а ю щ и й с я тем, что, с целью упрощения одноразрядного двоичного вычитателя, выход второго троичного логического элемента соединен с выходной шиной заема одноразрядного двоичного вычитателя и первым входом второй группы третьего троичного логического элемента, первый вход второй группы второго троичного логического элемента соединен с шиной обнуления одноразрядного двоичного вычитателя, выход третьего троичного логического элемента подключен к второму входу первой группы второго троичного логического элемента.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано в арифметических устройствах ЭВМ.

Известно устройство для вычитания, содержащее два регистра, триггер, три элемента И, два элемента ИЛИ и два элемента задержки [1].

Известен также одноразрядный двоичный вычитатель, содержащий троичные логические элементы, причем первый вход первой группы и первый вход второй группы первого троичного логического элемента соединены соответственно с шинами уменьшаемого и вычитаемого одноразрядного двоичного вычитателя, а выход соединен с первым входом первой группы второго и первым и вторым входами первой группы третьего троичных логических элементов. Выход третьего троичного логического элемента соединен с первым и вторым входами первой группы четвертого троичного логического элемента, выход которого соединен с выходной шиной разности одноразрядного двоичного вычитателя. Выход второго троичного логического элемента соединен с первым входом первой группы пятого троичного логического элемента, выход которого подключен к шине заема одноразрядного двоичного вычитателя и первому входу первой группы шестого троичного логического элемента, выход которого соединен с вторым входом первой группы второго и первым входом второй группы третьего троичных логических элементов [2].

Недостатком известных устройств является сложность конструкции.

Цель изобретения - упрощение одноразрядного двоичного вычитателя.

Поставленная цель достигается тем, что в одноразрядном двоичном вычитателе содержащем троичные логические элементы, причем первый вход первой группы и первый вход второй группы

первого троичного логического элемента соединены соответственно с шинами уменьшаемого и вычитаемого одноразрядного двоичного вычитателя, а выход соединен с первым входом первой группы второго и первым и вторым входами первой группы третьей троичных логических элементов, выход третьего троичного логического элемента соединен с первым и вторым входами первой группы четвертого троичного логического элемента, выход которого соединен с выходной шиной разности одноразрядно двоичного вычитателя, выход второго троичного логического элемента соединен с выходной шиной заема одноразрядного двоичного вычитателя и первым входом второй группы третьего троичного логического элемента, первый вход второй группы второго троичного логического элемента соединен с шиной обнуления одноразрядного вычитателя, выход третьего троичного логического элемента подключен к второму входу первой группы второго троичного логического элемента.

На фиг. 1 дана функциональная схема одноразрядного двоичного вычитателя; на фиг. 2 - временная диаграмма работы одноразрядного двоичного вычитателя при вычитании положительного числа +6 из положительного числа +3.

Одноразрядный двоичный вычитатель содержит шины уменьшаемого 1 и вычитаемого 2, шину 3 обнуления, троичные логические элементы 4-7, шину 8 разности и 9 заема.

Одноразрядный двоичный вычитатель выполнен на одном двухвходовом и трех четырехвходовых троичных логических элементах, выполняющих троичные операции, описываемые соответственно в табл. 1 и 2. Указанные операции образуют функционально полную систему операций.

Т а б л и ц а 1

Входы		Выход	Условное обозначение троичного элемента
1	2		
+1	0	+1	I группа ВХ.1 +(-) Выход
+1	+1	0	II группа ВХ.2 +(-)
0	+1	-0	
0	0	0	

Т а б л и ц а 2

Входы				Выход	Условное обозначение третичного элемента
1	2	3	4		
0	0	0	± 1	-1	<div style="display: flex; align-items: center; justify-content: center;"> <div style="margin-right: 10px;"> I группа Ввод 1 +(-) Ввод 2 +(-) </div> <div style="border: 1px solid black; padding: 5px; margin-right: 10px;"> Выход </div> </div> <div style="display: flex; align-items: center; justify-content: center;"> <div style="margin-right: 10px;"> II группа Ввод 2 +(-) Ввод 1 +(-) </div> <div style="border: 1px solid black; padding: 5px; margin-right: 10px;"> Выход </div> </div>
0	0	± 1	0	-1	
0	0	± 1	± 1	-1	
0	± 1	0	0	+1	
0	± 1	0	± 1	0	
0	± 1	± 1	0	0	
0	± 1	± 1	± 1	-1	
± 1	0	0	0	+1	
± 1	0	0	± 1	0	
± 1	0	± 1	0	0	
± 1	0	± 1	± 1	-1	
± 1	± 1	0	0	+1	
± 1	± 1	0	± 1	+1	
± 1	± 1	± 1	0	+1	
± 1	± 1	± 1	± 1	0	
0	0	0	0	0	

Система тактового питания одnorазрядного двоичного вычитателя трехфазная, при этом каждый следующий разряд уменьшаемого и вычитаемого поступает на вход вычитателя через три фазы - Один такт передачи информации по трем логическим элементам (фиг. 2).

На фиг. 2 показаны диаграммы 10, 11, 12 соответственно первой, второй и третьей фаз питания одnorазрядного двоичного вычитателя; диаграммы 13, 14 и 15 соответственно на входных шинах 1, 2 и 3; диаграммы 16, 17, 18 и 19 соответственно сигналов на выходах элементов 4, 5, 6 и 7.

Тактовым импульсом первой фазы считывается информация с элементов 6 и 7, второй фазы - с элемента 4, третьей фазы - с элемента 5. Разряды уменьшаемого и вычитаемого поступают на выходы вычитания по шинам 1 и 2 во время тактового импульса первой фазы, а сигнал обнуления поступает по шине 3 через одну фазу после поступления старшего разряда уменьшаемого и вычитаемого и во время тактового импульса второй фазы.

Рассмотрим работу одnorазрядного двоичного вычитателя на примере вычитания положительного числа 3 из положительного числа 3, представленных в виде двоичных четырехразрядных чисел.

Во время тактового импульса первой фазы первого такта положительный сигнал первого разряда уменьшаемого подается на первый вход элемента 4 и записывается в него '+1'. Импульсом второй фазы считывается '+1' с элемента 4 и записывается '+1' на первый вход элемента 5. Импульсом третьей фазы считывается '+1' с элемента 5 и записывается '+1' в элемент 6.

Во время тактового импульса первой фазы второго такта положительные сигналы вторых разрядов уменьшаемого и вычитаемого подаются соответственно на первый и второй входы элемента 4 и записываются в элемент 4 соответственно '+1' и '-1', а с элемента 6 считывается '+1' и передается положительным сигналом на выходную шину 8, который образует

первый разряд результата вычитания. Импульсом второй фазы с элемента 4 считывается "'0'".

Во время тактового импульса первой фазы третьего такта положительный сигнал третьего разряда вычитаемого подается на второй вход элемента 4 и записывается в него "'-1'", а с элемента 6 считывается "'0'", который образует второй разряд результата вычитания. Импульсом второй фазы с элемента 4 считывается "'-1'" и записывается "'+1'" на второй вход элемента 5 и на первый вход элемента 6. Импульсом третьей фазы с элемента 3 считывается "'+1'" и записывается "'+1'" на первый вход элемента 6.

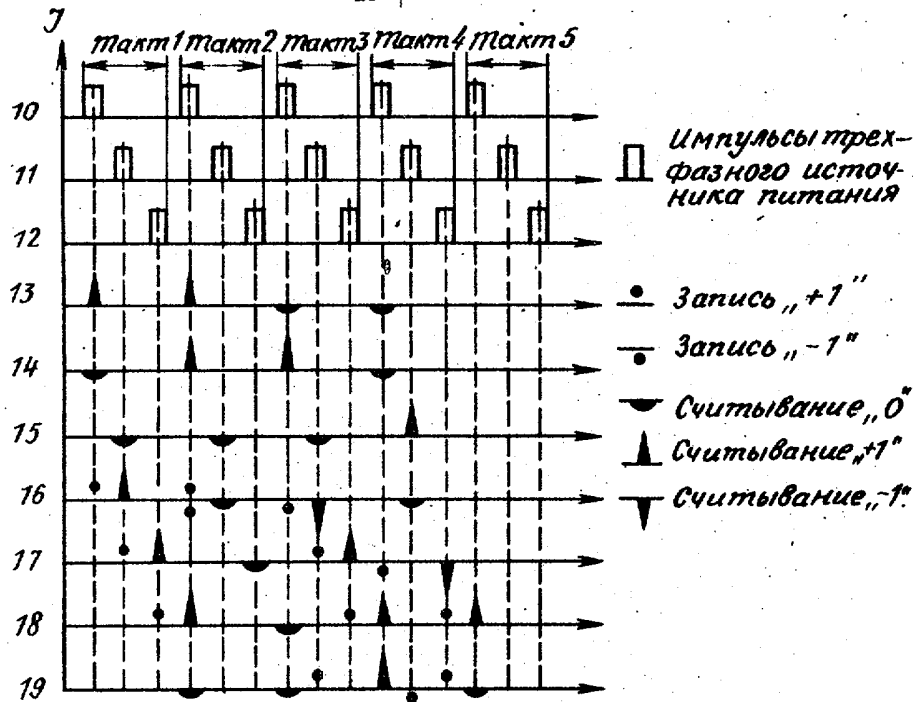
Во время тактового импульса первой фазы четвертого такта с элемента 7 считывается "'+1'" и записывается "'-1'" на четвертый вход элемента 5, а с элемента 6 считывается "'+1'" и передается положительным сигналом на выходную шину 8, который образует

третий разряд результата вычитания. Импульсом второй фазы положительный сигнал обнуления подается на вход элемента 7 и записывается в него "'-1'". Импульсом третьей фазы с элемента 5 считывается "'-1'" и записывается "'+1'" на входы элементов 6 и 7.

Во время тактового импульса первой фазы пятого такта с элемента 7 считывается "'0'", а с элемента 6 считывается "'+1'" и передается положительным сигналом на выходную шину 8, который образует четвертый разряд результата вычитания.

Таким образом, цифры соответствующих разрядов результата вычитания появляются на выходе двоичного вычитателя спустя три фазы с момента подачи их на шины 1 и 2.

Предлагаемый одноразрядный двоичный вычитатель по сравнению с известным содержит на два троичных логических элемента меньше, что составляет более 30% объема оборудования известного устройства.



Фиг. 2

Редактор Г. Безвершенко Составитель А. Степанов Техред М. Костик Корректор С. Шекмар

Заказ 7338/51

Тираж 706

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4