



(12)发明专利

(10)授权公告号 CN 104038219 B

(45)授权公告日 2017. 10. 27

(21)申请号 201410081559.1

(22)申请日 2014.03.07

(65)同一申请的已公布的文献号

申请公布号 CN 104038219 A

(43)申请公布日 2014.09.10

(30)优先权数据

61/774,432 2013.03.07 US

13/975,291 2013.08.24 US

(73)专利权人 美国亚德诺半导体公司

地址 美国马萨诸塞州

(72)发明人 L·A·辛格 S·德瓦拉简

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 金晓

(51)Int.Cl.

H03M 1/06(2006.01)

(56)对比文件

US 2010164763 A1,2010.07.01,

CN 102075190 A,2011.05.25,

CN 102437852 A,2012.05.02,

K.Nagaraje et al..A Dual-Mode 700-Msamples/s 6-bit 200-Msamples/s 7-bit A/D Converter in a 0.25- μ m Digital CMOS Process.《IEEE Journal of Solid-State Circuits》.2000,第35卷(第12期),全文.

审查员 邓隽

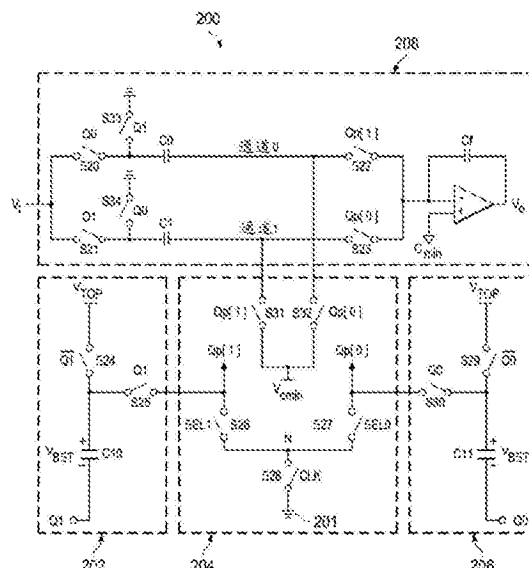
权利要求书4页 说明书11页 附图7页

(54)发明名称

用于减少采样电路时序不匹配的装置和方法

(57)摘要

一种用于在具有多个通道的交错采样电路中采样的示范性装置、系统和方法。在实施方案中,输入时钟用以使采样时钟从第一电压电平到第二电压电平的过渡相对于彼此同步。所述采样时钟被输入到采样电路。当输入时钟从第一时钟状态过渡到第二时钟状态时,所述输入时钟接通共用开关,共用开关通过公共路径把每个采样时钟拉到所述第二电压电平。每个采样时钟从所述第一电压电平过渡到第二电压电平触发了在所述通道中的一个通道上进行采样。所述第一电压电平可被提升以在所述采样电路中将开关驱动为接通。通过所述共用开关和公共路径使所述输出的过渡同步减少了控制所述通道的所述采样时钟之间的时序不匹配。



1. 一种用于生成相对于彼此同步以减少采样多个模拟信号通道的时序不匹配的多个采样时钟的电路,所述电路包括:

第一电路,其被配置以接收多个输入信号并把所述多个采样时钟的每个采样时钟选择性设置为第一输出状态,其中当所述多个输入信号的选定输入被设置为第一输入状态时,所述多个采样时钟的选定采样时钟被设置为所述第一输出状态;和

第二电路,其被配置以接收输入时钟信号并通过公共路径使所述多个采样时钟中每一个过渡到第二输出状态,其中所述选定采样时钟是响应于所述输入时钟信号从第一时钟状态过渡到第二时钟状态而通过所述公共路径从所述第一输出状态过渡到所述第二输出状态。

2. 如权利要求1所述的电路,其中所述采样时钟中每一个的所述第一输出状态具有电压电平,且所述第一电路包括至少一个升压电路,所述至少一个升压电路被配置以提升所述采样时钟中每一个的所述第一输出状态的所述电压电平。

3. 如权利要求1所述的电路,其还包括:采样电路,所述采样电路包括接收所述多个采样时钟的多个采样通道,所述采样电路被配置以当所述选定采样时钟从所述第一输出状态过渡到所述第二输出状态时从所述多个采样通道的选定通道生成样本。

4. 如权利要求3所述的电路,其中所述多个采样时钟中每一个的所述第一输出状态具有电压电平,且所述第一电路包括至少一个升压电路,所述至少一个升压电路被配置以提升所述多个采样时钟中每一个的所述第一输出状态的所述电压电平来把所述采样电路中的至少一个开关驱动到接通状态。

5. 如权利要求1所述的电路,其中所述选定输入包括在所述第一电路和所述第二电路接收的选定输入,且所述第二电路还包括多个开关,每个开关对应于所述多个采样时钟中的一个采样时钟,且每个开关被配置以当所述多个输入信号的选定输入被设置为所述第一输入状态时通过其对应的开关把每个采样时钟选择性地连接到第一节点,且当所述输入时钟信号被设置为所述第二时钟状态时,所述选定采样时钟通过所述公共路径过渡到所述第二输出状态。

6. 如权利要求5所述的电路,其中在所述第一电路接收的所述选定输入和在所述第二电路接收的所述选定输入各自包括所述多个输入信号的相同的输入。

7. 如权利要求5所述的电路,其中所述多个开关包括多个第一开关,且所述公共路径包括耦接在所述第一节点和保持在所述第二输出状态的第二节点之间的第二开关,所述第二开关被配置以响应于所述输入时钟信号从所述第一时钟状态过渡到所述第二时钟状态而把所述第一节点连接到所述第二节点。

8. 如权利要求7所述的电路,其中所述多个采样时钟中每一个的所述第一输出状态具有电压电平,且所述第一电路包括多个上拉升压电路,每个上拉升压电路被配置以把所述多个采样时钟的对应一个采样时钟的所述第一输出状态的所述电压电平设置为提升的电压电平,且所述第一电路还包括多个下拉路径,每个下拉路径与所述多个第一开关的开关相关,其中当在所述第二电路接收的所述选定输入被设置为所述第一输入状态时,所述选定采样时钟通过选定下拉路径和并行选定第一开关连接到所述第一节点。

9. 如权利要求1所述的电路,其中所述第一电路还包括上拉电路,以当所述选定输入被设置为所述第一输入状态且所述输入时钟信号在所述第一时钟状态时把所述多个采样时

钟的所述选定采样时钟设置为所述第一输出状态。

10. 如权利要求1所述的电路,其中选定采样时钟包括第一采样时钟,且所述第二电路包括:

第一开关,其具有耦接到第一节点的第一终端、耦接到所述多个采样时钟的所述第一采样时钟的第二终端,和第三终端,所述第一开关被配置以当所述多个输入信号中在所述第一开关的所述第三终端接收的输入信号处于第一输入状态时处于接通状态并把所述第一节点连接到所述第一采样时钟;

第二开关,其具有耦接到所述第一节点的第一终端、耦接到所述多个采样时钟的第二采样时钟的第二终端,和第三终端,所述第二开关被配置以当所述多个输入信号中在所述第二开关的所述第三终端接收的输入信号处于所述第一输入状态时处于接通状态,并把所述第一节点连接到所述第二采样时钟;和

第三开关,其具有耦接到保持在所述第二输出状态的第二节节点的第一终端、耦接到所述第一节点的第二终端和用于接收所述输入时钟信号的第三终端,所述第三开关被配置以当所述输入时钟信号处于所述第二时钟状态时处于接通状态并把所述第一节点设置为所述第二输出状态。

11. 如权利要求1所述的电路,其中所述第一电路包括被配置以在第一采样时钟上提供提升的电压电平的第一升压电路和被配置以在第二采样时钟上提供提升的电压电平的第二升压电路。

12. 根据权利要求5所述的电路,其中所述第一电路还包括多个下拉路径,每个下拉路径与所述多个开关的开关相关,其中当在所述第二电路接收的所述选定输入被设置为所述第一输入状态时,所述选定采样时钟通过选定下拉路径和并行选定第一开关连接到所述第一节点。

13. 一种用于采样的方法,其包括:

接收多个输入信号;

当所述多个输入信号的一个或多个选定输入被设置为第一输入状态时,把多个采样时钟的选定采样时钟设置为第一输出状态;

接收具有在第一时钟状态和第二时钟状态之间连续过渡的输入时钟,从所述第一时钟状态到所述第二时钟状态的所述过渡被定时为当所述一个或多个选定输入处于所述第一输入状态时发生;和

由通过公共路径把所述选定采样时钟连接到设置处于第二输出状态的节点来把处于所述第一输出状态的所述选定采样时钟设置为所述第二输出状态,其中所述多个采样时钟中每一个通过相同的公共路径被设置为所述第二输出状态。

14. 如权利要求13所述的方法,其中所述把多个采样时钟的选定采样时钟设置为第一输出状态包括:将所述第一输出状态提升预定电压以向所述第一输出状态提供提升的电压。

15. 如权利要求13所述的方法,其还包括:

在多个采样通道接收所述多个采样时钟,其中所述多个采样时钟中每一个耦接到所述多个采样通道的对应一个的采样开关;和

当所述选定采样时钟被从所述第一输出状态设置为所述第二输出状态时,在所述多个

采样通道的选定通道上开始采样。

16. 如权利要求13所述的方法,其中所述公共路径包括被配置以把共用节点耦接到保持在所述第二输出状态的所述节点的开关,且其中所述开关由从所述第一时钟状态到所述第二时钟状态的每个输入时钟过渡接通。

17. 如权利要求16所述的方法,其中所述开关包括第一开关,且所述共用节点通过多个第二开关中的一个耦接到所述多个采样时钟中的每一个,且由通过公共路径把所述选定采样时钟连接到设置处于第二输出状态的节点来把处于所述第一输出状态的所述选定采样时钟设置为所述第二输出状态包括:

当所述一个或多个选定输入处于所述第一输入状态时,通过所述多个第二开关的选定开关把所述选定采样时钟连接到所述共用节点;和

在从所述第一时钟状态到所述第二时钟状态的每个时钟过渡,由通过所述第一开关把所述选定采样时钟连接到保持在所述第二输出状态的所述节点来把所述选定采样时钟设置为所述第二输出状态。

18. 如权利要求17所述的方法,其中所述把所述选定采样时钟连接到所述共用节点包括:当所述一个或多个选定输入处于所述第一输入状态时,通过所述多个第二开关的选定开关和并行下拉路径把所述选定采样时钟连接到所述共用节点。

19. 一种用于采样的电路,其包括:

用于接收多个输入信号的构件;

用于当所述多个输入信号的一个或多个选定输入被设置为第一输入状态时把多个采样时钟的选定采样时钟设置为第一输出状态的构件;

用于接收具有在第一时钟状态和第二时钟状态之间连续过渡的输入时钟的构件,从所述第一时钟状态到所述第二时钟状态的所述过渡被定时为当所述一个或多个选定输入处于所述第一输入状态时发生;和

用于由通过公共路径把所述选定采样时钟连接到设置处于第二输出状态的节点来把处于所述第一输出状态的所述选定采样时钟设置为所述第二输出状态的构件,其中所述多个采样时钟中每一个通过相同的公共路径被设置为所述第二输出状态。

20. 如权利要求19所述的电路,其中所述用于把多个采样时钟的选定采样时钟设置为第一输出状态的构件包括:用于将所述第一输出状态提升预定电压以向所述第一输出状态提供提升的电压的构件。

21. 如权利要求19所述的电路,其还包括:

用于在多个采样通道接收所述多个采样时钟的构件,其中所述多个采样时钟中每一个耦接到所述多个采样通道的对应一个的采样开关;和

用于当所述选定采样时钟被从所述第一输出状态设置为所述第二输出状态时在所述多个采样通道的选定通道上开始采样的构件。

22. 如权利要求19所述的电路,其中所述公共路径包括被配置以把共用节点耦接到保持在所述第二输出状态的所述节点的开关构件,且其中所述开关构件由从所述第一时钟状态到所述第二时钟状态的每个输入时钟过渡接通。

23. 如权利要求22所述的电路,其中:

所述开关构件包括:

第一开关,且所述共用节点通过多个第二开关中的一个耦接到所述多个采样时钟中的每一个;以及

所述用于由通过公共路径把所述选定采样时钟连接到设置处于第二输出状态的节点来把处于所述第一输出状态的所述选定采样时钟设置为所述第二输出状态的构件包括:

用于当所述一个或多个选定输入处于所述第一输入状态时,通过所述多个第二开关的选定开关把所述选定采样时钟连接到所述共用节点的构件;以及

用于在从所述第一时钟状态到所述第二时钟状态的每个时钟过渡,由通过所述第一开关把所述选定采样时钟连接到保持在所述第二输出状态的所述节点来把所述选定采样时钟设置为所述第二输出状态的构件。

24. 如权利要求23所述的电路,其中:

用于将所述选定采样时钟连接到所述共用节点的构件包括当所述一个或多个选定输入处于所述第一输入状态时通过所述多个第二开关的选定开关和并行下拉路径把所述选定采样时钟连接到所述共用节点的构件。

用于减少采样电路时序不匹配的装置和方法

[0001] 优先权数据

[0002] 本申请主张2013年3月7日提交的临时专利申请序列号No.61/774,432的优先权,所述临时专利申请由此以引用的方式全部并入本文。

技术领域

[0003] 本公开一般涉及采样电路,且更具体涉及用于生成具有减少的时序不匹配的采样时钟信号的装置、系统、电路和相关方法。

背景技术

[0004] 模拟数字转换器(ADC)使用采样电路,所述采样电路在某个时间点采样模拟输入信号并然后把所述样本转换成数字值来创建数字信号。ADC的使用在涉及接收由模拟信号表示的输入信号或输入数据并然后操作以把模拟信号转换成数字信号来以数字形式进行进一步处理的应用中很常见。为了准确地转换模拟输入信号,应完成采样电路执行的对输入信号的采样,使得它向转换器提供样本,所述样本表示尽可能精确的模拟输入信号。随着将要转换的模拟输入信号的频率(F_{in})增大,必要的采样频率也增大。由于使用ADC的应用类型数量增大,对能够在越来越高的操作速度下操作的ADC的需求也增大。

[0005] 使用多个通道来在时间交错基础上处理模拟输入信号的时间交错ADC是一种类型的已开发用于高速应用、高速实施等的ADC。交错也可降低给定分辨率的功耗。这是因为,随着单通道ADC的采样率接近所用技术的极限,单通道ADC的速度/功率权衡变得非线性:从而使得交错成为有吸引力的替代。如果足够数量的ADC通道交错,那么每个都承受线性速度/功率权衡,并因此,达到最佳框架。在评估任何系统的整体性能时也应考虑到与交错相关的系统开销。另外,对于大约为8位和以上的分辨率,应除去通道之间的不匹配,例如交错通道中每一个上的样本之间的时序不匹配。这可例如通过前景或背景校准来进行。

[0006] 比起单通道ADC,时间交错ADC有效地提供数字到模拟转换的采样率上的速度优势,因为转换率与通道数量成比例增加。在时间交错ADC中,每个通道能够依次采样模拟输入信号。在N个通道并联操作的情况下,采样率比单通道ADC的增加了N倍。在从一个通道进行采样的时间期间,来自其它通道的样本可被处理。因此,时间交错ADC以比单通道系统高的速率生成数字码字。然而,时间交错ADC的缺点是因为不同通道之间的不匹配而会产生的误差。交错技术对通道之间的时序不匹配很敏感。

[0007] 因此,除了提高转换速度之外,交错也降低了亚稳态率,从而使ADC更稳定。由于每个通道被给予更长的时间来进行转换,亚稳态的概率按指数规律下降。在一般意义上,交错ADC的性能通常由通道之间的不匹配限制。在8位或更高的分辨率下,增益、偏移和时序不匹配严重影响整体的信号对(噪音+失真)的比值(SNDR)。很多时候,时序不匹配最难校准,因为它不容易适于检测或校正。

[0008] 在典型时间交错采样ADC中,采样信号用以在ADC的交错通道中每一个上控制采样时序。跟踪和保持电路可用以当采样信号从一个状态变化为另一状态时跟踪(并然后进行)

来自通道的模拟输入信号的样本:触发开关以保持模拟输入信号的采样。开关之间的任何不匹配和采样信号的边缘之间的任何时序不匹配使得来自交错通道的交错样本的序列在时间上非均匀间隔。样本的非均匀间隔导致在采样系统的输出序列中出现非期望的频谱分量。这些频谱分量通常产生期望的采样信号的图像,且经常发生在输出频谱中非期望的位置。例如,在简单的双通交错系统中,采样时钟中的时序不匹配会导致期望信号的图像出现在频率为 $F_s/2 \pm F_{in}$ 处,其中 F_s 是系统的采样频率且 F_{in} 是系统的输入信号的频率。图像的量值与采样通道之间的时间差成比例,且也与输入信号的频率成比例。这些误差特别是在较高的输入频率下降低了采样系统的最大可实现无杂散动态范围(SFDR)。

[0009] 减少时序不匹配造成的光谱产物的影响成本很高。可使用消耗大量功率的大型数字滤波器。或者,低功耗模拟电路可用以把时序误差“修整”成较小值。然而,在任一情况下,可降低误差至低于可接受的水平并保持在可接受的水平[而不管电源、温度、模具应力等的环境变化如何]的程度可取决于误差最初是多小。小的初始误差倾向于保持较小,而大的初始误差可通过修整而被减小,但倾向于随着环境变化出现而显著漂移。

[0010] 因为时序误差如此难以除去,所以系统经常通过使用另外的网络来使用采样网络的随机化的某种形式。这并不除去时序误差的影响。随机化简单地把误差更随机地分布在时间上,而不是在固定的模式上。这倾向于会把误差传入系统的本底噪声。这个动作会增加系统的本底噪声,并进一步降低了采样系统可达到的最大信号噪声比(SNR)。因此,最小化时序误差最大化系统可达到的潜在信号噪声比(SNR)。这是真的,即使在也使用随机化时也是如此。具有小的初始时序误差的系统在任何时间交错ADC系统中提供了优势。因此,希望有一种解决方法来最小化时间交错ADC中的时序不匹配,所述方法要实施起来复杂性低、实施起来相对简单并且可单独使用或与其它技术组合使用。

发明内容

[0011] 本公开一般涉及用于生成控制采样系统的采样信号的装置、系统、电路和方法。在示范性实施方案中,所述方法、系统和装置可包括生成作为用于具有多个交错采样通道的时间交错采样电路的采样时钟的输出的电路。可实施所述电路,使得在多个交错通道中每一个的采样时钟电路之间共享共用电路。使用共用电路允许统一控制采样时钟之间相对于彼此的时序关系。所述方法可减少采样时钟之间的时序偏差。在实施方案的示范性实施中,多个交错采样通道可包括模拟数字转换器(ADC)电路的交错采样通道。

[0012] 在一个实施方案中,提供一种用于接收包括输入时钟信号的多个输入信号并生成多个采样时钟的电路。所述电路包括第一电路,其被配置以把多个采样时钟的每个采样时钟选择性设置为第一输出状态,其中当多个输入信号的选定输入被设置为第一输入状态时,多个采样时钟的选定采样时钟被设置为第一输出状态。所述电路也包括第二电路,其被配置以通过公共路径把多个采样时钟中每一个过渡到第二输出状态,其中选定采样时钟是响应于输入时钟信号从第一时钟状态过渡到第二时钟状态而通过公共路径从第一输出状态过渡到第二输出状态。

[0013] 在另一实施方案中,电路可包括用以生成作为时间交错采样电路的采样时钟的提升的输出的升压电路。提升的采样时钟提供较高的信号电平来开启采样时钟输出驱动的开关。可实施所述电路,使得可在多个交错通道中每一个的采样时钟电路之间共享共用电路。

使用共用电路可允许统一控制提升的采样时钟之间的时序关系。

[0014] 在又一实施方案中,电路可包括采样电路,所述采样电路包括多个采样通道,每个采样通道被耦接到对应于多个采样时钟中一个采样时钟的第一电路的输出端。采样电路可被配置以当选定采样时钟从第二输出状态过渡到第一输出状态时从多个通道的选定通道生成样本。

[0015] 在另一示范性实施方案中,所述方法、系统和装置包括用以生成作为时间交错采样电路的采样时钟的输出的电路,所述时间交错采样电路包括通过使用共同时钟信号来最小化采样时钟之间的时序偏差的结构,所述共同时钟信号控制可在多个交错通道中每一个的采样时钟电路之间共享的上拉/保持电路。使用共用上拉/保持电路允许控制多个交错通道的采样时钟的边缘之间相对于彼此的时序关系以最小化时钟偏差。在上拉/保持电路的这个实施中,可提升采样时钟。

[0016] 在其它示范性实施方案中,方法、系统和装置包括用以生成作为时间交错采样电路的采样时钟的输出的电路,所述时间交错采样电路可包括通过使用共同时钟信号来最小化采样时钟之间的时序偏差的结构。共同时钟信号控制可在多个交错通道中每一个的采样时钟电路之间共享的上拉/保持电路和下拉电路。使用共用上拉/保持电路和下拉电路允许控制多个交错通道的采样时钟的边缘之间(相对于彼此)的时序关系以最小化时钟偏差。在上拉/保持电路和下拉电路的实施方案的示范性实施中,可提升采样时钟。

附图说明

[0017] 为了提供对本公开和本公开的特征和优势的更完整的理解,可参考结合附图进行的以下描述,其中相同的参考数字表示相同的部件,在附图中:

[0018] 图1A示出本公开的实施方案的示范性开关级图;

[0019] 图1B示出图1A的实施方案的示范性时序波形;

[0020] 图2示出图1的实施方案的下拉电路的示范性实施;

[0021] 图3A示出根据本公开的另一实施方案的采样电路;

[0022] 图3B示出图3A的实施方案的上拉/保持电路的示范性实施;

[0023] 图4A示出根据本公开的又一实施方案的采样电路;

[0024] 图4B示出图4A的实施方案的上拉升压/保持电路的示范性实施;

[0025] 图5示出根据本公开的另一实施方案的上拉升压/保持和下拉采样电路的示范性实施;

[0026] 图6A示出根据本公开的又一实施方案的上拉和下拉采样电路的示范性实施;和

[0027] 图6B示出图6A的实施方案的示范性时序波形。

具体实施方式

[0028] 本公开一般涉及用于生成控制采样系统的采样信号的装置、系统和方法。更具体而言,本公开的装置、系统和方法提供用于生成交错采样电路的采样时钟的实施方案,所述实施方案最小化交错采样电路的多个通道的采样时钟之间的不匹配和时序偏差。

[0029] 现在参考图1A,其中是被配置以在交错模拟数字转换器(ADC)中生成采样时钟的本公开的示范性实施方案的开关级图。图1A示出ADC采样电路200,采样电路200包括交错

ADC通道电路208和用于生成采样时钟的电路,所述电路包括下拉电路204、电压电路202和电压电路206。ADC电路208在输入端Vi接收模拟输入信号并在输出端Vo生成模拟输入信号的样本。在Vo的样本输出然后可被转换成数字值以进行进一步的处理。

[0030] 图1A的开关级实施示出了在采样电路200的各个部分中示出的开关S20-S34。图1A的示范性实施方案中个别开关S20-S34中每一个代表被配置以把两个节点耦接在一起的逻辑电平开关。当开关输入信号处于低状态或低逻辑状态时,每个开关断开,且当由开关上各自的信号名称标签指示的开关输入信号移到高信号电平或高逻辑状态时,每个开关闭合连接。例如,当信号Q0移到高信号电平或高逻辑状态时,被配置以把Vi耦接到C0的开关S20激活并闭合Vi和C0之间的连接。虽然图1A把示范性实施方案示出为特定逻辑开关级实施,但是应注意,图1A的开关功能可在开关电路的许多不同配置中实施。例如,在其它实施中,开关中的一个或多个可由开关输入上的低逻辑状态而不是高逻辑状态来激活。另外,本公开的各种实施方案的电路可用使用不同组件的不同类型的技术来实施。例如,电路可包括使用NMOS或PMOS逻辑的MOSFET实施的开关逻辑。又,虽然图1A的实施方案示出特定输入信号和输出信号以及这些信号之间的时序关系,但是应注意,实施方案的优势可通过使用输入和输出信号的不同布置来实现,所述输入和输出信号具有不同的逻辑状态和这些信号之间的不同的时序关系。另外,应注意,虽然图1A示出两个交错通道,但是图1A的实施可被扩展到生成用于大于二的任何数量的交错通道的采样时钟。

[0031] 在图1A的实施方案中,采样电路200的操作可由在输入端SEL0、SEL1、Q0、Q1和CLK接收的输入信号来控制。这些输入信号相对于彼此的逻辑状态和时序控制采样信号在采样时钟输出Qp[0]和Qp[1]的生成,所述采样信号分别触发在通道0和通道1上采样。在下拉电路204和拉升压电路202、206中生成的采样时钟输出Qp[0]和Qp[1]控制何时分别在输入端Vi处的模拟信号输入的通道0和通道1上进行采样。实施方案提供了优势,因为下拉电路204(结合电压电路202和206发挥作用)允许通过使用CLK输入信号的共用节点N和共用开关S28来控制输出Qp[0]和Qp[1]处的信号的时序。通过共用节点N、共用开关S28和开关S26和S27来控制输出Qp[0]和Qp[1]处的信号的时序最小化对ADC的时钟偏差的影响和时序不匹配的影响。这个优势可扩展到通过把开关添加到包括开关S26和S27的多个开关用于生成采样时钟的每个另外的输出端从而把另外的输出端耦接到节点N来为大于二的任何数量的交错通道生成采样时钟。

[0032] 现在参考图1B,其中示出图1A的实施方案的时序电路的输入信号的示范性时序波形。图1B示出CLK、SEL0、Qp[0]、Q0、SEL1、Q1和Qp[1]信号的示范性时序波形。输入SEL0和SEL1被输入到下拉电路204并控制整体系统时序以进行采样。在图1A的实施方案中,SEL0、Q0、SEL1和Q1并不直接输入交错采样通道电路208,而是输入下拉电路204和升压器电路202和206。下拉电路204和电压电路202和206然后生成输出Qp[0]和Qp[1]以触发在交错采样电路208中采样。输入Q0可基于SEL0生成并被定时以具有跟随Qp[0]的下降边缘的下降边缘。输入Q1可基于SEL1生成并被定时以具有跟随Qp[1]的下降边缘的下降边缘。CLK信号然后可被输入到下拉电路204并用以控制Qp[0]和Qp[1]驱动的采样的相对时序。在实施方案中,图1B示出,SEL0和SEL1作为极性相反的周期性波形,且CLK信号可被输入作为周期脉冲,所述周期脉冲可被定时使得CLK高逻辑状态包含SEL0和SEL1的下降边缘。

[0033] 参考图1A和1B,为了进行解释,当在时间T1上SEL0高而SEL1低时,Q1和SEL1处于低

逻辑状态将使开关S25和S26打开而使Qp[1]保持处于其之前的状态,所述之前的状态将为低逻辑状态。也在时间T1,输入Q1将为低且Vi将被开路的S21切换与交错通道1断开,且输入SEL0和Q0为高将使S30和S27闭合而S29开路。在此之前,当输入Q0之前为低时,S29闭合且VTOP被连接到电容器C11的顶板。当Q0变高时,S29开路,从而把VTOP采样到电容器C11的顶板上。因此,采样到C11上的电压VBST将等于VTOP和低电平逻辑信号Q0的实际电压电平之间的差。当Q0变高时,S30闭合且Qp[0]将处于等于高逻辑状态输入Q0的电压电平加上VBST的实际电压电平下的高逻辑状态。QP[0]变成高逻辑状态接通S32并把通道0连接到电压Vcmin。Qp[1]为低将保持S22开路,且Q0为高将闭合S20,从而允许电容器C0跟踪输入信号Vi。当SEL0如图1B中示出为在时间T2仍然为高的时,CLK输入可被定时以变成高状态。当在SEL0为高的情况下CLK在T2移到高时,开关S28闭合并通过S27把Qp[0]拉到节点201的电压电平,节点201的电压电平例如可保持为接地。Qp[0]变低关断开关S32,且触发在Qp[0]移到低并切断S32时的时间在通道0上进行对Vin的值的采样。当SEL0随后在时间T3上移到低而SEL1移到高时,开关S20将开路而开关S22和S33将闭合,从而允许在输入端Vi的模拟输入信号的样本在交错ADC通道电路208的输出端Vo输出。在T3之前的时间期间,当Q1处于低状态时,S24闭合且VTOP连接到电容器C10的顶板。这把C10充当到等于输入Q1低状态和VTOP之间的电压差的电压,且所述电压等于VBST。当Q1在时间T3之后变高时,S24开路,S25闭合且VTOP可被采样到电容器C10的顶板上。

[0034] 当SEL0在T3上移到低时,SEL1移到高,且之前描述的在Qp[0]生成用于交错采样通道0的采样时钟的过程类似于在Qp[1]生成用于交错采样通道1的采样时钟发生,其中在所述过程中,SEL1、Q1和Qp[1]信号分别代替SEL0、Q0和Qp[0],电容器C10代替电容器C11,且开关S21、S23、S24、S25、S26和S34分别代替开关S20、S22、S29、S30、S27和S33。类似地,如在通道0上,当Qp[0]通过CLK在T2变高而被拉低时,当Qp[1]被通过当SEL1为高时CLK信号在T4变高而由S26和S28从高逻辑状态输入Q1的电压电平加上VBST拉低时,将进行通道1上的采样。在图1A的两个通道实施方案中,在CLK输入从低状态到高状态的后续过渡上,采样时钟Qp[0]和Qp[1]继续交替触发在通道0和通道1上采样。例如,在图1B中,采样将通过CLK输入在时间T5从低状态过渡到高状态来在通道0上触发,且样本将通过CLK输入在时间T6从低状态过渡到高状态来在通道1上生成。在具有大于两个的多个交错通道(例如多个N交错采样通道)的图1A的电路的实施方案中,将分别在N个采样通道中每一个上交替地进行模拟信号的采样。这可通过在输入端SEL[0]...SEL[N]和Q0...QN上生成适当定时的输入信号来进行,使得当CLK输入从低状态过渡到高状态时,在通道上触发采样的输入被交替性地一次一个地设置为高状态。

[0035] 因此,在图1A的实施方案中的交错通道的采样时钟Qp[0]和Qp[1]被共用节点N同步到CLK信号的上升边缘,共用节点N通过一个共用开关S28创建的公共路径被拉到节点201的状态。这减少了SEL0和SEL1之间或将以其它方式用作采样时钟来对通道采样的其它采样时钟信号之间的时序不匹配的影响。在具有大于两个的多个交错采样通道的实施方案中,公共路径的使用将以相同的方式使采样时钟Qp[0]...Qp[N]中每一个同步。实施方案提供优势,因为开关S28可使用单个晶体管来实施,从而把从CLK输入的上升边缘到Qp[0]的下降边缘和从CLK的上升边缘到Qp[1]的下降边缘的传播延迟路径中的差最小化,因为两个信号都是通过开关S28通过相同的路径被下拉到低的。如果各自包括单独晶体管的单独逻辑门

用于把Qp[0]和Qp[1]设置为低,那么不管逻辑门如何被创建,由于制造差异,通过从CLK的上升边缘到Qp[0]的下降边缘和从CLK的上升边缘到Qp[1]的下降边缘的每个门的传播延迟中将会有差异。采样时钟Q1p[0]和Q1[1]的下降边缘(即,控制采样开关的关断瞬间的边缘)的均匀间隔对于保持均匀间隔的输入采样很重要。在这个实施方案,上升边缘的均匀间隔可能不是很关键。

[0036] 另外,图1A的实施方案提供了具有使Qp[0]和Qp[1]信号升压以驱动开关S23、S32和S22、S31的电压电路202和206的另外的优势,开关S23、S32和S22、S31分别由Qp[0]和Qp[1]用提升的电压完整并干净地接通。

[0037] 现在参考图2,其中示出了晶体管级电路,所述晶体管级电路是图1A的提升电压电路202和206和下拉电路204的示范性实施。图2的实施包括升压器电路302和306和下拉电路304,所述电路分别与图1A的具有相同功能的提升电压电路202和206和下拉电路204相关。如图1A和图1B的实施方案所述,图2的实施的电路接收输入SEL0、SEL1、Q0、Q1和CLK,并生成输出Qp[0]和Qp[1]。下拉电路304包括MOS晶体管MN_Pulldown、MN31和MN33。MN31和MN33各自被配置以分别把对应的电路输出Qp[0]和Qp[1]耦接到共用节点N。MN33的漏极终端可连接到Qp[1]采样时钟输出端,且MN31的漏极可连接到Qp[0]采样时钟输出。MN31和MN33两者的源极终端在共用节点N连接到MN_Pulldown的漏极终端。MN_Pulldown的源极终端可连接到节点301,从而通过MN_Pulldown把共用节点N耦接到节点301。在实施方案中,节点301可保持在电压电平0或接地。SEL0、SEL1和CLK被分别输入到MN31、MN33和MN_Pulldown的栅极终端。当Q1为低时,升压器电路302中的栅极控制电路321开启MN34。这将电容器C30充电至Q1(处于低逻辑状态)的电压和V_{TOP}之间。当Q0为低时,升压器电路306中的栅极控制电路320类似地开启MN32。这将电容器C31充电至Q0(处于低逻辑状态)的电压和V_{TOP}之间。

[0038] 升压器电路302的一个目的是使用大栅源电压(V_{GS})开启Qp[0]和Qp[1]驱动的采样开关,即使当电源电压比起用以对输入信号采样的晶体管的阈值电压是有限的或很小的时候也是如此。应注意,在许多低电压CMOS采样电路中,时钟升压的使用对于开启开关很重要。

[0039] 如相对于图1A的开关级实施所述,当在SEL0、SEL1、Q0、Q1和CLK上向图2的电路提供相同的输入时,图3的电路300在Qp[0]和Qp[1]上提供输出信号波形,所述输出信号波形具有与图1B中示出的关系相同的关系。虽然图2使用NMOS晶体管示出了图1A的部分的特定晶体管级实施,但是应注意,在不脱离本公开的宽广范围的情况下,可易于配置具有相同功能的许多不同晶体管和组件级实施。例如,PMOS晶体管可用以创建实施方案的实施。

[0040] 现在参考图3A,其中示出根据本公开的又一实施方案的采样电路400。图3A的实施方案包括下拉逻辑404和上拉/保持逻辑406、408和410。图3A的实施方案示出为被配置以生成用于3通道交错ADC的采样时钟,但所述电路可被减少或扩展到与任何数量的采样通道操作。每个上拉/保持逻辑部分406、408、410与3个采样通道中的一个采样通道操作。在图3A的实施方案中,上拉/保持逻辑部分406、408、410可各自实施为图3B示出的实施方案的示范性晶体管实施(即,上拉/保持逻辑401)。

[0041] 参考图3B,上拉/保持逻辑401包括反相器412和MOS晶体管M1PU、M2PU和M1HD。上拉部分416包括被配置以把V_{DD}耦接到输出端OUT的M1PU和M2PU。当CLK输入为低而SEL输入为高时,上拉部分416通过M1PU和M1PU把输出端OUT上拉到V_{DD}。保持部分414包括被配置以把

输出端OUT耦接到节点403的晶体管M1HD。当SEL为低时,M1HD开启并保持OUT处于节点403的低状态。对于根据图3A的实施方案的每个通道,上拉/保持逻辑406、408和410可通过以下动作来实施:把用于每个通道的合适的采样输入SEL[0]、SEL[1]或SEL[2]连接到为每个通道独立实施为上拉/保持逻辑401的电路的SEL输入端;把每个上拉/保持逻辑406、408和410的CLK输入端连接到实施为上拉/保持逻辑401的电路的CLK输入端;以及对于每个通道,把实施为上拉/保持逻辑401的每个上拉/保持逻辑406、408和410的OUT终端连接到合适的输出Qp[0]、Qp[1]或Qp[2]。上拉/保持逻辑电路406、408和410分别在Qp[0]、Qp[1]或Qp[2]生成合适的采样时钟信号,以用于结合下拉电路404依次触发在三个交错通道上采样。

[0042] 再次参考图3A,下拉电路404包括MOS晶体管MN_Pulldown、MN2[0]、MN2[1]和MN2[2]。下拉电路404类似于图1A和图2的下拉电路204和下拉电路304起作用,不同的是,图3A的实施方案中的下拉电路404可被配置以生成输出采样时钟信号Qp[0]、Qp[1]和Qp[2],来采样三个通道而不是两个通道。对于图3A的采样电路400的实施方案,CLK信号的另外的周期可被添加到第三通道。通过把输入信号SEL0、SEL1、SEL2和CLK施加到电路400,每个信号Qp[0]、Qp[1]或Qp[2]可通过依次或随机地分别由合适的上拉/保持逻辑部分406、408或410设置为高且然后可被下拉电路404下拉来循环。每个采样时钟Qp[n]可由其各自的上拉网络独立地设置为高。在这种状态下,对应的选择线将处于高状态,而CLK处于低状态。作为一个实例,当SEL[0]为高且CLK为低时,Qp[0]将被设置为高。在这种情况下,所有其它Qp[n]通道将为低,而它们各自的SEL[n]输入被设置为低状态。

[0043] 在采样时间,当CLK输入从低状态过渡到高状态时,下拉电路404可用以通过CLK信号升高并开启MN_Pulldown来经由共用节点N通过MN_Pulldown来分别通过MN2[0]、MN2[1]或MN2[2]把Qp[0]、Qp[1]或Qp[2]下拉到节点403的低状态。例如,当SEL[0]处于高状态且CLK输入从低状态过渡到高状态时,Qp[0]将通过MN_Pulldown和MN2[0]被下拉。Qp[0]开始下降的瞬间主要由MN_Pulldown响应于输入信号CLK从低状态过渡到高状态的开启特性来确定,且在更小的程度上,由MN2[0]的阈值电压来确定。以类似的方式,当合适的SEL[n]输入为高时,其它采样时钟Qp[n]中的每一个将在主要由MN_Pulldown响应于CLK信号从低状态过渡到高状态而确定的时间开始下降。所述时间在更小的程度上也将由各自的MN2[n]晶体管的阈值电压来确定。这个实施方案的一个优势是本公开中每个采样时钟输出Qp[n]的高到低过渡的开始主要由单一晶体管来控制。如MN2[n]示出的通栅晶体管的次级效应对下降边缘的开始的影响大大减少。

[0044] 现在参考图4A,其中示出根据本公开的又一实施方案的采样电路500。采样电路500包括下拉电路504和上拉升压/保持电路506和508。图4A的实施方案示出为被配置以生成用于2通道交错ADC的采样时钟,但所述电路可被扩展到与任何数量的交错通道操作。采样电路500包括用于每个采样通道的上拉升压/保持逻辑部分506和508。在图4A的实施方案中,上拉升压/保持逻辑部分506和508可各自根据图4B中示出的示范性实施来实施。

[0045] 参考图4B,其中是图4A的实施方案的上拉升压/保持电路506和508的示范性实施。上拉升压/保持电路501包括NAND门512、反相器511、514和516、MOS晶体管MNHD、开关SB1、SB2、SB3和SB4和电容器CB1。逻辑上,上拉升压/保持电路501生成上拉升压电路518的控制,使得当SEL为高且CLK为低时,OUT输出端上的电压可被提升到比电源电压V_{dd}高出电压V_{bias}。当SEL为低或CLK为高时,上拉升压电路518被从输出端OUT断开,并改为将电容器CB1

充电到偏压VBIAS。上拉升压电路518的一个目的是使用OUT输出端上的大栅源电压(VGS)来开启Qp[0]和Qp[1]驱动的采样开关,所述VGS被提升到比电源电压Vdd高出电压Vbias。这将驱动采样开关,即使当电源电压比起用以对输入信号采样的晶体管的阈值电压是有限的或很小的时候也是如此。保持电路512包括MNHD,所述MNHD被配置以把输出端OUT耦接到节点503,保持电路512可被操作以每当SEL为低且MNHD接通时就把输出节点OUT保持在节点503的低状态下。应理解,用以为开关SB1-SB4创建控制信号的逻辑只是为了举例的目的示出,且可在不脱离本公开的范围的情况下使用为开关生成控制信号的其它功能上等效的方法。

[0046] 在图4A的实施方案中,上拉升压/保持逻辑506和508可通过以下动作来实施:把用于每个通道的合适的采样输入SEL[0]或SEL[1]连接到上拉升压/保持电路部分506和508的每个中类似于图4B的上拉升压/保持电路501来实施的电路的SEL输入端。采样电路500的CLK输入信号然后可被连接到每个上拉升压/保持电路部分506和508的CLK输入端,且用于每个通道的采样输出Qp[0]或Qp[1]可被连接到实施为上拉升压/保持电路501的上拉升压/保持电路506或508的合适的OUT终端。通过这样实施,上拉升压/保持电路506和508结合下拉电路504分别在采样时钟输出Qp[0]和Qp[1]生成合适的信号,以依次触发在交错通道上采样。

[0047] 再次参考图4A,下拉电路504包括MOS晶体管MN_Pulldown、MN2[0]和MN2[1]。下拉电路504类似于图1A和图2的下拉电路204和下拉电路304起作用。对于图4A的采样电路500的实施方案,通过把输入信号SEL[0]、SEL[1]和CLK施加到采样电路500,每个信号Qp[0]和Qp[1]可依次分别由上拉升压/保持逻辑部分506和508设置为高状态和下拉电路504来循环。每个采样时钟Qp[n]可由其各自的上拉网络独立地设置为高状态。当Qp[n]处于高状态时,对应的选择线SEL[n]将处于高电平,而CLK处于低电平。作为一个实例,当SEL[0]为高而CLK为低时,Qp[0]将被设置为高。所有其它采样时钟输出Qp[n]将处于低状态,而它们对应的SEL[n]输入被设置为低状态。

[0048] 当CLK输入从低状态过渡到高状态时,下拉电路504经由共用节点N通过经过MN_Pulldown的公共路径来通过MN2[0]或MN2[1]分别把Qp[0]或Qp[1]下拉到节点503的低状态。例如,当SEL0处于高状态且CLK从低状态过渡到高状态时,它将通过MN_Pulldown和MN2[0]把Qp[0]下拉到低状态。Qp[0]开始下降的瞬间可主要由MN_Pulldown响应于CLK从低状态过渡到高状态的开启特性来确定,且在更小的程度上,由MN2[0]的阈值电压来确定。以类似的方式,当SEL[1]输入为高时,Qp[1]将在主要由MN_Pulldown响应于CLK信号从低状态过渡到高状态而确定的时间开始下降。所述时间在更小的程度上也将由MN2[1]晶体管的阈值电压来确定。这具有本公开的实施方案提供的优势,因为每个采样时钟输出Qp[0]或Qp[1]的高到低过渡的开始主要由单一晶体管MN_Pulldown来控制。通栅晶体管MN2[0]和MN[1]的次级效应对下降边缘的开始的影响大大减少。

[0049] 应注意,在诸如图4A的若干示范性实施方案中使用升压电路来使用大栅源电压(VGS)开启Qp[0]和Qp[1]驱动的采样开关,所述VGS被提升到比参考电压(例如,电源电压Vdd)高出预定电压Vbias,这提供了优势:提升的电压驱动采样开关,即使当电源电压是有限的或很小的时候也是如此。当电源电压比起用以对输入信号采样的晶体管的阈值电压是有限的或很小的时候,这确保了当从每个通道进行采样时采样开关被驱动并被接通以提供准确的采样。

[0050] 现在参考图5,其中示出本公开的另一示范性实施方案。图5示出包括下拉电路604和上拉升压/保持电路606和608的采样电路600。在采样电路600的实施方案中,上拉升压/保持电路608包括升压电容器CB1[1]和开关SB3[1],且上拉升压/保持电路606包括升压电容器CB1[0]和开关SB3[0]。每个升压电容器CB1[0]和CB1[1]的底板可被连接到与下拉电路604并联操作的下拉网络。图5的每个通道采样时钟输出Qp[n] (n=0,1)的并联下拉电路包括NMOS晶体管MBST[n],NMOS晶体管MBST[n]的栅极被连接到SEL[n]且它的源极被连接到共用下拉节点N。MBST[n]的漏极可被连接到升压电容器CB1[n]的底板。这个并联下拉配置确保采样时钟Qp[n]的下降边缘在只由主下拉晶体管MN_Pulldown确定的时间开始。共用节点N和每个Qp[n]之间有两个传播路径。一个直接通过被配置以把Qp[n]耦接到共用节点N的MN2[n],而另一个通过MBST[n]、升压电容器CB1[n]且最终通过上拉升压/保持部分606或608中的开关SB3[n]。两个路径通过使用CLK信号开启MN_Pulldown来同时被激活。MN_Pulldown被配置以把共用节点N耦接到节点601。当MN_Pulldown被处于高状态的CLK开启时,共用节点N被设置为节点601的低状态。

[0051] 现在参考图6A和图6B,图6A示出根据本公开的另一实施方案的采样电路700,且图6B示出可用作采样电路700的输入和输出信号的波形的实例。采样电路700生成4个采样时钟Qp[0]-Qp[3]。在实施方案中,采样电路700可生成用于4通道交错ADC的采样时钟信号。采样电路700包括MOS晶体管MN[0]、MN[1]、MN[2]、MN[3]和MP[0]、MP[1]、MP[2]、MP[3]、MN_PU和MN_Pulldown。输入信号SEL0、SEL1、SEL2和SEL3是采样输入,电路700从采样输入生成交错通道ADC的Qp[0]、Qp[1]、Qp[2]和Qp[3]采样时钟信号。图6B示出用于采样电路700的示范性输入波形。可从图6B看出,当SEL0、SEL1、SEL2和SEL3中每一个分别移到高状态时,Qp[0]、Qp[1]、Qp[2]和Qp[3]中每一个输出被每个驱动到高状态,以依次使得能够在时间交错ADC的四个各自的通道中的一个上采样。如之前的实施方案所述,CLK信号输入从低状态过渡到高状态控制了Qp[0]、Qp[1]、Qp[2]和Qp[3]的下降边缘并当输出采样时钟Qp[0]、Qp[1]、Qp[2]和Qp[3]中每一个从高状态过渡到低状态时触发进行采样。例如,当SEL0处于高状态且CLK在时间T0过渡到高状态时,这通过CLK上升边缘开启MN_Pulldown的动作来通过MN[0]、共用节点N1和MN_Pulldown把Qp[0]拉到节点701的低状态。在SEL1、SEL2和SEL3中每一个依次被设置为高且CLK脉冲被输入到采样电路700并在时间T1、T2和T3上从低状态过渡到高状态时,Qp[1]、Qp[2]和Qp[3]的下降边缘中的每一个也发生这个下拉到低状态的动作。然后最小化Qp[0]、Qp[1]、Qp[2]和Qp[3]的下降边缘之间的时序不匹配。对于图6A的输出QP[n]中的每一个,包括晶体管MP[n]中的每一个和MN_PU和共用节点N2的上拉电路用以在通过CLK开启MN_Pulldown来触发采样之前通过MP[n]、共用节点N2和MN_PU把Qp[n]拉到节点702的高状态。

[0052] 在以上实施方案的讨论中,开关和晶体管被认为是当控制信号为高时接通而当控制信号为低时断开,如例如NMOS晶体管的情况。然而,应注意,使用互补式开关和互补式驱动电平是实施开关的同样可行的选择。即,PMOS晶体管可用互补式栅极驱动电路来替换NMOS晶体管,且NMOS和PMOS晶体管都可使用控制信号的两种极性来并行使用。另外,虽然实施方案各自显示为具有特定数量的采样通道,但是本领域技术人员应认识到,实施方案可应用于任何数量的交错通道。

[0053] 注意,上文参照附图所讨论的活动适于涉及信号处理的任何集成电路,特别是可

执行专门的软件程序或算法的集成电路,一些集成电路可能与处理数字化的实时数据相关。某些实施方案可涉及多DSP信号处理、浮点处理、信号/控制处理、固定功能处理、微控制器应用等。

[0054] 在某些上下文中,本文中所讨论的特征可适用于医疗系统、科学仪器、无线和有线通信、雷达、工业过程控制、音频和视频设备、电流检测、仪器(可以是高度精确的)和其它基于数字处理的系统。

[0055] 另外,上文所讨论的某些实施方案可在数字信号处理技术中置备用于医疗成像、病人监护、医疗仪器和家庭医疗保健。这可包括肺显示器、加速度计、心率监视器、心脏起搏器等。其它应用可涉及用于安全系统(例如,稳定控制系统、驾驶辅助系统、制动系统、信息娱乐系统和任何种类的内部应用)的汽车技术。此外,动力总成系统(例如,在混合动力和电动汽车中)可把高精度的数据转换产品用于电池监测、控制系统、报告控制、维护活动等。

[0056] 在另一些示范性场景中,本公开的教导可适用于包括帮助提高生产力、能源效率和可靠性的过程控制系统的工业市场。在消费者应用中,上文讨论的信号处理电路的教导可用于进行图像处理、自动聚焦和图像稳定(例如,用于数字静态照相机、摄像机等)。其它消费者应用可包括家庭影院系统、DVD刻录机和高清电视的音频和视频处理器。然而,其它消费者应用可涉及到先进的触摸屏控制器(例如,用于任何类型的便携式媒体设备)。因此,此类技术可很容易地成为智能手机、平板计算机、安防系统、个人计算机、游戏技术、虚拟现实、模拟训练等的一部分。

[0057] 在一个示范性实施方案中,附图的任何数量的电路可在相关电子设备的母板上实施。母板可为可保持电子设备的内部电子系统的各种组件并进一步为其它外围设备提供连接器的一般电路板。更具体说来,母板可提供系统的其它组件可用以电通信的电气连接。任何合适的处理器(包括数字信号处理器、微处理器、配套芯片组等)、存储器元件等可基于特定配置需求、处理需求、计算机设计等适当地耦接到母板。诸如外部存储、另外的传感器、用于音频/视频显示器的控制器和外围设备的其它组件可连接到母板作为插卡、通过电缆连接到母板或集成到母板本身。

[0058] 在另一示范性实施方案中,附图的电路可实施为独立模块(例如,具有被配置以执行具体应用或功能的相关组件和/或电路的设备)或作为插件模块实施到电子设备的专用硬件中。注意,本公开的特定实施方案可容易地部分或整体包括在片上系统(SOC)封装中。SOC代表把计算机或其它电子系统的组件集成到单芯片的IC。它可包含数字、模拟、混合信号和常见的射频功能:所有这些都提供在单芯片基板上。其它实施方案可包括多芯片模块(MCM),其中多个单独的IC位于单电子封装中且被配置以通过电子封装彼此密切互动。在各种其它实施方案中,放大功能可在专用集成电路(ASIC)、现场可编程门阵列(FPGA)和其它半导体芯片中的一个或多个硅芯中实施。

[0059] 也应注意,本文概述的所有规格、尺寸和关系(例如,处理器和存储器元件的数量、逻辑运算等)仅为举例和教导的目的而提供。所述信息可在不脱离本公开的精神或所附权利要求书的范围的情况下大不相同。说明书只适用于一个非限制性的实例并因此它们应被这样理解。在上文的描述中,示范性实施方案已参阅特定处理器和/或组件布置进行了描述。在不脱离所附权利要求书的范围的情况下可对此类实施方案进行各种修改和变化。因此,说明书和附图应理解为说明性意义而不是限制性意义。

[0060] 注意,在本文提供的若干实例中,交互可就两个、三个、四个或更多个电子组件进行描述。然而,这只是为了清晰和举例的目的而进行。应理解,系统可用任何适当的方式来合并。沿着类似的设计方案,附图的任何示出的组件、模块和元件可在各种可能的配置中组合,所有这些都明显在本说明书的广泛范围内。在某些情况下,通过仅参照有限数量的电子元件可能易于描述给定流程的集合的一个或多个功能。应理解,附图的电路和它的教导容易缩放且可容纳更大数量的组件以及更复杂/精密的布置和配置。因此,所提供的实例不应限制潜在适用于无数其它架构的电路的范围或抑制电路的广泛教导。

[0061] 注意,在这个说明书中,包括在“一个实施方案”、“示范性实施方案”、“实施方案”、“另一实施方案”、“一些实施方案”、“各种实施方案”、“其它实施方案”、“替代性实施方案”等中的各种特征(例如,元件、结构、模块、组件、步骤、操作、特性等)的引用旨在意指任何此类特征包括在本公开的一个或多个实施方案中,但是可能或可能不必在相同的实施方案中组合。

[0062] 本领域技术人员可确定许多其它的变化、替换、变型、改变和修改,且意图是,本公开包括落在所附权利要求书的所有此类变化、替换、变型、改变和修改。为了协助美国专利和商标局(USPTO)以及另外协助本申请发布的任何专利的任何读者解释所附权利要求,申请人希望注意的是,申请人:(a)不打算任何所附的权利要求书存在于申请日时援引35U.S.C.第112条第六(6)段,除非用语“用于……的手段”或“用于……的步骤”明确地在特定的权利要求中使用;和(b)不打算通过本说明书中的任何陈述来用未在所附权利要求中体现的任何方式限制本公开。

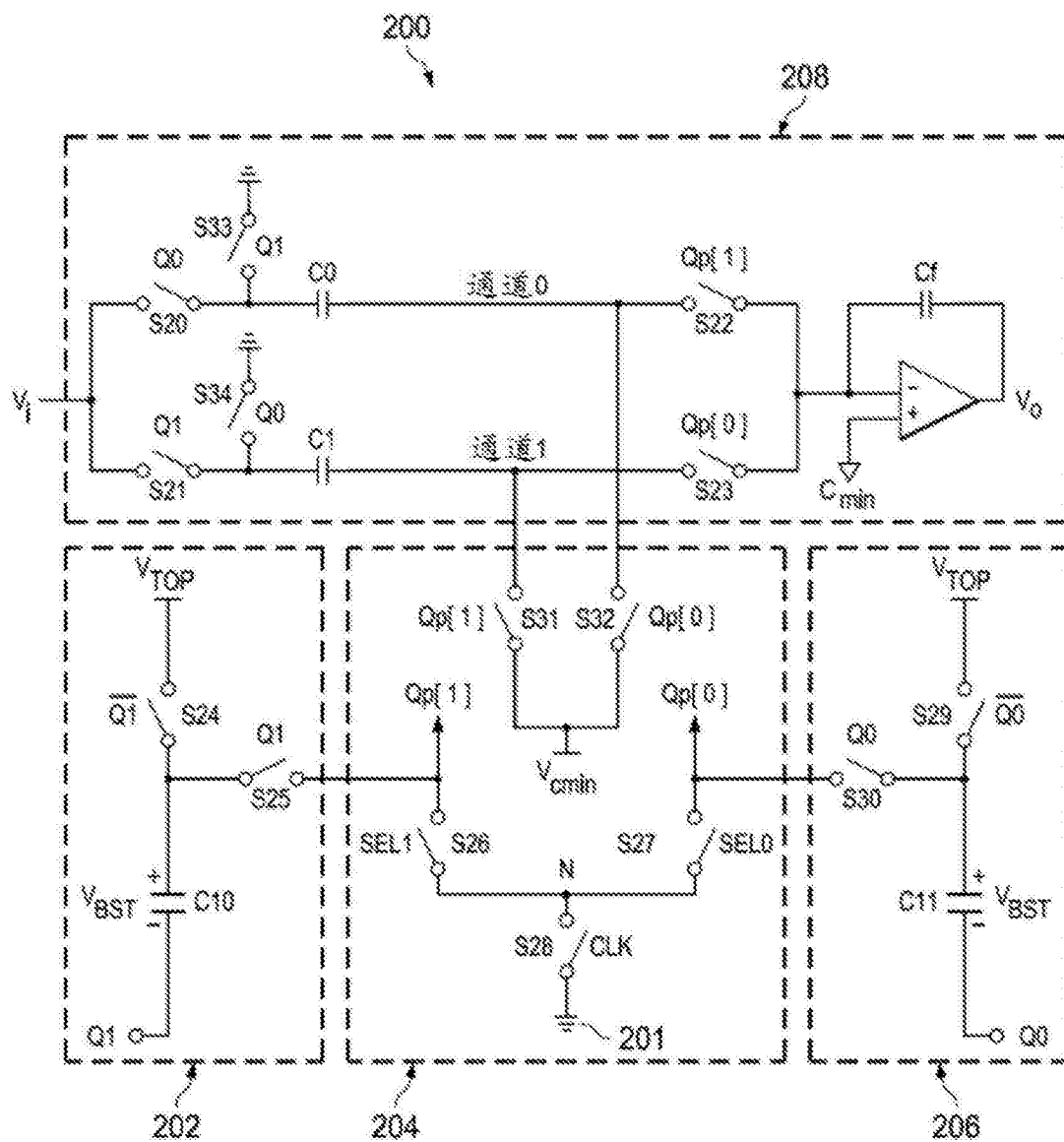


图1A

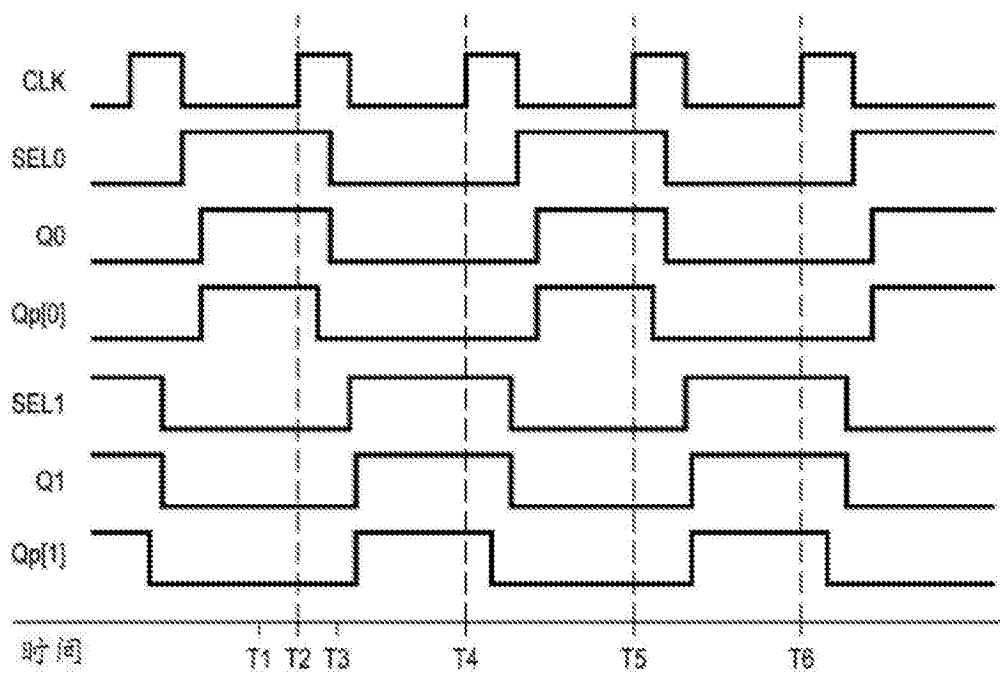


图 1B

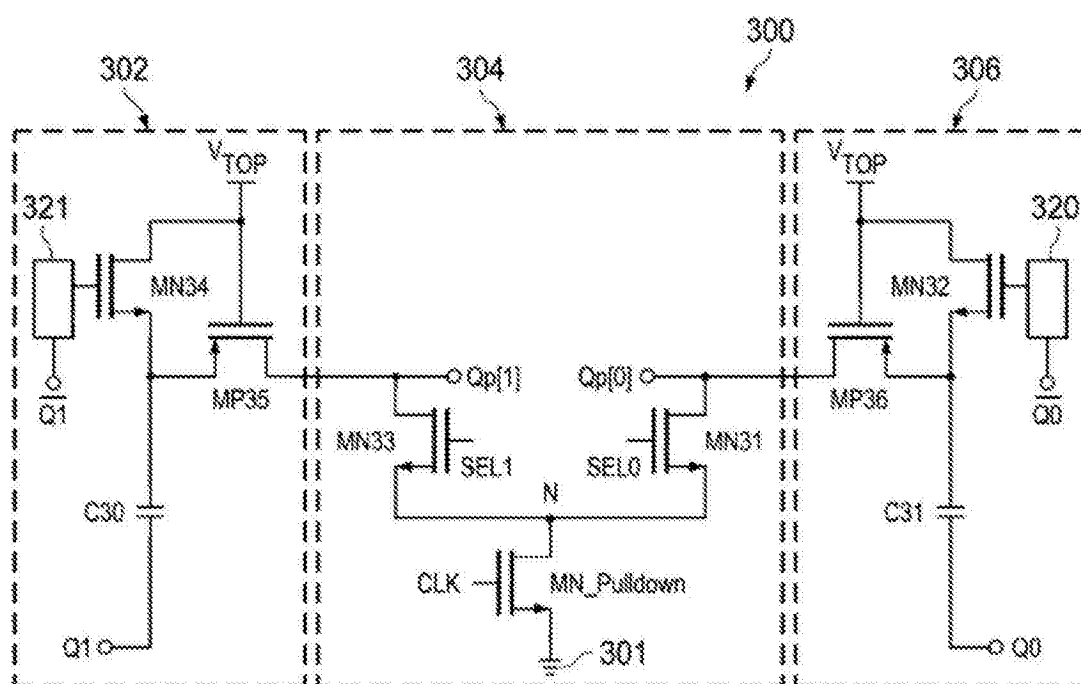


图2

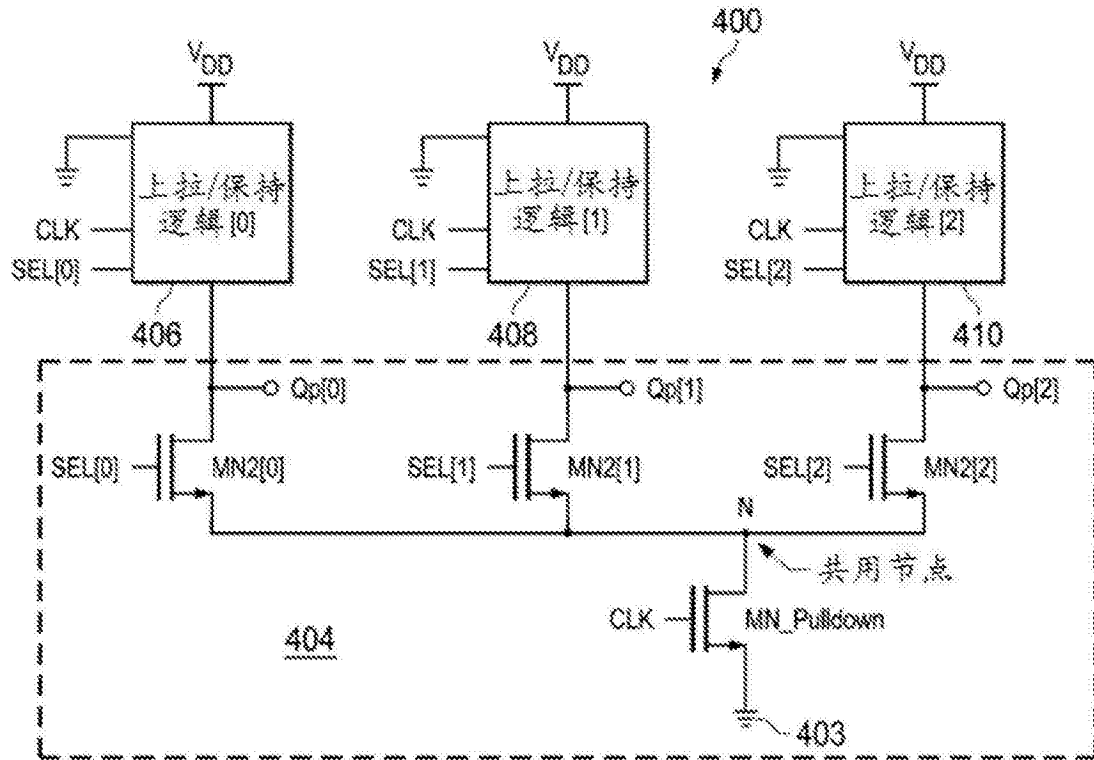


图3A

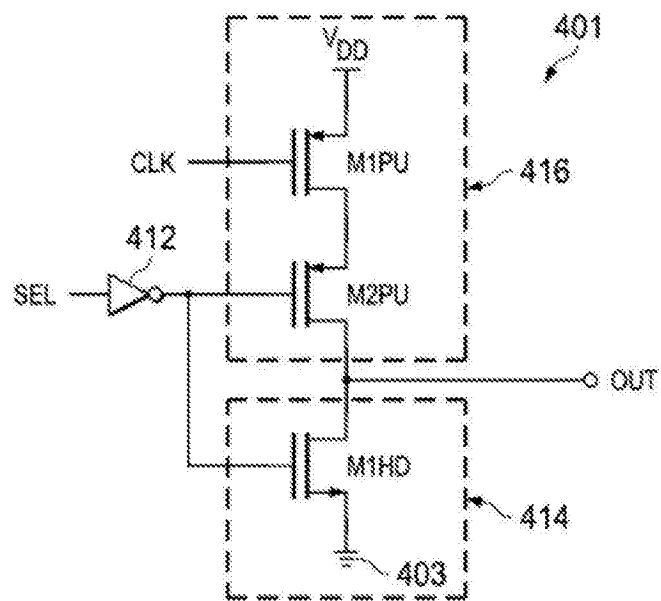


图3B

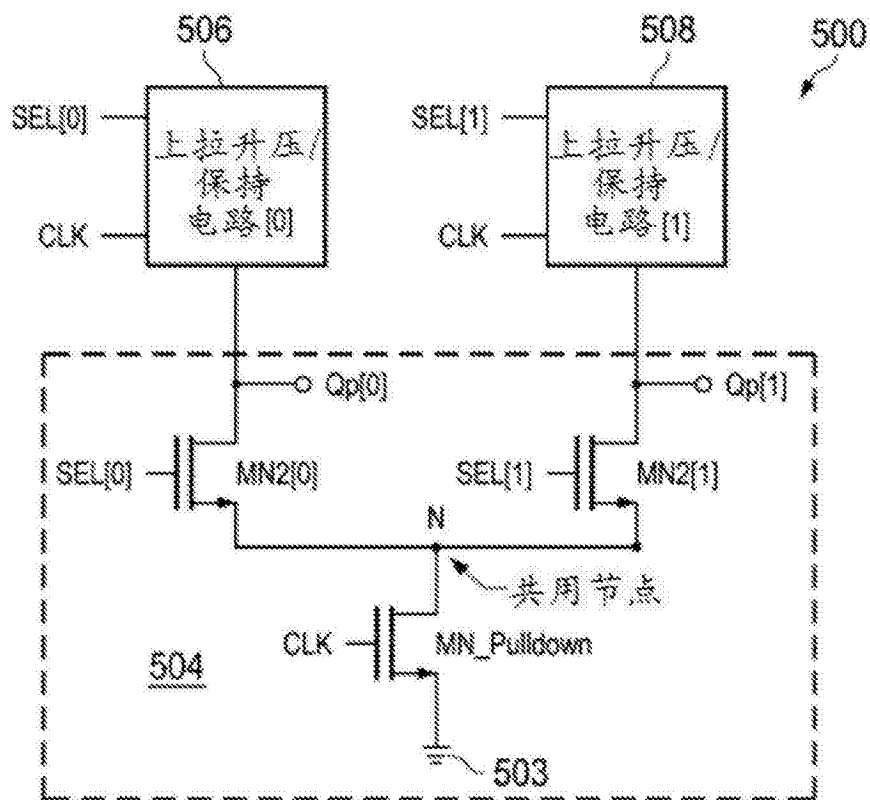


图4A

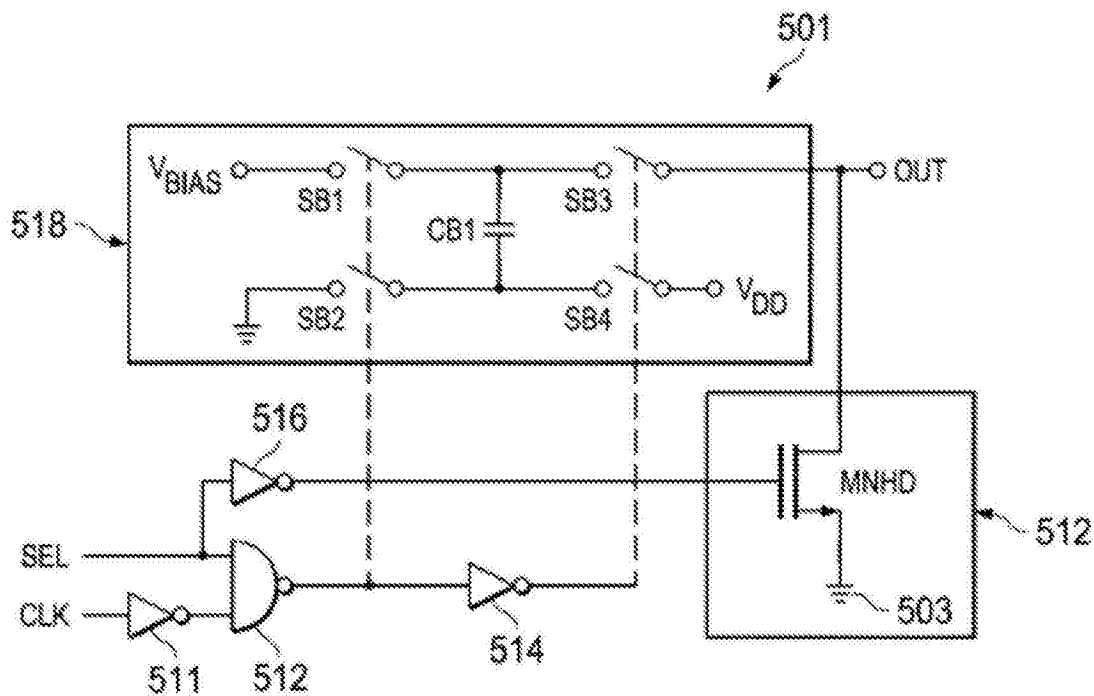


图4B

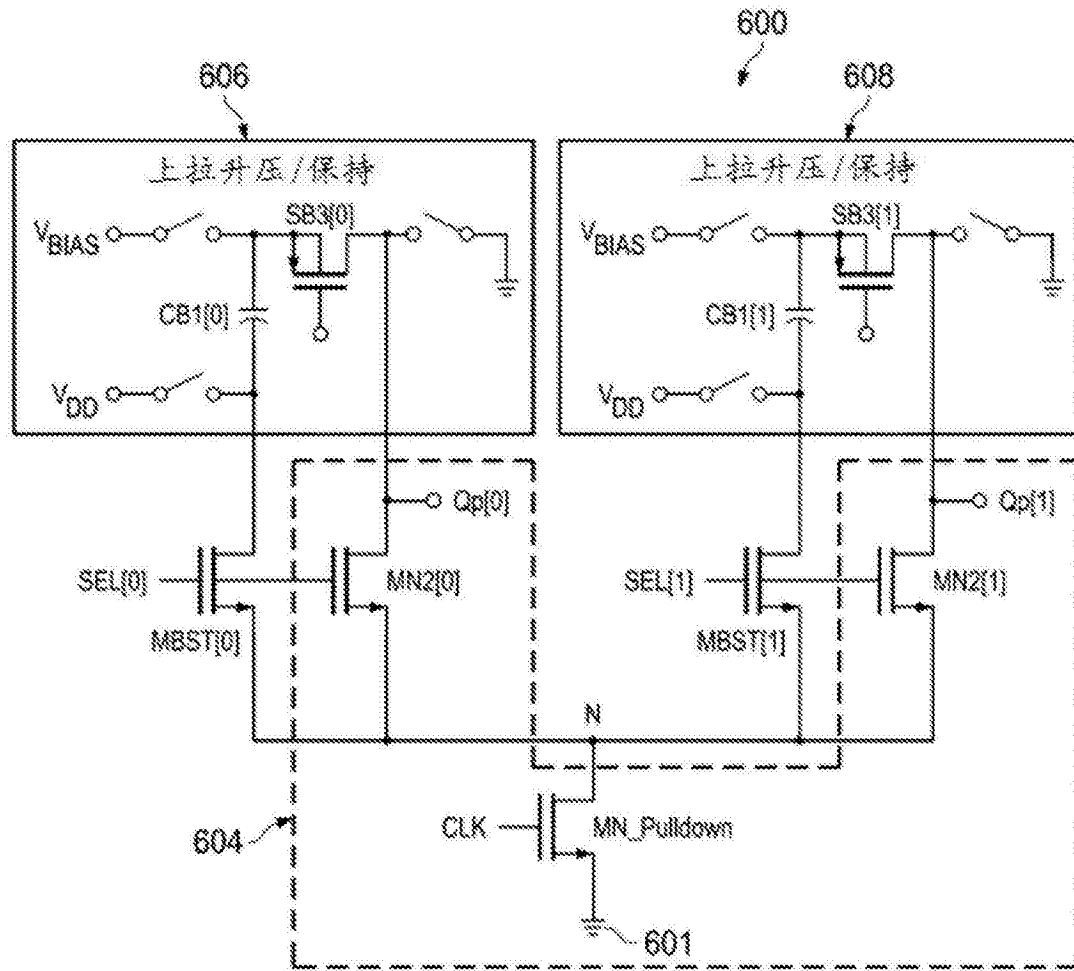


图5

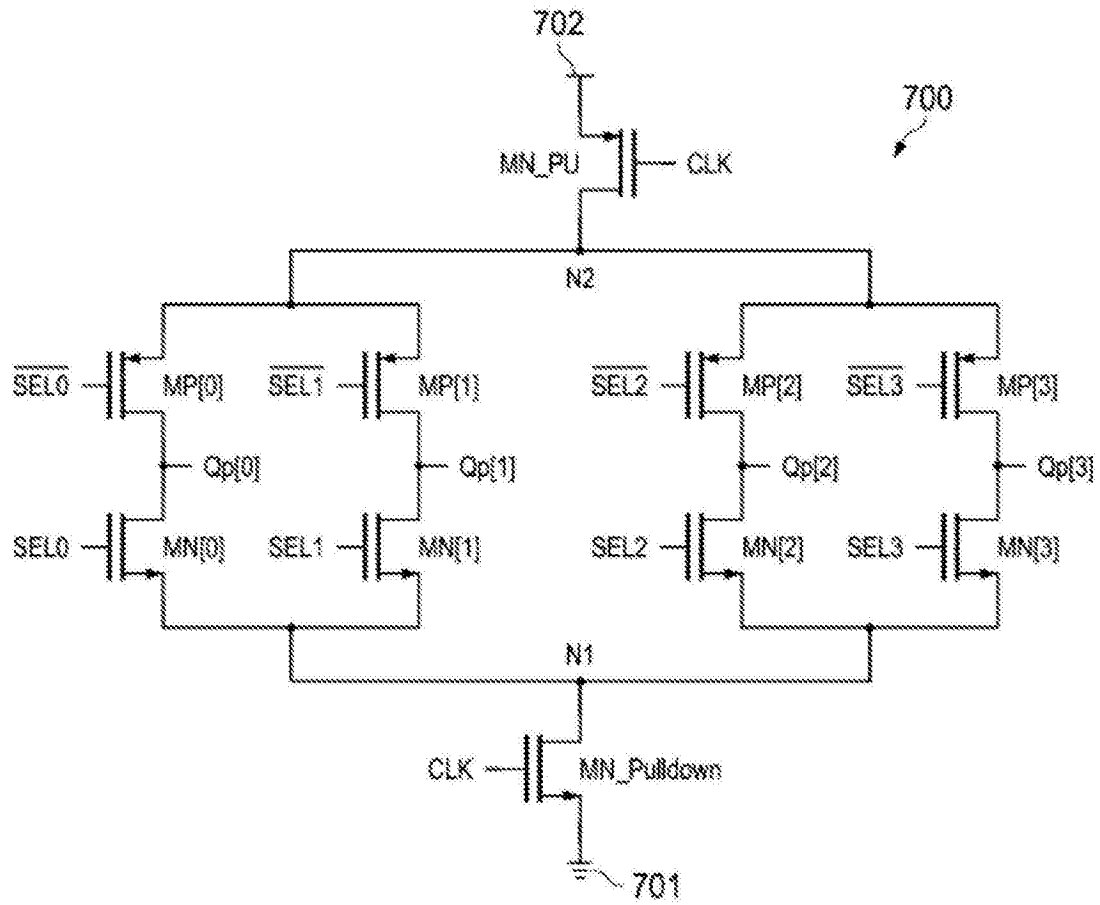


图6A

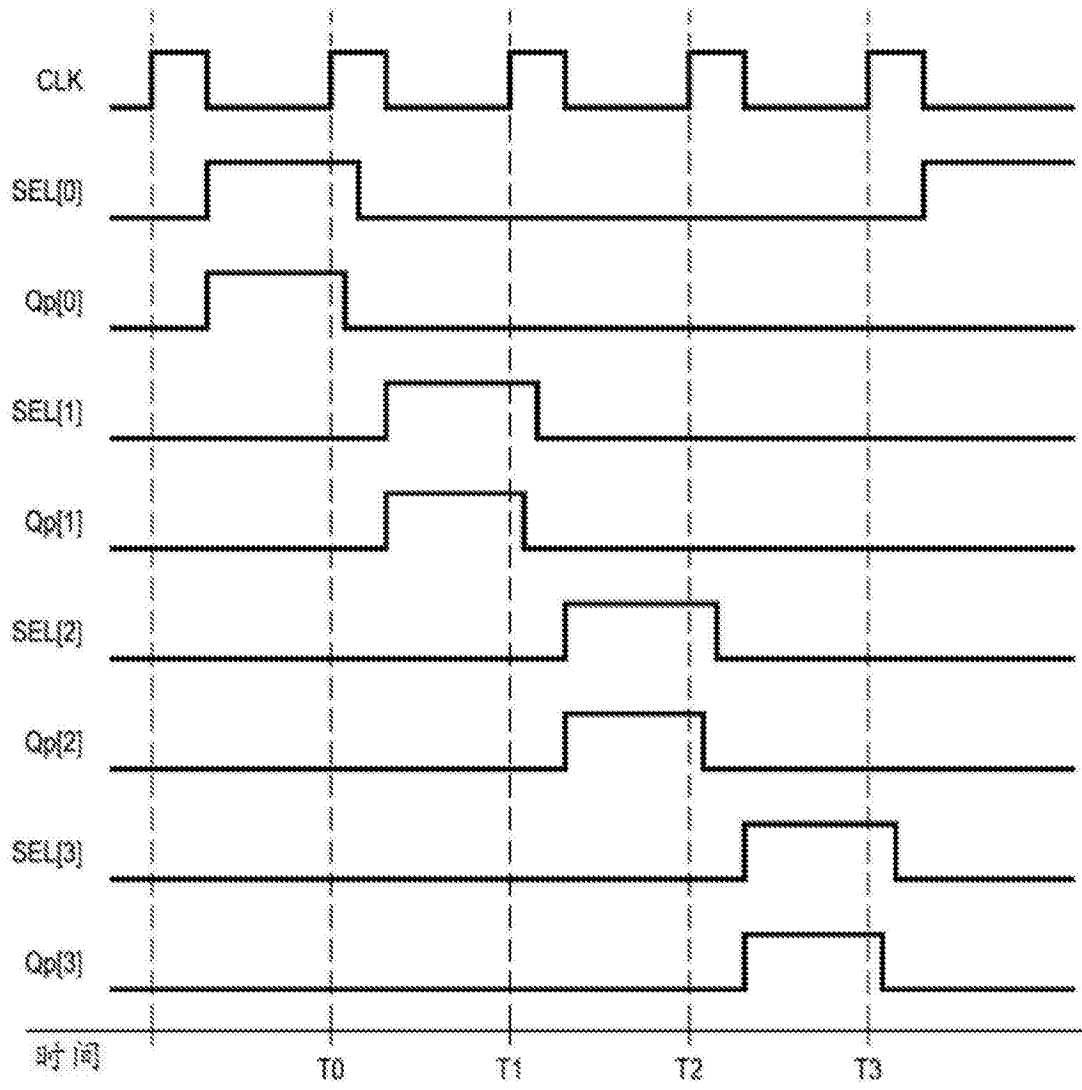


图6B