



등록특허 10-2514007



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월27일
(11) 등록번호 10-2514007
(24) 등록일자 2023년03월21일

(51) 국제특허분류(Int. Cl.)
HO1L 27/146 (2006.01) *HO1L 29/66* (2006.01)
HO1L 29/786 (2006.01) *HO4N 25/67* (2023.01)
HO4N 25/77 (2023.01)

(52) CPC특허분류
HO1L 27/14612 (2013.01)
HO1L 27/14636 (2013.01)

(21) 출원번호 10-2017-7030564

(22) 출원일자(국제) 2016년04월11일
심사청구일자 2021년03월11일

(85) 번역문제출일자 2017년10월24일

(65) 공개번호 10-2017-0141685

(43) 공개일자 2017년12월26일

(86) 국제출원번호 PCT/IB2016/052032

(87) 국제공개번호 WO 2016/170442
국제공개일자 2016년10월27일

(30) 우선권주장

JP-P-2015-087194 2015년04월22일 일본(JP)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
요네다 세이이치
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인
양영준, 박충범

(56) 선행기술조사문헌
JP2008166688 A*
JP2013211840 A*
US20100044711 A1*
US20150034831 A1*
*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 2 항

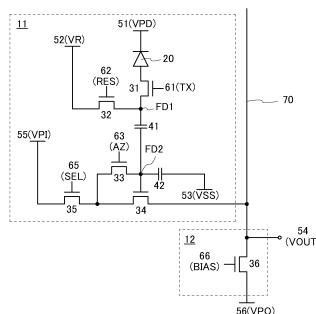
심사관 : 심병로

(54) 발명의 명칭 활용 장치, 활용 장치의 구동 방법, 및 전자 기기

(57) 요약

고품질의 활상 데이터를 얻을 수 있는 활상 장치를 제공한다. 활상 장치는 광전 변환 소자, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 및 제 1 용량 소자를 포함한다. 증폭 트랜지스터의 문턱 전압의 편차를 보정할 수 있다. 또한, 활상 장치는 초기 프레임의 활상 데이터와 현 프레임의 활상 데이터간의 차분 데이터를 유지하고, 상기 차분 데이터에 상당하는 신호를 출력하는 차분 검출 기능을 가질 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/14665 (2013.01)

H01L 27/14692 (2013.01)

H01L 29/66969 (2013.01)

H01L 29/7869 (2013.01)

H04N 25/671 (2023.01)

H04N 25/77 (2023.01)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

활상 장치의 구동 방법으로서,

상기 활상 장치는 복수의 화소를 포함하고,

상기 복수의 화소 각각은,

광전 변환 소자;

제 1 트랜지스터;
 제 2 트랜지스터;
 제 3 트랜지스터;
 제 4 트랜지스터;
 제 5 트랜지스터;
 제 6 트랜지스터; 및
 제 1 용량 소자
 를 포함하고,

상기 광전 변환 소자의 한쪽 단자는 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 상기 제 6 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 상기 다른 쪽은 상기 제 1 용량 소자의 한쪽 단자와 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 상기 제 1 용량 소자의 다른 쪽 단자와 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 상기 한쪽은 상기 제 4 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 상기 제 4 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 상기 다른 쪽은 상기 제 5 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고,

상기 방법은,

제 1 시각에 상기 제 1 트랜지스터, 상기 제 3 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터를 온으로 하고, 상기 제 2 트랜지스터를 오프로 하는 단계; 및

제 2 시각에 상기 제 5 트랜지스터를 오프로 하고, 상기 제 2 트랜지스터를 온으로 하여 상기 제 4 트랜지스터의 문턱 전압의 편차를 보정하는 단계를 포함하는, 활상 장치의 구동 방법.

청구항 14

제 13 항에 있어서,

상기 제 2 시각에 상기 제 2 트랜지스터의 게이트 전극에 인가되는 전위는 상기 제 2 시각 후에 행해지는 활상 동작에서 상기 제 2 트랜지스터의 상기 게이트 전극에 인가되는 전위보다 높은, 활상 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 활상 장치에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에 개시(開示)된 발명의 일 형태의 기술분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 구체적으로는, 본 명세

서에 개시되는 본 발명의 일 형태의 기술분야의 예에는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 활상 장치, 이들 중 어느 것의 구동 방법, 및 이들 중 어느 것의 제작 방법이 포함된다.

[0003] 본 명세서 등에서, 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터 및 반도체 회로는 반도체 장치의 형태이다. 기억 장치, 표시 장치, 활상 장치, 또는 전자 기기는 반도체 장치를 포함하는 경우가 있다.

배경기술

[0004] 포토센서가 각각 제공된 화소가 매트릭스로 배열되어 있는 반도체 장치로서, CMOS(complementary metal oxide semiconductor) 이미지 센서가 알려져 있다. CMOS 이미지 센서는 활상 소자로서 디지털 카메라 또는 휴대 전화 등 많은 휴대형 장치에 제공되어 있다.

[0005] 일반적으로 CMOS 이미지 센서 등에 포함되는 트랜지스터에 적용할 수 있는 반도체 재료로서 실리콘이 널리 알려져 있다. 다른 재료로서는, 산화물 반도체가 주목을 받고 있다.

[0006] 예를 들어, 특허문현 1에는, 산화물 반도체를 포함하고 오프 상태 전류가 매우 낮은 트랜지스터를 화소 회로의 일부에 사용하고, CMOS 회로를 형성할 수 있는 실리콘 반도체를 포함하는 트랜지스터를 주변 회로에 사용하면, 동작이 고속이며 소비전력이 낮은 활상 장치를 제작할 수 있다는 것이 개시되어 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 공개특허공보 특개2011-119711호

발명의 내용

해결하려는 과제

[0008] CMOS 이미지 센서는 각 화소에 데이터를 출력하기 위한 증폭 트랜지스터를 포함한다. 고품질의 활상 데이터를 얻기 위해서는, 모든 화소에서의 상기 트랜지스터의 전기 특성이 균일한 것이 바람직하다. 그러나, 미세화가 진행될수록 트랜지스터 제작 공정의 난도가 증가하고, 전기 특성의 편차를 저감하기 어렵다.

[0009] 전기 특성의 편차를 보정하는 데이터를 용량 소자 등에 유지함으로써 출력 데이터를 보정할 수 있다. 그러나, 활상할 때마다 데이터가 용량 소자에 기록되면, 전체의 활상 시간이 길어진다. 또한, 소비전력의 증가도 문제가 된다.

[0010] 따라서, 본 발명의 일 형태의 목적은 고품질의 활상 데이터를 얻을 수 있는 활상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 화소 회로에 포함되는 증폭 트랜지스터의 문턱 전압의 편차를 보정할 수 있는 활상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 소비전력이 낮은 활상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 감도가 높은 활상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 다이내믹 레인지가 넓은 활상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 해상도가 높은 활상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 신뢰성이 높은 활상 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 신규 활상 장치 등을 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 신규 반도체 장치 등을 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 신규 활상 장치의 구동 방법을 제공하는 것이다.

[0011] 이들 목적의 기재는 다른 목적의 존재를 방해하지 않는다. 본 발명의 일 형태는 상기 목적 모두를 실현할 필요는 없다. 다른 목적은 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며 추출할 수 있다. 다른 목적은 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며 추출할 수 있다.

과제의 해결 수단

- [0012] 본 발명의 일 형태는 화소 회로에 포함되는 증폭 트랜지스터의 문턱 전압의 편차를 보정할 수 있는 활상 장치에 관한 것이다.
- [0013] 본 발명의 일 형태는 광전 변환 소자, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 및 제 1 용량 소자를 포함하는 활상 장치이다. 광전 변환 소자의 한쪽 단자는 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속된다. 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 제 6 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽 및 제 1 용량 소자의 한쪽 단자에 전기적으로 접속된다. 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 제 1 용량 소자의 다른 쪽 단자 및 제 4 트랜지스터의 게이트에 전기적으로 접속된다. 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 제 4 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽 및 제 5 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속된다. 제 4 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속된다.
- [0014] 본 발명의 다른 일 형태는 광전 변환 소자, 제 1 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 2 트랜지스터, 및 제 1 용량 소자를 포함하는 활상 장치이다. 광전 변환 소자의 한쪽 단자는 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속된다. 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 제 1 용량 소자의 한쪽 단자에 전기적으로 접속된다. 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 제 1 용량 소자의 다른 쪽 단자 및 제 4 트랜지스터의 게이트 전극에 전기적으로 접속된다. 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 제 4 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽 및 제 5 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속된다. 제 4 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽은 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속된다.
- [0015] 제 1, 제 3, 및 제 6 트랜지스터의 각각은 활성층에 산화물 반도체를 포함하여도 좋다. 산화물 반도체는 In, Zn, 및 M(M은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 포함하여도 좋다.
- [0016] 제 1, 제 3, 및 제 6 트랜지스터의 각각은 백 게이트 전극을 가져도 좋다.
- [0017] 활상 장치는 제 2 용량 소자를 더 포함하여도 좋고, 제 2 용량 소자의 한쪽 단자는 제 1 용량 소자의 다른 쪽 단자에 전기적으로 접속되어도 좋다.
- [0018] 광전 변환 소자는 셀레늄을 함유하는 재료를 포함하여도 좋다.
- [0019] 본 발명의 다른 형태는 각각 제 4 트랜지스터를 포함하는 복수의 화소를 포함하는 활상 장치의 구동 방법이고, 제 1 시작에서, 제 1 트랜지스터, 제 6 트랜지스터, 제 3 트랜지스터, 및 제 5 트랜지스터를 온으로 하고, 제 2 트랜지스터를 오프로 하고 나서, 제 2 시작에서, 제 5 트랜지스터를 오프로 하고, 제 2 트랜지스터를 온으로 한다. 이 공정에 의하여, 제 4 트랜지스터들의 문턱 전압의 편차가 보정된다.
- [0020] 제 2 시작에 제 2 트랜지스터의 게이트 전극에 인가되는 전위는 제 2 시작 후에 수행되는 활상 동작에서 제 2 트랜지스터의 게이트 전극에 인가되는 전위보다 높아도 좋다.
- [0021] 본 발명의 다른 형태는 활상 장치 및 표시 장치를 포함하는 전자 기기이다.

발명의 효과

- [0022] 본 발명의 일 형태에 따르면, 고품질의 활상 데이터를 얻을 수 있는 활상 장치를 제공할 수 있다. 화소 회로에 포함되는 증폭 트랜지스터의 전기 특성의 편차를 보정할 수 있는 활상 장치를 제공할 수 있다. 저소비전력의 활상 장치를 제공할 수 있다. 고속 동작에 적합한 활상 장치를 제공할 수 있다. 감도가 높은 활상 장치를 제공할 수 있다. 다이내믹 레인지가 넓은 활상 장치를 제공할 수 있다. 해상도가 높은 활상 장치를 제공할 수 있다. 낮은 비용으로 형성되는 활상 장치를 제공할 수 있다. 신뢰성이 높은 활상 장치를 제공할 수 있다. 신규 활상 장치 등을 제공할 수 있다. 신규 반도체 장치 등을 제공할 수 있다. 신규 활상 장치의 구동 방법을 제공할 수 있다.
- [0023] 이를 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태에서는 효과 모두를 얻을 필요는 없다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며, 추출할 수 있다.

도면의 간단한 설명

[0024]

- 도 1은 화소 회로를 도시한 것.
- 도 2는 화소 회로를 도시한 것.
- 도 3은 보정 동작 및 활상 동작을 도시한 타이밍 차트.
- 도 4는 보정 동작을 도시한 것.
- 도 5는 보정 동작을 도시한 것.
- 도 6은 활상 동작을 도시한 것.
- 도 7은 활상 동작을 도시한 것.
- 도 8은 활상 동작을 도시한 것.
- 도 9의 (A) 및 (B)는 각각 롤링 셔터 방식 및 글로벌 셔터 방식을 도시한 것.
- 도 10은 화소 회로를 도시한 것.
- 도 11의 (A) 내지 (C)는 화소 회로를 도시한 것.
- 도 12의 (A) 내지 (F)는 화소 회로를 도시한 것.
- 도 13은 화소 회로를 도시한 것.
- 도 14는 보정 동작 및 활상 동작을 도시한 타이밍 차트.
- 도 15의 (A) 내지 (C)는 활상 장치의 구조를 각각 도시한 단면도.
- 도 16의 (A) 내지 (D)는 광전 변환 소자의 접속을 각각 도시한 단면도.
- 도 17의 (A) 및 (B)는 광전 변환 소자의 접속을 각각 도시한 단면도.
- 도 18은 활상 장치의 구조를 도시한 단면도.
- 도 19의 (A) 내지 (F)는 광전 변환 소자의 접속을 각각 도시한 단면도.
- 도 20은 활상 장치의 구조를 도시한 단면도.
- 도 21의 (A) 내지 (C)는 활상 장치의 구조를 도시한 단면도 및 회로도.
- 도 22의 (A) 및 (B)는 활상 장치의 구조를 각각 도시한 단면도.
- 도 23은 활상 장치의 구조를 도시한 단면도.
- 도 24는 활상 장치의 구조를 도시한 단면도.
- 도 25는 활상 장치의 구조를 도시한 단면도.
- 도 26은 활상 장치의 구조를 도시한 단면도.
- 도 27의 (A) 내지 (C)는 활상 장치의 구조를 각각 도시한 단면도.
- 도 28은 활상 장치의 구조를 도시한 단면도.
- 도 29는 활상 장치의 구조를 도시한 단면도.
- 도 30은 활상 장치의 구조를 도시한 단면도.
- 도 31은 활상 장치의 구조를 도시한 단면도.
- 도 32는 활상 장치의 구조를 도시한 블록도.
- 도 33의 (A1), (A2), (A3), (B1), (B2), 및 (B3)은 구부러진 활상 장치를 도시한 것.
- 도 34의 (A) 내지 (F)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 35의 (A) 내지 (F)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 36의 (A) 내지 (D)는 채널 폭 방향에서의 트랜지스터의 단면을 각각 도시한 것.

도 37의 (A) 내지 (E)는 산화물 반도체층을 도시한 상면도 및 단면도.

도 38의 (A) 내지 (F)는 트랜지스터를 도시한 상면도 및 단면도.

도 39의 (A) 내지 (F)는 트랜지스터를 도시한 상면도 및 단면도.

도 40의 (A) 내지 (D)는 채널 폭 방향에서의 트랜지스터의 단면을 각각 도시한 것.

도 41의 (A) 내지 (F)는 채널 길이 방향에서의 트랜지스터의 단면을 각각 도시한 것.

도 42의 (A) 내지 (F)는 채널 길이 방향에서의 트랜지스터의 단면을 각각 도시한 것.

도 43의 (A) 내지 (C)는 트랜지스터의 상면도 및 단면도.

도 44의 (A) 내지 (C)는 트랜지스터를 각각 도시한 상면도.

도 45의 (A) 내지 (D)는 활상 장치를 포함하는 패키지의 사시도 및 단면도.

도 46의 (A) 내지 (F)는 전자 기기를 도시한 것.

발명을 실시하기 위한 구체적인 내용

[0025]

실시형태에 대하여 도면을 참조하여 자세히 설명한다. 또한, 본 발명은 이하의 설명에 한정되지 않는다. 본 발명의 취지 및 그 범위에서 벗어나지 않고 본 발명의 형태 및 상세한 사항을 다양하게 수정할 수 있다는 것은 통상의 기술자에 의하여 용이하게 이해될 것이다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정하여 해석되지 말아야 한다. 이하에 설명하는 발명의 구조에서는, 같은 부분 또는 유사한 기능을 갖는 부분은 상이한 도면에서 같은 부호에 의하여 나타내어지고, 그 설명을 반복하지 않는 경우가 있다. 같은 구성 요소는 상이한 도면에서 상이한 해칭 패턴에 의하여 나타내어지거나 또는 해칭 패턴이 생략되는 경우가 있다.

[0026]

본 명세서에서, 트랜지스터의 "소스 전극" 및 "드레인 전극"의 기능은 예를 들어 반대 극성의 트랜지스터가 사용될 때 또는 회로 동작에서 전류 흐름의 방향이 변화될 때에 서로 바뀌는 경우가 있다. 따라서, 본 명세서에서는 용어 "소스 전극" 및 "드레인 전극"은 서로 바꿀 수 있다. 또한, "전극"이라는 용어는 "배선"으로 바꿀 수 있다.

[0027]

본 명세서 등에서 "X와 Y가 접속된다"라는 명시적인 기재는 X와 Y가 전기적으로 접속되는 것, X와 Y가 기능적으로 접속되는 것, 그리고 X와 Y가 직접 접속되는 것을 의미한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 나타낸 접속 관계에 한정되지 않으며, 도면 또는 문장에는 다른 접속 관계가 포함된다.

[0028]

여기서, X 및 Y 각각은 물체(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)를 나타낸다.

[0029]

X와 Y가 직접 접속되는 경우의 예에는, X와 Y 사이의 전기적 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 레지스터, 다이오드, 표시 소자, 발광 소자, 또는 부하)가 X와 Y 사이에 접속되지 않는 경우, 그리고 X와 Y 사이의 전기적 접속을 가능하게 하는 상기 소자를 개재(介在)하지 않고 X와 Y가 접속되는 경우가 포함된다.

[0030]

예를 들어, X와 Y가 전기적으로 접속되는 경우에는, X와 Y 사이의 전기적 접속을 가능하게 하는 하나 이상의 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 레지스터, 다이오드, 표시 소자, 발광 소자, 또는 부하)가 X와 Y 사이에 접속될 수 있다. 또한, 스위치는 온 또는 오프가 되도록 제어된다. 즉, 스위치는 도통 또는 비도통(온 또는 오프)이 되어, 전류를 흘릴지 여부를 결정한다. 또는, 스위치는 전류 경로를 선택하여 바꾸는 기능을 갖는다. 또한, X와 Y가 전기적으로 접속되는 경우에는 X와 Y가 직접 접속되는 경우가 포함된다.

[0031]

예를 들어, X와 Y가 기능적으로 접속되는 경우에는, X와 Y 사이의 기능적인 접속을 가능하게 하는 하나 이상의 회로(예를 들어, 인버터, NAND 회로, 또는 NOR 회로 등의 논리 회로; D/A 변환 회로, A/D 변환 회로, 또는 감마 보정 회로 등의 신호 변환 회로; 전원 회로(예를 들어, 스텝업 회로 또는 스텝다운 회로) 또는 신호의 전위 레벨을 변경하는 레벨 시프터 회로 등의 전위 레벨 변환 회로; 전압원; 전류원; 전환 회로; 신호 진폭, 전류의 양 등을 증가시킬 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로아 회로, 또는 베퍼 회로 등의 증폭 회로; 신호 생성 회로; 기억 회로; 또는 제어 회로)가 X와 Y 사이에 접속될 수 있다. 또한, 예를 들어, 다른 회로가 X와 Y 사이에 제공되더라도 X로부터 출력된 신호가 Y로 전송되는 경우에는 X와 Y는 기능적으로 접속된다. X와 Y가 기능적으로 접속되는 경우에는 X와 Y가 직접 접속되는 경우 및 X와 Y가 전기적으로 접속되는 경우가 포함된다.

- [0032] 또한, 본 명세서 등에서, "X와 Y가 전기적으로 접속된다"라는 명시적인 기재는, X와 Y가 전기적으로 접속되는 것(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하여 접속되는 경우), X와 Y가 기능적으로 접속되는 것(즉, X와 Y가 다른 회로를 개재하여 기능적으로 접속되는 경우), 및 X와 Y가 직접 접속되는 것(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)을 의미한다. 즉, 본 명세서 등에서, "X와 Y가 전기적으로 접속된다"라는 명시적인 기재는, "X와 Y가 접속된다"라는 명시적인 기재와 같다.
- [0033] 예를 들어, 트랜지스터의 소스 전극(또는 제 1 단자 등)이 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되고, 트랜지스터의 드레인 전극(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되는 경우, 또는 트랜지스터의 소스 전극(또는 제 1 단자 등)이 Z1의 일부와 직접 접속되고, Z1의 다른 일부가 X와 직접 접속되고 트랜지스터의 드레인 전극(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되고, Z2의 다른 일부가 Y와 직접 접속되는 경우는, 이하의 표현 중 어느 것을 사용하여 표현될 수 있다.
- [0034] 상기 표현의 예에는 "X, Y, 트랜지스터의 소스 전극(또는 제 1 단자 등), 및 트랜지스터의 드레인 전극(또는 제 2 단자 등)이 서로 전기적으로 접속되고, X, 트랜지스터의 소스 전극(또는 제 1 단자 등), 트랜지스터의 드레인 전극(또는 제 2 단자 등), 및 Y는 이 순서대로 서로 전기적으로 접속된다", "트랜지스터의 소스 전극(또는 제 1 단자 등)이 X에 전기적으로 접속되고, 트랜지스터의 드레인 전극(또는 제 2 단자 등)이 Y에 전기적으로 접속되고, X, 트랜지스터의 소스 전극(또는 제 1 단자 등), 트랜지스터의 드레인 전극(또는 제 2 단자 등), 및 Y는 이 순서대로 서로 전기적으로 접속된다", 및 "X가 트랜지스터의 소스 전극(또는 제 1 단자 등) 및 드레인 전극(또는 제 2 단자 등)을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스 전극(또는 제 1 단자 등), 트랜지스터의 드레인 전극(또는 제 2 단자 등), 및 Y는 이 순서대로 접속되도록 제공된다"가 포함된다. 회로 구성에서의 접속 순서를 상술한 예와 비슷한 표현에 의하여 규정하면, 트랜지스터의 소스 전극(또는 제 1 단자 등)과 드레인 전극(또는 제 2 단자 등)을 서로 구별하여 기술적 범위를 규정할 수 있다.
- [0035] 표현의 다른 예에는, "트랜지스터의 소스 전극(또는 제 1 단자 등)은 적어도 제 1 접속 경로를 통하여 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터의 소스 전극(또는 제 1 단자 등)과 트랜지스터의 드레인 전극(또는 제 2 단자 등) 사이의 경로이고, Z1은 제 1 접속 경로 상에 있고, 트랜지스터의 드레인 전극(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 통하여 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않고, Z2는 제 3 접속 경로 상에 있다" 및 "트랜지스터의 소스 전극(또는 제 1 단자 등)은 Z1을 통하여 적어도 제 1 접속 경로에서 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터가 제공되는 접속 경로를 포함하고, 트랜지스터의 드레인 전극(또는 제 2 단자 등)은 Z2를 통하여 적어도 제 3 접속 경로에서 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않는다"가 포함된다. 또 다른 표현의 예에는 "트랜지스터의 소스 전극(또는 제 1 단자 등)은 적어도 Z1을 통하여 제 1 전기적 경로에서 X와 전기적으로 접속되고, 제 1 전기적 경로는 제 2 전기적 경로를 포함하지 않고, 제 2 전기적 경로는 트랜지스터의 소스 전극(또는 제 1 단자 등)으로부터 트랜지스터의 드레인 전극(또는 제 2 단자 등)까지의 전기적 경로이고, 트랜지스터의 드레인 전극(또는 제 2 단자 등)은 적어도 Z2를 통하여 제 3 전기적 경로에서 Y와 전기적으로 접속되고, 제 3 전기적 경로는 제 4 전기적 경로를 포함하지 않고, 제 4 전기적 경로는 트랜지스터의 드레인 전극(또는 제 2 단자 등)으로부터 트랜지스터의 소스 전극(또는 제 1 단자 등)까지의 전기적 경로이다"가 있다. 회로 구성에서의 접속 경로를 상술한 예와 비슷한 표현에 의하여 규정하면, 트랜지스터의 소스 전극(또는 제 1 단자 등)과 드레인 전극(또는 제 2 단자 등)을 서로 구별하여 기술적 범위를 특정할 수 있다.
- [0036] 또한, 이들 표현은 예이고, 표현에 제한은 없다. 여기서, X, Y, Z1, 및 Z2 각각은 물체(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전층, 및 층)를 나타낸다.
- [0037] 회로도에서 독립적인 구성 요소가 서로 전기적으로 접속되어 있더라도, 하나의 구성 요소가 복수의 구성 요소의 기능을 갖는 경우가 있다. 예를 들어 배선의 일부가 전극으로서 기능하는 경우, 하나의 도전층이 배선 및 전극으로서 기능한다. 그러므로, 본 명세서에서 "전기적 접속"이라는 용어는 하나의 도전층이 복수의 구성 요소의 기능을 갖는 이러한 경우도 의미한다.
- [0038] 또한, "막" 및 "층"이라는 용어는 상황 또는 조건에 따라 서로 교체될 수 있다. 예를 들어, "도전막"이라는 용어를 "도전층"이라는 용어로 바꿀 수 있는 경우가 있다. 또한, "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.
- [0039] (실시형태 1)

- [0040] 본 실시형태에서, 본 발명의 일 형태인 활상 장치를 도면을 참조하여 기재한다.
- [0041] 본 발명의 일 형태에 따른 활상 장치는 소스 폴로어에 의하여 신호 전하(데이터)를 출력하는 활상 장치의 화소에서 소스 폴로어 중폭 트랜지스터로서 기능하는 트랜지스터의 문턱 전압의 편차를 보정할 수 있는 화소 회로를 포함한다.
- [0042] 도 1은, 본 발명의 일 형태의 활상 장치에 포함되는, 화소 회로로서 기능할 수 있는 회로(11) 및 출력 회로로서 기능할 수 있는 회로(12)의 회로도이다. 도 1 등에서, 트랜지스터는 n채널 트랜지스터이지만, 본 발명의 일 형태는 이에 한정되지 않는다. 트랜지스터는 전위의 대소 관계를 반전함으로써 도 2에서 도시한 바와 같이 p채널 트랜지스터로 하여도 좋다. 또는, n채널 트랜지스터들 중 몇개는 p채널 트랜지스터로 바꿔도 좋다. 또는, CMOS 트랜지스터를 채용하여도 좋다.
- [0043] 회로(11)는 광전 변환 소자(20), 트랜지스터(31), 트랜지스터(32), 트랜지스터(33), 트랜지스터(34), 트랜지스터(35), 용량 소자(41), 및 용량 소자(42)를 포함한다.
- [0044] 회로(12)는 트랜지스터(36)를 포함한다.
- [0045] 도 1의 회로(11)에서, 광전 변환 소자(20)의 한쪽 단자는 트랜지스터(31)의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속된다. 트랜지스터(31)의 소스 전극 및 드레인 전극 중 다른 쪽은 트랜지스터(32)의 소스 전극 및 드레인 전극 중 한쪽 및 용량 소자(41)의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(33)의 소스 전극 및 드레인 전극 중 한쪽은 용량 소자(41)의 다른 쪽 단자, 용량 소자(42)의 한쪽 단자, 및 트랜지스터(34)의 게이트 전극과 전기적으로 접속된다. 트랜지스터(33)의 소스 전극 및 드레인 전극 중 다른 쪽은 트랜지스터(34)의 소스 전극 및 드레인 전극 중 한쪽 및 트랜지스터(35)의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속된다.
- [0046] 광전 변환 소자(20)의 다른 쪽 단자는 배선(51)(VPD)과 전기적으로 접속된다. 트랜지스터(32)의 소스 전극 및 드레인 전극 중 다른 쪽은 배선(52)(VR)과 전기적으로 접속된다. 용량 소자(42)의 다른 쪽 단자는 배선(53)(VSS)과 전기적으로 접속된다. 트랜지스터(35)의 소스 전극 및 드레인 전극 중 다른 쪽은 배선(55)(VPI)에 전기적으로 접속되어 있다.
- [0047] 트랜지스터(31)의 게이트 전극은 배선(61)(TX)과 전기적으로 접속된다. 트랜지스터(32)의 게이트 전극은 배선(62)(RES)과 전기적으로 접속된다. 트랜지스터(33)의 게이트 전극은 배선(63)(AZ)과 전기적으로 접속된다. 트랜지스터(35)의 게이트 전극은 배선(65)(SEL)과 전기적으로 접속된다. 트랜지스터(34)의 소스 전극 및 드레인 전극 중 다른 쪽은 배선(70)과 전기적으로 접속된다.
- [0048] 회로(12)에서, 트랜지스터(36)의 소스 전극 및 드레인 전극 중 한쪽은 배선(70)과 전기적으로 접속된다. 트랜지스터(36)의 소스 전극 및 드레인 전극 중 다른 쪽은 배선(56)(VPO)과 전기적으로 접속된다. 트랜지스터(36)의 게이트 전극은 배선(66)(BIAS)과 전기적으로 접속된다. 배선(70)은 배선(54)(V_{OUT})과 전기적으로 접속된다.
- [0049] 여기서, 배선(51)(VPD), 배선(52)(VR), 배선(53)(VSS), 배선(55)(VPI), 및 배선(56)(VPO)은 전원선으로서 기능할 수 있다. 또한, 배선(61)(TX), 배선(62)(RES), 배선(63)(AZ), 배선(65)(SEL), 및 배선(66)(BIAS)은 신호선으로서 기능할 수 있다.
- [0050] 상술한 구조에서, 트랜지스터(31)의 소스 전극 및 드레인 전극 중 다른 쪽, 트랜지스터(32)의 소스 전극 및 드레인 전극 중 한쪽, 및 용량 소자(41)의 한쪽 단자가 서로 접속되는 노드를 FD1로 나타낸다.
- [0051] 또한, 트랜지스터(33)의 소스 전극 및 드레인 전극 중 한쪽, 트랜지스터(34)의 게이트 전극, 용량 소자(41)의 다른 쪽 단자, 및 용량 소자(42)의 한쪽 단자가 접속되는 노드를 FD2로 나타낸다.
- [0052] 회로(11)에서, 광전 변환 소자(20)는 수광 소자이며, 회로(11)로의 입사광의 양에 따라 전류를 생성하는 기능을 가질 수 있다. 트랜지스터(31)는 광전 변환 소자(20)에 의하여 노드 FD1로의 전하의 축적 및 노드 FD1로부터의 전하의 방출을 제어하는 기능을 가질 수 있다. 트랜지스터(32)는 노드 FD1의 전위를 리셋하는 기능을 가질 수 있다. 트랜지스터(33)는 노드 FD2의 전위를 리셋하는 기능을 가질 수 있다. 트랜지스터(34)는 노드 FD2의 전위에 상당하는 신호를 출력하는 중폭 트랜지스터로서의 기능을 가질 수 있다. 트랜지스터(35)는 판독 시에 회로(11)(화소 회로)의 선택을 제어하는 기능을 가질 수 있다.
- [0053] 회로(12)에서, 트랜지스터(36)는 바이어스 트랜지스터로서 기능할 수 있다. 배선(54)(V_{OUT})은 노드 FD2의 전위

에 상당하는 신호를 출력하는 기능을 가질 수 있다.

[0054] 상술한 구성을 가진 본 발명의 일 형태에 따른 활상 장치에서, 회로(11)가 회로(11)에 포함되는 트랜지스터(34)의 문턱 전압을 저장하면 출력 신호가 보정된다.

[0055] 도 1의 회로에서의 출력 신호의 보정 동작 및 보정 후의 활상 동작의 자세한 사항을 도 3의 타이밍 차트 및 도 4, 도 5, 도 6, 도 7 및 도 8의 회로도를 참조하여 설명한다. 출력 신호의 보정 동작은 시각(T1)부터 시각(T3)까지 행해지고, 활상 동작은 시각(T3) 후에 행해진다. 도 3의 타이밍 차트에서, 배선(61)(TX), 배선(62)(RES), 배선(63)(AZ), 배선(65)(SEL), 배선(66)(BIAS), 노드 FD1, 및 노드 FD2의 전위가 도시되어 있다. 또한, 각 트랜지스터는, 각 트랜지스터의 게이트 전극에 접속된 배선에 트랜지스터를 온/오프로 하기 위하여 공급되는 전위에 따라 온 또는 오프가 된다.

[0056] 도 4, 도 5, 도 6, 도 7, 및 도 8에서, 트랜지스터들의 도통 상태를 명확하게 하기 위하여 트랜지스터(34) 외의 트랜지스터들을 스위치로서 기재한다. 또한, 일부의 부호를 생략하였다. 또한, 배선(51)(VPD)은 고전위를 갖고, 배선(52)(VR)은 저전위를 갖고, 배선(53)(VSS)은 저전위를 갖고, 배선(55)(VPI)은 고전위를 갖고, 배선(56)(VPO)은 저전위를 갖지만, 동작시키기 위하여 배선에 또 다른 전위를 공급할 수 있다.

[0057] 또한, 본 명세서 중에서, 저전위는 접지 전위(GND)로 할 수 있다.

[0058] 먼저, 트랜지스터(34)의 문턱 전압 "Vth"의 보정 동작을 설명한다. 시각(T1)에서, 배선(61)(TX), 배선(62)(RES), 배선(63)(AZ), 및 배선(65)(SEL)에 고전위가 인가되어 트랜지스터(31), 트랜지스터(32), 트랜지스터(33), 및 트랜지스터(35)가 온이 된다. 또한, 배선(66)(BIAS)에 저전위가 인가되어 트랜지스터(36)가 오프가 된다. 따라서, 노드 FD1의 전위는 배선(52)(VR)의 전위 "VR"로 설정되고, 노드 FD2의 전위는 배선(55)(VPI)의 전위 "VPI"로 설정된다(도 4에서 파선으로 나타내어진 전류 경로 참조).

[0059] 시각(T2)에서, 배선(66)(BIAS)에 고전위가 인가되어 트랜지스터(36)가 온이 된다. 또한, 배선(65)(SEL)에 저전위가 인가되어 트랜지스터(35)가 오프가 된다. 따라서, 노드 FD2의 전위는 방전된다. 노드 FD2의 전위가 "VPI"에서 "VPO+Vth"으로 변화되면, 방전이 종료되고, 전위가 유지된다(도 5 참조). 여기서, 노드 FD2의 전위를 가능한 한 빠르게 변화시키기 위하여, 배선(66)(BIAS)의 전위는 가능한 한 높게 하는 것이 바람직하다. 예를 들어, 나중에 설명하는 활상 동작에서 배선(66)(BIAS)에 인가되는 고전위 "VH1"보다 높은 전위 "VH2"를 인가하는 것이 바람직하다. 그러나, 전위 "VH1"을 배선(66)(BIAS)에 인가하여도 좋다. 이상이 보정 동작의 설명이다.

[0060] 상기 보정 동작을 활상마다 반드시 수행할 필요는 없고, 한 번의 보정 동작만으로 활상을 연속하여 수행할 수 있다. 물론, 상기 보정 동작은 활상 전, 활상 후, 전원 온 시, 전원 오프 시, 또는 타이머 등을 사용한 임의의 타이밍에서 수행되어도 좋다.

[0061] 다음으로, 활상 동작에 대하여 설명한다. 시각(T3)에서, 배선(63)(AZ)에 저전위가 인가되어 트랜지스터(33)가 오프가 된다(도 6 참조). 따라서, 노드 FD2는 부유 상태가 된다. 또한, 배선(66)(BIAS)의 전위는 "VH1"로 감소되는 것이 바람직하지만, 전위 "VH2"로 유지하여도 좋다.

[0062] 시각(T4)에서, 배선(62)(RES)에 저전위가 인가되어 트랜지스터(32)가 오프가 된다(도 7 참조). 따라서, 광전 변환 소자(20)를 통하여 배선(51)(VPD)으로부터 노드 FD1에 전하가 축적됨으로써 노드 FD1의 노드의 전위가 증가된다. 광전 변환 소자(20)에 전달되는 빛의 조도가 높아질수록 노드 FD1의 전위가 높아진다.

[0063] 시각(T5)에서, 배선(61)(TX)에 저전위가 인가되어 트랜지스터(31)는 오프가 된다. 노드 FD1의 전위는 시각(T4) 내지 시각(T5)에서 "Va"만큼 증가되는 경우에서는, 노드 FD1의 전위는 시각(T5)에서 "VR+Va"로 유지된다. 또한, 노드 FD1은 용량 소자(41)를 통하여 노드 FD2에 전기적으로 접속되어 있고, 노드 FD2는 부유 상태이므로, 노드 FD2의 전위는 노드 FD1과 노드 FD2의 용량 결합에 의하여 "Va"만큼 증가된다. 즉, 노드 FD2의 전위는 "VPO+Vth"로부터 "VPO+Vth+Va"로 변화된다(도 8 참조).

[0064] 시각(T6)에서, 배선(65)(SEL)에 고전위가 인가되어 트랜지스터(35)가 온이 된다. 또한, 전위 "VH1"이 배선(66)(BIAS)에 인가된다. 트랜지스터(34)의 게이트 전위와 소스 전위 사이의 차이가 "Vgs", 트랜지스터(34)를 통하여 흐르는 전류 "I"는 수학식 1로 나타내어진다. 또한, "a"는 상수(常數)이다.

[0065] [수학식 1]

$$I = a / 2(Vgs - Vth)^2$$

[0067] $= \alpha / 2(VPO + Vth + Va - VOUT - Vth)^2$

[0068] $= \alpha / 2(VPO + Va - VOUT)^2$

[0069] 또한, 트랜지스터(34) 및 트랜지스터(36)를 통하여 흐르는 전류의 값은 같다. 전류 "I"도 수학식 2로 나타내어 진다. 여기서, 트랜지스터(36)의 게이트 전위와 소스 전위 사이의 차이는 "Vgs'", 트랜지스터(36)의 문턱 전압은 "Vth'"이다. 또한, 트랜지스터(34) 및 트랜지스터(36)의 채널 길이, 채널 폭, 게이트 절연막의 두께, 및 이동도 등 파라미터는 같은 것으로 가정한다.

[0070] [수학식 2]

[0071] $I = \alpha / 2(Vgs' - Vth')^2$

[0072] $= \alpha / 2(VH1 - VPO - Vth')^2$

[0073] 이하의 수학식 3은 수학식 1 및 수학식 2를 바탕으로 성립한다.

[0074] [수학식 3]

[0075] $\alpha / 2(VPO + Va - VOUT)^2 = \alpha / 2(VH1 - VPO - Vth')^2$

[0076] 수학식 3을 변형시킴으로써 수학식 4가 얻어진다. 즉, 배선(54)의 전위 (V_{OUT})는 " $2VPO + Va + Vth' - VH1$ "이 되어, 배선(54)의 전위(V_{OUT})가 트랜지스터(34)의 문턱 전압 "Vth'"에 의존하지 않는 것을 나타낸다.

[0077] [수학식 4]

[0078] $VOUT = 2VPO + Va + Vth' - VH1$

[0079] 따라서, 트랜지스터(34)의 문턱 전압 "Vth'"의 편차를 포함하지 않는 신호를 배선(54)(V_{OUT})에 출력할 수 있고, 고품질의 활상 데이터를 얻을 수 있다. 도 1의 회로 구성에서, 광전 변환 소자(20)에 전달되는 빛의 조도가 높아질수록 배선(54)(V_{OUT})으로부터 출력되는 신호도 높아진다.

[0080] 시각(T7)에서, 배선(65)(SEL)에 저전위가 인가되면 트랜지스터(35)가 오프가 된다. 상술한 단계를 통하여, 활상 동작이 종료된다.

[0081] 또한, 시각(T1) 내지 시각(T3)에서, 트랜지스터(31)가 오프가 되도록 배선(61)(TX)에 저전위가 인가되어도 좋다. 예를 들어, 시각(T1) 및 시각(T2)에서 각각 저전위 및 고전위를 배선(61)(TX)에 인가함으로써, 트랜지스터(31)는 시각(T1)에서 오프가 되고, 시각(T2)에서 온이 된다. 그러나, 시각(T4)에서 트랜지스터(31)가 온인 동안 트랜지스터(32)를 오프로 할 필요가 있으므로 시각(T3)에서 트랜지스터(31)는 온이 되는 것이 바람직하다.

[0082] 또한, 시각(T1) 내지 시각(T2), 및 시각(T3) 내지 시각(T6)에서, 임의의 전위가 배선(66)(BIAS)에 인가될 수 있다. 예를 들어, 배선(66)(BIAS)에, 시각(T1) 내지 시각(T2)에서 저전위가 인가되어도 좋고, 전위 "VH1"이 시각(T2) 내지 시각(T7)에서 인가되어도 좋다. 또는, 예를 들어, 시각(T1) 내지 시각(T2), 및 시각(T7)에서 저전위가 인가되어도 좋고, 시각(T2) 내지 시각(T7)에서 전위 "VH1"이 인가되어도 좋다. 또는, 예를 들어, 시각(T1) 내지 시각(T6)에서 전위 "VH2"가 인가되어도 좋고, 시각(T6) 내지 시각(T7)에서 전위 "VH1"이 인가되어도 좋다. 또는, 시각(T1) 내지 시각(T7)에서 전위 "VH1"이 인가되어도 좋다.

[0083] 활성층 또는 활성 영역이 산화물 반도체를 포함하는 트랜지스터(이하, OS 트랜지스터라고 함)는 본 발명의 일 형태에 따른 활상 장치에 바람직하게 사용된다.

[0084] 회로(11)에 OS 트랜지스터를 사용함으로써 활상의 다이내믹 레인지를 넓힐 수 있다. 도 1의 회로 구성에서, 광전 변환 소자(20)에 들어오는 빛의 조도의 감소는 노드 FD1의 전위를 저감시키고, 이에 따라 노드 FD2의 전위도 저감된다. OS 트랜지스터는 매우 낮은 오프 상태 전류를 갖기 때문에 트랜지스터(34)의 게이트 전위에 기초된 노드 FD2의 전위(게이트 전위)가 매우 낮더라도 정확하게 출력할 수 있다. 따라서, 검출할 수 있는 조도의 범위, 즉 다이내믹 레인지를 넓힐 수 있다.

[0085] 트랜지스터의 낮은 오프 상태 전류에 의하여 노드 FD1 및 노드 FD2에 전하가 유지되는 기간을 매우 길게 할 수 있다. 그러므로, 동시에 모든 화소에서 활상 데이터가 얻어지는 글로벌 셜터 시스템은 복잡한 회로 구성 및 구

동 방법없이 사용할 수 있다.

[0086] 일반적으로, 화소가 매트릭스로 배치되는 활상 장치에는 도 9의 (A)에 도시된 바와 같이 행마다 활상 동작(81), 데이터 유지 동작(82), 판독 동작(83)을 행하는 롤링 셔터 방식이 채용된다. 롤링 셔터 방식을 채용하는 경우, 활상의 동시성이 없어진다. 그러므로, 물체가 움직이면 화상이 일그러진다.

[0087] 결과적으로, 본 발명의 일 형태에서, 도 9의 (B)에 도시된 바와 같이 모든 행에서 활상 동작(81)이 동시에 행해질 수 있고, 행마다 순차적으로 판독 동작(83)을 행할 수 있는 글로벌 셔터 방식을 채용하는 것이 바람직하다. 글로벌 셔터 방식을 채용함으로써, 활상 장치의 모든 화소에서의 활상의 동시성을 확보할 수 있고, 물체가 움직일 때더라도 일그러짐이 작은 화상을 쉽게 형성할 수 있다.

[0088] OS 트랜지스터는 활성층 또는 활성 영역이 실리콘을 포함하는 트랜지스터(이하, Si 트랜지스터라고 함)보다 전기 특성의 변동의 온도 의존성이 낮기 때문에 매우 넓은 온도 범위에서 사용할 수 있다. 따라서, OS 트랜지스터를 포함한 활상 장치 및 반도체 장치는 자동차, 항공기, 및 우주선에 사용하기에 적합하다.

[0089] 또한, OS 트랜지스터는 Si 트랜지스터보다 드레인 내압(耐壓)이 높다. 광전 변환층에 셀레늄계 재료를 포함한 광전 변환 소자에서는, 애벌란시 현상이 쉽게 일어나도록 비교적 높은 전압(예를 들어 10V 이상)을 인가하는 것이 바람직하다. 그러므로, OS 트랜지스터와, 광전 변환층에 상술한 셀레늄계 재료가 사용된 광전 변환 소자의 조합에 의하여 신뢰성이 높은 활상 장치를 얻을 수 있다.

[0090] 노드 FD1 및 노드 FD2 중 어느 것과 접속되는 트랜지스터는 노이즈가 적은 트랜지스터일 필요가 있다. 나중에 설명하는 2층 또는 3층의 산화물 반도체층을 포함하는 트랜지스터의 채널은 매립된 채널이고, 노이즈에 대한 내성이 현저히 높다. 따라서, 상기 트랜지스터의 사용은 노이즈가 적은 화상으로 이어진다.

[0091] 따라서, 적어도 트랜지스터(31) 내지 트랜지스터(33)는 OS 트랜지스터인 것이 바람직하다. 또한, 트랜지스터(34) 내지 트랜지스터(36) 중 임의의 하나 이상 또는 모두가 OS 트랜지스터(OS 트랜지스터들)이어도 좋다.

[0092] 또한, 트랜지스터(31) 내지 트랜지스터(36) 중 일부 또는 모두가 Si 트랜지스터(Si 트랜지스터들)이어도 좋다. 예를 들어, 트랜지스터(31) 내지 트랜지스터(36) 중 임의의 하나가 Si 트랜지스터(Si 트랜지스터들)이어도 좋고, 또는 트랜지스터(31) 내지 트랜지스터(36) 중 2개 이상이 Si 트랜지스터여도 좋다. 또는, 트랜지스터(34) 내지 트랜지스터(36)가 Si 트랜지스터여도 좋다.

[0093] 본 발명의 일 형태에 따른 활상 장치는 도 10에 도시된 구조를 가져도 좋다. 도 10의 회로(11)의 광전 변환 소자(20)의 접속 방향은 도 1과 반대이다. 이 경우, 배선(51)(VPD)은 저전위를 갖고, 배선(52)(VR)은 고전위를 갖는다. 도 10의 보정 동작 및 활상 동작에 대해서는 도 1의 회로의 기재를 참조할 수 있지만, 광전 변환 소자(20)에 전달되는 빛의 조도가 높아질수록 노드 FD1의 전위가 낮아진다. 따라서, 도 10의 회로 구조에서는, 광전 변환 소자(20)에 조사되는 광의 조도가 높아질수록 출력 단자(OUT)로부터 출력되는 신호가 작아진다.

[0094] 도 11의 (A)에서는, 도 1의 회로(11)에서 트랜지스터(32)가 생략되어 있다. 이 경우, 배선(51)(VPD)은 저전위 또는 고전위로 변화될 수 있다. 노드 FD1의 리셋 동작은 배선(51)(VPD)이 저전위를 가질 때 수행될 수 있다. 소정의 기간에 배선(51)(VPD)이 저전위를 가지면 광전 변환 소자(20)에 순방향 바이어스가 인가된다. 따라서, 노드 FD1의 전위가 배선(51)(VPD)의 전위로 설정될 수 있다.

[0095] 활상 데이터가 얻어지면, 배선(51)(VPD)에 고전위가 인가된다. 배선(51)(VPD)이 고전위이면, 역방향 바이어스가 광전 변환 소자(20)에 인가되기 때문에, 빛의 조도에 따라 배선(51)(VPD)으로부터 노드 FD1에 전하가 축적될 수 있다. 이 경우에는, 광전 변환 소자(20)에 전달되는 빛의 조도가 높아질수록, 노드 FD1의 전위가 증가된다. 따라서, 도 11의 (A) 내지 (C)의 회로 구조에서는, 광전 변환 소자(20)에 전달되는 빛의 조도가 높아질수록, 배선(54)(V_{OUT})으로부터 출력되는 신호가 커진다.

[0096] 본 발명의 일 형태에 따른 회로(11)의 다른 구조로서, 트랜지스터(31)는 도 11의 (B)에 도시된 바와 같이 생략되어도 좋고, 또는 용량 소자(42)는 도 11의 (C)에 도시된 바와 같이 생략되어도 좋다.

[0097] 회로(11)의 트랜지스터(31) 내지 트랜지스터(33)는 도 12의 (A) 및 (B)에 도시된 바와 같이 각각 백 게이트 전극을 가져도 좋다. 도 12의 (A)는 백 게이트 전극에 정전위를 인가하는 구성을 도시한 것이며, 문턱 전압을 제어할 수 있다. 도 12의 (B)는 각 프런트 게이트 전극과 같은 전위가 백 게이트 전극에 인가되는 구성을 도시한 것이며, 온 상태 전류를 증가시킬 수 있다. 트랜지스터(31) 내지 트랜지스터(35)는 도 12의 (C) 및 (D)에 도시된 바와 같이 각각 백 게이트를 포함하여도 좋다.

- [0098] 회로는 도 12의 (E)에 도시된 바와 같이, 프런트 게이트 전극과 백 게이트 전극에 같은 전위를 인가하는 구성, 백 게이트 전극에 정전위를 인가하는 구성을 하나의 회로의 트랜지스터를 위하여 필요에 따라 임의로 조합하여도 좋다. 또는, 백 게이트가 제공되어 있지 않은 회로 구성은 상술한 구성 중 어느 것과 임의적으로 조합하여도 좋다. 또한, 백 게이트 전극에 정전위를 인가하는 구성은 예를 들어, 도 12의 (F)에 도시된 바와 같이 모든 백 게이트 전극에 같은 전위가 공급되어도 좋다.
- [0099] OS 트랜지스터는 Si 트랜지스터보다 낮은 온 상태 전류를 갖기 때문에 백 게이트 전극이 바람직하게 제공된다. 예를 들어, 트랜지스터(31) 내지 트랜지스터(33)로서 OS 트랜지스터를 사용하는 것이 특히 바람직하기 때문에 트랜지스터(31) 내지 트랜지스터(33)에 백 게이트 전극을 바람직하게 제공할 수 있다.
- [0100] 도면에는 나타내지 않았지만, 백 게이트 전극이 회로(12)의 트랜지스터(36)에 제공되어도 좋다.
- [0101] 또한, 도 11의 (A) 내지 (C) 및 도 12의 (A) 내지 (F)에서 배선의 일부가 생략되었다.
- [0102] 회로(11)는 도 13에 도시된 바와 같이 트랜지스터(32 내지 35)가 복수의 화소 사이에서 공유되는 구성을 가져도 좋다. 도 13은 트랜지스터(32 및 35)가 수직 방향의 복수의 화소 사이에서 공유되는 구성을 도시한 것이지만, 트랜지스터(32 및 35)는 수평 방향 또는 수평 및 수직 방향의 복수의 화소 사이에서 공유되어도 좋다. 이와 같은 구성으로 함으로써 하나의 화소에 포함되는 트랜지스터의 수를 저감시킬 수 있다.
- [0103] 도 13에 트랜지스터(32 내지 35)가 4개의 화소에서 공유되는 구성은 도시하였지만, 트랜지스터(32 및 35)는 2개의 화소, 3개의 화소, 또는 5개 이상의 화소에서 공유되어도 좋다.
- [0104] 이와 같은 구조에 의하여 고집적화된 화소 어레이를 포함하는 활상 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 고품질의 활상 데이터를 얻을 수 있는 활상 장치를 제공할 수 있다.
- [0105] 또한, 도 1, 도 2, 도 10, 및 도 13의 구성 중 임의의 것을 서로 임의적으로 조합할 수 있다.
- [0106] 본 발명의 일 형태에서, 화소 회로에 포함되는 증폭 트랜지스터로서 기능할 수 있는 트랜지스터(34)의 문턱 전압 "Vth"의 편차에 의존하지 않는 출력 신호를 얻을 수 있다.
- [0107] 실시형태 1에서는 본 발명의 일 실시형태에 대하여 기재하였다. 본 발명의 다른 실시형태에 대해서는 실시형태 2 내지 실시형태 8에서 설명한다. 또한, 본 발명의 일 형태는 상술한 예에 한정되지 않는다. 본 발명의 일 형태가 활상 장치에 적용된 예가 기재되었고, 본 발명의 일 형태는 이에 한정되지 않는다. 경우에 따라 본 발명의 일 형태는 반드시 활상 장치에 적용될 필요는 없다. 본 발명의 일 형태는 예를 들어, 다른 기능을 갖는 반도체 장치에 적용되어도 좋다. 본 발명의 일 형태에서 트랜지스터의 전기 특성의 편차 또는 열화를 보정하는 기능이 제공되거나 보정 동작이 실시되는 예를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 경우 또는 상황에 따라서는 본 발명의 일 형태는 트랜지스터의 전기 특성의 편차 또는 열화를 반드시 보정할 필요는 없다.
- [0108] 본 실시형태는 다른 실시형태에 설명되는 구조 중 임의의 것과 적절히 조합하여 실시될 수 있다.
- [0109] (실시형태 2)
- [0110] 본 실시형태에서, 실시형태 1과 상이한 화소 회로의 구동 방법의 예를 설명한다.
- [0111] 실시형태 1에서 설명한 화소 회로는 제 1 동작 및 제 2 동작을 실행할 수 있다. 제 1 동작에서, 트랜지스터(34)의 문턱 전압 "Vth"의 보정 및 초기 프레임의 활상을 수행할 수 있다. 제 2 동작에서, 차분 검출 프레임의 활상을 실행할 수 있고, 초기 프레임과 차분 검출 프레임간의 차분(차분 데이터)을 나타내는 데이터를 출력할 수 있다. 제 2 동작에서는, 외부 회로에서의 비교 처리 등 없이 차분 데이터를 출력할 수 있기 때문에, 상기 화소 회로를 저소비전력의 보안 카메라 등에 적용할 수 있다.
- [0112] 다음으로, 도 1에서의 회로의 제 1 동작 및 제 2 동작을 도 14의 타이밍 차트를 참조하여 설명한다. 또한, 제 1 동작은 시각(T8)까지 실행되고, 제 2 동작은 시각(T8) 후의 실행된다.
- [0113] 먼저, 제 1 동작에서의 트랜지스터(34)의 문턱 전압 "Vth"의 보정 동작을 설명한다. 시각(T1)에서, 배선(61)(TX), 배선(62)(RES), 배선(63)(AZ), 및 배선(65)(SEL) 각각에 고전위가 인가되어 트랜지스터(31), 트랜지스터(32), 트랜지스터(33), 및 트랜지스터(35)가 온이 된다. 또한, 배선(66)(BIAS)에 저전위가 인가되어 트랜지스터(36)가 오프가 된다. 따라서, 배선(52)(VR)의 전위 "VR"은 노드 FD1에서 유지되고, 배선(55)(VPI)의 전위 "VPI"는 노드 FD2에서 유지된다.

- [0114] 시각(T2)에서, 배선(66)(BIAS)에 고전위가 인가되어 트랜지스터(36)가 온이 된다. 또한, 배선(65)(SEL)에 저전위가 인가되어 트랜지스터(35)가 오프가 된다. 따라서, 노드 FD2의 전위는 방전된다. 노드 FD2의 전위가 "VPI"에서 "VPO+Vth"으로 변화되면, 방전이 종료되고, 전위가 유지된다(도 5 참조). 여기서, 노드 FD2의 전위를 가능한 한 빠르게 변화시키기 위하여, 배선(66)(BIAS)의 전위는 가능한 한 높게 하는 것이 바람직하다. 예를 들어, 나중에 설명하는 활상 동작에서 배선(66)(BIAS)에 인가되는 고전위 "VH1"보다 높은 전위 "VH2"를 인가하는 것이 바람직하다. 그러나, 전위 "VH1"을 배선(66)(BIAS)에 인가하여도 좋다. 이상이 보정 동작의 설명이다.
- [0115] 상기 보정 동작을 활상마다 반드시 수행할 필요는 없고, 한 번의 보정 동작만으로 활상을 연속하여 수행할 수 있다. 물론, 상기 보정 동작은 활상 전, 활상 후, 전원 온 시, 전원 오프 시, 또는 타이머 등을 사용한 임의의 타이밍에서 수행되어도 좋다.
- [0116] 다음으로, 제 1 동작에서의 활상 동작을 설명한다. 시각(T3)에서, 배선(62)(RES)에 저전위가 인가되어 트랜지스터(32)가 오프가 된다. 따라서, 광전 변환 소자(20)를 통하여 배선(51)(VPD)으로부터 노드 FD1에 전하가 축적됨으로써 노드 FD1의 전위가 증가된다. 또한, 배선(66)(BIAS)의 전위는 "VH1"로 감소되는 것이 바람직하지만, 전위 "VH2"로 유지하여도 좋다.
- [0117] 시각(T4)에서, 배선(61)(TX)에 저전위가 인가되어 트랜지스터(31)가 오프가 된다. 노드 FD1의 전위는 시각(T3) 내지 시각(T4)에서의 동작에 의하여 "Va"만큼 증가되고, 노드 FD1의 전위는 "VR+Va"로 유지된다. 노드 FD2가 배선(56)(VPO)과 전기적으로 접속되기 때문에 노드 FD2의 전위는 변화하지 않는다.
- [0118] 시각(T5)에서, 배선(63)(AZ)에 저전위가 인가되어 트랜지스터(33)가 오프가 된다.
- [0119] 시각(T6)에서, 배선(65)(SEL)에 고전위가 인가되어 트랜지스터(35)를 온으로 한다. 전위 "VH1"을 배선(66)(BIAS)에 인가한다. 상술한 단계를 통하여 배선(54)에 인가되는 전위 " V_{OUT} "는 실시형태 1의 수학식 1 내지 수학식 4와 마찬가지로 계산할 수 있고, " $2VPO+Vth'-VH1$ "가 된다. 바꿔 말하면, 전위 " V_{OUT} "는 트랜지스터(34)의 문턱 전압 "Vth"에 의존하지 않는다.
- [0120] 따라서, 트랜지스터(34)의 문턱 전압 "Vth"의 편차를 포함하지 않는 신호를 배선(54)(V_{OUT})에 출력할 수 있다.
- [0121] 시각(T7)에서, 배선(65)(SEL)에 저전위가 인가되어 트랜지스터(35)가 오프가 된다. 상술한 단계를 통하여, 제 1 동작의 활상 동작이 종료된다.
- [0122] 다음으로, 제 2 동작을 설명한다. 시각(T8)에서, 배선(61)(TX) 및 배선(62)(RES)에 고전위가 인가되어 트랜지스터(31) 및 트랜지스터(32)가 온이 된다. 따라서, 노드 FD1의 전위가 배선(52)(VR)의 전위인 전위 "VR"로 리셋된다. 즉, 노드 FD1의 전위는 "Va"만큼 감소된다. 노드 FD2의 전위도 노드 FD1과 노드 FD2의 용량 결합에 의하여 "Va"만큼 감소된다. 즉, 노드 FD2의 전위는 "VPO+Vth"에서 "VPO+Vth-Va"로 변화한다.
- [0123] 상술한 바와 같이, "Va"는 초기 프레임의 조도를 반영하는 전위라고 할 수 있다.
- [0124] 시각(T9)에서, 배선(62)(RES)에 저전위가 인가되어 트랜지스터(32)가 오프가 된다. 따라서, 광전 변환 소자(20)를 통하여 배선(51)(VPD)으로부터 노드 FD1에 전하가 축적됨으로써 노드 FD1의 전위가 증가된다.
- [0125] 시각(T10)에서, 배선(61)(TX)에 저전위가 인가되면 트랜지스터(31)가 오프가 된다. 노드 FD1의 전위가 시각(T9) 내지 시각(T10)에서 "Vb"만큼 증가되면 노드 FD1의 전위는 시각(T10)에서 "VR+Vb"로 유지된다. 또한, 노드 FD2의 전위도 노드 FD1과 노드 FD2의 용량 결합에 의하여 "Vb"만큼 증가된다. 즉, 노드 FD2의 전위는 "VPO+Vth-Va"에서 "VPO+Vth+Vb-Va"로 변화한다.
- [0126] 상술한 바와 같이, "Vb"는 현 프레임의 조도를 반영하는 전위라고 할 수 있다.
- [0127] 시각(T11)에서, 배선(65)(SEL)에 고전위가 인가되어 트랜지스터(35)가 온이 된다. 또한, 전위 "VH1"을 배선(66)(BIAS)에 인가한다. 상술한 단계를 통하여 배선(54)(V_{OUT})에 인가되는 전위 " V_{OUT} "는 실시형태 1의 수학식 1 내지 수학식 4와 마찬가지로 계산할 수 있고, " $2VPO+Vb-Va+Vth'-VH1$ "가 된다. 바꿔 말하면, 전위 " V_{OUT} "는 트랜지스터(34)의 문턱 전압 "Vth"에 의존하지 않는다.
- [0128] 따라서, 트랜지스터(34)의 문턱 전압 "Vth"의 편차를 포함하지 않는 신호를 배선(54)(V_{OUT})에 출력할 수 있다.

- [0129] 또한, 배선(54)(V_{OUT})의 전위는 "V_b-V_a"를 함유한다. 상술한 바와 같이, "V_b"는 차분 검출 프레임의 조도를 방영하는 전위이고, "V_a"는 초기 프레임의 조도를 반영하는 전위이다. 즉, 차분 데이터가 배선(54)(V_{OUT})으로부터 출력되는 제 2 동작을 수행할 수 있다.
- [0130] 시각(T12)에서, 배선(65)(SEL)에 저전위가 인가되어 트랜지스터(35)가 오프가 된다. 상술한 단계를 통하여, 제 2 동작이 종료된다.
- [0131] 또한, 시각(T1) 또는 시각(T2)에서, 배선(61)(TX)에 저전위가 인가되어 트랜지스터(31)가 오프가 되어도 좋다. 예를 들어, 시각(T1) 및 시각(T2)에서 각각 배선(61)(TX)에 저전위 및 고전위를 인가함으로써 트랜지스터(31)는 시각(T1)에서 온이 되고, 시각(T2)에서 오프가 되어도 좋다. 그러나, 시각(T3)에서, 트랜지스터(31)가 오프인 동안 트랜지스터(32)를 온으로 할 필요가 있으므로 시각(T2)에서 트랜지스터(31)는 온이 되는 것이 바람직하다.
- [0132] 또한, 시각(T1) 내지 시각(T2), 시각(T3) 내지 시각(T6), 시각(T7) 내지 시각(T11), 및 시각(T12)에서, 임의의 전위가 배선(66)(BIAS)에 인가될 수 있다. 예를 들어, 시각(T1) 내지 시각(T2), 시각(T3) 내지 시각(T12)에서, 전위 "VH1"이 인가되어도 좋다. 또는, 시각(T1) 내지 시각(T2), 시각(T3) 내지 시각(T6), 시각(T7) 내지 시각(T11), 및 시각(T12)에서, 저전위가 인가되어도 좋다. 또는, 예를 들어, 시각(T1) 내지 시각(T6)에서 전위 "VH2"가 인가되어도 좋다.
- [0133] 본 실시형태는 다른 실시형태에 설명되는 구조 중 임의의 것과 적절히 조합하여 실시될 수 있다.
- [0134] (실시형태 3)
- [0135] 본 실시형태에서, 본 발명의 일 형태에 따른 활상 장치의 구체적인 구성예에 대하여 도면을 참조하여 아래에서 설명한다.
- [0136] 도 15의 (A)는 본 발명의 일 형태의 활상 장치의 단면도의 예이고, 도 1의 회로(11)에서의 광전 변환 소자(20)와 트랜지스터들(31 및 32) 사이의 구체적인 접속의 예를 나타낸 것이다. 또한, 도 15의 (A)에는 트랜지스터(33) 내지 트랜지스터(35)를 도시하지 않았다. 활상 장치는 트랜지스터(31) 내지 트랜지스터(35)를 포함하는 층(1100) 및 광전 변환 소자(20)를 포함하는 층(1200)을 포함한다.
- [0137] 본 실시형태의 단면도에서는 배선, 전극, 및 도전체(91)가 개별의 구성 요소로서 도시되었지만, 이들이 서로 전기적으로 접속될 때 이들의 일부가 하나의 구성 요소로서 제공되는 경우가 있다. 또한, 도전체(91)를 통하여 트랜지스터의 게이트 전극, 소스 전극, 또는 드레인 전극이 배선과 전기적으로 접속되는 구성은 예일 뿐이고, 트랜지스터의 게이트 전극, 소스 전극, 및 드레인 전극이 배선으로서 기능하는 경우도 있다.
- [0138] 보호막, 층간 절연층, 또는 평탄화막으로서 각각 기능하는 절연층(92), 절연층(93) 등은 구성 요소 위에 제공된다. 예를 들어, 절연층(92) 및 절연층(93) 등으로서 산화 실리콘막 또는 산화질화 실리콘막 등의 무기 절연막을 사용할 수 있다. 또는, 아크릴 수지 또는 폴리이미드 수지 등의 유기 절연막을 사용하여도 좋다. 절연층(92) 및 절연층(93) 등의 상면은 필요에 따라 CMP(chemical mechanical polishing) 등에 의하여 평탄화되는 것이 바람직하다.
- [0139] 도면에 도시된 하나 이상의 배선 등이 제공되지 않거나 도면에 도시되지 않은 배선, 트랜지스터 등이 각 층에 포함되는 경우가 있다. 또한, 도면에 도시되지 않은 층이 적층 구조에 포함된다. 또한, 도면에 도시된 하나 이상의 층이 포함되지 않는 경우가 있다.
- [0140] 또한, 도 15의 (A)에서 각 트랜지스터는 백 게이트 전극을 포함하지만, 도 15의 (B)에 도시된 바와 같이 각 트랜지스터는 백 게이트 전극을 포함하지 않아도 된다. 또는, 도 15의 (C)에 도시된 바와 같이 하나 이상의 트랜지스터, 예를 들어 트랜지스터(31)만이 백 게이트 전극을 포함하여도 좋다. 백 게이트 전극은 트랜지스터의 프런트 게이트 전극에 상당하여 전기적으로 접속되어도 좋다. 또는, 상이한 고정 전위가 백 게이트 전극 및 프런트 게이트 전극에 공급될 수 있다. 또한, 백 게이트 전극의 존재에 대한 이러한 기재는 본 실시형태에 기재된 다른 활상 장치에 적용할 수 있다.
- [0141] 다양한 소자를 층(1200)에 제공되는 광전 변환 소자(20)로서 사용할 수 있다. 도 15의 (A)는 광전 변환층(21)에 셀레늄계 재료를 포함한 광전 변환 소자(20)를 도시한 것이다. 셀레늄계 재료를 포함한 광전 변환 소자(20)는 가시광에 대한 외부 양자 효율이 높다. 광전 변환 소자에서는, 애벌란시 현상에 의하여 입사광의 양에 대한 전자의 증폭의 양이 많은 고감도 센서를 얻을 수 있다. 또한, 셀레늄계 재료는 광 흡수 계수가 높기 때문에, 광전 변환층(21)을 얇게 형성하기 쉽다는 이점을 갖는다.

- [0142] 셀레늄계 재료로서 비정질 셀레늄 또는 결정 셀레늄을 사용할 수 있다. 결정 셀레늄은 예를 들어, 비정질 셀레늄을 퇴적한 다음 가열 처리를 수행함으로써 얻을 수 있다. 결정 셀레늄의 결정 입경을 화소 피치보다 작게 함으로써 화소들 사이의 특성의 편차가 저감될 수 있다. 또한, 결정 셀레늄은 비정질 셀레늄보다 분광 감도 및 광 흡수 계수가 높다.
- [0143] 또한, 광전 변환층(21)은 구리, 인듐, 및 셀레늄의 화합물(CIS)을 포함하는 층이어도 좋다. 또는, 구리, 인듐, 갈륨, 및 셀레늄의 화합물(CIGS)을 포함하는 층을 사용하여도 좋다. CIS층 또는 CIGS층에 의하여, 셀레늄의 단층을 사용하는 경우와 같이 애벌란시 현상을 이용할 수 있는 광전 변환 소자를 형성할 수 있다.
- [0144] 셀레늄계 재료를 포함한 광전 변환 소자(20)에서는 예를 들어 금속 재료 등을 사용하여 형성된 투광성 도전층(22)과 전극(26) 사이에 광전 변환층(21)을 제공할 수 있다. CIS 및 CIGS는 p형 반도체이고, 접합(junction)을 형성하기 위하여 황화 카드뮴 또는 황화 아연 등의 n형 반도체와 접촉하도록 형성되어도 좋다.
- [0145] 애벌란시 현상을 일으키기 위하여 광전 변환 소자에 비교적 높은 전압(예를 들어, 10V 이상)을 인가하는 것이 바람직하다. OS 트랜지스터는 Si 트랜지스터보다 드레인 내압이 높기 때문에, 광전 변환 소자에 비교적 높은 전압을 쉽게 인가할 수 있다. 그러므로, 드레인 내압이 높은 OS 트랜지스터와, 광전 변환층에 셀레늄계 재료를 사용한 광전 변환 소자를 조합함으로써, 고감도이고 신뢰성이 높은 활상 장치를 얻을 수 있다.
- [0146] 도 15의 (A)에서는 광전 변환층(21)과 투광성 도전층(22)이 회로들 사이에서 분리되지 않지만, 광전 변환층(21)과 투광성 도전층(22)이 도 16의 (A)에 도시된 바와 같이 회로들 사이에서 분리되어도 좋다. 또한, 광전 변환층(21) 및 투광성 도전층(22)에 크랙이 생기지 않도록, 화소간에서 전극(26)이 제공되지 않는 영역에는 절연체를 사용하여 형성된 격벽(27)이 제공되는 것이 바람직하지만, 도 16의 (B)에 도시된 바와 같이 격벽(27)은 반드시 제공될 필요는 없다. 도 15의 (A)에서 투광성 도전층(22) 및 배선(94)은 배선(95) 및 도전체(91)를 통하여 서로 접속되어 있지만, 도 16의 (C) 및 (D)와 같이 투광성 도전층(22) 및 배선(94)이 서로 직접 접촉되어 있어도 좋다.
- [0147] 전극(26), 배선(94) 등은 각각 다층이어도 좋다. 예를 들어, 도 17의 (A)에 도시된 바와 같이, 전극(26)은 2개의 도전층(26a 및 26b)을 포함할 수 있고, 배선(94)은 2개의 도전층(94a 및 94b)을 포함할 수 있다. 도 17의 (A)의 구성에서는 예를 들어 도전층(26a 및 94a)은 저저항 금속 등으로 만들어져도 좋고, 도전층(26b)은 광전 변환층(21)과의 우수한 콘택트 특성을 나타내는 금속 등으로 만들어져도 좋다. 이러한 구성에 의하여 광전 변환 소자의 전기 특성이 향상된다. 또한, 일부 종류의 금속이 투광성 도전층(22)과 접촉될 때 발생되는 전식(electrolytic corrosion)을 일으키는 금속을 도전층(94a)이 함유하더라도, 도전층(94a)과 투광성 도전층(22) 사이에 도전층(94b)이 위치하기 때문에 전식을 방지할 수 있다.
- [0148] 도전층(26a 및 94a)은 예를 들어 알루미늄, 타이타늄, 또는 타이타늄, 알루미늄, 및 타이타늄이 이 순서대로 적층된 적층을 사용하여 형성될 수 있다. 도전층(26b 및 94b)은 예를 들어, 몰리브데늄, 텉스텐 등을 사용하여 형성될 수 있다.
- [0149] 절연층(92) 등은 각각 다층이어도 좋다. 예를 들어, 도 17의 (B)에 도시된 바와 같이, 도전체(91)는 절연층(92)이 상이한 애칭 레이트를 갖는 절연층(92a) 및 절연층(92b)을 포함하는 경우에 단차를 갖는다. 중간 절연층 또는 평탄화막으로서 사용되는 다른 절연층이 다층인 경우, 도전체(91)도 단차를 갖는다. 여기서, 절연층(92)이 2층을 사용하여 형성되었지만, 절연층(92) 및 다른 절연층은 각각 3층 이상을 사용하여 형성되어도 좋다.
- [0150] 또한 격벽(27)은 무기 절연체 또는 절연 유기 수지 등을 사용하여 형성할 수 있다. 격벽(27)은 트랜지스터 등을 빛으로부터 보호하기 위하여 및/또는 화소당 수광부의 면적을 결정하기 위하여 흑색 등으로 착색되어도 좋다.
- [0151] 또는, 비정질 실리콘막, 미결정 실리콘막 등을 사용하여 형성된 PIN 다이오드 소자 등을 광전 변환 소자(20)로서 사용하여도 좋다.
- [0152] 도 18은 광전 변환 소자(20)로서 박막 PIN 포토다이오드를 사용한 예를 도시한 것이다. 포토다이오드에서는, p형 반도체층(25), i형 반도체층(24), 및 n형 반도체층(23)이 이 순서대로 적층된다. i형 반도체층(24)은 비정질 실리콘을 사용하여 형성하는 것이 바람직하다. n형 반도체층(23) 및 p형 반도체층(25)은, 각각 상당하는 도전형을 부여하는 도편트를 포함하는 비정질 실리콘, 미결정 실리콘 등을 사용하여 형성할 수 있다. 비정질 실리콘을 사용하여 광전 변환층을 형성한 포토다이오드는 가시광 파장 영역에서의 감도가 높으므로 미약한 가시광

을 쉽게 검지할 수 있다.

[0153] 도 18의 광전 변환 소자(20)에서, p형 반도체층(25)은 전극(26)에 전기적으로 접속된다. 또한, n형 반도체층(23)은 도전체(91)를 통하여 배선(94)에 전기적으로 접속된다.

[0154] 또한, 도 19의 (A) 내지 (F)에 도시된 예 중 임의의 것은 PIN 박막 포토다이오드의 형태를 갖는 광전 변환 소자(20)의 구성, 및 광전 변환 소자(20)와 배선 사이의 접속에 적용하여도 좋다. 또한, 광전 변환 소자(20)의 구성과, 광전 변환 소자(20)와 배선 사이의 접속은 이에 한정되지 않고, 다른 구성을 적용하여도 좋다.

[0155] 도 19의 (A)는 광전 변환 소자(20)의 n형 반도체층(23)과 접촉된 투광성 도전층(22)이 제공되는 구조를 도시한 것이다. 투광성 도전층(22)은 전극으로서 기능하고, 광전 변환 소자(20)의 출력 전류를 증가시킬 수 있다.

[0156] 투광성 도전층(22)에는 다음에 기재하는 것을 사용할 수 있다; 인듐 주석 산화물; 실리콘을 함유한 인듐 주석 산화물; 아연을 함유한 산화 인듐; 산화 아연; 갈륨을 함유한 산화 아연; 알루미늄을 함유한 산화 아연; 산화 주석; 플루오린을 함유한 산화 주석; 안티모니를 함유한 산화 주석; 그래핀 등. 투광성 도전층(22)은 단층에 한정되지 않고, 상이한 막의 적층이어도 좋다.

[0157] 도 19의 (B)는 광전 변환 소자(20)의 n형 반도체층(23)이 배선(95)에 직접 접속되는 구성을 도시한 것이다.

[0158] 도 19의 (C)는 광전 변환 소자(20)의 n형 반도체층(23)에 접촉되어 투광성 도전층(22)이 제공되고, 배선(95)이 투광성 도전층(22)에 전기적으로 접속되는 구성을 도시한 것이다.

[0159] 도 19의 (D)는 n형 반도체층(23)을 노출시키는 개구가 광전 변환 소자(20)를 덮는 절연층에 제공되고, 이 개구를 덮는 투광성 도전층(22)이 배선(95)에 전기적으로 접속되는 구성을 도시한 것이다.

[0160] 도 19의 (E)는 광전 변환 소자(20)를 관통하는 도전체(91)가 제공되는 구성을 도시한 것이다. 이 구성을 도시하는 배선(94)은 도전체(91)를 통하여 n형 반도체층(23)에 전기적으로 접속되어 있다. 또한, 도면에서는 배선(94)이 p형 반도체층(25)을 통하여 전극(26)에 전기적으로 접속되는 것처럼 보인다. 그러나, p형 반도체층(25)의 횡방향의 저항이 높으므로, 적절한 간격이 배선(94)과 전극(26) 사이에 제공되면, 배선(94)과 전극(26) 사이의 저항은 매우 높아진다. 따라서, 광전 변환 소자(20)는 애노드와 캐소드 사이에서의 단락 없이 다이오드 특성을 가질 수 있다. 또한, n형 반도체층(23)과 전기적으로 접속되는 2개 이상의 도전체(91)가 제공되어도 좋다.

[0161] 도 19의 (F)는 n형 반도체층(23)과 접촉된 투광성 도전층(22)이 제공된 도 19의 (E)의 광전 변환 소자(20)의 구성을 도시한 것이다.

[0162] 또한, 도 19의 (D) 내지 (F)에 도시된 광전 변환 소자(20) 각각은 배선 등이 수광 영역과 중첩되지 않기 때문에 큰 수광 면적을 갖는 이점을 갖는다.

[0163] 또는, 도 20에 도시된 바와 같이, 광전 변환 소자(20)는 광전 변환층으로서 실리콘 기판(100)을 포함한 포토다이오드일 수 있다.

[0164] 셀레늄계 재료, 비정질 실리콘 등을 사용하여 형성되는 광전 변환 소자(20)는 퇴적 공정, 리소그래피 공정, 애칭 공정 등 일반적인 반도체 제작 공정을 거쳐 형성될 수 있다. 또한, 셀레늄계 재료의 저항은 높으므로, 도 15의 (A)에 도시된 바와 같이 회로들 사이에서 광전 변환층(21)이 분리되지 않는 구성이 채용될 수 있다. 그러므로, 본 발명의 일 형태에 따른 활상 장치는 높은 수율 및 저렴한 비용으로 제작할 수 있다. 한편, 광전 변환층으로서 실리콘 기판(100)을 포함한 포토다이오드를 형성하기 위해서는 연마 공정 및 접합 공정 등의 난이도가 높은 공정을 필요로 한다.

[0165] 또는, 본 발명의 일 형태에 따른 활상 장치는 회로가 형성되는 실리콘 기판(106)을 포함하는 다층 구조를 가져도 좋다. 예를 들어, 도 21의 (A)에서 도시한 바와 같이, 화소 회로는 실리콘 기판(106)에 활성 영역이 형성되는 트랜지스터(101) 및 트랜지스터(102)를 포함하는 층(1400)과 중첩되어도 좋다. 또한, 도 21의 (B)는 채널 폭 방향에서의 트랜지스터의 단면에 상당한다.

[0166] 실리콘 기판(106)에 형성된 회로는 화소 회로로부터 출력된 신호를 판독할 수 있고 상기 신호를 변환할 수 있다; 예를 들어 회로는 도 21의 (C)의 회로도에 도시된 바와 같이 CMOS 인버터를 포함할 수 있다. 트랜지스터(101)(n채널 트랜지스터)의 게이트 전극은 트랜지스터(102)(p채널 트랜지스터)의 게이트 전극과 전기적으로 접속된다. 한 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 다른 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되어 있다. 한 트랜지스터의 소스 전극 및 드레인 전극 중 다른 한쪽은 배선과 전기적으로 접속되고, 다른 트랜지스터의 소스 전극 및 드레인 전극 중 다른 한쪽은 다른 배선과 전기적으로 접속되

어 있다.

[0167] 또한, 실리콘 기판(106)은 벌크 실리콘 기판에 한정되지 않고, 저마늄, 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인화 인듐, 질화 갈륨, 또는 유기 반도체로 만들어진 기판일 수 있다.

[0168] 여기서, 도 20 및 도 21의 (A)에 도시된 바와 같이, 산화물 반도체 트랜지스터를 포함하는 영역과 Si 디바이스 (Si 트랜지스터 또는 Si 포토다이오드)를 포함하는 영역 사이에 절연층(96)이 제공된다.

[0169] 트랜지스터(101) 및 트랜지스터(102)의 활성 영역 근방에 제공된 절연층의 수소로 실리콘의 데글링 본드가 종단된다. 따라서, 이 수소는 트랜지스터(101) 및 트랜지스터(102)의 신뢰성을 향상시키는 효과를 갖는다. 한편, 트랜지스터(31) 등의 활성층인 산화물 반도체층 근방에 제공되는 절연층 내의 수소는, 산화물 반도체층에 캐리어를 발생시킨다. 그러므로, 수소는 트랜지스터(31) 등의 신뢰성을 저감시킬 수 있다. 따라서, Si 트랜지스터를 포함하는 하나의 층 및 OS 트랜지스터를 포함하는 다른 층이 적층되는 경우, 상기 층들 사이에 수소의 확산을 방지하는 기능을 갖는 절연층(96)을 제공하는 것이 바람직하다. 절연층(96)에 의하여 수소를 한쪽 층에 가둠으로써, 트랜지스터(101) 및 트랜지스터(102)의 신뢰성을 향상시킬 수 있다. 또한, 하나의 층으로부터 다른 층으로의 수소의 확산이 억제됨으로써 트랜지스터(31) 등의 신뢰성도 향상된다.

[0170] 절연층(96)은 예를 들어 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄, 또는 이트리아 안정화 지르코니아(YSZ)를 사용하여 형성될 수 있다.

[0171] 또한, 도 21의 (A)에서 도시한 바와 같이, 실리콘 기판(106)을 사용하여 형성된 회로(예를 들어 드라이버 회로), 트랜지스터(31) 등, 광전 변환 소자(20)가 서로 중첩할 수 있으므로 화소의 집적도가 증가될 수 있다. 바꿔 말하면, 활상 장치의 해상도를 높일 수 있다. 예를 들어, 상기 활상 장치는 화소수가 4K2K, 8K4K, 16K8K 등 인 활상 장치에 적합하다. 또한, 8K4K 활상 장치는 3천3백만개의 화소를 포함하므로 "33M"이라고도 할 수 있다. 또한, 예를 들어, 회로(11)의 트랜지스터(34) 및 트랜지스터(35)가 Si 트랜지스터이고, 트랜지스터(31) 내지 트랜지스터(33) 및 광전 변환 소자(20)와 중첩되는 영역을 갖는 구조를 채용하여도 좋다. 이 경우, 트랜지스터(31) 내지 트랜지스터(33)는 OS 트랜지스터이다.

[0172] 도 21의 (A)의 활상 장치는, 실리콘 기판(106)에 광전 변환 소자가 제공되지 않는다. 그러므로, 트랜지스터 또는 배선의 영향을 받지 않고 광전 변환 소자(20)를 위한 광로를 확보할 수 있고, 높은 개구율을 가진 화소를 형성할 수 있다.

[0173] 또한, 도 21의 (A) 및 (B)에서, Si 트랜지스터는 FIN형 트랜지스터이지만, 그들은 도 22의 (A)에 도시된 바와 같이 플레이너형 트랜지스터여도 좋다. 또는, 도 22의 (B)에 도시된 바와 같이, 트랜지스터들이 각각, 실리콘 박막을 사용하여 활성층(105)이 형성되는 트랜지스터여도 좋다. 활성층(105)은 다결정 실리콘 또는 SOI(Silicon on Insulator) 구조의 단결정 실리콘을 사용하여 형성될 수 있다.

[0174] 본 발명의 일 형태의 활상 장치는 도 23에 도시된 구조도 가질 수 있다.

[0175] 도 23의 활상 장치는 도 21의 (A)의 활상 장치의 변형예이다. CMOS 인버터는 OS 트랜지스터 및 Si 트랜지스터를 사용하여 형성된다.

[0176] 여기서, 트랜지스터(102)는 층(1400)에 제공되는 p채널 Si 트랜지스터이고, 트랜지스터(101)는 층(1100)에 제공되는 n채널 OS 트랜지스터이다. p채널 트랜지스터만이 실리콘 기판(106)에 제공되는 경우, 웰, n형 불순물층 등을 형성하는 단계를 생략할 수 있다.

[0177] 도 23의 활상 장치의 광전 변환 소자(20)에 셀레늄 등이 사용되었지만, 도 18과 같이, PIN 박막 포토다이오드가 사용되어도 좋다.

[0178] 도 23의 활상 장치에서, 트랜지스터(101)는 층(1100)에 형성된 트랜지스터(31) 및 트랜지스터(32)와 같은 공정에서 형성될 수 있다. 따라서, 활상 장치의 제작 공정을 간략화할 수 있다.

[0179] 본 발명의 일 형태에 따른 활상 장치는 다음과 같은 구조를 가질 수 있다: 도 24에 도시된 바와 같이, 실리콘 기판(100) 위에 형성된 포토다이오드를 포함하는 화소 및 그 위에 형성된 OS 트랜지스터가 회로가 형성된 실리콘 기판(106)과 접착되는 구조. 이와 같은 구성으로, 실리콘 기판(100) 위에 형성되는 포토다이오드의 실효적인 면적을 쉽게 향상시킬 수 있다. 또한, 실리콘 기판(106)에 미세화된 Si 트랜지스터를 포함하는 회로를 고집적화함으로써 고성능의 반도체 장치를 제공할 수 있다.

[0180] 또한, 도 24의 변형예로서, 도 25 및 도 26에 도시된 바와 같이, 회로는 OS 트랜지스터 및 Si 트랜지스터를 포

함하도록 구성되어 있어도 좋다. 이와 같은 구성으로, 실리콘 기판(100) 위에 형성되는 포토다이오드의 실효적인 면적을 쉽게 향상시킬 수 있다. 또한, 실리콘 기판(106)에 미세화된 Si 트랜지스터를 포함하는 회로를 고집적화함으로써 고성능의 반도체 장치를 제공할 수 있다.

[0181] 도 25의 구조의 경우, 실리콘 기판(106) 위의 OS 트랜지스터 및 Si 트랜지스터를 사용하여 CMOS 회로를 형성할 수 있다. OS 트랜지스터는 매우 낮은 오프 상태 전류를 갖기 때문에, 누설 전류가 매우 낮은 CMOS 회로를 형성할 수 있다.

[0182] 도 26의 구조의 경우, 실리콘 기판(100) 위의 OS 트랜지스터 및 실리콘 기판(106) 위의 Si 트랜지스터를 사용하여 CMOS 회로를 형성할 수 있다.

[0183] 도 27의 (A)는 활상 장치에 컬러 필터 등이 추가된 형태의 예의 단면도이다. 단면도는 3화소분의 화소 회로를 포함하는 영역의 일부를 도시한 것이다. 광전 변환 소자(20)가 형성된 층(1200) 위에 절연층(2500)이 형성된다. 절연층(2500)으로서 예를 들어 가시광 투과성이 높은 산화 실리콘막을 사용할 수 있다. 또한, 패시베이션막으로서 절화 실리콘막이 적층되어도 좋다. 또한, 반사 방지막으로서 산화 하프늄 등의 유전체막이 적층되어도 좋다.

[0184] 절연층(2500) 위에 차광층(2510)이 형성되어도 좋다. 차광층(2510)은 컬러 필터를 통과한 광의 혼색을 방지하는 기능을 갖는다. 차광층(2510)은 알루미늄, 텅스텐 등의 금속층, 또는 상기 금속층과 반사 방지막으로서 기능하는 유전체막을 포함하는 적층을 사용하여 형성될 수 있다.

[0185] 절연층(2500) 및 차광층(2510) 위에는 평탄화막으로서 유기 수지층(2520)을 형성할 수 있다. 컬러 필터(2530) (컬러 필터(2530a), 컬러 필터(2530b), 컬러 필터(2530c))은 각 화소에 형성된다. 예를 들어, 컬러 필터(2530a), 컬러 필터(2530b), 컬러 필터(2530c)는 R(적색), G(녹색), B(청색), Y(황색), C(시안), 및 M(마젠타) 중 임의의 색을 갖기 때문에 컬러 화상을 얻을 수 있다.

[0186] 투광성 절연층(2560) 등을 컬러 필터(2530) 위에 제공할 수 있다.

[0187] 도 27의 (B)에 도시된 바와 같이, 컬러 필터(2530) 대신에 광학 변환층(2550)을 사용하여도 좋다. 이러한 구성에 의하여 활상 장치는 다양한 파장 영역에서 활상할 수 있게 된다.

[0188] 예를 들어, 광학 변환층(2550)으로서 가시광선 파장 이하의 파장을 갖는 빛을 차단하는 필터를 사용하면, 자외선 활상 장치를 얻을 수 있다. 광학 변환층(2550)으로서 근적외선 파장 이하의 파장을 갖는 빛을 차단하는 필터를 사용하면, 원적외선 활상 장치를 얻을 수 있다. 광학 변환층(2550)으로서 가시광선 파장 이상의 파장을 갖는 빛을 차단하는 필터를 사용하면, 자외선 활상 장치를 얻을 수 있다.

[0189] 또한, 광학 변환층(2550)으로서 신틸레이터를 사용하면, 예를 들어 X선 활상 장치에 사용되는, 방사선의 강도를 가시화시킨 화상을 찍는 활상 장치를 얻을 수 있다. X선 등의 방사선은 물체를 통과하여 신틸레이터에 들어간 후, 포토루미네선스로 알려진 현상에 의하여 가시광 또는 자외광 등의 빛(형광)으로 변환된다. 그리고, 광전변환 소자(20)가 이 빛을 검지하여 화상 데이터를 얻는다. 또한, 이 구성을 갖는 활상 장치는 방사선 검출기 등에 사용되어도 좋다.

[0190] 신틸레이터는, X선 또는 감마선 등의 방사선이 조사되면, 방사선의 에너지를 흡수하여 가시광 또는 자외광을 발하는 물질, 또는 상기 물질을 함유하는 재료가 함유된다. 예를 들어, $Gd_2O_3:Tb$, $Gd_2O_3:Pr$, $Gd_2O_3:Eu$, $BaFC_1:Eu$, NaI , CsI , CaF_2 , BaF_2 , CeF_3 , LiF , LiI , 및 ZnO 중 임의의 것이 분산된 수지 또는 세라믹을 사용할 수 있다.

[0191] 셀레늄계 재료를 포함한 광전 변환 소자(20)에서는, X선 등의 방사선을 직접 전하로 변환할 수 있다; 따라서, 신틸레이터를 반드시 사용할 필요는 없다.

[0192] 컬러 필터들(2530a, 2530b, 및 2530c) 위에는 마이크로 렌즈 어레이(2540)가 제공되어도 좋다. 마이크로 렌즈 어레이(2540)에 포함되는 렌즈를 관통한 빛이 그 아래에 위치하는 컬러 필터를 통과하여 광전 변환 소자(20)에 도달된다. 또한, 도 27의 (A) 내지 (C)의 층(1200) 외의 영역은 층(1600)이라고 한다.

[0193] 도 27의 (C)의 활상 장치의 구체적인 구조를 도 15의 (A)의 활상 장치를 예로 취하여 도 28에 도시되었다. 또한, 도 27의 (C)의 활상 장치의 구체적인 구조는 도 20의 활상 장치를 예로 취하여 도 29에 도시하였다.

[0194] 본 발명의 일 형태에 따른 활상 장치는 도 30 및 도 31에 도시된 바와 같이 회절 격자(1500)와 조합하여도

좋다. 회절 격자(1500)를 통한 물체의 화상(즉, 회절 패턴)은 화소에 스캔할 수 있고, 입력 화상(물체 화상)은 화소에서의 활상 화상으로부터 연산 처리에 의하여 형성할 수 있다. 또한, 회절 격자(1500)를 렌즈 대신에 사용하면 활상 장치의 비용을 저감시킬 수 있다.

[0195] 회절 격자(1500)는 투광성 재료를 사용하여 형성할 수 있다. 예를 들어, 산화 실리콘막 또는 산화질화 실리콘막 등의 무기 절연막을 사용할 수 있다. 또는, 아크릴 수지막 또는 폴리이미드 수지막 등의 유기 절연막을 사용하여도 좋다. 또는, 무기 절연막 및 유기 절연막의 적층을 사용하여도 좋다.

[0196] 또한, 회절 격자(1500)는 감광성 수지 등을 사용하여 리소그래피 공정으로 형성할 수 있다. 또는, 회절 격자(1500)는 리소그래피 공정 및 에칭 공정으로 형성할 수 있다. 또는, 회절 격자(1500)는 나노임프린트 리소그래피, 레이저 스크라이빙 등에 의하여 형성할 수 있다.

[0197] 또한, 회절 격자(1500)와 마이크로 렌즈 어레이(2540) 사이에 간격 X가 제공되어도 좋다. 간격 X는 1mm 이하, 바람직하게는 100 μ m 이하로 할 수 있다. 간격은 공간이어도 좋고, 투광성 재료를 사용하여 형성된 밀봉층 또는 접착층이어도 좋다. 예를 들어, 질소 또는 희가스 등의 불활성 가스를 간격에 밀봉할 수 있다. 또는, 아크릴 수지, 에폭시 수지, 폴리이미드 수지 등을 간격에 제공하여도 좋다. 또는, 실리콘(silicone) 오일 등의 액체를 제공하여도 좋다. 마이크로 렌즈 어레이(2540)가 제공되지 않는 경우더라도 간격 X는 컬러 필터(2530)와 회절 격자(1500) 사이에 제공되어도 좋다.

[0198] 도 32에 도시된 바와 같이, 본 발명의 일 형태의 활상 장치는 매트릭스로 배열된 회로(11)를 포함하는 화소부(400), 회로(11)와 접속되는 행 드라이버(410), 회로(11)와 접속되는 회로(12), 회로(12)와 접속되는 A/D 컨버터(420), 및 A/D 컨버터(420)와 접속되는 열 드라이버(430)를 포함할 수 있다. 회로(11)의 배선에서, 배선(61)(TX), 배선(62)(RES), 배선(63)(AZ), 및 배선(65)(SEL)은 열 드라이버(410)에 접속된다.

[0199] 행 드라이버(410)에 의하여 선택된 회로(11)에서 얻어진 활상 데이터는 회로(12)를 통하여 A/D 컨버터(420)에 입력된다. A/D 컨버터(420)는 입력된 활상 데이터를 A/D 변환에 의하여 디지털 데이터로 변환시킨다. A/D 변환된 디지털 데이터는 열 드라이버(430)에 의하여 외부로 순차적으로 추출된다. 행 드라이버(410)와 열 드라이버(430)로서는, 예를 들어, 디코더 및 시프트 레지스터 등의 다양한 회로를 사용할 수 있다.

[0200] 도 33의 (A1) 및 (B1)에 도시된 바와 같이, 활상 장치는 구부리져도 좋다. 도 33의 (A1)은 활상 장치가 이점쇄선 X1-X2의 방향으로 휘어진 상태를 도시한 것이다. 도 33의 (A2)는 도 33의 (A1)에서의 이점쇄선 X1-X2로 나타낸 부분을 도시한 단면도이다. 도 33의 (A3)은 도 33의 (A1)의 이점쇄선 Y1-Y2로 나타낸 부분을 도시한 단면도이다.

[0201] 도 33의 (B1)은 활상 장치가 이점쇄선 X3-X4 방향 및 이점쇄선 Y3-Y4 방향으로 휘어진 상태를 도시한 것이다. 도 33의 (B2)는 도 33의 (B1)의 이점쇄선 X3-X4로 나타낸 부분을 도시한 단면도이다. 도 33의 (B3)은 도 33의 (B1)의 이점쇄선 Y3-Y4로 나타낸 부분을 도시한 단면도이다.

[0202] 활상 장치를 구부리면 상면(像面)의 만곡 및 비점수차를 저감시킬 수 있다. 따라서, 활상 장치와 조합하여 사용하는 렌즈 등의 광학 설계를 용이하게 할 수 있다. 예를 들어, 수차 보정에 사용되는 렌즈의 개수를 저감할 수 있다; 따라서, 활상 장치를 포함한 반도체 장치의 크기 또는 중량을 쉽게 저감할 수 있다. 또한, 활상되는 화상의 질을 향상시킬 수 있다.

[0203] 본 실시형태에서 본 발명의 일 형태에 대하여 설명하였다. 다른 실시형태에서 본 발명의 다른 형태에 대하여 설명한다. 다만, 본 발명의 일 형태는 이에 한정되지 않는다. 즉, 본 실시형태 및 다른 실시형태에는, 발명의 다양한 형태가 기재되어 있으므로, 본 발명의 일 형태는 특정의 형태에 한정되지 않는다. 본 발명의 일 형태가 활상 장치에 적용된 예가 기재되었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 경우 또는 상황에 따라서, 본 발명의 일 형태는 반드시 활상 장치에 적용될 필요는 없다. 예를 들어 본 발명의 일 형태는 다른 기능을 갖는 반도체 장치에 적용되어도 좋다. 본 발명의 일 형태로서, 트랜지스터의 채널 형성 영역, 소스 영역, 드레인 영역 등이 산화물 반도체를 포함하는 예를 설명하지만, 본 발명의 일 형태는 이에 한정되지 않는다. 상황 또는 조건에 따라, 본 발명의 일 형태에서, 다양한 트랜지스터 또는 트랜지스터의 채널 형성 영역, 소스 영역, 드레인 영역 등은 다양한 반도체를 포함하여도 좋다. 상황 또는 조건에 따라서는, 본 발명의 일 형태에서, 다양한 트랜지스터 또는 트랜지스터의 채널 형성 영역, 소스 영역, 드레인 영역 등을 예를 들어, 실리콘, 저마늄, 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인화 인듐, 질화 갈륨, 및 유기 반도체 중 적어도 하나를 포함하여도 좋다. 또는, 예를 들어, 상황 또는 조건에 따라, 본 발명의 일 형태에서, 다양한 트랜지스터 또는 트랜지스터의 채널 형성 영역, 소스 영역, 드레인 영역 등을 반드시 산화물 반도체를 포

함할 필요는 없다. 예를 들어, 상황 또는 조건에 따라서, 트랜지스터(31) 및 트랜지스터(32) 중 한쪽 또는 양쪽은 활성층에 산화물 반도체를 포함할 필요는 없다.

[0204] 본 실시형태는 다른 실시형태에 설명되는 구조 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0205] (실시형태 4)

[0206] 본 실시형태에서는, 본 발명의 일 형태에 사용할 수 있는 산화물 반도체를 포함하는 트랜지스터에 대하여 도면을 참조하여 설명한다. 본 실시형태의 도면에서는 이해하기 쉽게 하기 위하여 일부의 구성 요소를 확대, 축소, 또는 생략하였다.

[0207] 도 34의 (A) 및 (B)는 본 발명의 일 형태의 트랜지스터(201)를 도시한 상면도 및 단면도이다. 도 34의 (A)는 상면도이고, 도 34의 (A)의 일점쇄선 B1-B2 방향에서의 단면을 도 34의 (B)에 도시하였다. 도 34의 (A)의 일점쇄선 B3-B4 방향에서의 단면을 도 36의 (A)에 도시하였다. 일점쇄선 B1-B2 방향을 채널 길이 방향이라고 하고, 일점쇄선 B3-B4 방향을 채널 폭 방향이라고 한다.

[0208] 트랜지스터(201)는 기판(215), 절연층(220), 산화물 반도체층(230), 도전층(240), 도전층(250), 절연층(260), 도전층(270), 절연층(275), 및 절연층(280)을 포함한다.

[0209] 절연층(220)은 기판(215)과 접촉된다. 산화물 반도체층(230)은 절연층(220)과 접촉된다. 도전층(240 및 250)은 절연층(220) 및 산화물 반도체층(230)과 접촉된다. 절연층(260)은 절연층(220), 산화물 반도체층(230), 도전층(240 및 250)과 접촉된다. 도전층(270)은 절연층(260)과 접촉된다. 절연층(275)은 절연층(220), 도전층(240 및 250), 및 도전층(270)과 접촉된다. 절연층(280)은 절연층(275)과 접촉된다.

[0210] 여기서, 산화물 반도체층(230)에서, 도전층(240)과 중첩되는 영역, 도전층(250)과 중첩되는 영역, 및 절연층(260)과 중첩되는 영역을 각각 영역(331), 영역(332), 및 영역(333)이라고 한다.

[0211] 또한, 도전층(240 및 250)은 산화물 반도체층(230)과 전기적으로 접속된다.

[0212] 도전층(240)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 도전층(250)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 절연층(260)은 게이트 절연층으로서 기능한다. 도전층(270)은 게이트 전극으로서 기능한다.

[0213] 도 34의 (B)에 도시된 영역(331), 영역(332), 및 영역(333)은 각각 소스 영역 및 드레인 영역 중 한쪽, 소스 영역 및 드레인 영역 중 다른 한쪽, 및 채널 형성 영역으로서 기능한다.

[0214] 도전층(240 및 250) 중 각각은 도면에서 단층이지만, 2층 이상의 적층이어도 좋다. 도면에서, 도전층(270)은 2층(도전층(271) 및 도전층(272))을 포함하지만 단층 또는 3층 이상의 적층이어도 좋다. 본 실시형태에 기재된 다른 트랜지스터에 대해서도 마찬가지이다.

[0215] 절연층(280)이 필요에 따라 평탄화막으로서 기능하여도 좋다.

[0216] 본 발명의 일 형태의 트랜지스터는 도 34의 (C) 및 (D)에 도시된 구성을 가져도 좋다. 도 34의 (C)는 트랜지스터(202)의 상면도이다. 도 34의 (C)의 일점쇄선 C1-C2 방향의 단면을 도 34의 (D)에 도시하였다. 도 34의 (C)의 일점쇄선 C3-C4 방향의 단면을 도 36의 (B)에 도시하였다. 일점쇄선 C1-C2 방향을 채널 길이 방향이라고 하고, 일점쇄선 C3-C4 방향을 채널 폭 방향이라고 하는 경우가 있다.

[0217] 트랜지스터(202)는 절연층(260)의 단부가 도전층(270)의 단부와 일치되지 않는 점에서 트랜지스터(201)와 다르다. 트랜지스터(202)에서 도전층(240) 및 도전층(250)의 넓은 영역이 절연층(260)으로 덮이기 때문에 도전층(270)과 도전층(240 및 250) 사이의 저항이 높아져 트랜지스터(202)는 게이트 누설 전류가 낮아지는 특징이 있다.

[0218] 트랜지스터(201) 및 트랜지스터(202)는 각각 도전층(270)이 도전층(240) 및 도전층(250)의 각각과 중첩되는 영역을 포함하는 톱 게이트 구조를 갖는다. 기생 용량을 저감하기 위하여 채널 길이 방향에서의 상기 영역의 폭은 3nm 이상 300nm 미만인 것이 바람직하다. 이 구성에서는 산화물 반도체층(230)에 오프셋 영역이 형성되지 않기 때문에, 온 전류가 높은 트랜지스터를 쉽게 형성할 수 있다.

[0219] 본 발명의 일 형태의 트랜지스터는 도 34의 (E) 및 (F)에 도시된 구성을 가져도 좋다. 도 34의 (E)는 트랜지스터(203)의 상면도이다. 도 34의 (E)의 일점쇄선 D1-D2 방향에서의 단면을 도 34의 (F)에 도시하였다. 도 34의 (E)의 일점쇄선 D3-D4 방향에서의 단면이 도 36의 (A)에 도시되었다. 일점쇄선 D1-D2 방향을 채널 길이 방향이

라고 하고, 일점쇄선 D3-D4 방향을 채널 폭 방향이라고 하는 경우가 있다.

[0220] 트랜지스터(203)에서, 절연층(220)은 기판(215)과 접촉되고, 산화물 반도체층(230)은 절연층(220)과 접촉되고, 절연층(260)은 절연층(220) 및 산화물 반도체층(230)과 접촉되고, 도전층(270)은 절연층(260)과 접촉되고, 절연층(275)은 절연층(220), 산화물 반도체층(230), 및 도전층(270)과 접촉되고, 절연층(280)은 절연층(275)과 접촉되고, 도전층(240 및 250)은 산화물 반도체층(230) 및 절연층(280)과 접촉한다.

[0221] 절연층들(275 및 280)에 개구가 형성되고, 도전층(240 및 250)은 개구를 통하여 산화물 반도체층(230)과 전기적으로 접속된다.

[0222] 트랜지스터(203)는 필요에 따라 예를 들어 도전층(240 및 250) 및 절연층(280)과 접촉되는 절연층(평탄화막)을 더 포함하여도 좋다.

[0223] 산화물 반도체층(230)에서, 절연층(275)과 중첩되고 영역(331) 및 영역(333) 사이에 개재되는 영역은 영역(334)이라고 한다. 또한, 절연층(275)과 중첩되고 영역(332) 및 영역(333) 사이에 개재되는 영역은 영역(335)이라고 한다.

[0224] 본 발명의 일 형태의 트랜지스터는 도 35의 (A) 및 (B)에 도시된 구조를 가져도 좋다. 도 35의 (A)는 트랜지스터(204)의 상면도이다. 도 35의 (A)의 일점쇄선 E1-E2 방향에서의 단면을 도 35의 (B)에 도시하였다. 도 35의 (A)의 일점쇄선 E3-E4 방향에서의 단면을 도 36의 (A)에 도시하였다. 일점쇄선 E1-E2 방향을 채널 길이 방향이라고 하고, 일점쇄선 E3-E4 방향을 채널 폭 방향이라고 하는 경우가 있다.

[0225] 트랜지스터(204)에서, 절연층(220)은 기판(215)과 접촉되고, 산화물 반도체층(230)은 절연층(220)과 접촉되고, 도전층(240 및 250)은 절연층(220) 및 산화물 반도체층(230)과 접촉되고, 절연층(260)은 절연층(220) 및 산화물 반도체층(230)과 접촉되고, 도전층(270)은 절연층(260)과 접촉되고, 절연층(275)은 절연층(220), 산화물 반도체층(230), 도전층(240 및 250), 도전층(270)과 접촉되고, 절연층(280)은 절연층(275)과 접촉된다.

[0226] 트랜지스터(204)는 도전층(240 및 250)이 산화물 반도체층(230)의 단부를 덮도록 산화물 반도체층(230)과 접촉하는 점에서 트랜지스터(203)와 상이하다.

[0227] 트랜지스터(203) 및 트랜지스터(204) 각각이, 도전층(270)이 도전층(240) 및 도전층(250) 각각과 중첩되는 영역을 포함하지 않는 자기 정렬 구조를 갖는다. 케이트 전극과 소스 전극 및 드레인 전극 사이의 기생 용량이 매우 낮은 자기 정렬 구조를 가진 트랜지스터는 고속 동작이 요구되는 용도에 적합하다.

[0228] 본 발명의 일 형태의 트랜지스터는 도 35의 (C) 및 (D)에 도시된 구조를 가져도 좋다. 도 35의 (C)는 트랜지스터(205)의 상면도이다. 도 35의 (C)의 일점쇄선 F1-F2 방향의 단면을 도 35의 (D)에 도시하였다. 도 35의 (C)의 일점쇄선 F3-F4 방향의 단면을 도 36의 (A)에 도시하였다. 일점쇄선 F1-F2 방향을 채널 길이 방향이라고 하고, 일점쇄선 F3-F4 방향을 채널 폭 방향이라고 하는 경우가 있다.

[0229] 트랜지스터(205)에서, 도전층(240)은 도전층(241) 및 도전층(242)의 2층을 포함하고, 도전층(250)은 도전층(251) 및 도전층(252)의 2층을 포함한다. 절연층(220)은 기판(215)과 접촉되고, 산화물 반도체층(230)은 절연층(220)과 접촉되고, 도전층(241 및 251)은 반도체층(230)과 접촉되고, 절연층(260)은 절연층(220), 산화물 반도체층(230), 도전층(241 및 251)과 접촉되고, 도전층(270)은 절연층(260)과 접촉되고, 절연층(275)은 절연층(220), 도전층(241), 도전층(251), 및 도전층(270)과 접촉되고, 절연층(280)은 절연층(275)과 접촉되고, 도전층(242)은 도전층(241) 및 절연층(280)과 접촉되고, 도전층(252)은 도전층(251) 및 절연층(280)과 접촉된다.

[0230] 여기서, 도전층(241) 및 도전층(251)은 산화물 반도체층(230)의 상면과 접촉되고 산화물 반도체층(230)의 측면과는 접촉되지 않는다.

[0231] 트랜지스터(205)는 필요에 따라 예를 들어 절연층(280) 및 도전층(242 및 252)과 접촉되는 절연층을 더 포함하여도 좋다.

[0232] 또한, 도전층(241 및 251)은 산화물 반도체층(230)과 전기적으로 접속된다. 도전층(242)은 도전층(241)과 전기적으로 접속되고, 도전층(252)은 도전층(251)과 전기적으로 접속된다.

[0233] 산화물 반도체층(230)에서, 도전층(241)과 중첩되는 영역은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역(331)이고, 도전층(251)과 중첩되는 영역은 소스 영역 및 드레인 영역 중 다른 한쪽으로서 기능하는 영역(332)이다.

- [0234] 본 발명의 일 형태의 트랜지스터는 도 35의 (E) 및 (F)에 도시된 구조를 가져도 좋다. 도 35의 (E)는 트랜지스터(206)의 상면도이다. 도 35의 (E)의 일점쇄선 G1-G2 방향의 단면을 도 35의 (F)에 도시하였다. 도 35의 (E)의 일점쇄선 G3-G4 방향의 단면을 도 36의 (A)에 도시하였다. 일점쇄선 G1-G2 방향을 채널 길이 방향이라고 하고, 일점쇄선 G3-G4 방향을 채널 폭 방향이라고 하는 경우가 있다.
- [0235] 트랜지스터(206)는 도전층(240)이 도전층(241) 및 도전층(242)의 2층을 포함하고, 도전층(250)이 도전층(251) 및 도전층(252)의 2층을 포함하는 점에서 트랜지스터(203)와 상이하다.
- [0236] 트랜지스터(205 및 206)의 구성에서는 도전층(240 및 250)이 절연층(220)과 접촉되지 않는다. 이 구조에 의하여, 절연층(220)은 도전층(240) 및 도전층(250)에 의하여 산소가 추출되기 어려워져, 절연층(220)으로부터 산화물 반도체층(230)으로의 산소 공급이 용이해진다.
- [0237] 또한, 산소 빈자리를 형성하여 도전성을 높이기 위한 불순물을 트랜지스터들(203, 204, 및 206) 각각의 영역(334) 및 영역(335)에 첨가하여도 좋다. 산화물 반도체층에 산소 빈자리를 형성하는 불순물로서는 예를 들어 다음 중 하나 이상을 사용할 수 있다: 인, 비소, 안티모니, 봉소, 알루미늄, 실리콘, 질소, 헬륨, 네온, 아르곤, 크립톤, 제논, 인듐, 플루오린, 염소, 타이타늄, 아연, 및 탄소. 상기 불순물을 첨가하는 방법으로서, 플라스마 처리, 이온 주입법, 이온 도핑법, 플라스마 이온 주입법 등을 사용할 수 있다.
- [0238] 상술한 원소가 불순물 원소로서 산화물 반도체층에 첨가되면, 금속 원소와 산화물 반도체층에서의 산소 사이의 결합이 끊어져, 산소 빈자리가 형성된다. 산화물 반도체층의 산소 빈자리와, 산화물 반도체층 내에 잔존 또는 나중에 산화물 반도체층 내에 첨가되는 수소와의 상호 작용으로 산화물 반도체층의 도전율을 증가시킬 수 있다.
- [0239] 불순물 원소의 첨가에 의하여 산소 빈자리가 형성된 산화물 반도체에 수소를 첨가하면, 산소 빈자리 사이트에 수소가 들어가서 전도대 근방에 도너 준위가 형성된다. 그 결과, 산화물 도전체를 형성할 수 있다. 여기서, 산화물 도전체란 도전체가 된 산화물 반도체를 말한다. 또한, 산화물 도전체는 산화물 반도체와 마찬가지로 투광성을 갖는다.
- [0240] 산화물 도전체는 축퇴 반도체(degenerated semiconductor)이며, 전도대단(conduction band edge)과 페르미 준위가 일치 또는 실질적으로 일치한다고 추정된다. 그러므로 산화물 도전체층과, 소스 전극 및 드레인 전극으로서 기능하는 도전층 사이에서 옴 접촉(ohmic contact)이 이루어지기 때문에, 산화물 도전체층과, 소스 전극 및 드레인 전극으로서 기능하는 도전층 사이의 접촉 저항을 저감할 수 있다.
- [0241] 도 34의 (A) 내지 (F), 도 35의 (A) 내지 (F), 및 도 36의 (A) 내지 (D)의 트랜지스터들(201 내지 206)은 산화물 반도체층(230)이 단층인 예이지만, 산화물 반도체층(230)은 적층이어도 좋다. 도 37의 (A)는 산화물 반도체층(230)의 상면도이고, 도 37의 (B) 및 (C)는 산화물 반도체층(230a) 및 산화물 반도체층(230b)의 2층 구조를 갖는 산화물 반도체층(230)의 단면도이다. 도 37의 (D) 및 (E)는 산화물 반도체층(230a), 산화물 반도체층(230b), 및 산화물 반도체층(230c)의 3층 구조를 갖는 산화물 반도체층(230)의 단면도이다.
- [0242] 산화물 반도체층(230a) 또는 산화물 반도체층(230c)에 채널 영역이 형성되지 않기 때문에 산화물 반도체층(230a) 및 산화물 반도체층(230c)은 절연층이라고 할 수도 있다.
- [0243] 산화물 반도체층(230a), 산화물 반도체층(230b), 및 산화물 반도체층(230c)으로서는 예를 들어 다른 조성을 갖는 산화물 반도체층을 사용할 수 있다.
- [0244] 트랜지스터(201) 내지 트랜지스터(206)의 산화물 반도체층(230)은 도 37의 (B), (C), (D), 또는 (E)의 산화물 반도체층(230)과 바꿀 수 있다.
- [0245] 본 발명의 일 형태의 트랜지스터는 도 38의 (A) 내지 (F), 도 39의 (A) 내지 (F), 및 도 40의 (A) 내지 (D)에 도시된 구조를 가져도 좋다. 도 38의 (A), (C), 및 (E), 그리고 도 39의 (A), (C), 및 (E)는 각각 트랜지스터(207, 208, 209, 210, 211, 및 212)의 상면도이다. 도 38의 (A)의 일점쇄선 H1-H2 방향의 단면을 도 38의 (B)에 도시하였다. 도 38의 (C)의 일점쇄선 I1-I2 방향의 단면을 도 38의 (D)에 도시하였다. 도 38의 (E)의 일점쇄선 J1-J2 방향의 단면을 도 38의 (F)에 도시하였다. 도 39의 (A)의 일점쇄선 K1-K2 방향의 단면을 도 39의 (B)에 도시하였다. 도 39의 (C)의 일점쇄선 L1-L2 방향의 단면을 도 39의 (D)에 도시하였다. 도 39의 (E)의 일점쇄선 M1-M2 방향의 단면을 도 39의 (F)에 도시하였다. 또한, 도 38의 (A)의 일점쇄선 H3-H4, 도 38의 (E)의 일점쇄선 J3-J4, 도 39의 (A)의 일점쇄선 K3-K4, 도 39의 (C)의 일점쇄선 L3-L4, 및 도 39의 (E)의 일점쇄선 M3-M4 방향의 단면은 도 40의 (A)에 도시되어 있다. 도 38의 (C)의 일점쇄선 I3-I4 방향의 단면을 도 40의 (B)에 도시하였다.

- [0246] 트랜지스터(207) 및 트랜지스터(208)는 영역(331) 및 영역(332)에서 산화물 반도체층(230)이 2층(산화물 반도체층(230a) 및 산화물 반도체층(230b))을 포함하고, 영역(333)에서 산화물 반도체층(230)이 3층(산화물 반도체층(230a), 산화물 반도체층(230b), 및 산화물 반도체층(230c))을 포함하고, 산화물 반도체층의 일부(산화물 반도체층(230c))가 절연층(260)과 도전층(240 및 250)과의 사이에 존재하는 것을 제외하고 트랜지스터(201) 및 트랜지스터(202)와 같은 구조를 갖는다.
- [0247] 트랜지스터(209), 트랜지스터(210), 및 트랜지스터(212)는 영역(331), 영역(332), 영역(334), 및 영역(335)에서 산화물 반도체층(230)이 2층(산화물 반도체층(230a) 및 산화물 반도체층(230b))을 포함하고, 영역(333)에서 산화물 반도체층(230)이 3층(산화물 반도체층(230a), 산화물 반도체층(230b), 및 산화물 반도체층(230c))을 포함하는 것을 제외하고 트랜지스터(203), 트랜지스터(204), 및 트랜지스터(206)와 같은 구조를 갖는다.
- [0248] 트랜지스터(211)는 영역(331), 영역(332)에서 산화물 반도체층(230)이 2층(산화물 반도체층(230a) 및 산화물 반도체층(230b))을 포함하고, 영역(333)에서 산화물 반도체층(230)이 3층(산화물 반도체층(230a), 산화물 반도체층(230b), 및 산화물 반도체층(230c))을 포함하고, 산화물 반도체층의 일부(산화물 반도체층(230c))가 절연층(260)과 도전층(241 및 251)과의 사이에 존재하는 것을 제외하고 트랜지스터(205)와 같은 구조를 갖는다.
- [0249] 본 발명의 일 형태의 트랜지스터는 도 41의 (A) 내지 (F) 및 도 42의 (A) 내지 (F)의 트랜지스터(201) 내지 트랜지스터(212)의 채널 길이 방향의 단면도, 도 36의 (C)의 트랜지스터(201) 내지 트랜지스터(206)의 채널 폭 방향의 단면도, 및 도 40의 (C)의 트랜지스터(207) 내지 트랜지스터(212)의 채널 폭 방향의 단면도와 같이, 산화물 반도체층(230)과 기판(215) 사이에 도전층(273)을 포함하여도 좋다. 도전층(273)은 제 2 게이트 전극(백 게이트 전극이라고도 함)으로서 사용되기 때문에 산화물 반도체층(230)의 채널 형성 영역이 도전층(270) 및 도전층(273)으로 전기적으로 둘러싸여 있다. 이러한 트랜지스터 구조를 surrounded channel(s-channel) 구조라고 한다. 이와 같은 구조는 온 상태 전류를 증가시킬 수 있고, 문턱 전압을 제어할 수 있다. 도 41의 (A) 내지 (F) 및 도 42의 (A) 내지 (F)의 단면도에서 도전층(273)의 폭을 산화물 반도체층(230)의 폭보다 짧게 하여도 좋다. 또한, 도전층(273)의 폭은 도전층(270)의 폭보다 짧아도 좋다.
- [0250] 온 상태 전류를 증가시키기 위하여, 예를 들어, 도전층(270) 및 도전층(273)이 같은 전위를 갖도록 설정되고, 트랜지스터는 더블 게이트 트랜지스터로서 구동한다. 문턱 전압을 제어하기 위하여, 도전층(270)의 전위와 상이한 고정 전위를 도전층(273)에 공급한다. 도전층(270) 및 도전층(273)을 같은 전위로 설정하기 위해서는 예를 들어 도 36의 (D) 및 도 40의 (D)에 도시된 바와 같이, 도전층(270) 및 도전층(273)을 콘택트 홀을 통하여 서로 전기적으로 접속시키면 좋다.
- [0251] 본 발명의 일 형태의 트랜지스터는 도 43의 (A) 및 (B)에 나타낸 구조를 가져도 좋다. 도 43의 (A)는 상면도이고, 도 43의 (B)는 도 43의 (A)의 일점쇄선 N1-N2를 따라 취한 단면도이다. 도 43의 (C)는 도 43의 (A)의 일점쇄선 N3-N4를 따라 취한 단면도이다. 또한, 도면의 명료화를 위하여, 도 43의 (A)의 상면도에는 일부의 구성 요소를 도시하지 않았다.
- [0252] 트랜지스터(213)에서, 절연층(220)은 기판(215)과 접촉되고, 산화물 반도체층(230)(산화물 반도체층(230a 내지 230c))은 절연층(220)과 접촉되고, 도전층(240 및 250)은 산화물 반도체층(230b)과 접촉되고, 절연층(260)은 산화물 반도체층(230c)과 접촉되고, 도전층(270)은 절연층(260)과 접촉되고, 절연층(280)은 절연층(220) 및 도전층(240 및 250)과 접촉된다. 또한, 산화물 반도체층(230c), 절연층(260), 및 도전층(270)은 산화물 반도체층(230b)에 도달하는 절연층(280)의 개구에 제공된다.
- [0253] 트랜지스터(213)의 구조에서, 도전층(270)이 도전층(240) 또는 도전층(250)과 중첩되는 영역은, 상술한 다른 트랜지스터의 구조 중 어느 것보다 작기 때문에, 기생 용량을 작게 할 수 있다. 따라서, 트랜지스터(213)는 고속으로 동작할 필요가 있는 회로의 요소로서 적합하다. 또한, 트랜지스터(213)의 상면은 도 43의 (B) 및 (C)에 도시된 바와 같이 CMP(chemical mechanical polishing) 등으로 평탄화되는 것이 바람직하지만, 평탄화되지 않은 구조를 채용하여도 좋다.
- [0254] 도 44의 (A) 및 (B)에서의 상면도에 나타낸 바와 같이(산화물 반도체층(230), 도전층(240), 및 도전층(250)만을 나타냄), 도전층(240 및 250)의 폭(W_{SD})은 산화물 반도체층의 폭(W_{OS})보다 길어도 좋고 짧아도 좋다. W_{OS} 가 W_{SD} 이상(W_{SD} 는 W_{OS} 이하임)을 만족할 때, 게이트 전계가 산화물 반도체층(230) 전체에 가해지기 쉬워져 트랜지스터의 전기 특성을 향상시킬 수 있다. 도 44의 (C)와 같이, 도전층(240 및 250)은 산화물 반도체층(230)과 중첩되는 영역에만 형성되어도 좋다.

- [0255] 산화물 반도체층(230a 및 230b)을 포함한 트랜지스터 및 산화물 반도체층(230a, 230b, 및 230c)을 포함한 트랜지스터에서는 산화물 반도체층(230)을 형성하는 2층 또는 3층에 적절한 재료를 선택함으로써 산화물 반도체층(230b)에 전류를 흘릴 수 있다. 산화물 반도체층(230b)에 전류가 흐르기 때문에, 전류는 계면 산란의 영향을 받기 어려워, 큰 온 전류를 얻을 수 있다. 그러므로, 산화물 반도체층(230b)의 두께를 증가시키면, 온 전류가 증가될 수 있다.
- [0256] 상술한 구조 중 어느 것을 갖는 트랜지스터를 사용한 반도체 장치는 바람직한 전기 특성을 가질 수 있다.
- [0257] 본 실시형태에 기재된 구조는, 다른 실시형태들 중 어느 것에 기재된 구조와 적절히 조합하여 사용될 수 있다.
- [0258] (실시형태 5)
- [0259] 본 실시형태에서는 실시형태 4에 기재된 트랜지스터의 구성 요소에 대하여 자세히 설명한다.
- [0260] 기판(215)으로서는 유리 기판, 석영 기판, 반도체 기판, 세라믹 기판, 절연 처리된 표면을 갖는 금속 기판 등을 사용할 수 있다. 또는, 기판(215)은 트랜지스터가 제공된 실리콘 기판일 수 있다. 또는, 기판(215)은 절연층, 배선, 콘택트 플러그로서 기능하는 도전체 등이 위에 형성되는 실리콘 기판으로 할 수 있다. 또한, p채널 트랜지스터만을 실리콘 기판 위에 형성할 때, n형 도전형의 실리콘 기판을 사용하는 것이 바람직하다. 또는, n형 또는 i형 실리콘층을 포함한 SOI 기판을 사용하여도 좋다. 트랜지스터가 형성되는 상기 실리콘 기판의 면은 (110)면 방위를 갖는 것이 바람직하다. 표면에 (110)면을 갖는 실리콘 기판을 사용하여 p채널 트랜지스터를 형성함으로써 이동도를 증가시킬 수 있다.
- [0261] 절연층(220)은 기판(215)에 포함된 요소로부터의 불순물의 확산을 방지하는 기능에 더하여 산화물 반도체층(230)에 산소를 공급하는 기능을 가질 수 있다. 이 때문에, 절연층(220)은 산소를 포함하는 절연층인 것이 바람직하고, 산소 함유량이 화학량론적 조성보다 높은 절연층인 것이 더 바람직하다. 예를 들어, 절연층(220)은 TDS(thermal desorption spectroscopy) 분석에서 산소 원자로 환산될 때의 산소 방출량이 1.0×10^{19} atoms/cm³ 이상의 막이다. 또한, TDS 분석에서의 막 표면의 온도는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하인 것이 바람직하다. 또한, 기판(215)이 다른 디바이스가 제공된 기판인 경우, 절연층(220)은 층간 절연층으로서도 기능한다. 이러한 경우, 평면을 갖도록 절연층(220)에 CMP 처리 등의 평탄화 처리를 수행하는 것이 바람직하다.
- [0262] 예를 들어 절연층(220)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등을 포함한 산화물 절연층; 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등을 포함한 질화 절연층; 또는 이들 중 임의의 것의 혼합 재료를 사용하여 형성될 수 있다. 또는, 상술한 재료의 적층을 사용하여도 좋다.
- [0263] 본 실시형태에서, 주로 트랜지스터의 산화물 반도체층(230)이 절연층(220) 층으로부터 산화물 반도체층(230a), 산화물 반도체층(230b), 및 산화물 반도체층(230c)이 이 순서대로 적층된 3층 구조를 갖는 경우에 대하여 설명한다.
- [0264] 또한, 산화물 반도체층(230)이 단층인 경우에는, 본 실시형태에 기재된 산화물 반도체층(230b)에 상당하는 층이 사용된다.
- [0265] 산화물 반도체층(230)이 2층 구조를 갖는 경우에는, 본 실시형태에서 설명하는 산화물 반도체층(230a)에 상당하는 층과 산화물 반도체층(230b)에 상당하는 층이 절연층(220) 층으로부터 순차적으로 적층된 적층을 사용한다. 이와 같은 경우, 산화물 반도체층(230a)과 산화물 반도체층(230b)을 서로 바꿀 수 있다.
- [0266] 산화물 반도체층(230)이 4층 이상의 적층 구조를 갖는 경우에는, 예를 들어 본 실시형태에 기재된 산화물 반도체층(230)의 3층 적층에 다른 산화물 반도체층이 추가된 구조를 채용할 수 있다.
- [0267] 산화물 반도체층(230b)에는 예를 들어 전자 친화력(진공 준위와 전도대 하단 사이의 에너지 차이)이 산화물 반도체층(230a 및 230c)의 전자 친화력보다 높은 산화물 반도체가 사용된다. 전자 친화력은 진공 준위와 가전자 대 상단 사이의 에너지 차이(이온화 페텐셜이라고 함)로부터, 전도대 하단과 가전자 대 상단 사이의 에너지 차이(에너지 갭이라고 함)를 뺀으로써 얻을 수 있다.
- [0268] 산화물 반도체층(230a 및 230c)은 각각 산화물 반도체층(230b)에 함유된 금속 원소 중 1종류 이상을 함유한다. 예를 들어 산화물 반도체층(230a 및 230c)은 전도대 하단이 산화물 반도체층(230b)의 전도대 하단보다 0.05eV

이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상 및 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하 전공준위에 더 가까운 산화물 반도체를 사용하여 형성되는 것이 바람직하다.

[0269] 이러한 구성에서 도전층(270)에 전계가 인가되면, 산화물 반도체층(230)에서 전도대 하단이 가장 낮은 산화물 반도체층(230b)에 채널이 형성된다.

[0270] 또한, 산화물 반도체층(230a)은 산화물 반도체층(230b)에 함유된 금속 원소 중 1종류 이상을 함유하기 때문에, 산화물 반도체층(230b)이 절연층(220)과 접촉되어 있다는 가정하에, 산화물 반도체층(230b)과 절연층(220) 사이의 계면과 비교하여 산화물 반도체층들(230a 및 230b) 사이의 계면에는 계면 준위가 형성되기 어렵다. 계면 준위는 채널을 형성하는 경우가 있기 때문에, 트랜지스터의 문턱 전압이 변동되는 경우가 있다. 따라서, 산화물 반도체층(230a)에 의하여, 문턱 전압 등, 트랜지스터의 전기 특성의 변동을 저감할 수 있다. 또한, 상기 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0271] 또한, 산화물 반도체층(230c)이 산화물 반도체층(230b)에 함유되는 1종류 이상의 금속 원소를 포함하기 때문에, 산화물 반도체층(230b)이 게이트 절연층과 접촉되어 있다는 가정하에, 산화물 반도체층(230b)과 게이트 절연층(절연층(260)) 사이의 계면과 비교하여 산화물 반도체층들(230b 및 230c) 사이의 계면에서는 캐리어의 산란이 일어나기 어렵다. 따라서, 산화물 반도체층(230c)에 의하여, 트랜지스터의 전계 효과 이동도를 증가시킬 수 있다.

[0272] 산화물 반도체층(230a 및 230c)에, 예를 들어 산화물 반도체층(230b)에 사용되는 것보다 원자비가 높은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf을 포함하는 재료를 사용할 수 있다. 구체적으로는, 산화물 반도체층(230a) 및 산화물 반도체층(230c) 내의 상술한 금속 원소 중 어느 것의 원자비는 산화물 반도체층(230b) 내의 재료의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상이다. 상술한 금속 원소는 산소와 강하게 결합되기 때문에, 산화물 반도체층(230a 및 230c)에서의 산소 빈자리의 생성을 억제하는 기능을 갖는다. 즉, 산소 빈자리는 산화물 반도체층(230b)에서보다 산화물 반도체층(230a 및 230c)에서 발생되기 어렵다.

[0273] 각 산화물 반도체층(230a 내지 230c)에 사용할 수 있는 산화물 반도체는 적어도 In 또는 Zn을 함유하는 것이 바람직하다. 또는 In 및 Zn의 양쪽을 함유하는 것이 바람직하다. 산화물 반도체를 포함하는 트랜지스터의 전기 특성의 편차를 저감시키기 위하여, 산화물 반도체는 In 및 Zn에 더하여 스태빌라이저를 포함하는 것이 바람직하다.

[0274] 스태빌라이저의 예에는 Ga, Sn, Hf, Al, 및 Zr가 포함된다. 스태빌라이저의 다른 예에는 La, Ce, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, 및 Lu 등의 란타노이드가 포함된다.

[0275] 산화물 반도체로서는 예를 들어 다음 중 임의의 것을 사용할 수 있다: 산화 인듐, 산화 주석, 산화 갈륨, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, 및 In-Hf-Al-Zn 산화물.

[0276] 또한 여기서 예를 들어 In-Ga-Zn 산화물이란, In, Ga, 및 Zn을 주성분으로서 포함하는 산화물을 의미한다. In-Ga-Zn 산화물은 In, Ga, 및 Zn에 더하여 다른 금속 원소를 함유하여도 좋다. 본 명세서에서는 In-Ga-Zn 산화물을 함유한 막을 IGZO막이라고도 부른다.

[0277] $\text{InM}_3(\text{ZnO})_m$ ($m > 0$, m 은 정수(integer)가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M은 Ga, Y, Zr, La, Ce, 및 Nd 중에서 선택된 하나 이상의 금속 원소를 나타낸다. 또는, $\text{In}_2\text{Sn}_5(\text{ZnO})_n$ ($n > 0$, n 은 정수임)으로 표기되는 재료를 사용하여도 좋다.

[0278] 또한, 각 산화물 반도체층(230a 내지 230c)이 적어도 인듐, 아연, 및 M(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속임)을 함유한 In-M-Zn 산화물일 때, 산화물 반도체층(230a)이 $x_1:y_1:z_1$ 이라는 M 및 Zn에 대한 In의 원자비를 갖고, 산화물 반도체층(230b)이 $x_2:y_2:z_2$ 이라는 M 및 Zn에 대한 In의 원자비를 갖고, 산화물 반도체층(230c)이 $x_3:y_3:z_3$ 이라는 M 및 Zn에 대한 In의 원자비를 갖는 경우, y_1/x_1 및 y_3/x_3 각각은 y_2/x_2 보다 큰 것이 바람직하다. y_1/x_1 및 y_3/x_3 각각은 y_2/x_2 의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이

상이다. 이때, 산화물 반도체층(230b)에서 y_2 가 x_2 이상이라면, 트랜지스터는 안정된 전기 특성을 가질 수 있다. 그러나, y_2 가 x_2 의 3배 이상이면, 트랜지스터의 전계 효과 이동도가 저하되기 때문에, y_2 는 x_2 의 3배보다 작은 것이 바람직하다.

[0279] Zn 및 0를 고려하지 않는 경우에는, 산화물 반도체층(230a 및 230c) 각각의 In의 비율 및 M의 비율은 각각 바람직하게는 50atomic% 미만 및 50atomic%보다 높고, 더 바람직하게는 각각 25atomic% 미만 및 75atomic%보다 높다. 또한, Zn 및 0를 고려하지 않은 경우에는, 산화물 반도체층(230b)에서의 In의 비율 및 M의 비율은 각각 25atomic%보다 높고 및 75atomic% 미만인 것이 바람직하고, 각각 34atomic%보다 높고 및 66atomic% 미만인 것이 더 바람직하다.

[0280] 산화물 반도체층(230b)의 인듐 함유량은 산화물 반도체층(230a) 및 산화물 반도체층(230c)의 인듐 함유량보다 높은 것이 바람직하다. 산화물 반도체에서는 중금속의 s궤도가 주로 캐리어 이송에 기여하고, 산화물 반도체의 In의 비율이 증가되면, s궤도의 중첩이 증가되기 쉽다. 그러므로, In의 비율이 M의 비율보다 높은 산화물은 In의 비율이 M의 비율과 동등하거나 또는 M의 비율보다 낮은 산화물보다 높은 이동도를 갖는다. 그러므로, 산화물 반도체층(230b)에 인듐의 함유량이 높은 산화물을 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 얻을 수 있다.

[0281] 산화물 반도체층(230a)의 두께는 3nm 이상 100nm 이하, 바람직하게는 5nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 25nm 이하이다. 산화물 반도체층(230b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 5nm 이상 150nm 이하, 더 바람직하게는 10nm 이상 100nm 이하이다. 산화물 반도체층(230c)의 두께는 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 30nm 이하, 더 바람직하게는 3nm 이상 15nm 이하이다. 또한, 산화물 반도체층(230b)은 산화물 반도체층(230c)보다 두꺼운 것이 바람직하다.

[0282] 또한, 산화물 반도체층에 채널이 형성되는 트랜지스터가 안정적인 전기 특성을 갖기 위해서는, 산화물 반도체층 내의 불순물의 농도를 저감시킴으로써 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것이 효과적이다. "실질적으로 진성"이라는 용어는, 산화물 반도체층이 $1 \times 10^{15}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 미만, 더 바람직하게는 $8 \times 10^{11}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{-9}/\text{cm}^3$ 이상 $1 \times 10^8/\text{cm}^3$ 미만의 캐리어 밀도를 갖는 상태를 말한다.

[0283] 산화물 반도체층에서 수소, 질소, 탄소, 실리콘, 및 산화물 반도체층의 주성분 이외의 금속 원소는 불순물이다. 예를 들어 수소 및 질소는 도너 준위를 형성하여 캐리어 밀도를 증가시키고, 산화물 반도체층에서 실리콘은 불순물 준위를 형성한다. 이 불순물 준위는 트랩으로서 기능하고 트랜지스터의 전기 특성의 열화를 일으킬 가능성이 있다. 따라서, 산화물 반도체층(230a 내지 230c) 및 산화물 반도체층들 사이의 계면에서 불순물 농도를 저감하는 것이 바람직하다.

[0284] 진성 또는 실질적으로 진성의 산화물 반도체층을 형성하기 위해서는, 산화물 반도체층은 이차 이온 질량 분석법 (SIMS)에 의하여 평가되는 실리콘 농도가 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만인 영역을 갖도록 배치된다. 또한, 산화물 반도체층은 수소 농도가 $2 \times 10^{20} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하인 영역을 갖도록 배치된다. 또한, 산화물 반도체층 중 어떤 깊이에서 또는 산화물 반도체층의 한 영역에서의 질소의 농도는 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms}/\text{cm}^3$ 미하다.

[0285] 고농도의 실리콘 또는 탄소에 의하여, 산화물 반도체층의 결정성이 저하될 가능성이 있다. 산화물 반도체층의 결정성의 저하를 막기 위해서는, 예를 들어, 산화물 반도체층은 실리콘 농도가 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만인 영역을 갖도록 배치된다. 또한, 산화물 반도체층은 탄소 농도가 예를 들어 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만인 영역을 갖도록 배치된다.

[0286] 상술한 순화된 산화물 반도체층을 채널 형성 영역에 사용한 트랜지스터의 오프 상태 전류는 매우 작다. 예를 들어 소스와 드레인 사이의 전압을 0.1V, 5V, 또는 10V 정도로 설정한 경우, 트랜지스터의 채널 폭당 오프 상태

전류를 수용토암페어 페 마이크로미터($yA/\mu m$) 내지 수캡토암페어 페 마이크로미터($zA/\mu m$)까지 낮게 할 수 있다.

[0287] 트랜지스터의 게이트 절연층으로서 실리콘을 포함하는 절연층을 사용하는 경우가 많다. 상술한 이유로, 본 발명의 일 형태의 트랜지스터에서와 같이, 채널로서 기능하는 산화물 반도체층의 영역이 게이트 절연층과 접촉하지 않는 것이 바람직하다. 게이트 절연층과 산화물 반도체층 사이의 계면에 채널이 형성되는 경우, 상기 계면에서 캐리어 산란이 일어나, 트랜지스터의 전계 효과 이동도가 저하되는 경우가 있다. 상술한 관점에서 봐도, 채널로서 기능하는 산화물 반도체층의 영역은 게이트 절연층으로부터 분리되어 있는 것이 바람직하다.

[0288] 따라서, 산화물 반도체층(230a), 산화물 반도체층(230b), 및 산화물 반도체층(230c)을 포함하는 적층 구조를 갖는 산화물 반도체층(230)에 의하여, 산화물 반도체층(230b)에 채널을 형성할 수 있어, 트랜지스터는 높은 전계 효과 이동도 및 안정적인 전기 특성을 가질 수 있다.

[0289] 밴드 구조에서 산화물 반도체층(230a 내지 230c)의 전도대 하단은 연속적이다. 이는 산화물 반도체층(230a 내지 230c)의 조성이 서로 가깝고 산소가 산화물 반도체층(230a 내지 230c) 사이에서 확산되기 쉽다는 점에서도 이해할 수 있다. 따라서, 산화물 반도체층(230a 내지 230c)은 다른 조성을 갖고 적층을 형성하지만, 연속적인 물성을 갖는다. 도면에서는, 상기 적층의 산화물 반도체층들 사이의 계면은 점선으로 나타내었다.

[0290] 같은 주성분을 함유한 층이 적층된 산화물 반도체층(230)은 층의 단순한 적층 구조뿐만 아니라, 연속적인 에너지 밴드(여기서는, 특히, 전도대 하단이 연속적인, U자형을 갖는 우물 구조(U-shape well))를 갖도록 형성된다. 바꿔 말하면, 각 계면에서 트랩 중심 또는 재결합 중심 등의 결합 준위를 형성하는 불순물이 존재하지 않도록 적층 구조가 형성된다. 만약에 적층된 산화물 반도체층들 사이에 불순물이 존재하면, 에너지 밴드의 연속성이 상실되고 계면에서 캐리어가 트랩 또는 재결합에 의하여 소멸된다.

[0291] 예를 들어 산화물 반도체층(230a 및 230c)에는 Ga 및 Zn에 대한 In의 원자비가 1:3:2, 1:3:3, 1:3:4, 1:3:6, 1:4:5, 1:6:4, 또는 1:9:6인 In-Ga-Zn 산화물을 사용할 수 있고, 산화물 반도체층(230b)에는 Ga 및 Zn에 대한 In의 원자비가 1:1:1, 2:1:3, 5:5:6, 또는 3:1:2인 In-Ga-Zn 산화물을 사용할 수 있다. 산화물 반도체층(230a), 산화물 반도체층(230b), 및 산화물 반도체층(230c)의 각각에서, 원자비에서의 각 원자의 비율은 오차로서 $\pm 40\%$ 의 범위 내에서 변동된다.

[0292] 산화물 반도체층(230)의 산화물 반도체층(230b)은 우물로서 기능하여, 산화물 반도체층(230b)에 채널이 형성된다. 또한, 전도대 하단이 연속적이기 때문에, 산화물 반도체층(230)은 U자형 우물이라고 할 수도 있다. 이러한 구조를 갖도록 형성된 채널을 매립 채널(buried channel)이라고 할 수도 있다.

[0293] 산화물 반도체층들(230a 및 230c) 각각과, 산화 실리콘막 등의 절연층 사이의 계면 근방에는 불순물 또는 결함에 기인한 트랩 준위가 형성될 가능성이 있다. 산화물 반도체층(230a 및 230c)이 존재함에 의하여, 산화물 반도체층(230b)은 상기 트랩 준위로부터 멀리 떨어질 수 있다.

[0294] 그러나, 산화물 반도체층(230b)의 전도대 하단과, 산화물 반도체층들(230a 및 230c) 각각의 전도대 하단 사이의 에너지 차이가 작은 경우, 산화물 반도체층(230b)의 전자가 이 에너지 차이를 넘어 트랩 준위에 도달할 가능성이 있다. 전자가 트랩 준위에 트랩될 때, 절연층과의 계면에서 음의 전하가 발생됨으로써 트랜지스터의 문턱 전압이 양의 방향으로 변동된다.

[0295] 산화물 반도체층(230a 내지 230c)은 결정부를 포함하는 것이 바람직하다. 특히, c축 배향을 갖는 결정을 사용하면, 트랜지스터가 안정된 전기 특성을 가질 수 있다. 또한, c축 배향을 갖는 결정은 변형에 강하기 때문에, 이러한 결정을 사용하면, 가요성 기판을 사용한 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0296] 소스 전극층으로서 기능하는 도전층(240) 및 드레인 전극층으로서 기능하는 도전층(250)으로서는 예를 들어 Al, Cr, Cu, Ta, Ti, Mo, W, Ni, Mn, Nd, 및 Sc, 및 이들 금속 재료 중 어느 것의 합금 중에서 선택된 재료를 사용하여 형성된 단층 또는 적층을 사용할 수 있다. 대표적으로는, 특히 산소와 결합되기 쉬운 Ti, 또는 용접이 높아 이후의 공정 온도를 비교적 높게 하는 W을 사용하는 것이 바람직하다. 상술한 재료 중 어느 것과, 저저항의 Cu 또는 Cu-Mn 등의 합금의 적층을 사용할 수도 있다. 트랜지스터(205, 206, 211 및 212)에서는 예를 들어 도전층(241 및 251)에 W을, 도전층(242 및 252)에 Ti와 Al의 적층을 사용할 수 있다.

[0297] 상술한 재료는 산화물 반도체층으로부터 산소를 뽑을 수 있다. 그러므로, 상술한 재료 중 어느 것과 접촉된 산화물 반도체층의 어느 영역에서는 산화물 반도체층으로부터 산소가 방출되어 산소 빈자리가 형성된다. 막에 약간 함유된 수소와 상기 산소 빈자리가 서로 결합됨으로써, 상기 영역은 n형 영역으로 현저히 변한다. 따라서,

n형 영역은 트랜지스터의 소스 전극 또는 드레인 전극으로서 기능할 수 있다.

[0298] 도전층(240 및 250)에 W을 사용하는 경우에는 도전층(240 및 250)에 질소를 도핑하여도 좋다. 질소를 도핑함으로써 산소를 뺏는 능력을 적절히 낮출 수 있고, n형 영역이 채널 영역으로 확대되는 것을 방지할 수 있다. 도전층(240 및 250)으로서 W와 n형 반도체층의 적층을 사용하고 n형 반도체층을 산화물 반도체층과 접촉시킴으로써 n형 영역이 채널 영역으로 확대되는 것을 방지할 수 있다. n형 반도체층으로서는 질소가 첨가된 In-Ga-Zn 산화물, 산화 아연, 산화 인듐, 산화 주석, 산화 인듐 주석 등을 사용할 수 있다.

[0299] 게이트 절연층으로서 기능하는 절연층(260)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 함유한 절연층을 사용하여 형성될 수 있다. 절연층(260)은 상술한 재료 중 어느 것을 포함하는 적층이어도 좋다. 절연층(260)은 불순물로서 La, N, Zr 등을 함유하여도 좋다.

[0300] 절연층(260)의 층상 구조의 일례에 대하여 설명한다. 절연층(260)은 예를 들어 산소, 질소, 실리콘, 또는 하프늄을 포함한다. 구체적으로는, 절연층(260)은 산화 하프늄, 및 산화 실리콘 또는 산화질화 실리콘을 포함하는 것이 바람직하다.

[0301] 산화 하프늄 및 산화 알루미늄은 산화 실리콘 및 산화질화 실리콘보다 높은 비유전율을 갖는다. 따라서, 산화 하프늄 또는 산화 알루미늄을 사용한 절연층(260)은 산화 실리콘을 사용한 절연층(260)보다 두께를 크게 할 수 있기 때문에, 터널 전류로 인한 누설 전류를 저감시킬 수 있다. 즉, 오프 상태 전류가 낮은 트랜지스터를 제공할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정질 구조를 갖는 산화 하프늄보다 비유전율이 높다. 따라서, 오프 상태 전류가 낮은 트랜지스터를 제공하기 위해서는 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예에는 단사정 구조 및 입방정 구조가 포함된다. 또한, 본 발명의 일 형태는 상술한 예에 한정되지 않는다.

[0302] 산화물 반도체층(230)에 접촉된 절연층(220 및 260)에는 더 적은 질소 산화물을 방출하는 막을 사용하는 것이 바람직하다. 산화물 반도체가 질소 산화물을 많이 방출하는 절연층과 접촉되는 경우, 질소 산화물로 인한 준위밀도가 높게 되는 경우가 있다. 절연층(220 및 260)에는 예를 들어 더 적은 질소 산화물을 방출하는 산화질화 실리콘막 또는 산화질화 알루미늄막 등의 산화물 절연층을 사용할 수 있다.

[0303] 더 적은 질소 산화물을 방출하는 산화질화 실리콘막은 TDS에서 질소 산화물의 방출량보다 암모니아의 방출량이 많은 막이고; 암모니아의 방출량은 대표적으로 1×10^{18} molecules/cm³ 이상 5×10^{19} molecules/cm³ 이하이다. 또한, 암모니아의 방출량은 막의 표면 온도가 50°C 이상 650°C 이하, 바람직하게는 50°C 이상 550°C 이하가 되는 가열 처리에 의하여 방출된 암모니아의 양이다.

[0304] 절연층(220 및 260)에 상술한 산화물 절연층을 사용함으로써 트랜지스터의 문턱 전압의 변동을 저감할 수 있어 트랜지스터의 전기 특성의 변동을 저감할 수 있다.

[0305] 게이트 전극층으로서 기능하는 도전층(270)에는 예를 들어 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Mn, Nd, Sc, Ta, W 등을 사용하여 형성된 도전층을 사용할 수 있다. 또는, 이들 재료 중 어느 것의 합금 또는 도전성 질화물을 사용하여도 좋다. 또는, 이들 재료, 이들 재료의 합금, 및 이들 재료의 도전성 질화물 중에서 선택된 복수의 재료의 적층을 사용하여도 좋다. 대표적으로는 텉스텐, 텉스텐과 질화 타이타늄의 적층, 텉스텐과 질화 탄탈럼의 적층 등을 사용할 수 있다. 또는, 저저항의 Cu 또는 Cu-Mn 등의 합금 또는 상술한 재료 중 어느 것과 Cu 또는 Cu-Mn 등의 합금의 적층을 사용하여도 좋다. 본 실시형태에서는 질화 탄탈럼을 도전층(271)에 사용하고, 텉스텐을 도전층(272)에 사용함으로써 도전층(270)을 형성한다.

[0306] 절연층(275)으로서는 수소를 함유하는 질화 실리콘막 또는 질화 알루미늄막 등을 사용할 수 있다. 산화물 반도체층(230)이 실시형태 4에 기재된 트랜지스터(203, 204, 206, 209, 210, 및 212)에서의 절연층(275)과 부분적으로 접촉되기 때문에, 절연층(275)으로서 수소를 함유하는 절연층을 사용함으로써 산화물 반도체층(230)을 부분적으로 n형화시킬 수 있다. 또한, 질화 절연막은 수분 등에 대한 블로킹막으로서 기능하고 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0307] 절연층(275)으로서는 산화 알루미늄막을 사용할 수도 있다. 실시형태 4에서 기재한 트랜지스터(201, 202, 205, 207, 208, 및 211)에서는 절연층(275)으로서 산화 알루미늄막을 사용하는 것이 특히 바람직하다. 산화 알루미늄막은 수소 및 수분 등의 불순물과 산소 양쪽의 투과를 방지하는 차단 효과가 높다. 따라서, 산화 알루미늄막

은 트랜지스터의 제작 공정의 도중 및 제작 공정 후에, 수소 및 수분 등의 불순물이 산화물 반도체층(230)에 들어가는 것을 방지하고, 산소가 산화물 반도체층으로부터 방출되는 것을 방지하고, 산소가 절연층(220)으로부터 불필요하게 방출되는 것을 방지하는 효과를 갖는 보호막으로서 적합하게 기능할 수 있다. 또한, 산화 알루미늄 막에 함유된 산소를 산화물 반도체층 내로 확산시킬 수 있다.

[0308] 또한, 절연층(275) 위에는 절연층(280)이 형성되는 것이 바람직하다. 절연층(280)은 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 포함하는 절연막을 사용하여 형성할 수 있다. 절연층(280)은 상술한 재료 중 임의의 것의 적층이어도 좋다.

[0309] 여기서, 절연층(220)과 같이, 절연층(280)은 화학량론적 조성보다 많은 산소를 포함하는 것이 바람직하다. 절연층(280)으로부터 방출된 산소를 절연층(260)을 거쳐 산화물 반도체층(230)의 채널 형성 영역으로 확산시킬 수 있기 때문에, 채널 형성 영역에 형성된 산소 빙자리를 산소로 채울 수 있다. 이와 같이, 트랜지스터의 안정적인 전기 특성을 달성할 수 있다.

[0310] 반도체 장치의 고집적화에는 트랜지스터의 미세화가 필요하다. 그러나, 트랜지스터의 미세화는 트랜지스터의 전기 특성의 열화를 일으키는 것으로 알려져 있다. 특히, 채널 폭의 축소가 온 상태 전류의 저하를 일으킨다.

[0311] 본 발명의 일 형태의 트랜지스터(207 내지 212)에서 채널이 형성되는 산화물 반도체층(230b)을 덮도록 산화물 반도체층(230c)이 형성되므로, 채널 형성층은 게이트 절연막과 접촉되지 않는다. 따라서, 채널 형성층과 게이트 절연막 사이의 계면에서의 캐리어의 산란을 저감할 수 있고, 트랜지스터의 온 상태 전류를 증가시킬 수 있다.

[0312] 본 발명의 일 형태의 트랜지스터에서는, 상술한 바와 같이, 산화물 반도체층(230)을 채널 폭 방향으로 전기적으로 둘러싸도록 게이트 전극층(도전층(270))이 형성되기 때문에, 산화물 반도체층(230)에 수직 방향에 더하여 측면 방향으로 게이트 전계가 인가된다. 바꿔 말하면, 채널 형성층 전체에 게이트 전계가 인가되고 실효적인 채널 폭이 증가되기 때문에, 온 상태 전류를 더 증가시킬 수 있다.

[0313] 또한, 산화물 반도체층(230)이 2층 구조 또는 3층 구조를 갖는 본 발명의 일 형태의 트랜지스터에서는, 채널이 형성되는 산화물 반도체층(230b)이 산화물 반도체층(230a) 위에 제공되기 때문에, 계면 준위가 형성되기 어렵게 하는 효과가 얻어진다. 산화물 반도체층(230)이 3층 구조를 갖는 본 발명의 일 형태의 트랜지스터에서는, 산화물 반도체층(230b)이 3층 구조의 중간에 위치하기 때문에, 위층 및 아래층으로부터 산화물 반도체층(230b)에 들어가는 불순물의 영향을 배제하는 효과도 함께 얻어진다. 그러므로, 트랜지스터는 트랜지스터의 온 상태 전류의 증가뿐만 아니라, 문턱 전압의 안정화 및 S_{v} (subthreshold value)의 저감도 실현할 수 있다. 따라서, 게이트 전압(VG)이 0V일 때의 전류를 저감시킬 수 있고, 소비전력을 저감시킬 수 있다. 또한, 트랜지스터의 문턱 전압이 안정화되기 때문에, 반도체 장치의 장기 신뢰성을 향상시킬 수 있다. 또한, 본 발명의 일 형태의 트랜지스터는 미세화로 인한 전기 특성의 열화가 저감되기 때문에, 집적도가 높은 반도체 장치에 적합하다.

[0314] 본 실시형태에서 설명한 금속막, 반도체막, 및 무기 절연막 등의 다양한 막은 대표적으로는 스팍터링 또는 플라스마 CVD(plasma chemical vapor deposition)에 의하여 형성될 수 있지만, 이러한 막은 열 CVD 등의 다른 방법에 의하여 형성되어도 좋다. 열 CVD의 예에는 MOCVD(Metal Organic Chemical Vapor Deposition) 및 ALD(Atomic Layer Deposition)이 포함된다.

[0315] 열 CVD법은 막 형성에 플라스마를 이용하지 않기 때문에, 플라스마 대미지로 인한 결함이 생기지 않는다는 이점을 갖는다.

[0316] 열 CVD에 의한 성막은 원료 가스 및 산화제를 동시에 체임버 내에 공급하고, 체임버의 압력을 대기압 또는 감압으로 설정하고, 기관 근방 또는 기관 위에서 반응을 일으킴으로써 실시하여도 좋다.

[0317] ALD에 의한 성막은 체임버의 압력을 대기압 또는 감압으로 설정하고, 반응을 위한 원료 가스를 체임버에 도입하고 반응시키고, 그리고 이 가스 도입 절차를 반복함으로써 실시한다. 원료 가스와 함께 불활성 가스(예를 들어 아르곤 또는 질소)를 캐리어 가스로서 도입하여도 좋다. 예를 들어 2종류 이상의 원료 가스를 순차적으로 체임버에 공급하여도 좋다. 이 경우, 원료 가스들이 혼합되지 않도록 제 1 원료 가스의 반응 후에 불활성 가스를 도입하고, 그리고 제 2 원료 가스를 도입한다. 또는, 불활성 가스의 도입 대신에 진공 배기에 의하여 제 1 원료 가스를 배기한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기관 표면에 흡착되고 반응함으로써 제 1 층이 형성되고, 그리고 도입된 제 2 원료 가스가 흡착되고 반응한다. 이 결과, 제 1 층 위에 제 2 층이 적층되어, 박막이 형성된다. 이 가스 도입 절차를 제어하고 원하는 두께가 얻어질 때까지 몇 번 반복함으로

써, 단차 피복성이 뛰어난 박막을 형성할 수 있다. 박막의 두께는 가스 도입 절차의 반복 횟수에 의하여 조절할 수 있다; 따라서, ALD는 두께를 정밀하게 조절할 수 있으므로 미세한 FET를 제작하기에 적합하다.

[0318] MOCVD 또는 ALD 등의 열 CVD에 의하여, 실시형태에서 개시한 금속막, 반도체막, 및 무기 절연막 등의 다양한 막을 형성할 수 있다. 예를 들어 In-Ga-Zn-O막을 형성하는 경우에는, 트라이메틸인듐($In(CH_3)_3$), 트라이메틸갈륨($Ga(CH_3)_3$), 및 다이메틸아연($Zn(CH_3)_2$)을 사용할 수 있다. 상술한 조합에 한정되지 않으며, 트라이메틸갈륨 대신에 트라이에틸갈륨($Ga(C_2H_5)_3$)을 사용할 수 있고, 다이메틸아연 대신 다이에틸아연($Zn(C_2H_5)_2$)을 사용할 수 있다.

[0319] 예를 들어 ALD를 사용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체가 함유된 액체(하프늄알콕사이드 및 테트라카르보디이메틸아마이드)하프늄(TDMAH, $Hf[N(CH_3)_2]_4$) 및 테트라카르(에틸메틸아마이드)하프늄 등의 하프늄아마이드)를 기화시켜 얻은 원료 가스와, 산화제로서 오존(O_3)의 2종의 가스를 사용한다.

[0320] 예를 들어 ALD를 사용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체가 함유된 액체(예를 들어 트라이메틸알루미늄(TMA, $Al(CH_3)_3$))를 기화시켜 얻은 원료 가스와, 산화제로서 H_2O 의 2종류의 가스를 사용한다. 다른 재료의 예에는 트리스(다이메틸아마이드)알루미늄, 트라이아이소부틸알루미늄, 및 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트)가 포함된다.

[0321] 예를 들어 ALD를 사용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을 막이 형성되는 면에 흡착시키고, 산화성 가스(예를 들어 O_2 또는 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.

[0322] 예를 들어 ALD를 사용하는 성막 장치에 의하여 텅스텐막을 형성하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차적으로 도입하여 초기 텅스텐막을 형성하고 나서, WF_6 가스와 H_2 가스를 순차적으로 도입하여 텅스텐막을 형성한다. 또한 B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.

[0323] 예를 들어, ALD를 사용하는 성막 장치에 의하여 산화물 반도체층, 예를 들어 In-Ga-Zn-O막을 형성하는 경우에, $In(CH_3)_3$ 가스와 O_3 가스를 순차적으로 도입하여 In-O층을 형성하고, $Ga(CH_3)_3$ 가스와 O_3 가스를 순차적으로 도입하여 GaO층을 형성하고 나서, $Zn(CH_3)_2$ 가스와 O_3 가스를 순차적으로 도입하여 ZnO층을 형성한다. 또한 이들 층의 순서는 이 예에 한정되지 않는다. 이들 가스를 사용하여 In-Ga-O층, In-Zn-O층, 또는 Ga-Zn-O층 등의 혼합화합물층을 형성하여도 좋다. O_3 가스 대신에 Ar 등의 불활성 가스로 베블링하여 얻어진 H_2O 가스를 사용하여도 좋지만, H를 함유하지 않는 O_3 가스를 사용하는 것이 바람직하다.

[0324] 산화물 반도체층의 퇴적에는 대향 타깃식의 스퍼터링 장치를 사용할 수 있다. 대향 타깃식의 스퍼터링 장치를 사용한 퇴적을 VDSP(vapor deposition sputtering)라고 할 수도 있다.

[0325] 대향 타깃식의 스퍼터링 장치를 사용하여 산화물 반도체층을 퇴적하면, 퇴적시의 산화물 반도체층에 대한 플라스마 대미지를 저감할 수 있다. 따라서, 막 중의 산소 빈자리를 저감할 수 있다. 또한, 대향 타깃식의 스퍼터링 장치를 사용함으로써 저압 퇴적이 가능해진다. 따라서, 퇴적되는 산화물 반도체층의 불순물(예를 들어, 수소, 희가스(예를 들어 아르곤), 또는 물) 농도를 낮게 할 수 있다.

[0326] 본 실시형태에서 상술한 구조는 다른 실시형태에서 설명한 구조 중 임의의 것과 적절히 조합될 수 있다.

[0327] (실시형태 6)

[0328] 본 발명의 일 형태에 사용할 수 있는 산화물 반도체층의 구조에 대하여 이하에 설명한다.

[0329] 산화물 반도체층은 예를 들어 비단결정 산화물 반도체층과 단결정 산화물 반도체층으로 분류된다. 또는 산화물 반도체는 예를 들어 결정성 산화물 반도체와 비정질 산화물 반도체로 분류된다.

[0330] 비단결정 산화물 반도체의 예로서는, CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, 미결정 산화물 반도체, 및 비정질 산화물 반도체가 포함된다. 또한, 결정성 산화물 반도체의 예에는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 미결정 산화물 반도체가 포함된다.

- [0331] 우선, CAAC-OS막에 대하여 설명한다.
- [0332] CAAC-OS막은 복수의 c축 배향된 결정부를 포함하는 산화물 반도체층 중 하나이다.
- [0333] 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여, CAAC-OS막의 명시야 이미지 및 회절 패턴의 복합 해석 이미지(고분해능 TEM 이미지라고도 불림)를 관찰한다. 이 결과, 복수의 결정부가 명확히 관찰된다. 그러나, 고분해능 TEM 이미지에서는 결정부들의 경계, 즉 결정립계(grain boundary)는 명확히 관찰되지 않는다. 그러므로, CAAC-OS막에서는, 결정립계로 인한 전자 이동도의 저하가 일어날 가능성이 낮다.
- [0334] 시료면에 실질적으로 평행한 방향에서 관찰된 CAAC-OS막의 고분해능 단면 TEM 이미지(단면 TEM 이미지)에 따르면, 금속 원자들이 결정부에서 층상으로 배열되어 있다. 각 금속 원자층은 CAAC-OS막이 형성되는 표면(형성면이라고도 함) 또는 CAAC-OS막의 상면을 반영한 형태를 갖고, CAAC-OS막의 형성면 또는 상면에 평행하게 제공된다.
- [0335] 한편, 시료면에 실질적으로 수직인 방향에서 관찰된 CAAC-OS막의 고분해능 평면 TEM 이미지(평면 TEM 이미지)에 따르면, 금속 원자들이 결정부에서 삼각형 또는 육각형으로 배열되어 있다. 그러나, 다른 결정부들 사이에서 금속 원자의 배열에 규칙성은 없다.
- [0336] CAAC-OS막에 대하여 X선 회절(XRD) 장치를 사용하여 구조 해석을 실시한다. 예를 들어 InGaZnO_4 결정을 포함하는 CAAC-OS막을 out-of-plane법으로 분석하면 회절각(2θ)이 31° 부근일 때 피크가 나타나는 경우가 많다. 이 피크는 InGaZnO_4 결정의 (009)면에서 유래하고, CAAC-OS막의 결정이 c축 배향을 갖고 c축이 CAAC-OS막의 형성면 또는 상면에 실질적으로 수직인 방향으로 배열되어 있는 것을 가리킨다.
- [0337] 또한, InGaZnO_4 결정을 갖는 CAAC-OS막을 out-of-plane법으로 분석하면, 31° 부근에서의 2θ 의 피크에 더하여, 36° 부근에도 2θ 의 피크가 관찰되는 경우가 있다. 36° 부근의 2θ 의 피크는 c축 배향을 갖지 않는 결정이 CAAC-OS막의 일부에 포함되는 것을 가리킨다. CAAC-OS막에서, 31° 부근에 2θ 의 피크가 나타나고 36° 부근에 2θ 의 피크가 나타나지 않는 것이 바람직하다.
- [0338] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체층이다. 불순물은 수소, 탄소, 실리콘, 또는 전이 금속 원소 등, 산화물 반도체층의 주성분 외의 원소이다. 특히, 산화물 반도체층에 포함된 금속 원소보다 산소와의 결합력의 강한 실리콘 등의 원소는, 산화물 반도체층으로부터 산소를 빼앗음으로써 산화물 반도체층의 원자 배열을 흐트러지게 하고, 결정성을 저하시킨다. 또한, 철 또는 니켈 등의 중금속, 아르곤, 이산화탄소 등을 원자 반경(분자 반경)이 크기 때문에, 산화물 반도체층에 포함되면 산화물 반도체층의 원자 배열을 흐트러지게 하고 결정성의 저하를 일으킨다. 또한, 산화물 반도체층에 포함되는 불순물은 캐리어 트랩 또는 캐리어 발생원으로서 기능할 수 있다.
- [0339] CAAC-OS막은 결함 상태의 밀도가 낮은 산화물 반도체층이다. 예를 들어, 산화물 반도체층에서의 산소 빈자리는 캐리어 트랩으로서 기능하거나 또는 수소가 이에 포획되면 캐리어 발생원으로서 기능한다.
- [0340] 불순물 농도가 낮고 결함 상태의 밀도가 낮은(산소 빈자리의 개수가 적은) 상태를 "고순도 진성" 상태 또는 "실질적으로 고순도 진성" 상태라고 한다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체층은 캐리어 발생원이 적기 때문에, 캐리어 밀도가 낮다. 따라서, 이 산화물 반도체층을 포함하는 트랜지스터는 음의 문턱 전압을 좀처럼 갖지 않는다(좀처럼 노멀리 온이 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체층은 캐리어 트랩이 적다. 그러므로, 상기 산화물 반도체층을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높다. 또한 산화물 반도체층의 캐리어 트랩에 의하여 포획된 전하는 방출될 때까지 걸리는 시간이 길고 고정 전하처럼 작용할 경우가 있다. 따라서, 불순물 농도가 높고 결함 준위의 밀도가 높은 산화물 반도체층을 사용한 트랜지스터는 불안정한 전기 특성을 갖는 경우가 있다.
- [0341] CAAC-OS막을 트랜지스터에 사용하면, 가시광 또는 자외광의 조사로 인한 트랜지스터의 전기 특성의 변동이 작다.
- [0342] 다음으로, 미결정 산화물 반도체층에 대하여 설명한다.
- [0343] 미결정 산화물 반도체층의 고분해능 TEM 이미지에 있어서, 결정부가 명확히 관측되는 영역과, 결정부가 관측되지 않는 영역이 있다. 미결정 산화물 반도체층에 포함되는 결정부의 크기는 예를 들어, 1nm 이상 100nm 이하, 또는, 1nm 이상 10nm 이하인 경우가 많다. 특히, 크기가 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정을 나노 결정(nc: nanocrystal)이라고 부른다. 나노 결정을 포함하는 산화물 반도체층을 nc-

OS(nanocrystalline oxide semiconductor)막이라고 한다. nc-OS막의 고분해능 TEM 이미지에서, 예를 들어 nc-OS막의 결정립계가 명확하게 보이지 않는 경우가 있다.

[0344] nc-OS막에서 미소한 영역(예를 들어 크기가 1nm 이상 10nm 이하인 영역, 특히, 크기가 1nm 이상 3nm 이하인 영역)은 주기적인 원자 배열을 갖는다. nc-OS막에서 상이한 결정부들 간에 결정 배향의 규칙성은 없다. 따라서, 막 전체에서 배향이 관찰되지 않는다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체층과 구별할 수 없는 경우가 있다. 예를 들어 결정부보다 직경이 큰 X선을 사용한 XRD 장치를 사용하여 out-of-plane법으로 nc-OS막의 구조 분석을 수행하면, 결정면을 가리키는 피크가 나타나지 않는다. 또한, 결정부의 직경보다 큰 프로브 직경(예를 들어 50nm 이상)을 갖는 전자 빔을 사용하여 얻은 nc-OS막의 제한 시야 전자 회절 패턴에서는 헤일로(halo) 패턴이 관찰된다. 한편, 프로브 직경이 결정부의 직경과 가깝거나 결정부의 직경보다 작은 전자 빔을 사용하여 얻은 nc-OS막의 나노 빔 전자 회절 패턴에서는 스포트이 나타난다. 또한, nc-OS막의 나노 빔 전자 회절 패턴에서는 원형(고리형) 패턴의 회도가 높은 영역이 관찰되는 경우가 있다. 또한, nc-OS막의 나노 빔 전자 회절 패턴에서는 고리 형상 영역에서 복수의 스포트이 나타나는 경우가 있다.

[0345] nc-OS막은 비정질 산화물 반도체층보다 규칙성이 높은 산화물 반도체층이다. 따라서, nc-OS막은 비정질 산화물 반도체층보다 결함 준위의 밀도가 낮다. 또한, nc-OS막에서는 다른 결정부들 간에 결정 방위의 규칙성이 없기 때문에, nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.

[0346] 다음으로, 비정질 산화물 반도체층에 대하여 설명한다.

[0347] 비정질 산화물 반도체층은 불규칙한 원자 배열을 갖고 결정부를 갖지 않는다. 예를 들어, 비정질 산화물 반도체층은 석영에서와 같이 특정한 상태를 갖지 않는다.

[0348] 비정질 산화물 반도체층의 고분해능 TEM 이미지에서 결정부를 찾을 수 없다.

[0349] XRD 장치를 사용하여 out-of-plane법에 의하여 비정질 산화물 반도체층의 구조를 해석하면, 결정면을 나타내는 피크가 나타나지 않는다. 비정질 산화물 반도체층에 전자 회절을 수행하는 경우, 헤일로 패턴이 관찰된다. 또한, 비정질 산화물 반도체층에 나노빔 전자 회절을 수행하면 스포트이 관찰되지 않고 헤일로 패턴만이 나타난다.

[0350] 또한, 산화물 반도체층은 nc-OS막과 비정질 산화물 반도체층 사이의 물성을 갖는 구조를 가질 수 있다. 이러한 구조를 갖는 산화물 반도체층을 특히, a-like OS(amorphous-like Oxide Semiconductor)막이라고 한다.

[0351] a-like OS막의 고분해능 TEM 이미지에서는 보이드(void)가 보일 수 있다. 또한, 고분해능 TEM 이미지에서, 결정부가 명확하게 관찰되는 영역 및 결정부가 관찰되지 않는 영역이 있다. a-like OS막에서, TEM 관찰에 사용되는 미량의 전자빔에 의한 결정화가 일어나 결정부의 성장이 보이는 경우가 있다. 한편, 양질의 nc-OS막에서는 TEM 관찰에 사용되는 미량의 전자빔에 의한 결정화는 거의 보이지 않는다.

[0352] 또한, a-like OS막 및 nc-OS막의 결정부의 크기는 고분해능 TEM 이미지를 사용하여 측정할 수 있다. 예를 들어 InGaZnO₄ 결정은 2개의 Ga-Zn-0층이 In-0층 사이에 포함되는 층상 구조를 갖는다. InGaZnO₄ 결정의 단위 셀은 3개의 In-0층과 6개의 Ga-Zn-0층의 9층이 c축 방향으로 쌓인 구조를 갖는다. 따라서, 이를 인접한 층들 사이의 간격은 (009)면의 격자면 간격(d 값이라고도 함)과 동등하다. 이 d 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 그러므로, 고분해능 TEM 이미지에서의 격자 줄무늬(lattice fringe)에 착안하여, 사이의 간격이 0.28nm 내지 0.30nm인 각 격자 줄무늬가 InGaZnO₄ 결정의 a-b면에 상당한다.

[0353] 산화물 반도체층의 밀도는 구조에 따라 다른 경우가 있다. 예를 들어 산화물 반도체층의 조성이 결정되면, 산화물의 구조는, 산화물 반도체의 밀도와 산화물과 동일한 조성을 갖는 단결정 산화물의 밀도의 비교로부터 추측할 수 있다. 예를 들어, a-like OS막의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 예를 들어, nc-OS막 및 CAAC-OS막 각각의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 또한, 단결정 산화물 반도체의 밀도의 78% 미만의 밀도를 갖는 산화물 반도체층은 중착이 곤란하다.

[0354] 상술한 설명의 구체적인 예를 열거한다. 예를 들어, 원자비 In:Ga:Zn=1:1:1의 산화물 반도체층의 경우, 능면체 정 구조를 갖는 단결정 InGaZnO₄의 밀도는 6.357g/cm³이다. 따라서 원자비 In:Ga:Zn=1:1:1의 산화물 반도체층의 경우, a-like OS막의 밀도는 5.0g/cm³ 이상 5.9g/cm³ 미만이다. 예를 들어, 원자비 In:Ga:Zn=1:1:1의 산화물 반도체층의 경우, nc-OS막 및 CAAC-OS막 각각의 밀도는 5.9g/cm³ 이상 6.3g/cm³ 미만이다.

- [0355] 또한, 동일한 조성을 갖는 단결정이 존재하지 않는 경우가 있다. 이 경우, 조성이 상이한 단결정을 정해진 비율로 조합함으로써, 원하는 조성을 갖는 단결정의 밀도에 대응하는 밀도를 계산할 수 있다. 원하는 조성을 갖는 단결정의 밀도는 조성이 상이한 단결정의 조합 비율에 대한 각종 평균을 사용하여 계산될 수 있다. 또한, 밀도 계산에는 가능한 한 적은 종류의 단결정을 조합하는 것이 바람직하다.
- [0356] 또한, 산화물 반도체층은 예를 들어, 비정질 산화물 반도체층, a-like OS막, 미결정 산화물 반도체층, 및 CAAC-OS막 중 2개 이상의 막을 포함하는 적층막이어도 좋다.
- [0357] 본 실시형태에 기재된 구조는, 다른 실시형태들 중 어느 것에 기재된 구조와 적절히 조합하여 사용될 수 있다.
- [0358] (실시형태 7)
- [0359] 본 실시형태에서, 본 발명의 일 형태의 활상 장치를 포함하는 패키지의 예를 설명한다.
- [0360] 도 45의 (A)는 본 발명의 일 형태의 활상 장치를 포함하는 패키지의 외관 사시도이다. 패키지는 활상 장치를 고정하기 위한 인터포저(810), 커버 유리(820), 및 인터포저(810) 및 커버 유리(820)를 접착하기 위한 접착제(830)를 포함한다.
- [0361] 도 45의 (B)는 패키지의 배면 측의 외관 사시도이다. 패키지는 배면 측에 범프(840)로서 땜납 볼을 포함하는 소위 BGA(ball grid array) 구조를 갖는다. BGA 구조를 채용하지만, 이에 한정되지 않고, LGA(land grid array), PGA(pin grid array) 등을 채용하여도 좋다.
- [0362] 도 45의 (C)는 커버 유리(820) 및 접착제(830)를 부분적으로 생략한 패키지의 사시도이다. 도 45의 (D)는 패키지의 변에 평행한 임의의 위치의 단면도이다. 인터포저(810) 위에 전극 패드(860)가 형성되고, 전극 패드(860) 및 범프(840)는 인터포저(810)에 형성된 스루홀(880)을 통하여 전기적으로 접속되어 있다. 전극 패드(860)는 와이어(870)를 통하여 활상 장치(850)의 전극에 전기적으로 접속되어 있다.
- [0363] 본 발명의 일 형태의 활상 장치는 쉽게 실장되고, 상술한 구조의 패키지로서 사용하면 다양한 전자 기기에 내장될 수 있다.
- [0364] 본 실시형태에 기재된 구조는, 다른 실시형태 중 어느 것에 기재된 구조와 적절히 조합하여 사용될 수 있다.
- [0365] (실시형태 8)
- [0366] 본 발명의 일 형태에서의 활상 장치 및 상기 활상 장치를 포함하는 반도체 장치는 표시 장치, 퍼스널 컴퓨터, 또는 기록 매체가 제공된 화상 재생 장치(대표적으로는 DVD(digital versatile discs) 등의 기록 매체의 콘텐츠를 재생하고, 그 재생 화상을 표시하기 위한 디스플레이를 갖는 장치)에 사용할 수 있다. 또한, 본 발명의 일 형태의 활상 장치 및 이 활상 장치를 포함한 반도체 장치를 포함할 수 있는 전자 기기로서, 휴대 전화, 게임기(휴대형 게임기를 포함함), 휴대 정보 단말, 전자 서적 리더, 비디오 카메라 및 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 오디오 재생 장치(예를 들어 카 오디오 시스템 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 도 46의 (A) 내지 (F)는 이러한 전자 기기의 구체적인 예를 도시한 것이다.
- [0367] 도 46의 (A)는 하우징(901 및 902), 표시부(903 및 904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(908), 카메라(909) 등을 포함한 휴대 게임기를 도시한 것이다. 도 46의 (A)의 휴대형 게임기는 2개의 표시부(903 및 904)를 포함하지만, 휴대형 게임기에 포함되는 표시부의 수는 이에 한정되지 않는다. 카메라(909)에는 본 발명의 일 형태의 활상 장치를 사용할 수 있다.
- [0368] 도 46의 (B)는 제 1 하우징(911), 표시부(912), 카메라(919) 등을 포함하는 휴대 정보 단말을 도시한 것이다. 표시부(912)의 터치 패널 기능에 의하여 정보의 입력 및 출력이 가능하다. 카메라(919)에는 본 발명의 일 형태의 활상 장치를 사용할 수 있다.
- [0369] 도 46의 (C)는 하우징(931), 표시부(932), 리스트 밴드(933), 카메라(939) 등을 포함한 손목시계형 정보 단말을 도시한 것이다. 표시부(932)는 터치 패널이어도 좋다. 카메라(939)에는 본 발명의 일 형태의 활상 장치를 사용할 수 있다.
- [0370] 도 46의 (D)는 하우징(951), 렌즈(952), 지지부(953) 등을 포함하는 감시 카메라를 도시한 것이다. 본 발명의 일 형태의 활상 장치는 렌즈(952)의 초점에 제공될 수 있다.
- [0371] 도 46의 (E)는 하우징(961), 셔터 버튼(962), 마이크로폰(963), 발광부(967), 렌즈(965) 등을 포함한 디지털

카메라를 도시한 것이다. 본 발명의 일 형태의 활상 장치는 렌즈(965)의 초점에 사용되고 제공될 수 있다.

[0372] 도 46의 (F)는 제 1 하우징(971), 제 2 하우징(972), 표시부(973), 조작 키(974), 렌즈(975), 연결부(976) 등을 포함하는 비디오 카메라를 도시한 것이다. 조작 키(974) 및 렌즈(975)는 제 1 하우징(971)에 제공되고, 표시부(973)는 제 2 하우징(972)에 제공된다. 제 1 하우징(971)과 제 2 하우징(972)은 연결부(976)로 서로 연결되어 있고, 제 1 하우징(971)과 제 2 하우징(972) 사이의 각도는 연결부(976)로 바꿀 수 있다. 표시부(973)에 표시되는 화상은 연결부(976)에서의 제 1 하우징(971)과 제 2 하우징(972) 사이의 각도에 따라 전환되어도 좋다. 본 발명의 일 형태에 따른 활상 장치는 렌즈(975)의 초점에 제공될 수 있다.

[0373] 본 실시형태는 본 명세서에서 다른 실시형태들 중 임의의 것과 적절히 조합할 수 있다.

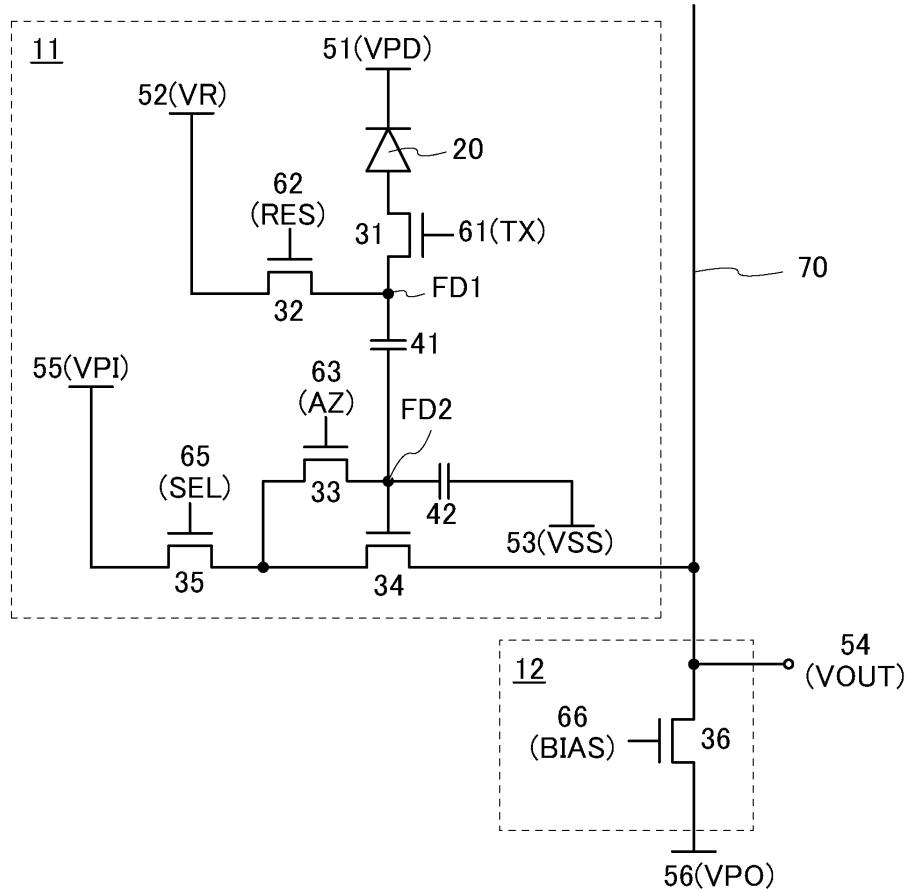
부호의 설명

[0374] 11: 회로, 12: 회로, 20: 광전 변환 소자, 21: 광전 변환층, 22: 투광성 도전층, 23: 반도체층, 24: 반도체층, 25: 반도체층, 26: 전극, 26a: 도전층, 26b: 도전층, 27: 격벽, 31: 트랜지스터, 32: 트랜지스터, 33: 트랜지스터, 34: 트랜지스터, 35: 트랜지스터, 36: 트랜지스터, 41: 용량 소자, 42: 용량 소자, 51: 배선, 52: 배선, 53: 배선, 54: 배선, 55: 배선, 56: 배선, 61: 배선, 62: 배선, 63: 배선, 65: 배선, 66: 배선, 70: 배선, 81: 활상 동작, 82: 데이터 유지 동작, 83: 판독 동작, 91: 도전체, 92: 절연층, 92a: 절연층, 92b: 절연층, 93: 절연층, 94: 배선, 94a: 도전층, 94b: 도전층, 95: 배선, 96: 절연층, 100: 실리콘 기판, 101: 트랜지스터, 102: 트랜지스터, 105: 활성층, 106: 실리콘 기판, 201: 트랜지스터, 202: 트랜지스터, 203: 트랜지스터, 204: 트랜지스터, 205: 트랜지스터, 206: 트랜지스터, 207: 트랜지스터, 208: 트랜지스터, 209: 트랜지스터, 210: 트랜지스터, 211: 트랜지스터, 212: 트랜지스터, 213: 트랜지스터, 215: 기판, 220: 절연층, 230: 산화물 반도체층, 230a: 산화물 반도체층, 230b: 산화물 반도체층, 230c: 산화물 반도체층, 240: 도전층, 241: 도전층, 242: 도전층, 250: 도전층, 251: 도전층, 252: 도전층, 260: 절연층, 270: 도전층, 271: 도전층, 272: 도전층, 273: 도전층, 275: 절연층, 280: 절연층, 331: 영역, 332: 영역, 333: 영역, 334: 영역, 335: 영역, 400: 화소부, 410: 행 드라이버, 420: A/D 컨버터, 430: 열 드라이버, 810: 인터포저, 820: 커버 유리, 830: 접착제, 840: 범프, 850: 활상 장치, 860: 전극 패드, 870: 와이어, 880: 스루 홀, 901: 하우징, 902: 하우징, 903: 표시부, 904: 표시부, 905: 마이크로폰, 906: 스피커, 907: 조작 키, 908: 스타일러스, 909: 카메라, 911: 하우징, 912: 표시부, 919: 카메라, 931: 하우징, 932: 표시부, 933: 리스트 밴드, 939: 카메라, 951: 하우징, 952: 렌즈, 953: 지지부, 961: 하우징, 962: 셔터 베튼, 963: 마이크로폰, 965: 렌즈, 967: 발광부, 971: 하우징, 972: 하우징, 973: 표시부, 974: 조작 키, 975: 렌즈, 976: 연결부, 1100: 층, 1200: 층, 1400: 층, 1500: 회절 격자, 1600: 층, 2500: 절연층, 2510: 차광층, 2520: 유기 영역층, 2530: 컬러 필터, 2530a: 컬러 필터, 2530b: 컬러 필터, 2530c: 컬러 필터, 2540: 마이크로 렌즈 어레이, 2550: 광학 변환층, 2560: 절연층

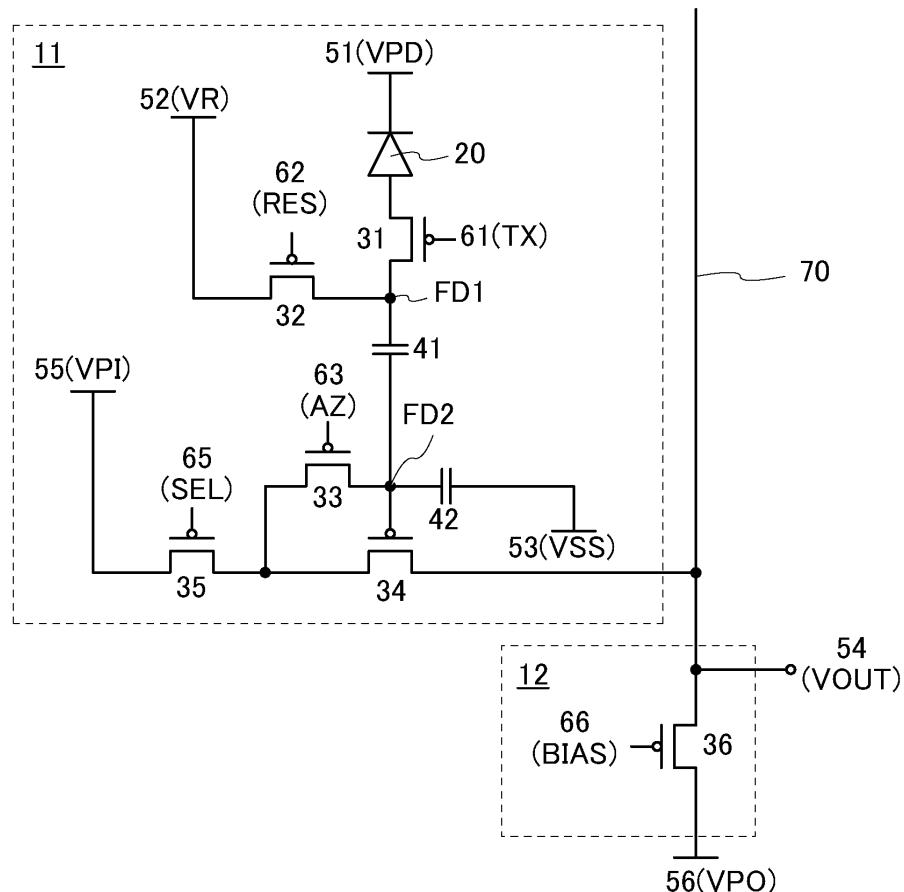
본 출원은 2015년 4월 22일에 일본 특허청에 출원된 일련 번호 2015-087194의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

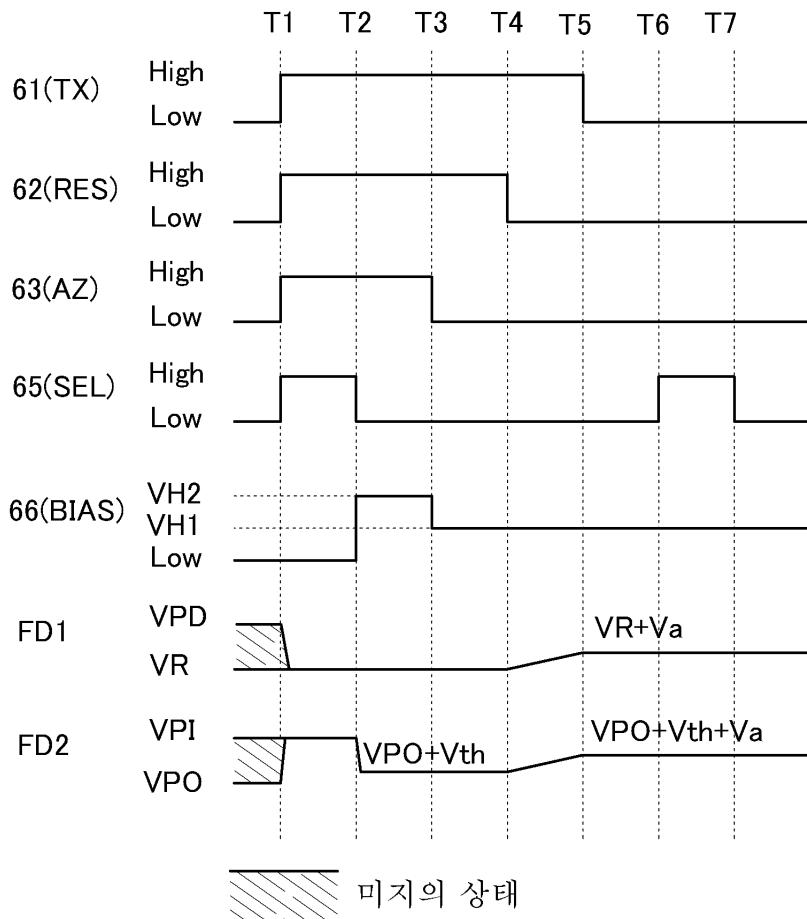
도면1



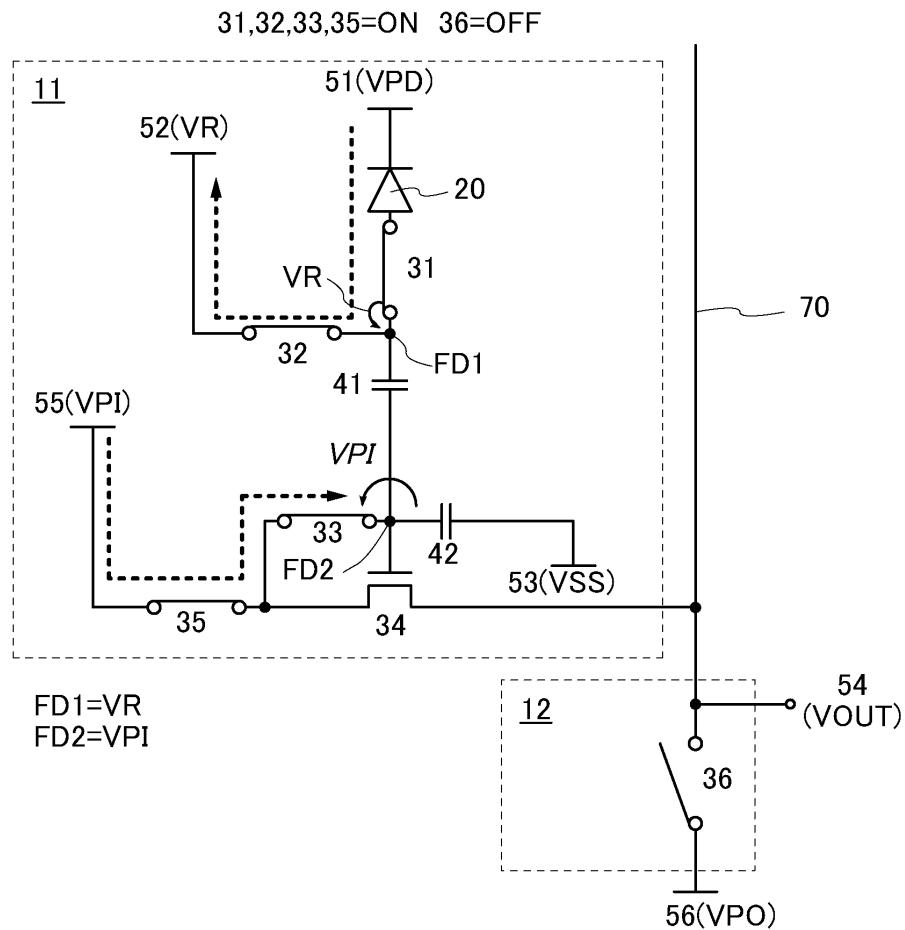
도면2



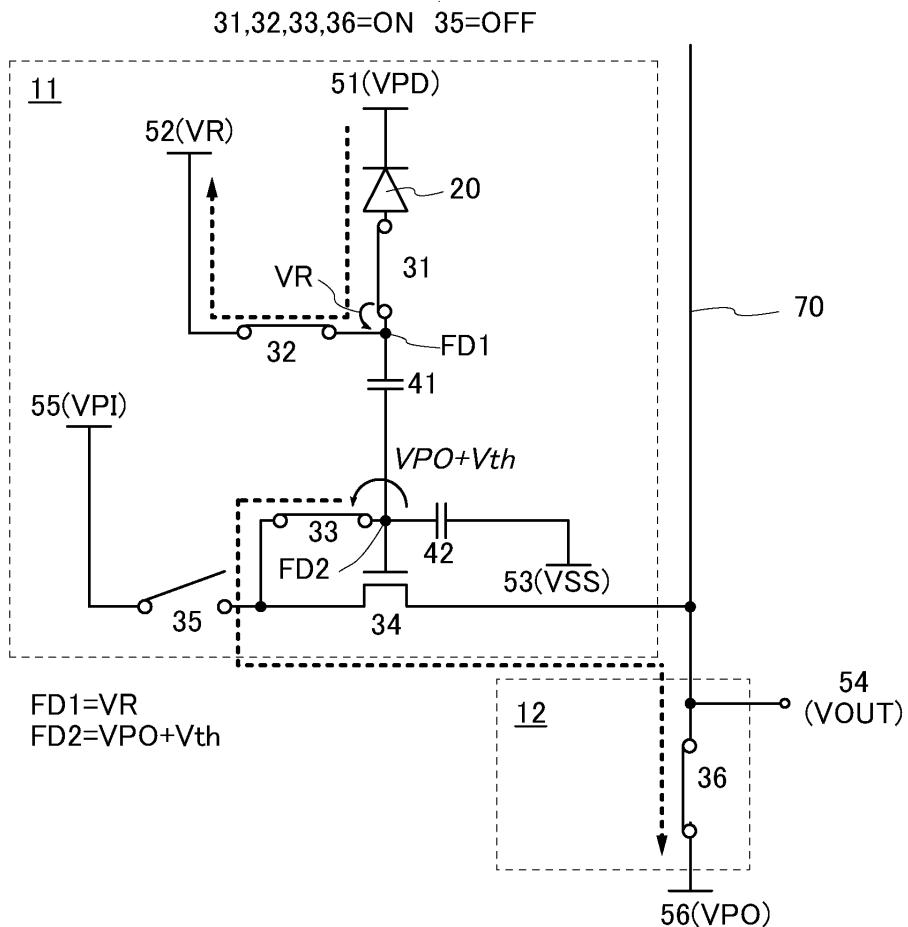
도면3



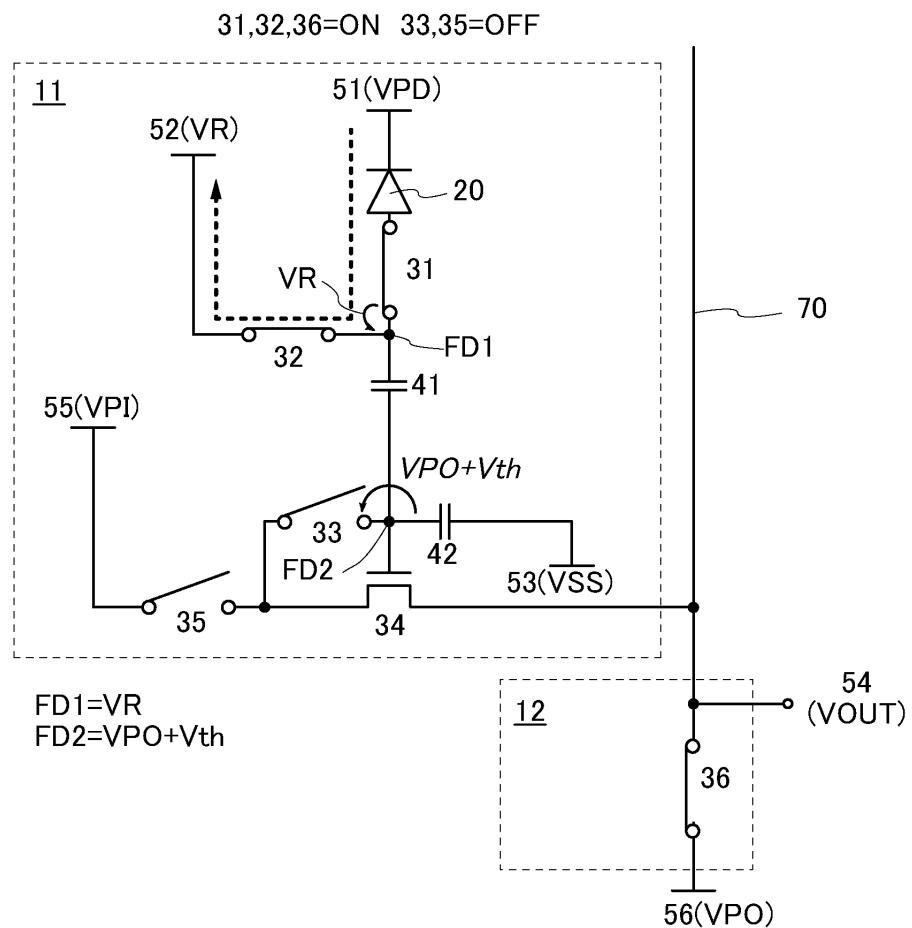
도면4



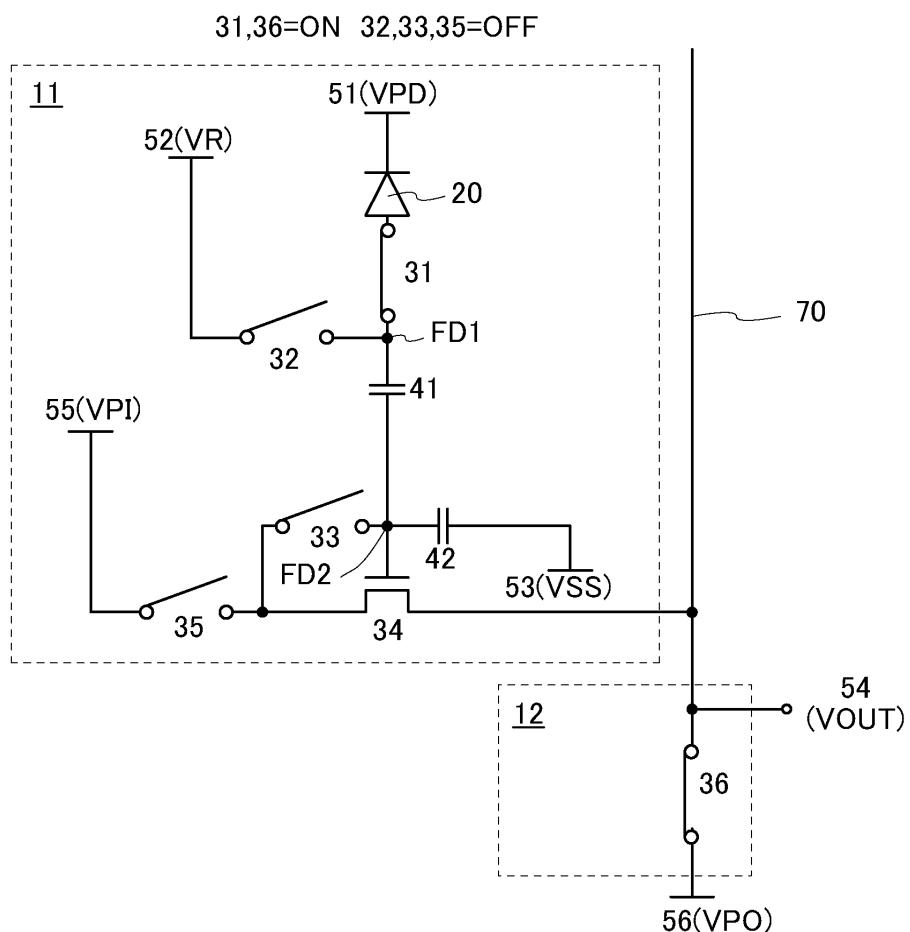
도면5



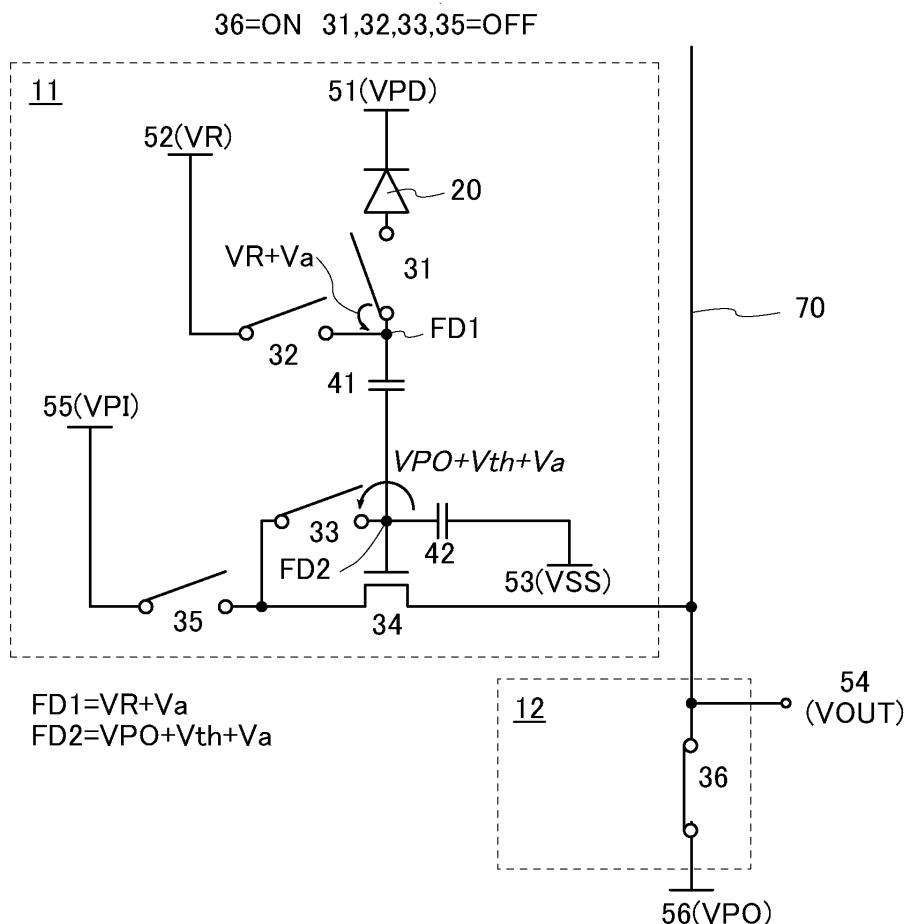
도면6



도면7

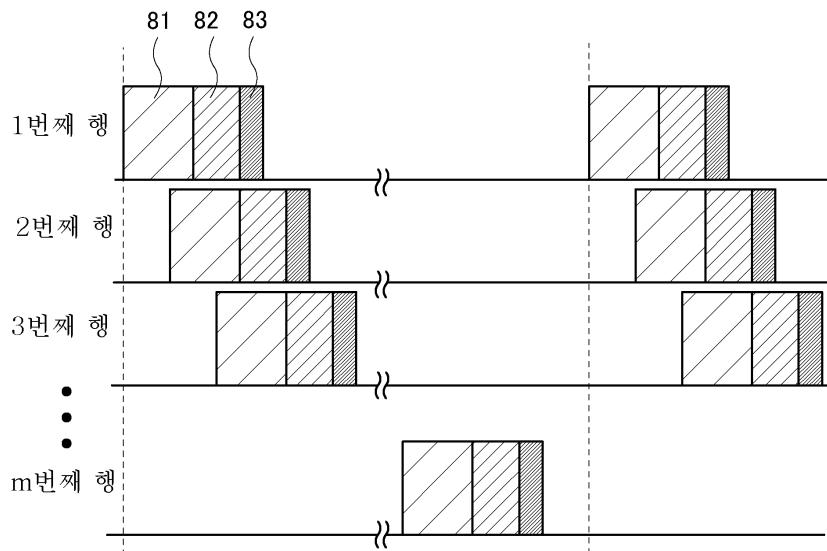


도면8

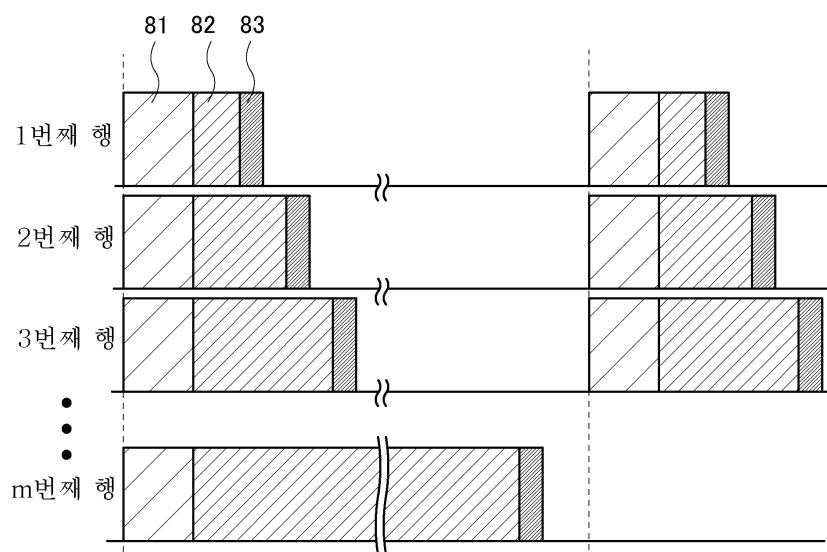


도면9

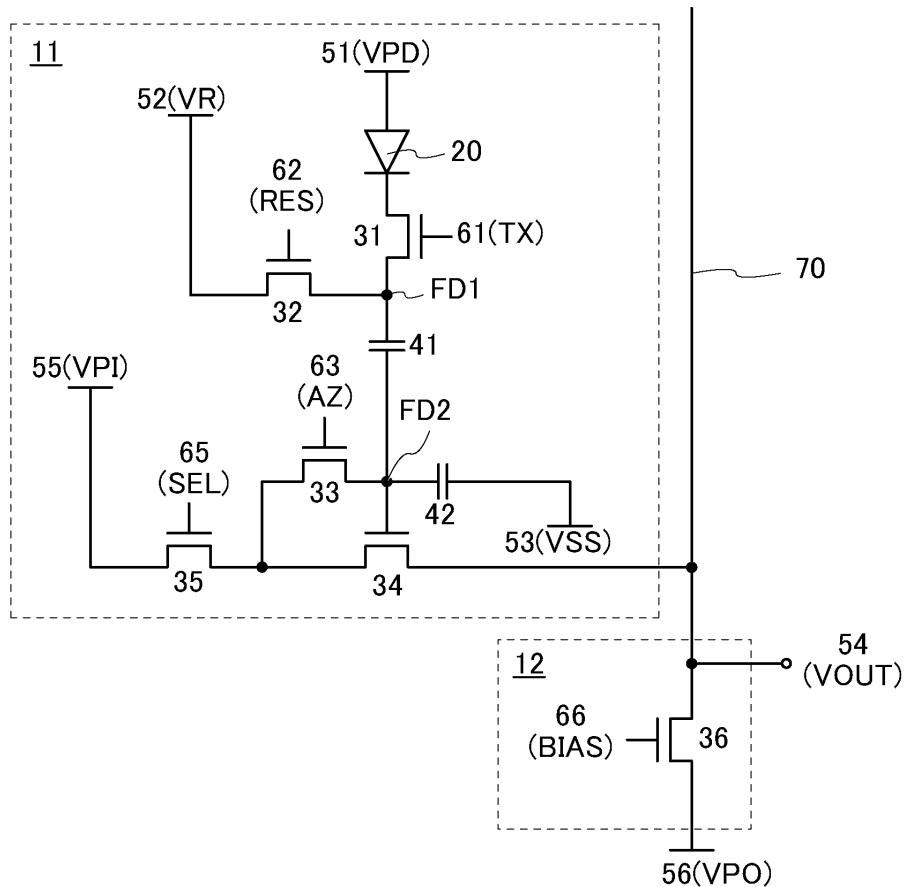
(A)



(B)

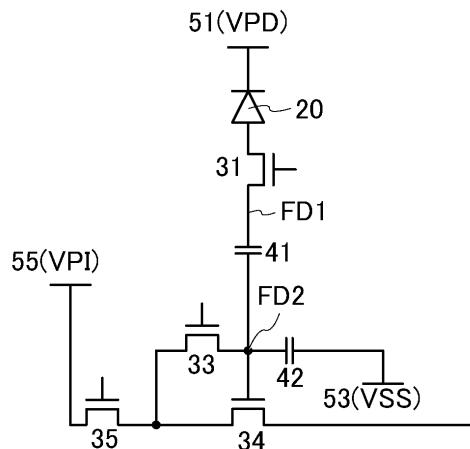


도면10

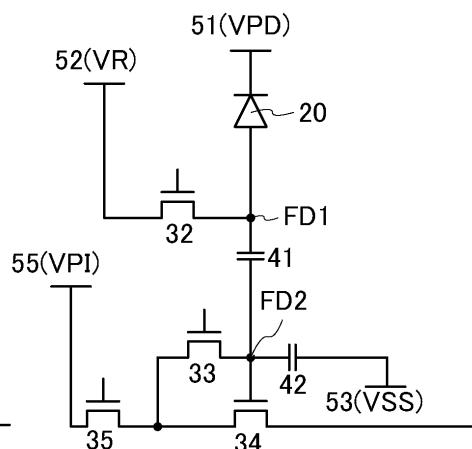


도면11

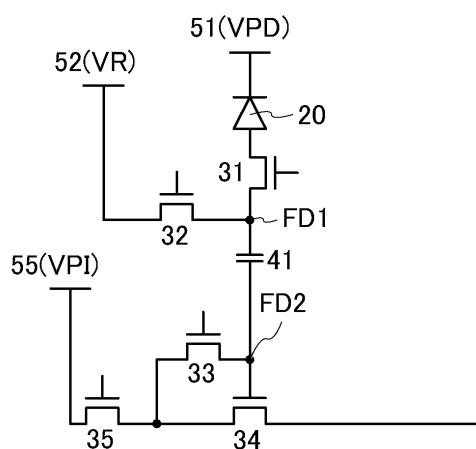
(A)



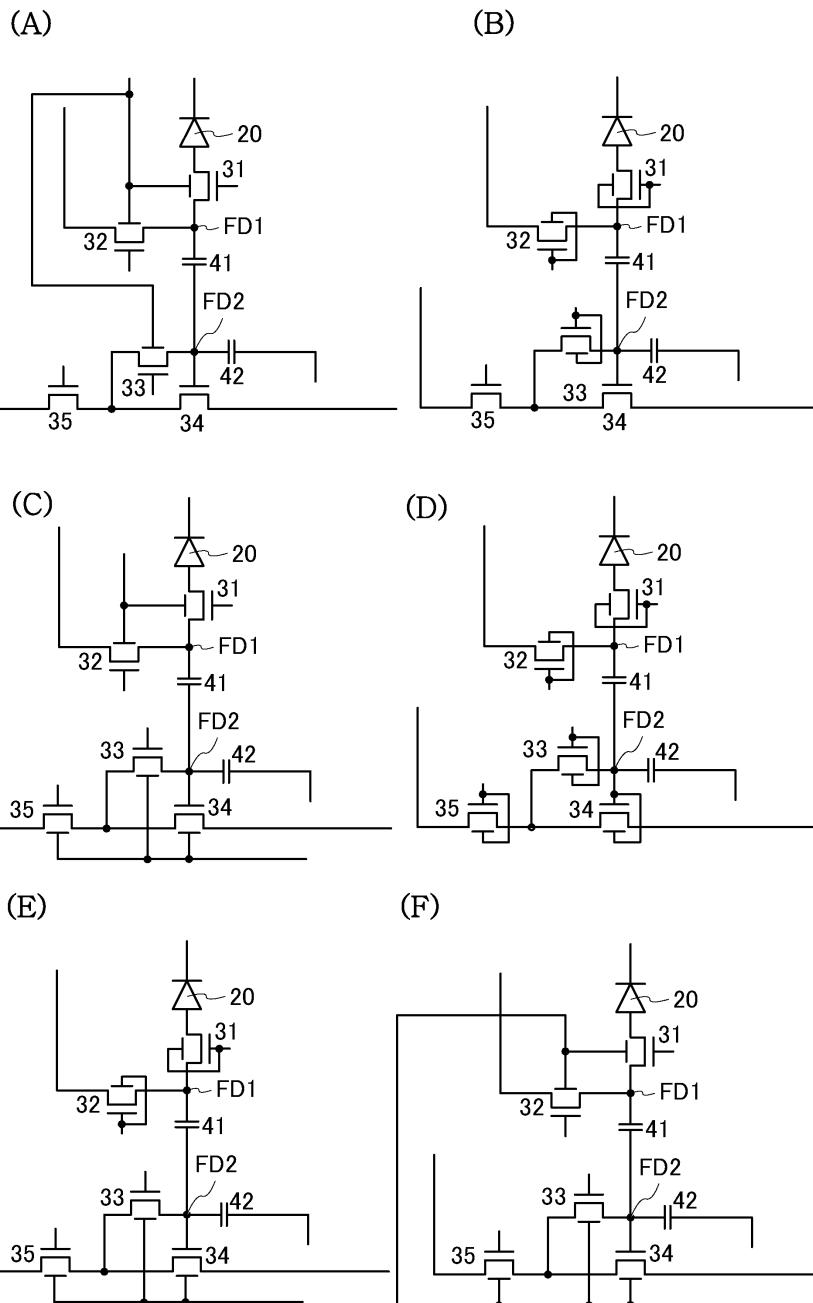
(B)



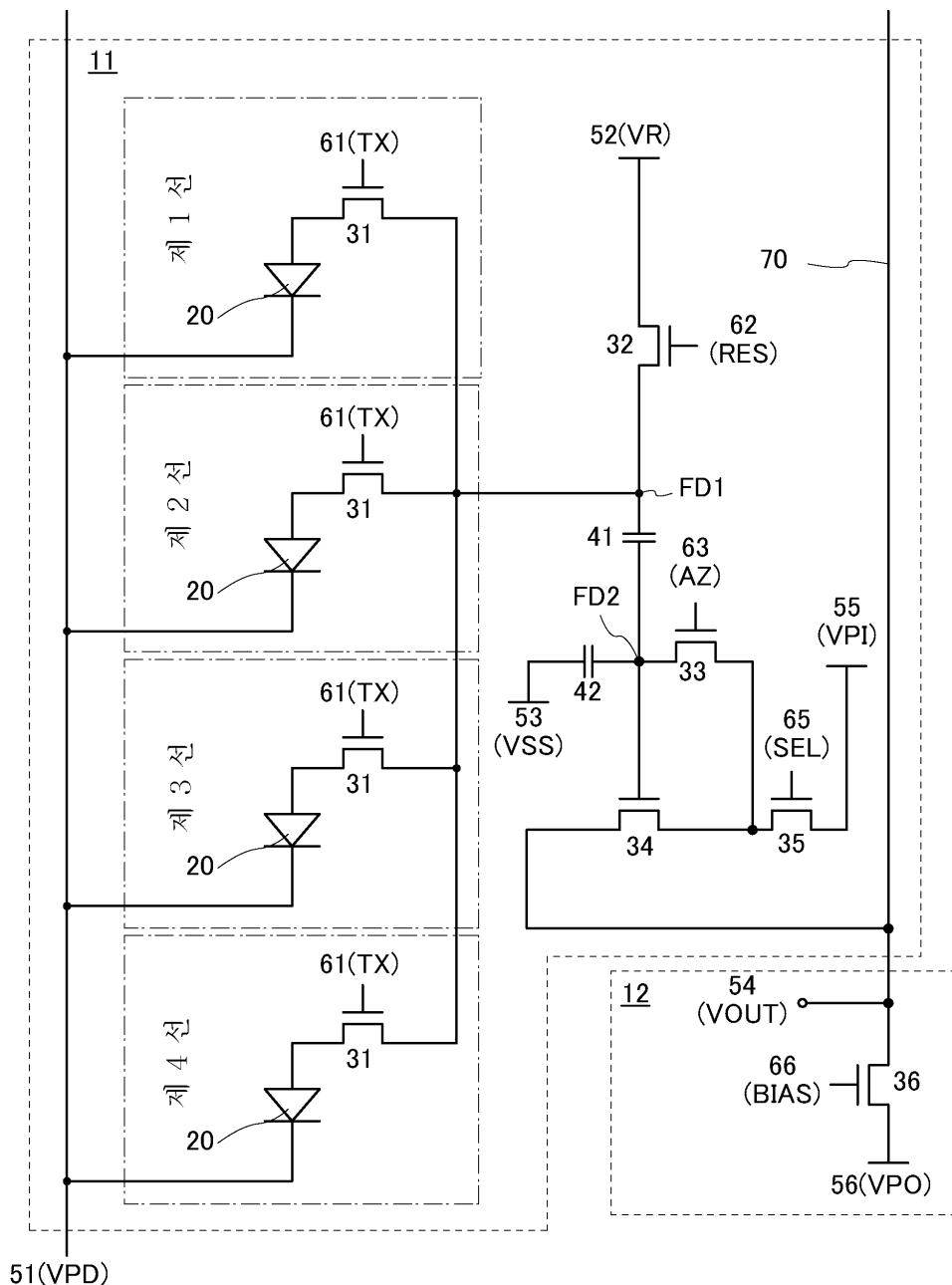
(C)



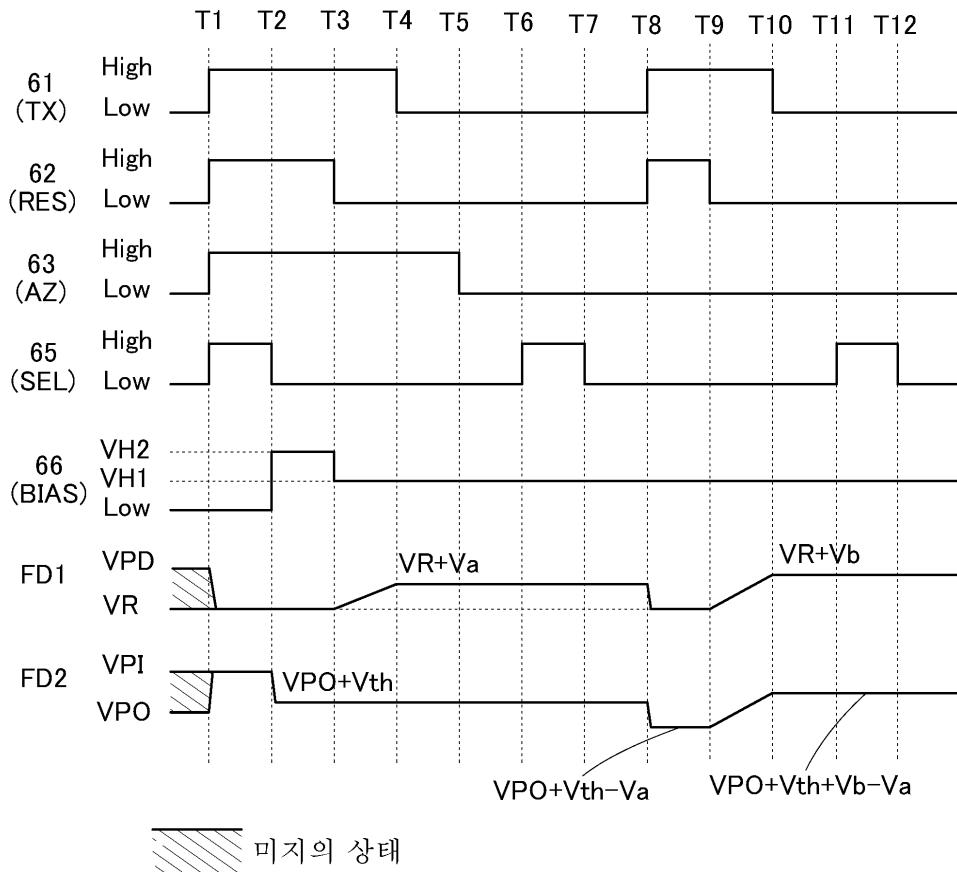
도면12



도면13

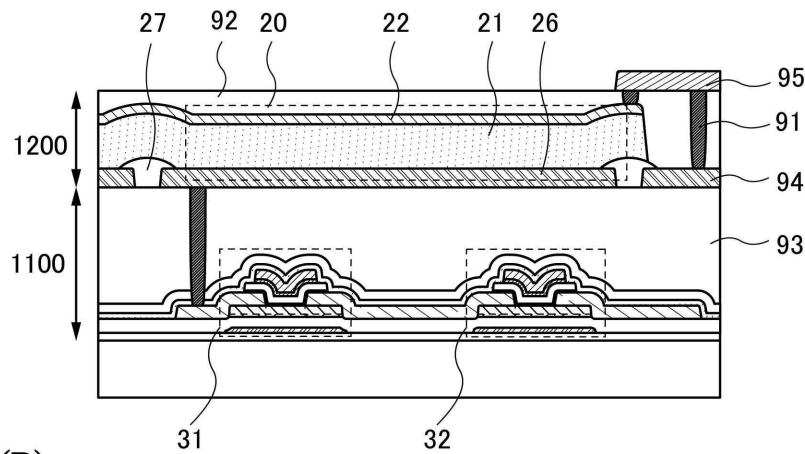


도면14

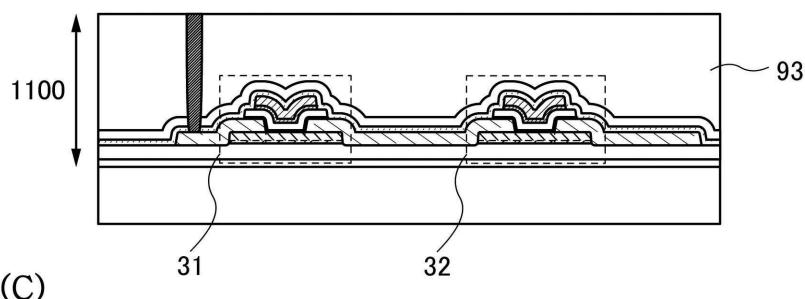


도면15

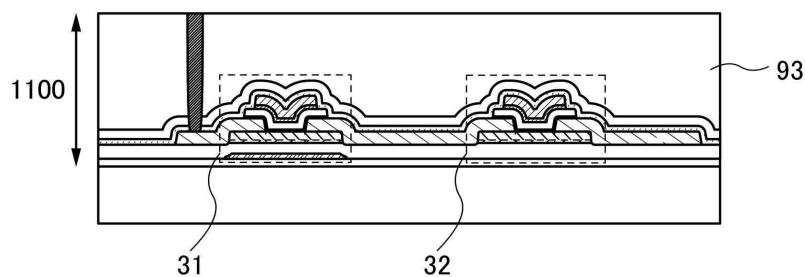
(A)



(B)

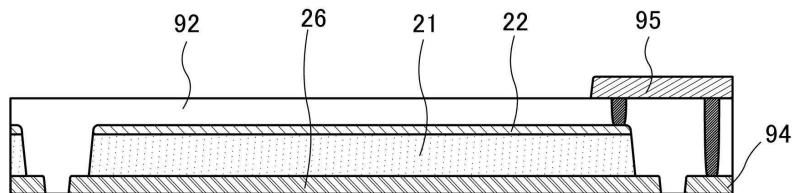


(C)

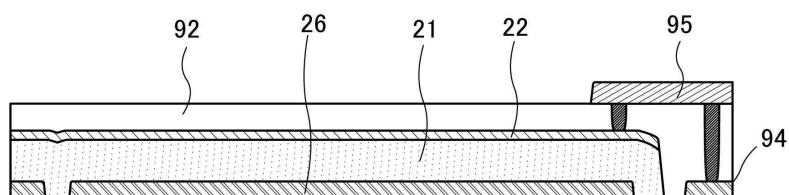


도면16

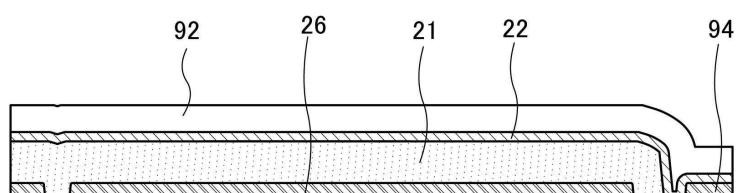
(A)



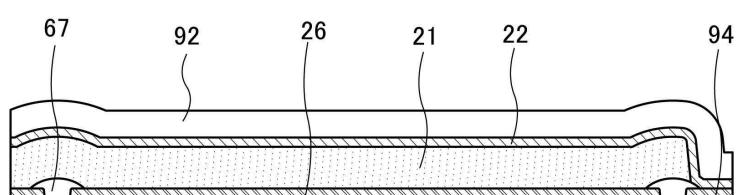
(B)



(C)

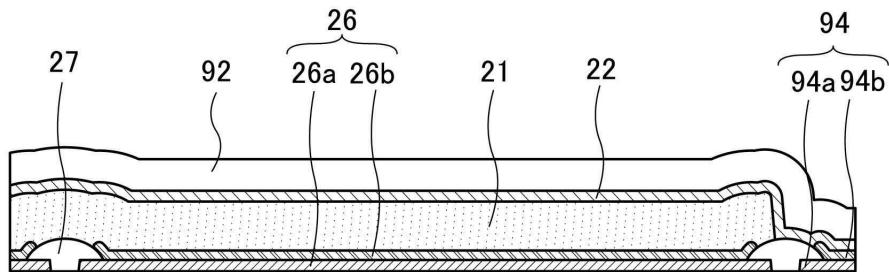


(D)

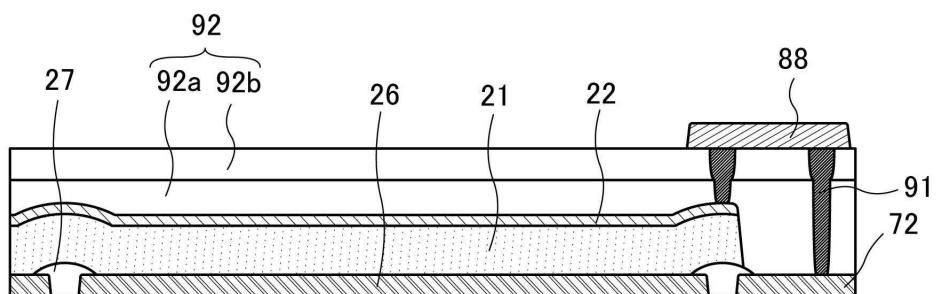


도면17

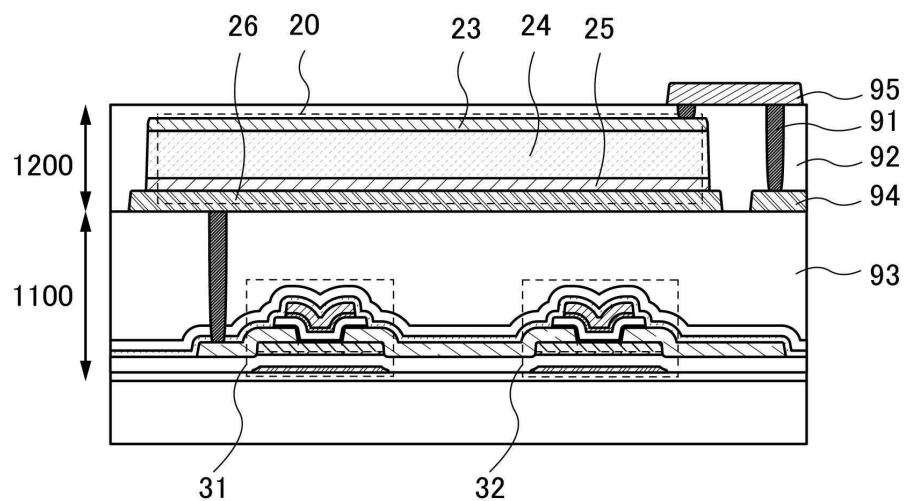
(A)



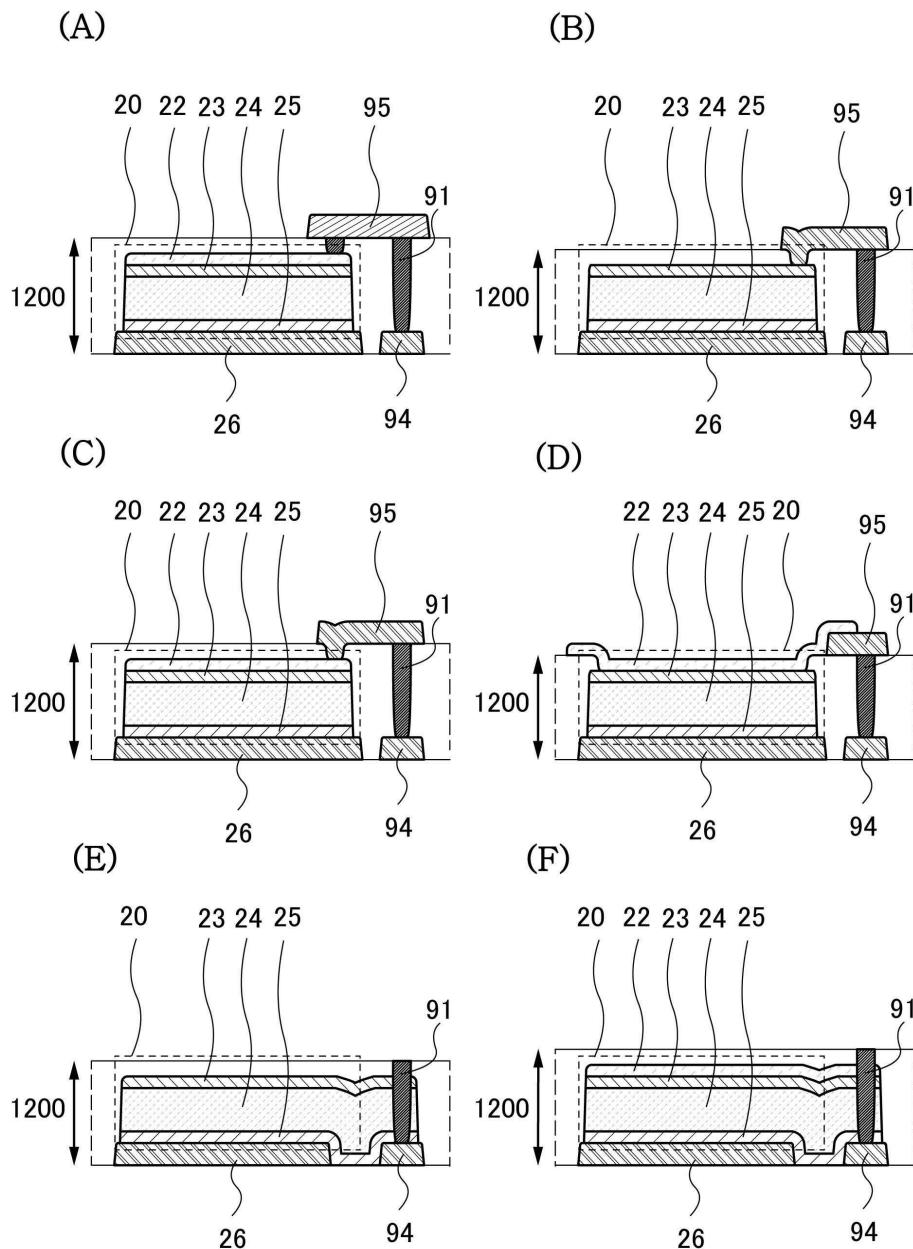
(B)



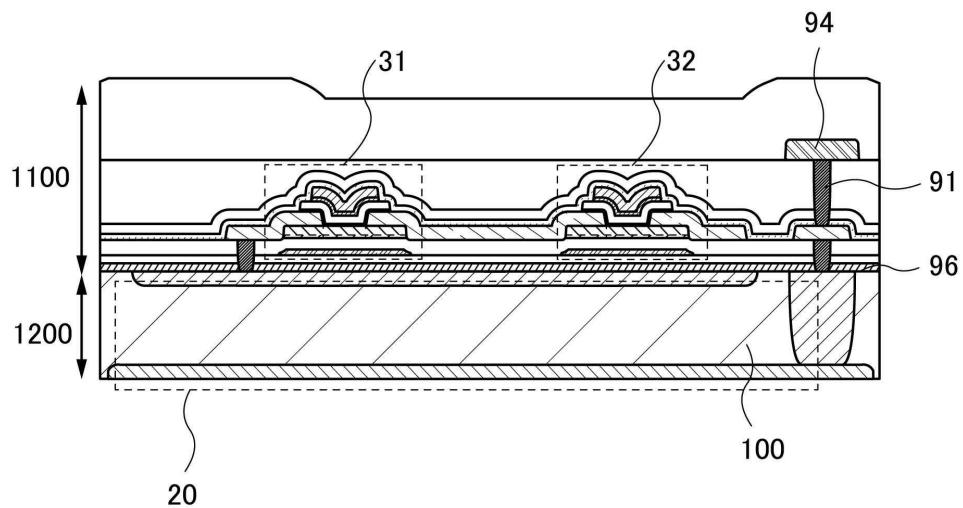
도면18



도면19

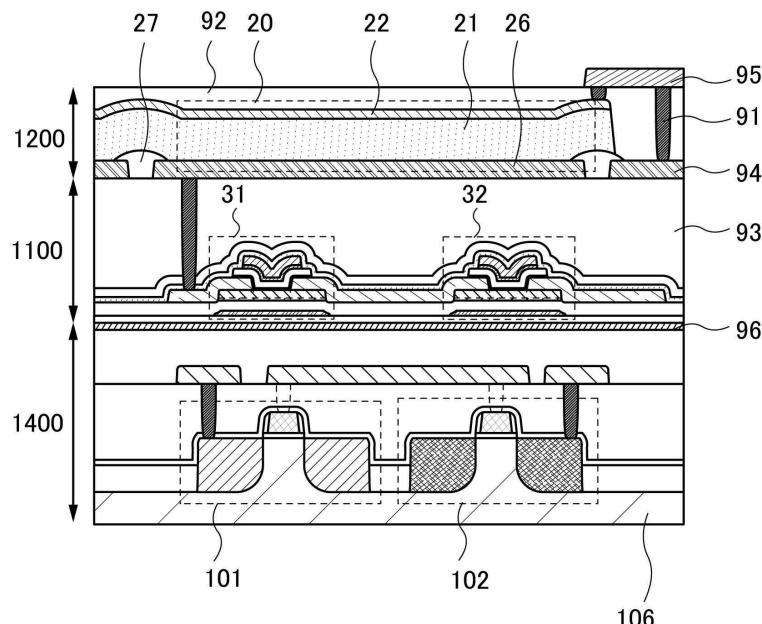


도면20

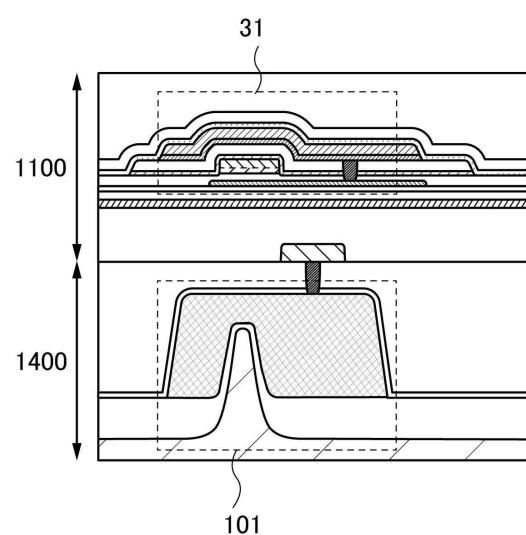


도면21

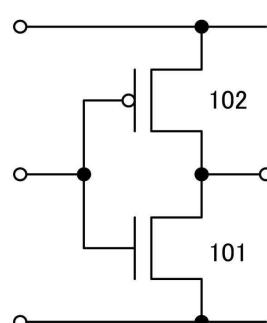
(A)



(B)

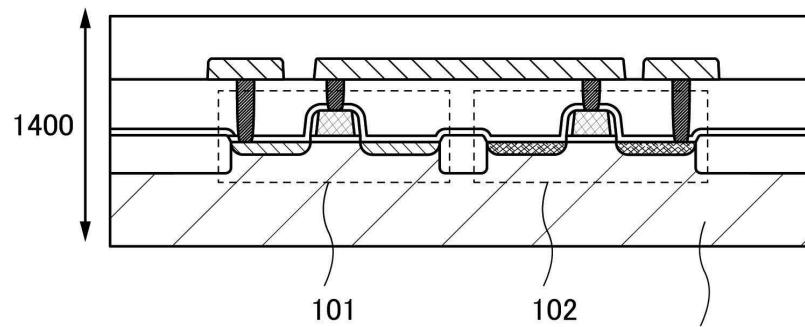


(C)

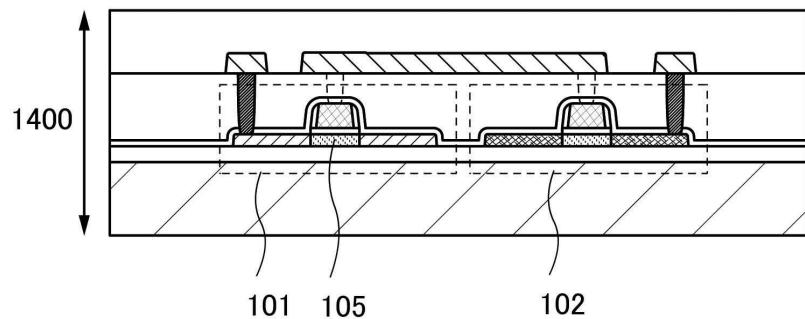


도면22

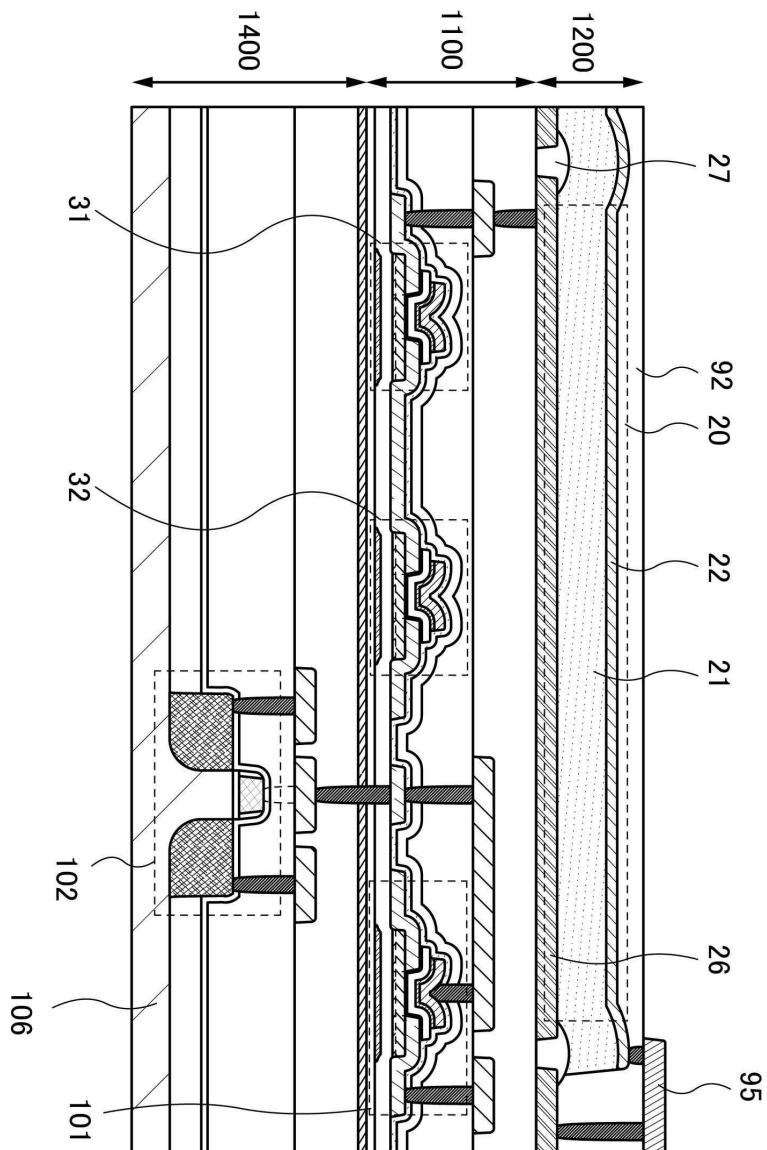
(A)



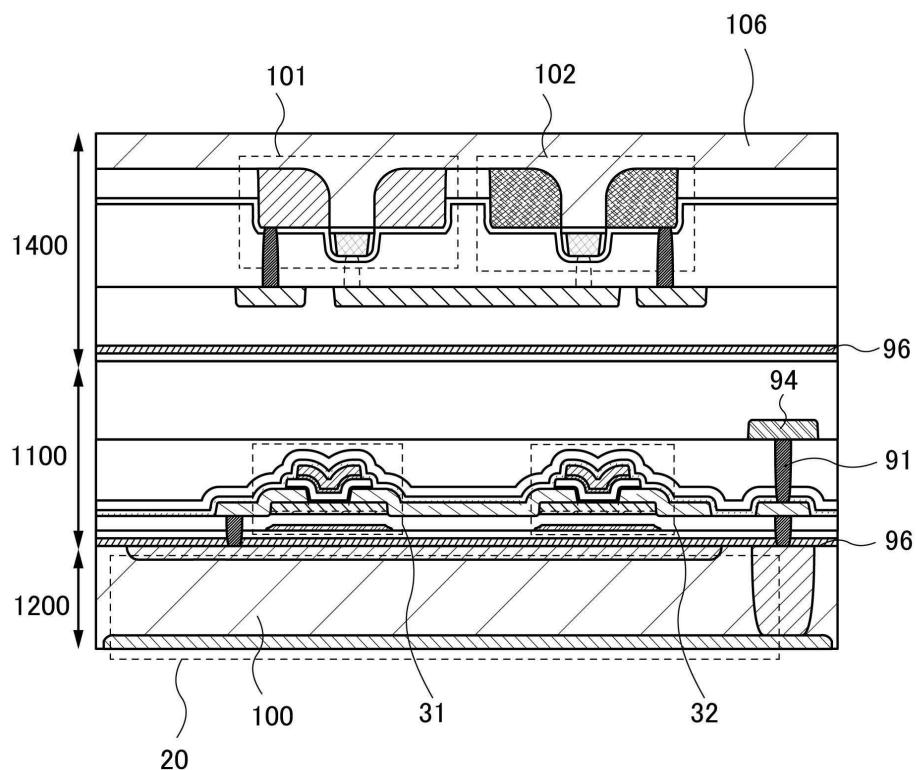
(B)



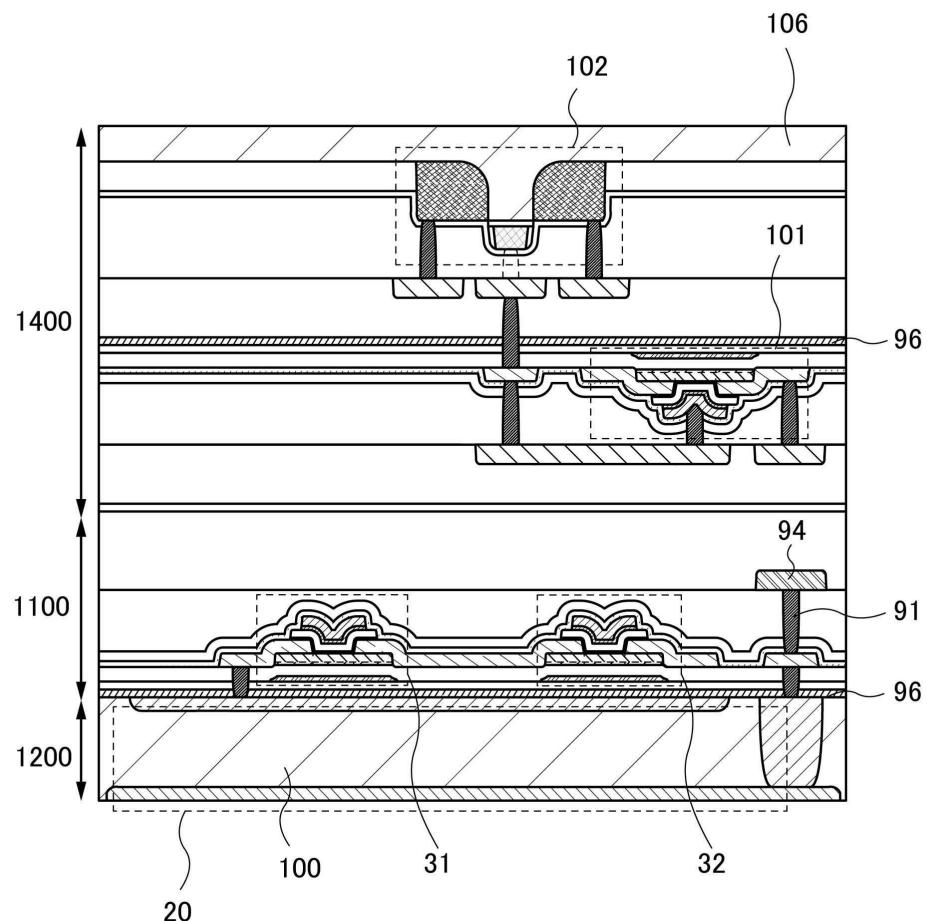
도면23



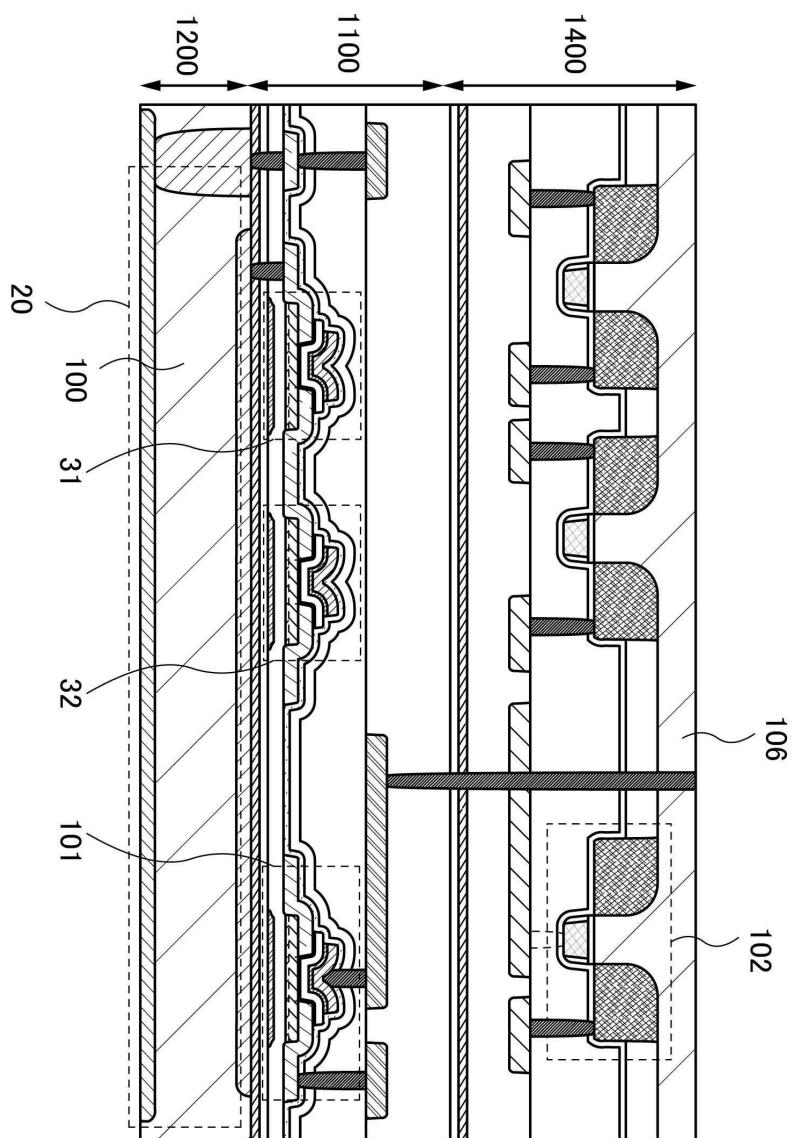
도면24



도면25

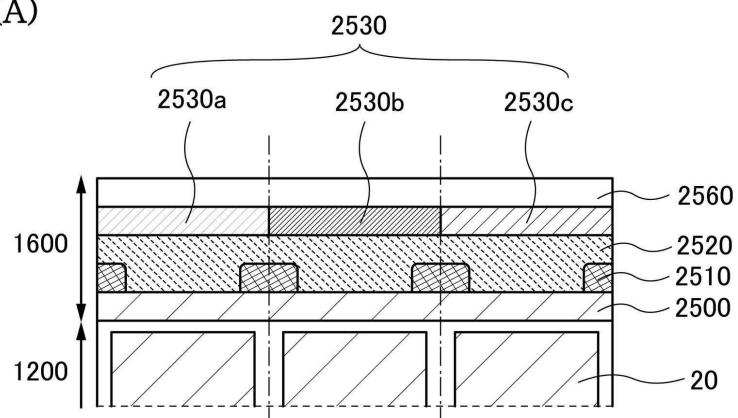


도면26

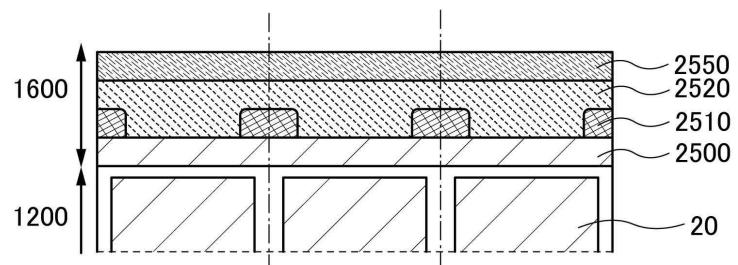


도면27

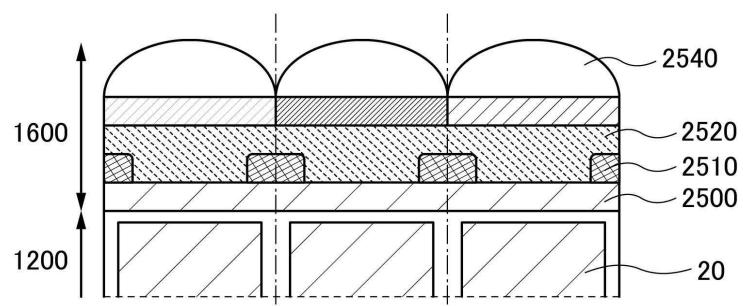
(A)



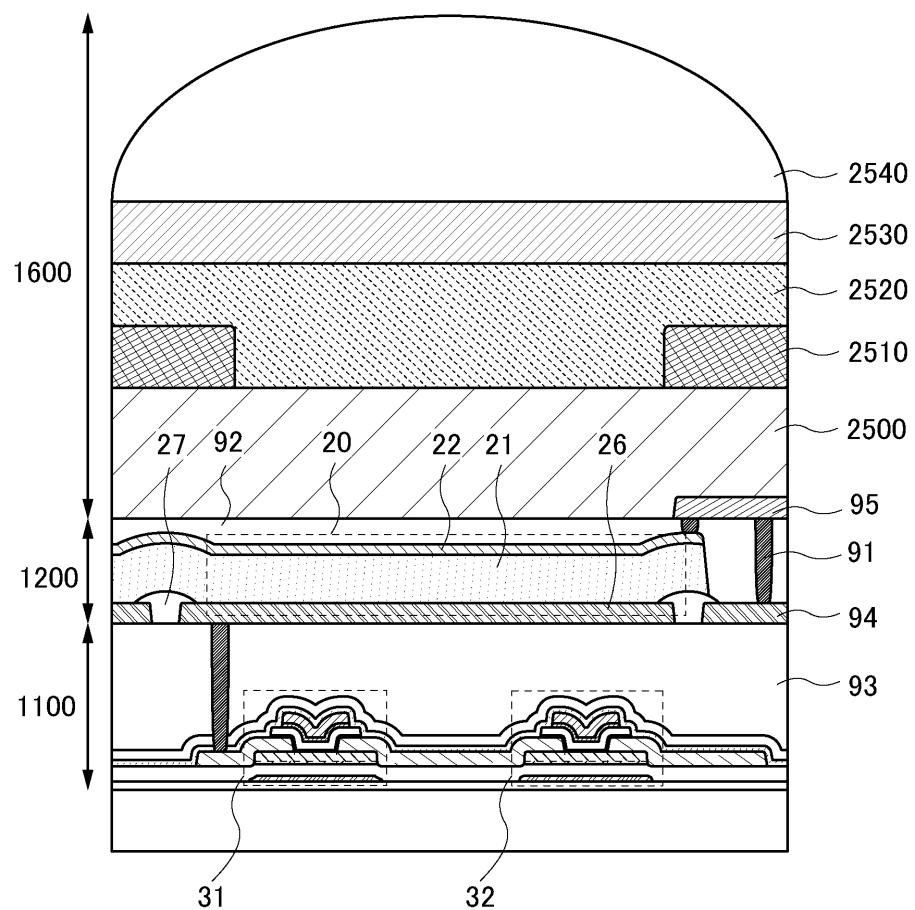
(B)



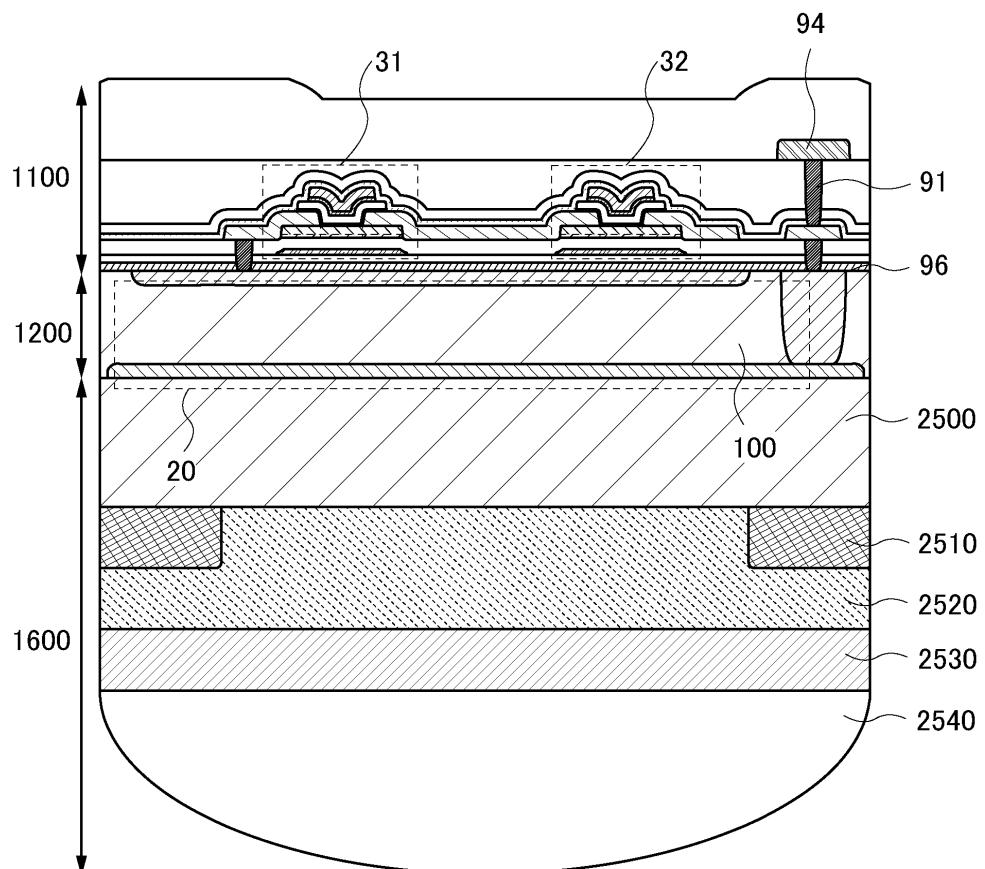
(C)



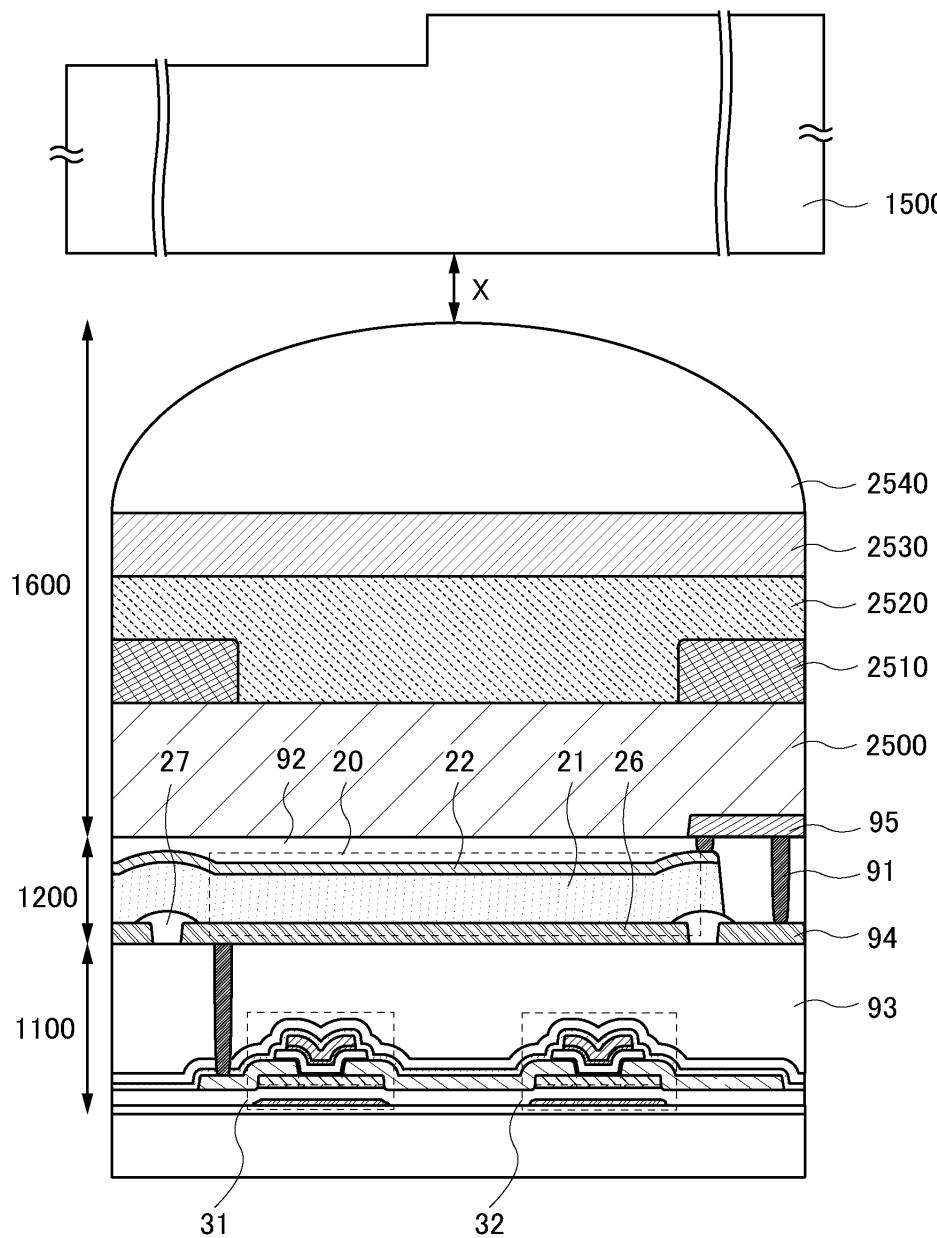
도면28



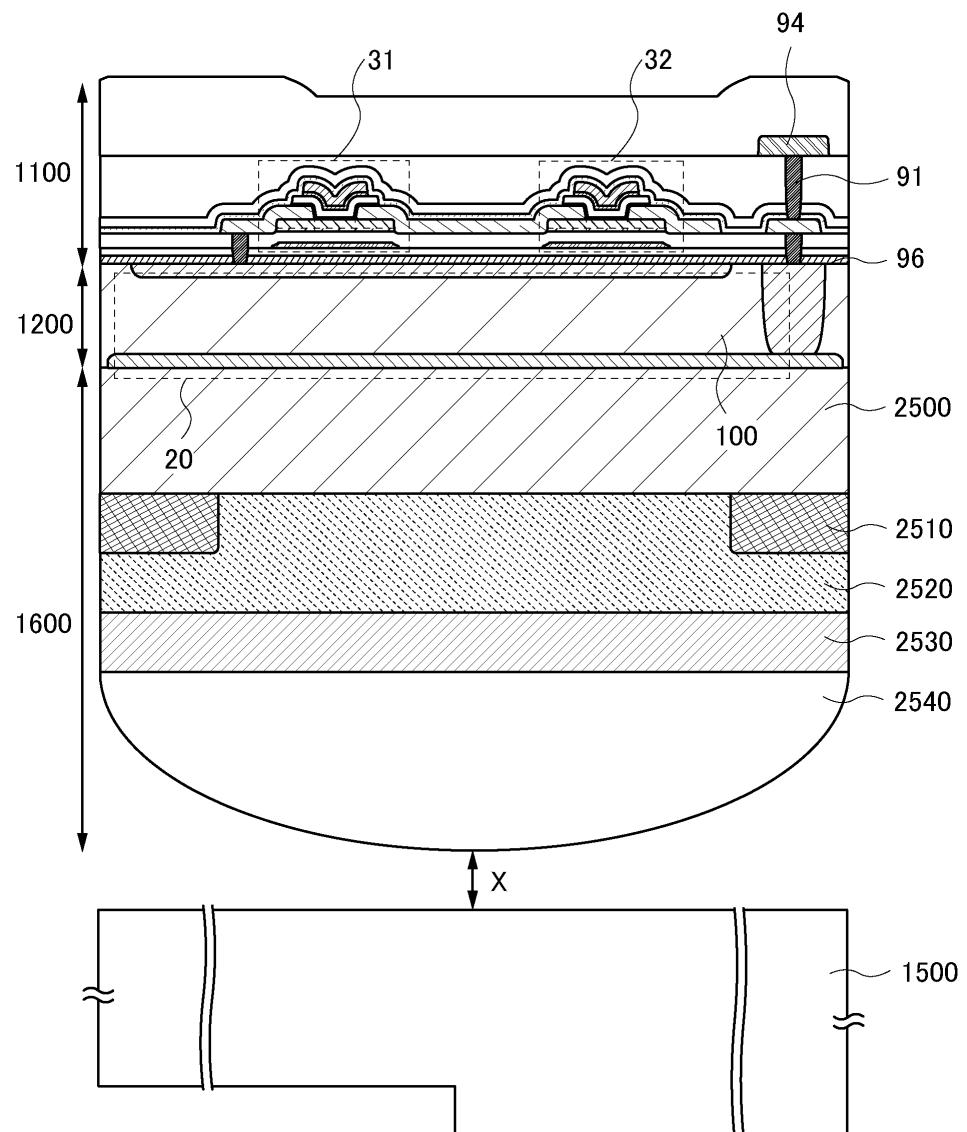
도면29



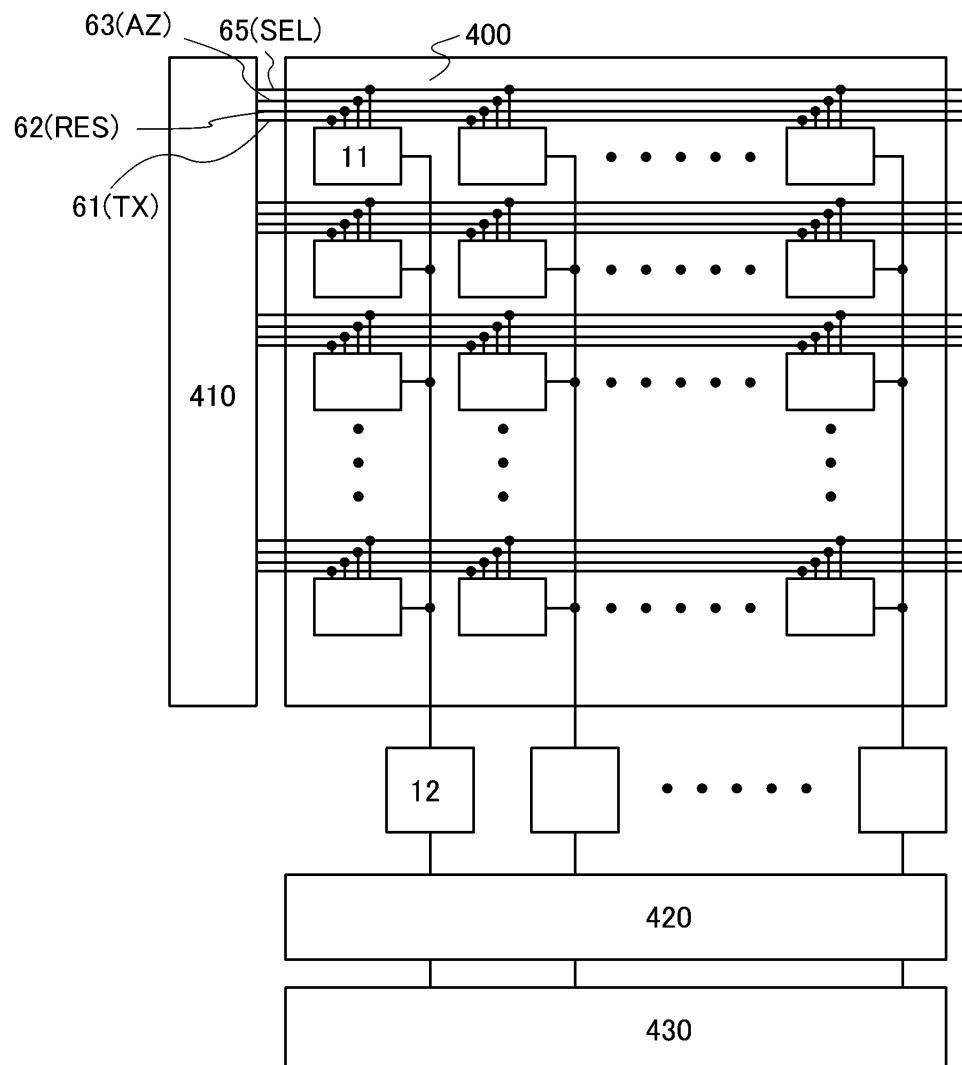
도면30



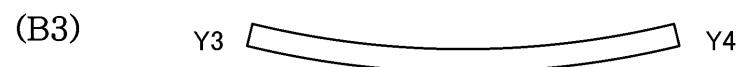
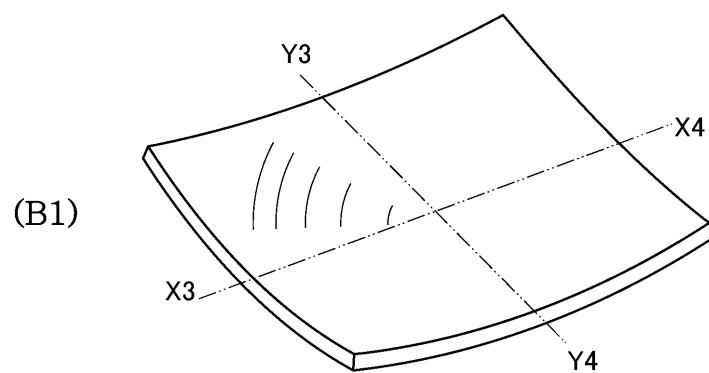
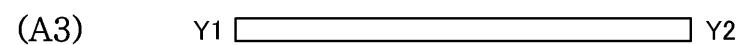
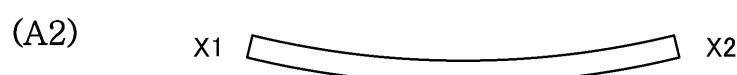
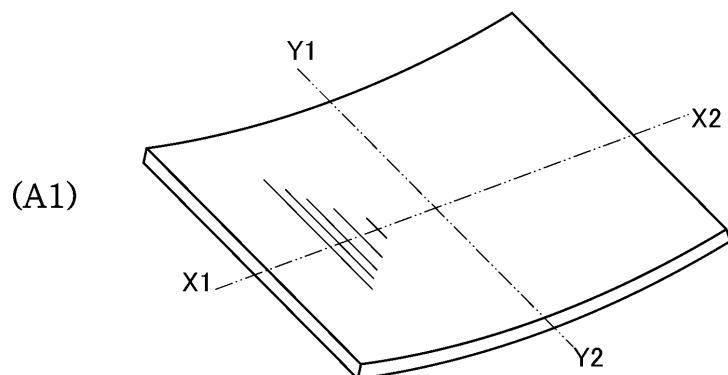
도면31



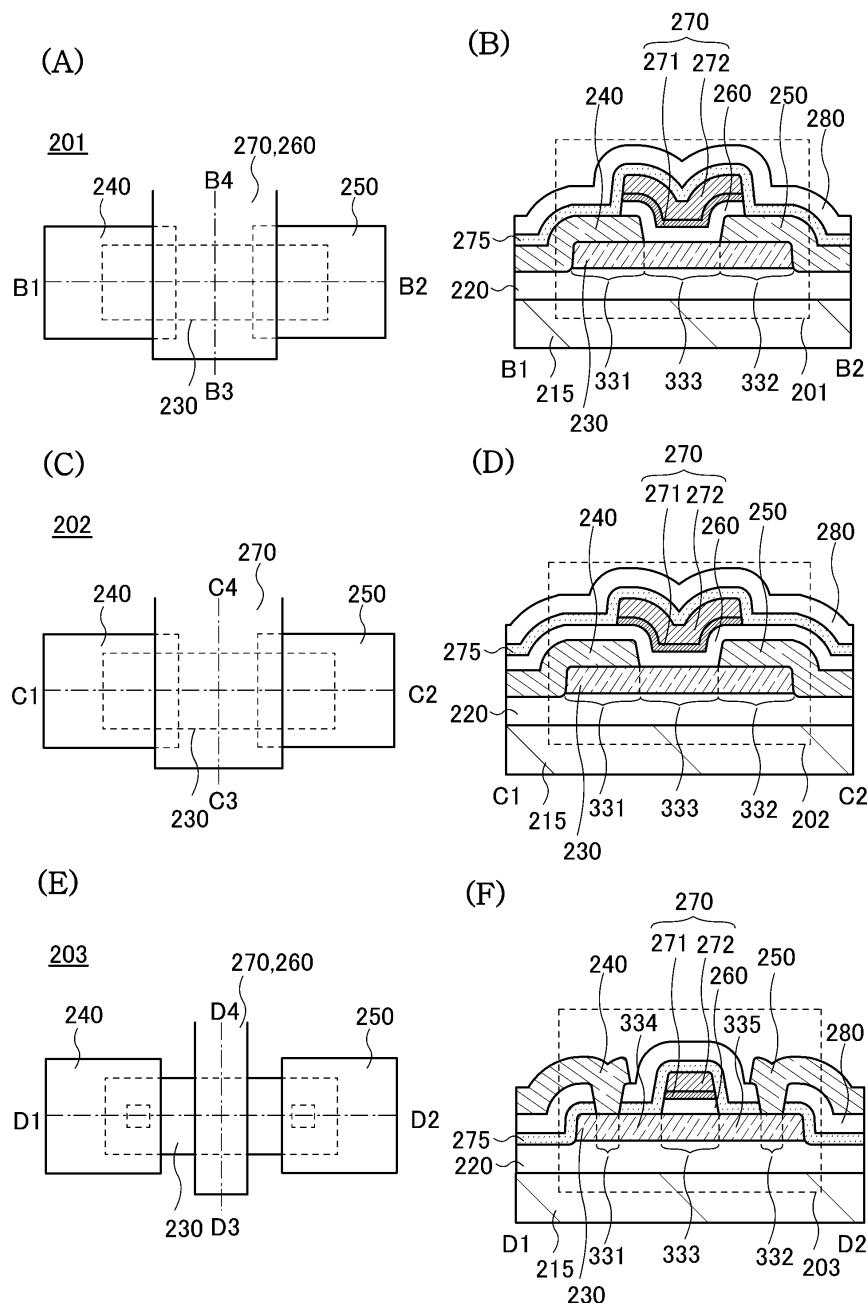
도면32



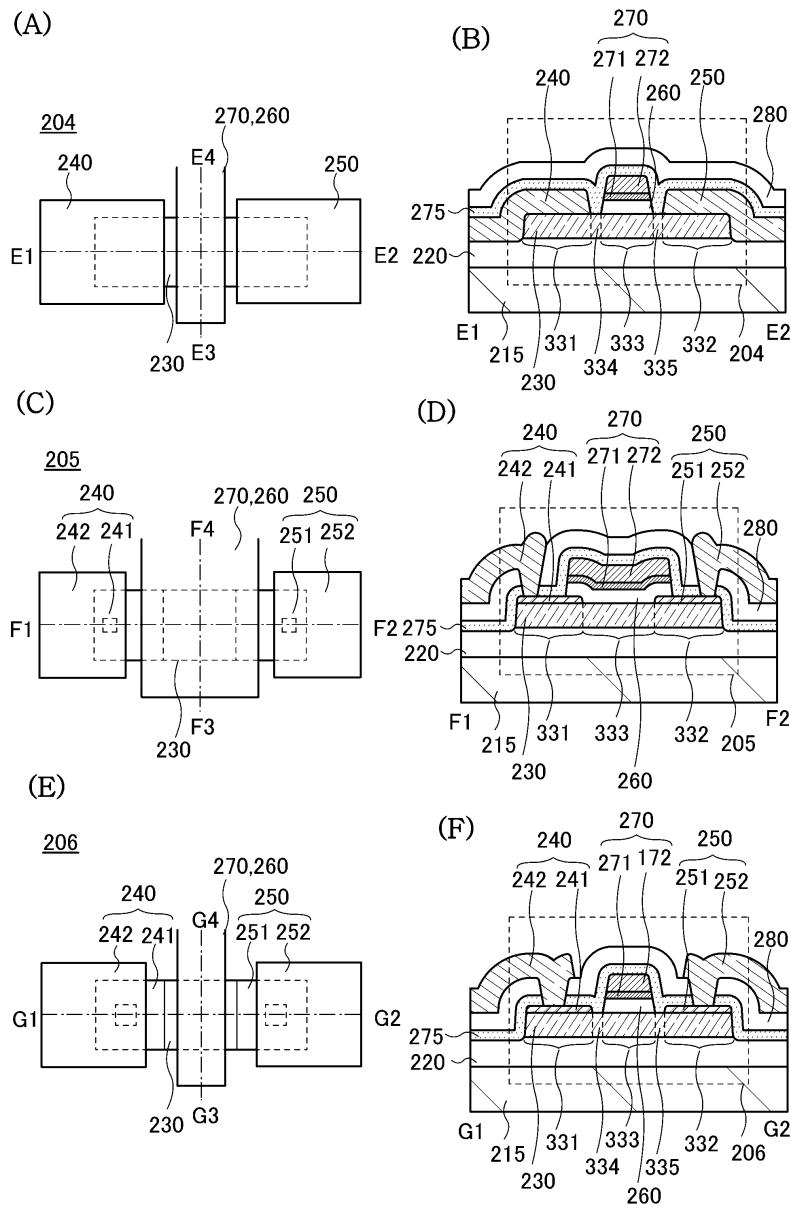
도면33



도면34

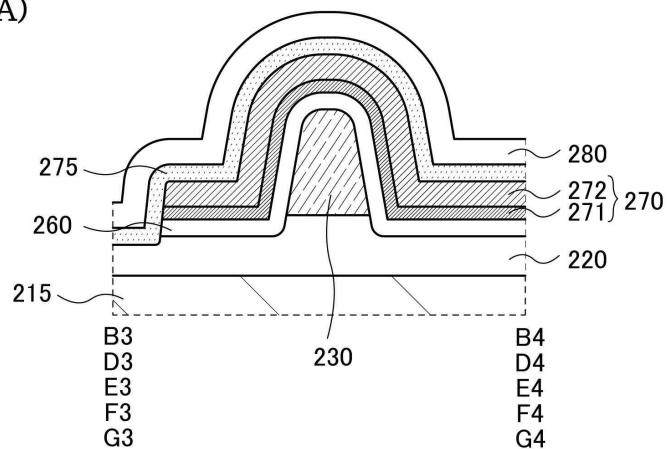


도면35

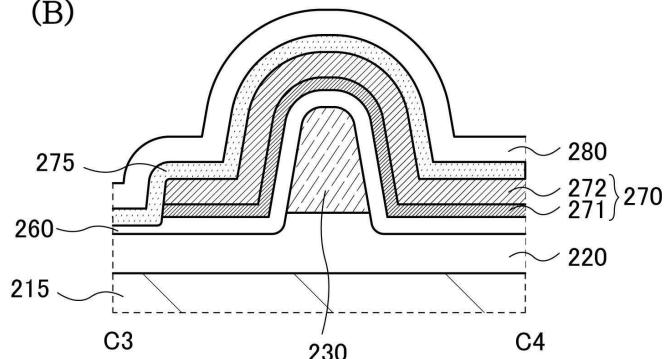


도면36

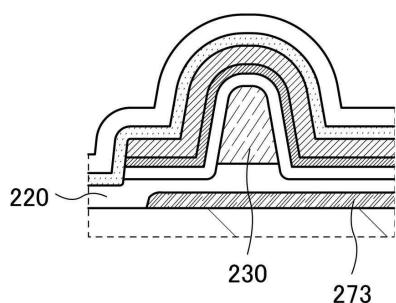
(A)



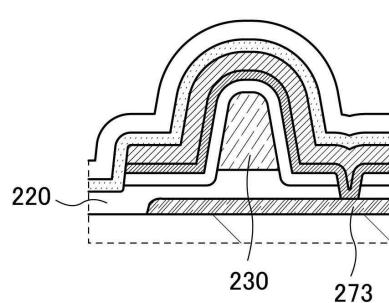
(B)



(C)

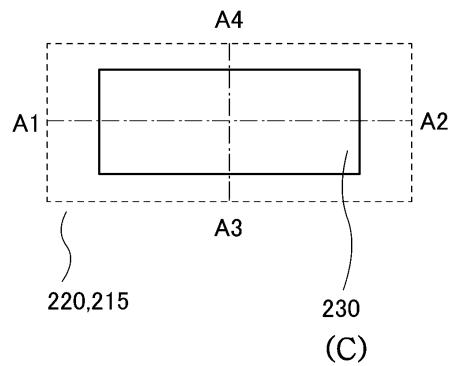


(D)

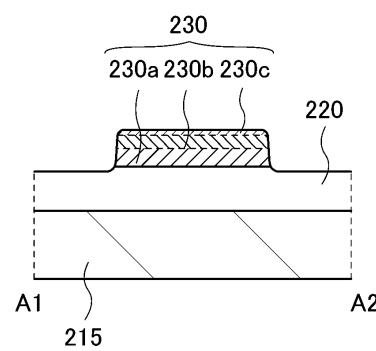
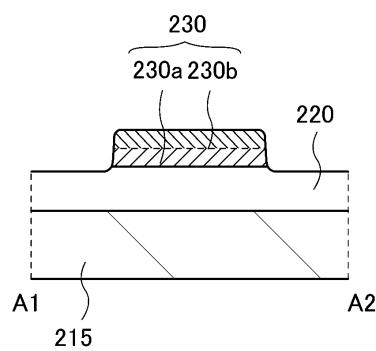


도면37

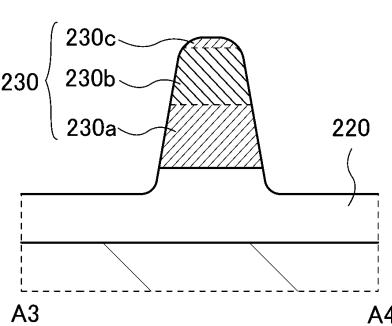
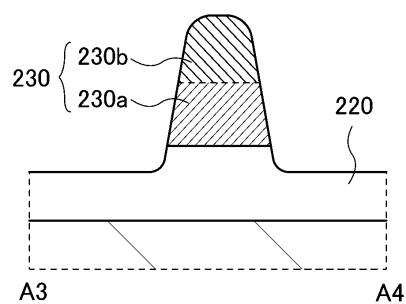
(A)



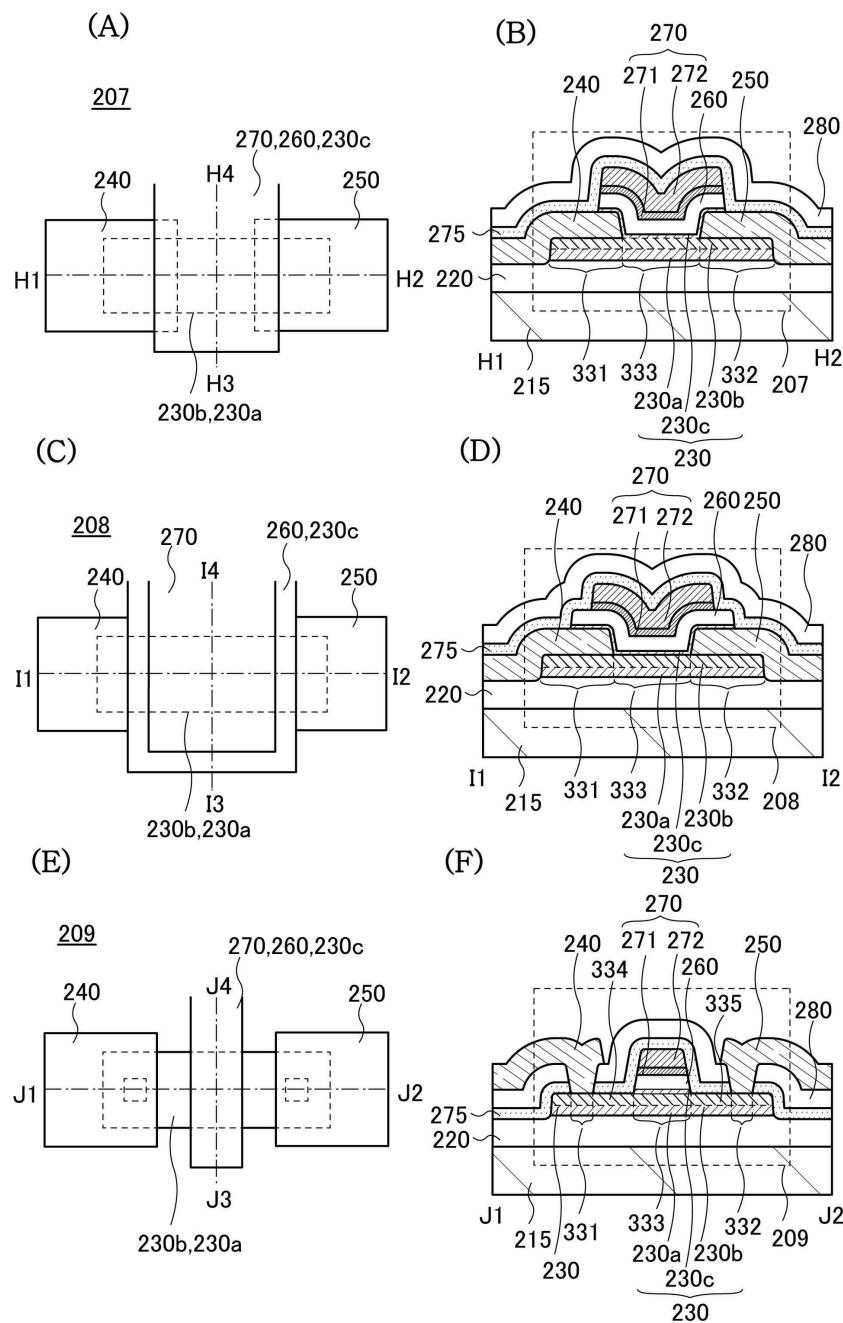
(B)



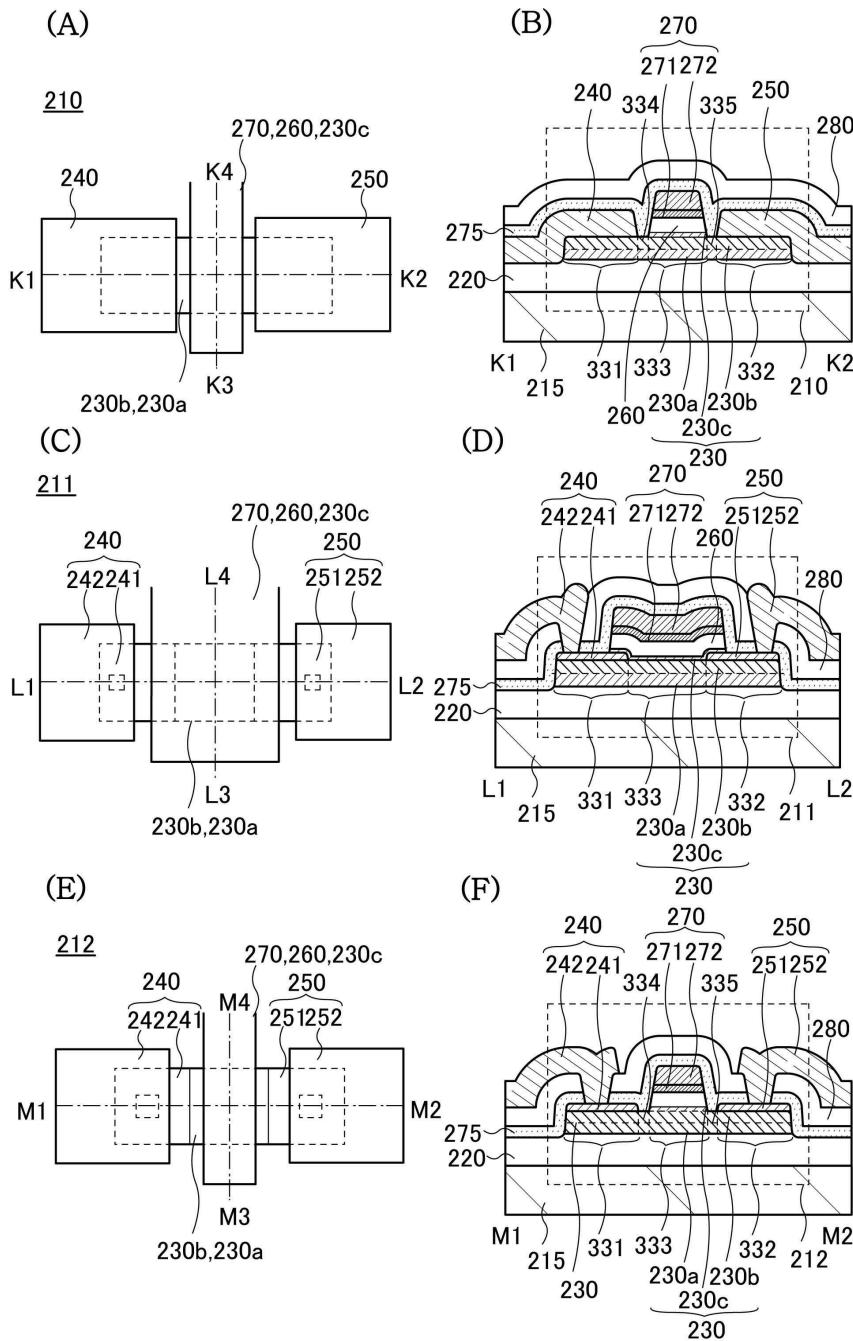
(D)



도면38

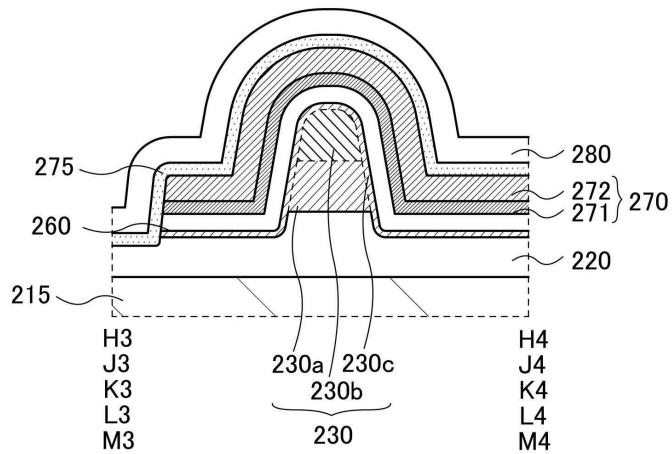


도면39

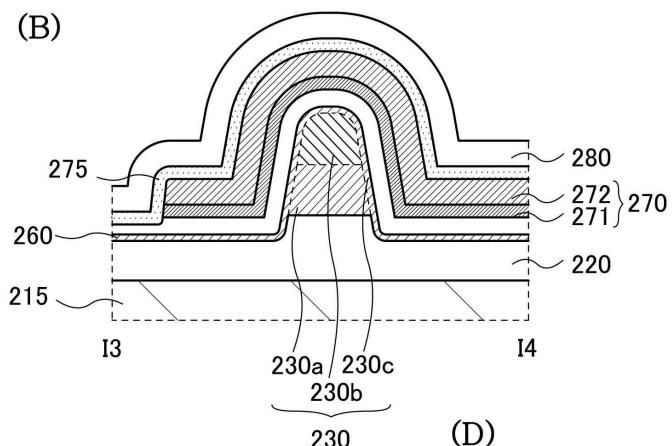


도면40

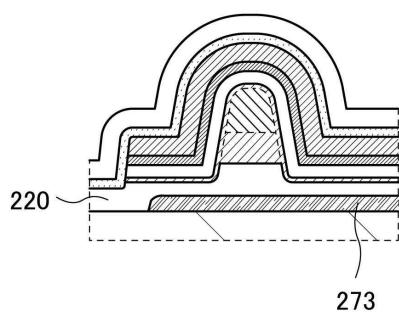
(A)



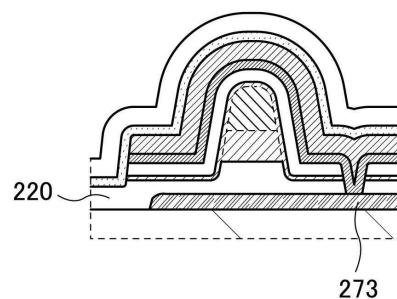
(B)



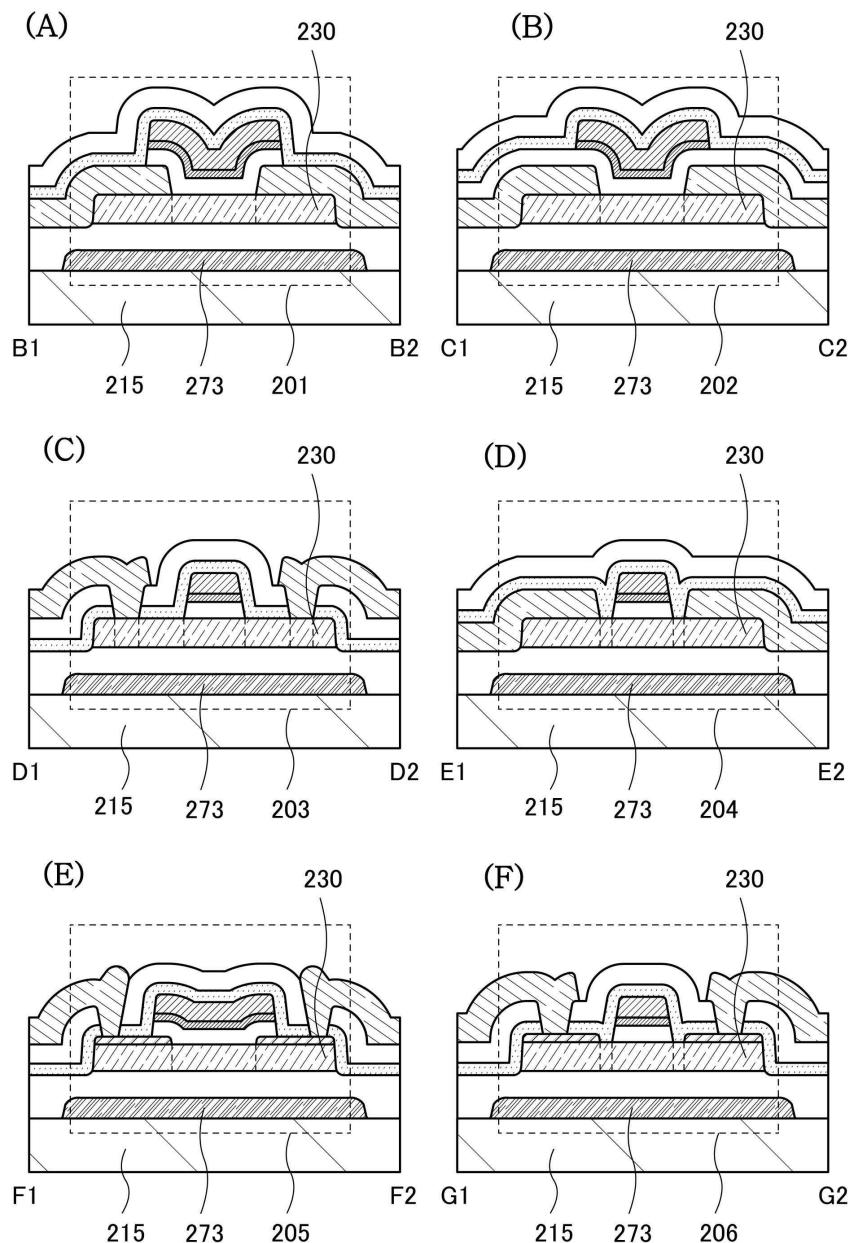
(C)



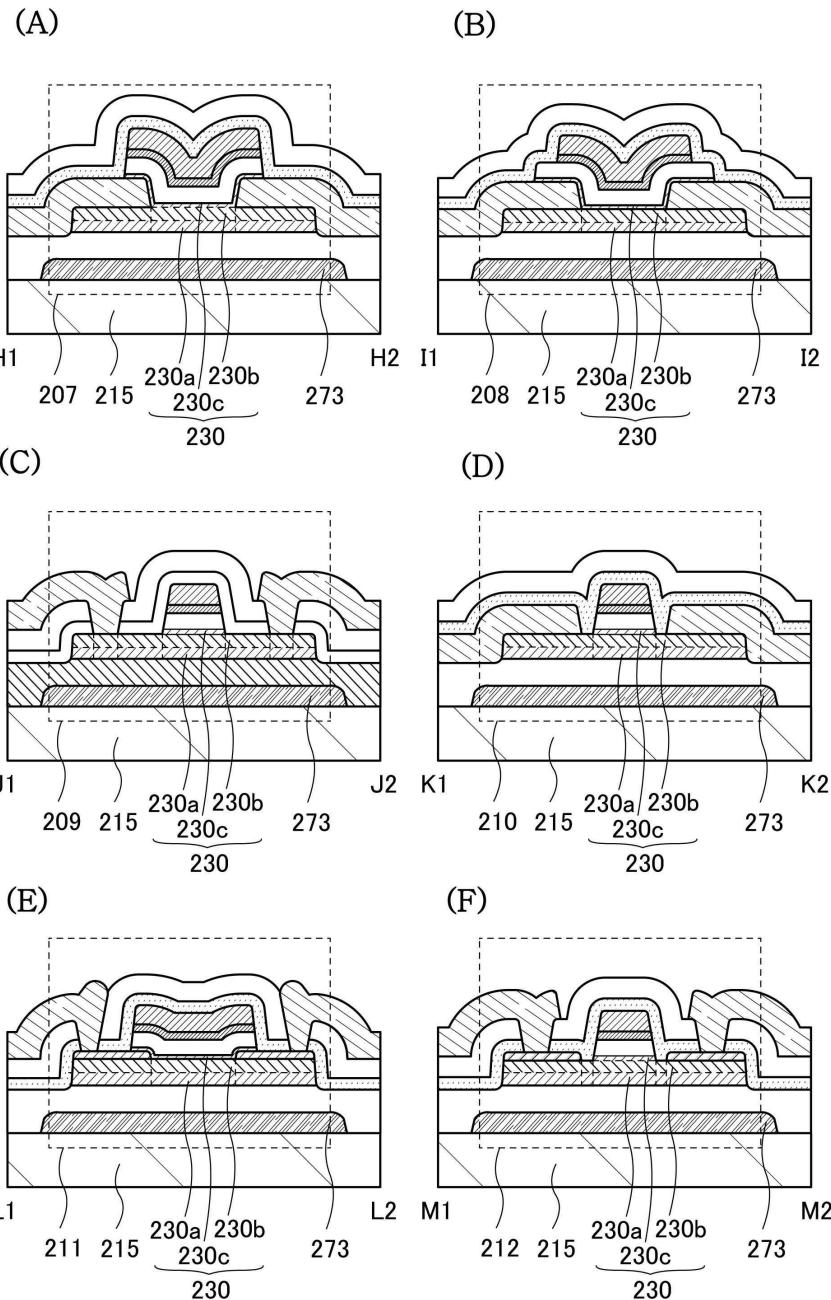
(D)



도면41

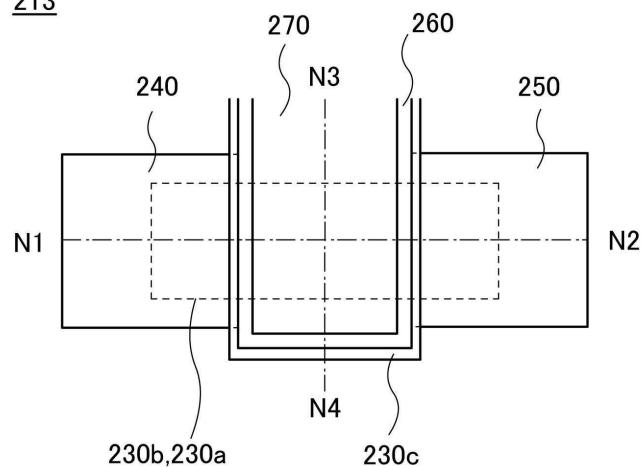


도면42



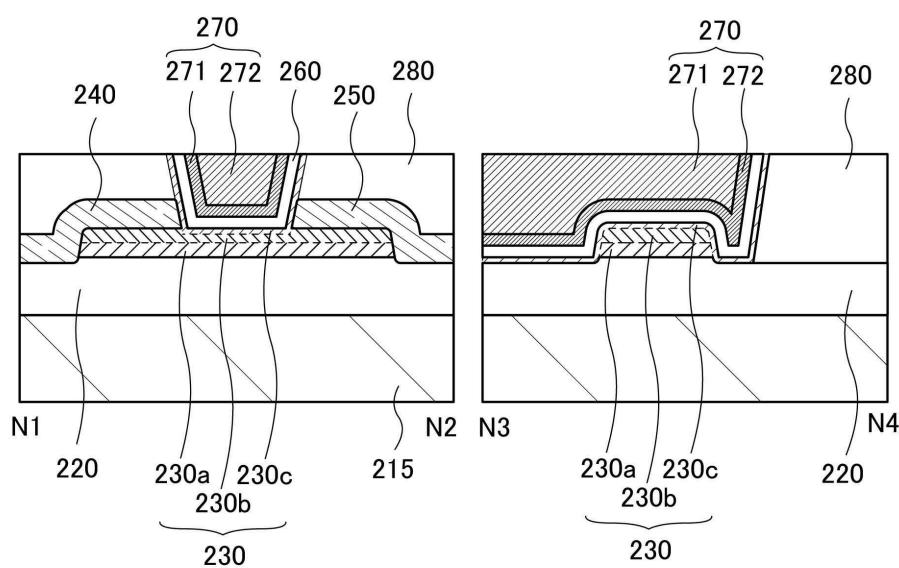
도면43

(A)

213

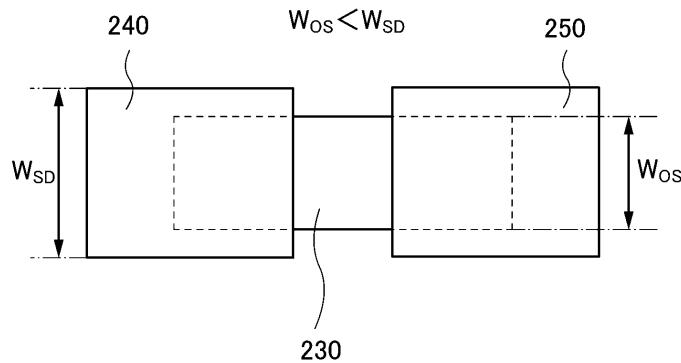
(B)

(C)

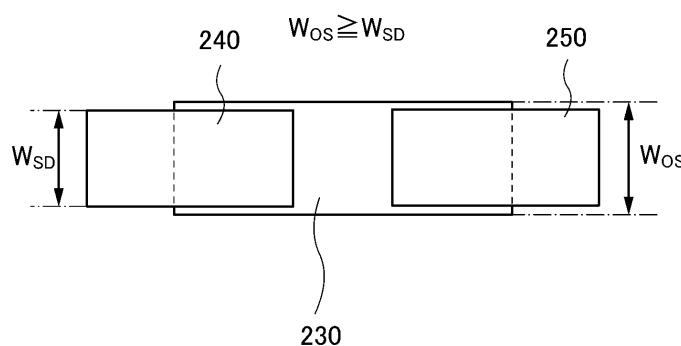


도면44

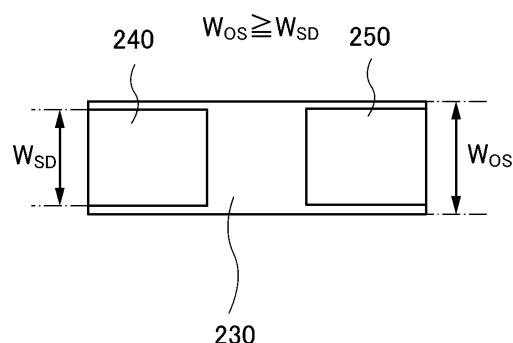
(A)



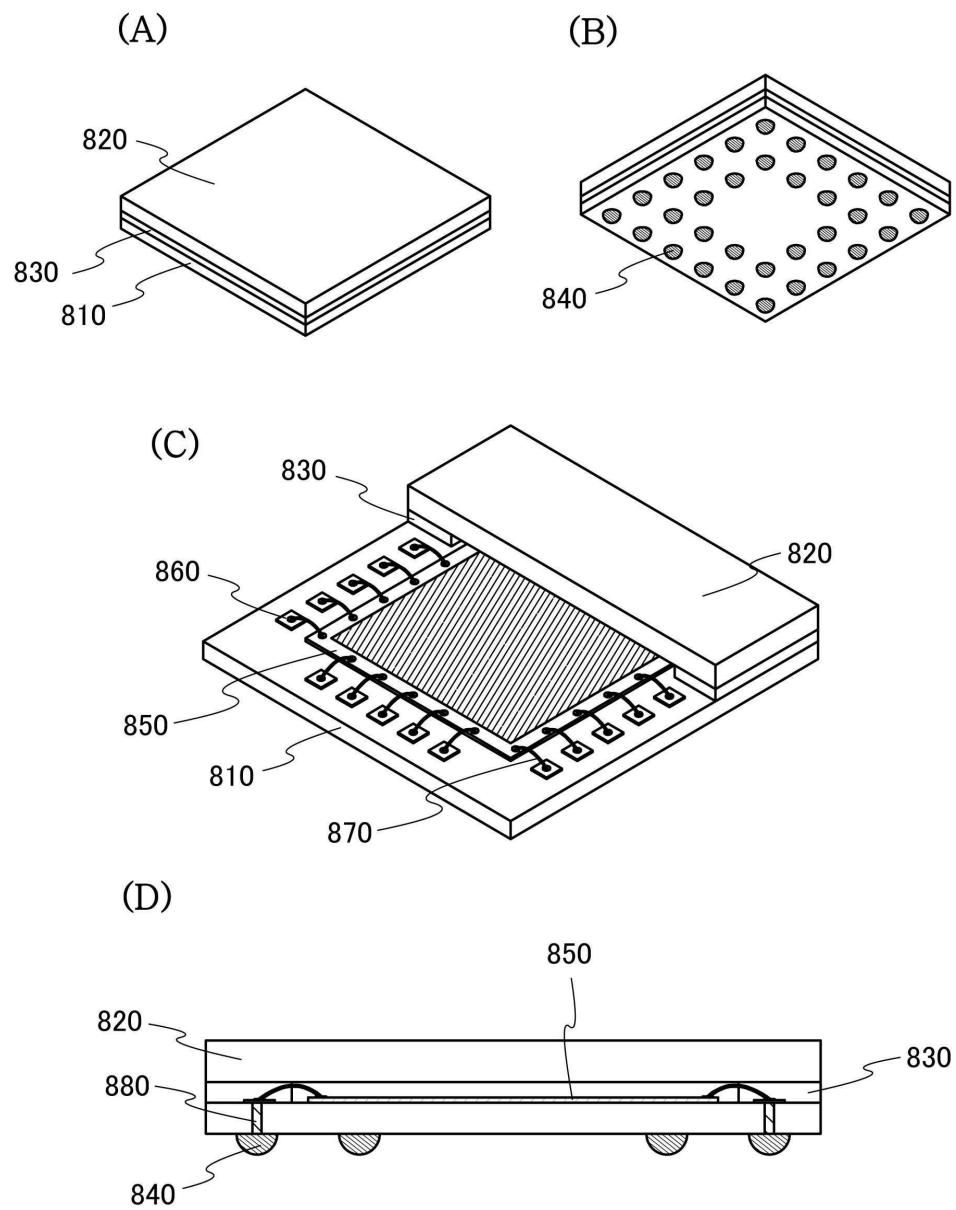
(B)



(C)



도면45



도면46

