RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 488 013**
(A n'utiliser que pour les commandes de reproduction).

A1

DEMANDE DE BREVET D'INVENTION

(21) N° **81 14639**

(54) **Dispositif à matrice d'éléments actifs.**

(51) Classification internationale (Int. Cl. ³). **G 09 F 9/30.**

(22) Date de dépôt ..... 28 juillet 1981.

(33) (32) (31) Priorité revendiquée : *Japon, demandes de brevets, 31 juillet 1980, n^os 105 307/80 et 105 308/80, et 10 février 1981, n° 18 228/81.*

(41) Date de la mise à la disposition du public de la demande ..... B.O.P.I. — « Listes » n° 5 du 5-2-1982.

(71) Déposant : Société dite : KABUSHIKI KAISHA SUWA SEIKOSHA, résidant au Japon.

(72) Invention de :

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Flechner,
63, av. des Champs-Elysées, 75008 Paris.

La présente invention concerne un dispositif d'affichage à matrice d'élements actifs utilisant un réseau de transistors MIS (métal-isolant-semiconducteur).

Un grand intérêt s'est manifesté pour les panneaux d'affichage comportant des matrices d'éléments actifs, dans la mesure où on peut augmenter les dimensions des matrices, permettant ainsi d'obtenir des panneaux de grande taille avec un grand nombre de points. En particulier, on envisage maintenant l'application des matrices d'éléments actifs aux écrans de télévision, du fait que les éléments d'affichage passifs tels que les cristaux liquides présentent une limitation sur le rapport cyclique d'attaque dans les systèmes dynamiques.

La figure 1 des dessins annexés représente une cellule appartenant à une matrice classique. Une ligne d'adresse X est connectée à une grille d'un transistor 2. Lorsque le transistor 2 devient conducteur, un signal provenant d'une ligne de données Y est enregistré sous la forme d'une charge électrique dans un condensateur de mémoire 3. Le signal est enregistré dans le condensateur 3 et, simultanément, il attaque une cellule à cristaux liquides 4 jusqu'à ce que des données soient écrites à nouveau. La référence VC désigne un signal d'électrode commune. Du fait que la cellule à cristaux liquides présente peu de fuites, il suffit d'enregistrer la charge pendant une durée courte. Le transistor et le condensateur sont fabriqués de la même manière que des circuits intégrés ordinaires.

La figure 2 montre une configuration dans laquelle la cellule représentée sur la figure 1 est réalisée par un processus à grille en silicium. Un transistor 10 et un condensateur 11 sont formés sur une tranche de silicium monocristallin. La ligne d'adresse X et une électrode supérieure 11 du condensateur sont constituées par du silicium polycristallin et la ligne de données Y et une électrode d'attaque de cellule à cristaux liquide, 13, sont en aluminium. Le substrat et l'aluminium, ainsi que le silicium polycristallin et l'aluminium, sont connectés ensemble par des trous de contact 7, 8 et 9.

Le dispositif matriciel ainsi formé par le processus ordinaire de fabrication de circuits intégrés présente les inconvénients suivants :

Premièrement, du fait que le dispositif matriciel est fabriqué par un processus identique à celui des circuits intégrés, le processus de fabrication est complexe et coûteux, et le rendement de fabrication est mauvais, à cause des fuites des jonctions entre le substrat de silicium et les autres éléments, ce qui entraîne une augmentation du coût de fabrication global. En particulier, un courant de fuite traverse la jonction entre le substrat de silicium monocristallin et la couche diffusée qui constitue la source et le drain, le courant de fuite dépendant notablement des défauts présents dans le monocristal. Un tel courant de fuite doit être de quelques centaines de picoampères, ou moins, pour une cellule ordinaire, et avec cette configuration, il est difficile d'éliminer le courant de fuite dans toutes les cellules, parmi des dizaines de milliers de cellules. La fuite au niveau de la jonction fait que la charge emmagasinée dans le condensateur 3 se décharge, ce qui diminue le niveau de contraste de l'affichage.

Un second inconvénient consiste en ce que, du fait que l'électrode d'attaque de la cellule à cristaux liquides est en aluminium et ne transmet pas la lumière, une configuration classique fonctionnant par transmission de lumière, telle qu'une cellule à cristaux liquides du type à effet de champ, n'est pas utilisable, et l'application de ce dispositif est donc limitée à une configuration dans laquelle la lumière est réfléchie à partir d'une surface de l'électrode d'aluminium, comme une cellule à cristaux liquides du type substance additionnelle-substance réceptrice ou une cellule à cristaux liquides fonctionnant en mode de diffusion dynamique. Cependant, la cellule à cristaux liquides du type substance additionnelle-substance réceptrice présente un niveau de contraste réduit et la cellule à cristaux liquides fonctionnant en mode de diffusion dynamique a des caractéristiques dépendant trop fortement de l'angle de vision pour être effectivement utilisable.

Une troisième difficulté consiste en ce que la lumière qui entre dans le substrat de silicium par un espace au niveau de l'électrode d'aluminium forme des paires électron-trou qui sont diffusées de façon à produire un photocourant déchargeant le condensateur 3, ce qui entraîne une diminution du contraste de l'affichage.

L'invention a pour but de réaliser une structure qui supprime les problèmes précédents, cette structure comprenant un substrat transparent, consistant par exemple en une tranche de verre, de quartz ou de silicium, et un transistor à couchesminces sur le substrat, avec une couche mince de silicium en tant que canal. L'invention a également pour but de réaliser une structure comprenant un substrat transparent, par exemple en verre ou en quartz, un transistor à couches minces sur le substrat, avec une couche mince de silicium en tant que canal, et une couche mince de silicium faisant fonction d'électrode d'attaque de cellule à cristaux liquides.

L'invention sera mieux comprise à la lecture de la description qui va suivre de modes de réalisation, et en se référant aux dessins annexés sur lesquels :

La figure 1 est un schéma d'une cellule utilisée dans une matrice d'éléments actifs de type classique ;

La figure 2 est une représentation en plan de la cellule utilisant du silicium en volume;

La figure 3 est une représentation en plan d'une cellule correspondant à l'invention ;

Les figures 4 (A) et 4 (B) sont des représentations en plan et en coupe d'une structure qui utilise la cellule ;

La figure 5 est une coupe d'un dispositif correspondant à l'invention fixé sur un panneau ;

La figure 6 est une représentation d'un autre mode de réalisation de l'invention ;

La figure 7 est un schéma d'une cellule correspondant à l'invention ;

Les figures 8 (A) et 8 (B) sont des représentations en plan et en coupe de la cellule de la figure 7 ;

Les figures 9 (a), 9 (b) et 9 (c) sont des

représentations de phases de fabrication successives ;

Les figures 10 et 11 sont des graphiques montrant des caractéristiques d'une couche mince de silicium ;

Les figures 12, 14 et 16 sont des schémas de circuits d'attaque périphériques qui sont destinés à être utilisés dans le cadre de l'invention ; et

Les figures 13 et 15 représentent des signaux présents dans les circuits d'attaque périphériques.

La figure 3 représente une cellule de matrice employée dans le cadre de l'invention qui consiste en une structure fondamentalement identique à celle représentée sur la figure 1, à l'exception du fait qu'il existe une ligne de masse pour le condensateur. La masse est maintenue à une tension de polarisation constante.

Les figures 4 (A) et 4 (B) montrent la structure de la cellule. La figure 4 (A) est une représentation en plan qui montre une ligne d'adresse 26 connectée à une grille associée à un canal 28 d'un transistor comportant une source constituée par une ligne de données 25 et un drain constitué par une électrode d'attaque et une électrode de condensateur 29. La ligne de masse 27 est formée de la même manière que la ligne d'adresse 26 et elle définit une capacité entre elle-même et l'électrode 29.

La figure 4 (B) est une coupe selon la ligne A-B de la figure 4 (A). On va décrire à titre d'exemple un processus à haute température pour la fabrication de la cellule. On fait croître une couche mince de silicium d'une épaisseur d'environ 300 nm sur un substrat 31, en verre à point de fusion élevé, comme par exemple du quartz, et on implante ensuite des ions P sur toute la surface pour former une couche de silicium de type N. On peut former au préalable une couche mince de SiO_2, selon le cas, pour améliorer l'adhérence de la couche de silicium. Après formation d'une grille 26 et d'une électrode de condensateur 27 par photogravure, on fait croître des couches 30 de SiO_2, d'une épaisseur d'environ 150 nm, par oxydation thermique, pour constituer une couche d'isolant de grille

et une couche diélectrique du condensateur. On forme une seconde couche de silicium polycristallin et on la soumet à une photogravure pour définir un motif. Ensuite, après recouvrement par un masque de résine photosensible, on implante à nouveau des ions P sur toutes les régions autres qu'un canal 28, ce qui forme des électrodes de source et de drain, une ligne de données, et une électrode d'attaque pour cellule à cristaux liquides qui fait également fonction d'électrode de condensateur. Du fait que dans cet état le transistor présente de mauvaises performances en ce qui concerne le seuil et la conductance, on éclaire uniformément le canal localisé 28 ou l'ensemble de la structure avec de la lumière laser pour faire fondre et solidifier le silicium polycristallin en une courte durée, pour la croissance de grains, ce qui permet d'améliorer les performances du transistor. On appelle une telle procédure "recuit par laser".

La figure 5 est une coupe schématique d'un dispositif d'affichage à cristaux liquides qui utilise un dispositif matriciel conforme à l'invention. Un volume de cristaux liquides 38 est intercalé entre un substrat de quartz 35 sur lequel est placée une électrode d'attaque transparente 37, et une couche de verre 36 sur laquelle est fixée une électrode commune 39 en verre NESA. L'ensemble est intercalé entre des plaques polarisantes 32, 33 et une plaque réfléchissante 34 est fixée à la plaque 33. La lumière incidente provenant du dessus traverse pratiquement l'électrode en silicium polycristallin 37 et elle est réfléchie par la plaque réflechissante 34 avant d'être détectée par l'oeil humain. Une telle structure permet d'utiliser des cellules à cristaux liquides ordinaires à effet de champ et on peut par exemple utiliser des cellules à cristaux liquides du type nématique en hélice qui donnent un contraste élevé et un grand angle de vision.

Dans la structure représentée sur les figures 4 (A), 4 (B), on emploie une électrode transparente. On peut en outre employer une électrode transparente avec une électrode d'aluminium. De plus, on peut obtenir le même

effet, même si le transistor est formé sur une tranche de silicium sur laquelle existe une couche d'oxyde thermique, au lieu d'être formé sur un substrat de quartz.

La figure 6 est une coupe d'un autre mode de réalisation dans lequel une cellule est construite sur un substrat de verre ordinaire conformément à un processus à basse température, On forme une couche de silicium sur le substrat de verre 40 par un processus de croissance de couche à basse température, comme par exemple par pulvérisation ou par dépôt chimique en phase vapeur par plasma , puis on implante des ions P ou B sur l'ensemble de la couche de silicium. On forme une grille 43 et une électrode de condensateur 42, par photogravure. On forme ensuite une couche isolante 44, qui est en SiO_2 ou une substance analogue, en utilisant également un processus de croissance de couche à basse température. On forme une seconde couche de silicium à basse température, qui fait fonction de source et de drain du transistor et d'électrode de condensateur et d'attaque. La couche de silicium n'est pas dopée, ou bien on implante des ions B dans la couche de silicium dans une mesure suffisante pour améliorer le seuil. On implante des ions P dans la source et le drain et dans la zone qui définit le condensateur et l'électrode d'attaque, sauf au niveau d'un canal 48. On éclaire ensuite avec un faisceau laser une partie localisée ou l'ensemble de la structure, pour réaliser le recuit. Le faisceau laser est partiellement absorbé dans les première et seconde couches de silicium polycristallin, mais il traverse le substrat de verre 40. Il est possible d'effectuer le recuit sans effet défavorable sur le substrat de verre en employant une énergie de faisceau laser appropriée et appliquée pendant une durée appropriée (qui est déterminée par l'intervalle entre impulsions dans le cas d'un laser fonctionnant en régime d'impulsions, et par la vitesse de balayage dans le cas d'un laser fonctionnant en régime continu), pour activer les impuretés introduites par implantation ionique dans la première couche de silicium polycristallin et pour la croissance des grains (en particulier dans le canal 48)

dans la seconde couche de silicium polycristallin. Une telle structure est caractérisée par le fait qu'on peut employer du verre moins coûteux car le recuit par laser a une action beaucoup moins défavorable que le recuit ordinaire sur le substrat de verre, et par le fait que le recuit par laser a simultanément pour effet d'activer les impuretés et de faire croître les grains du silicium polycristallin, pour améliorer les caractéristiques du transistor (en particulier la mobilité). On dépose ensuite de l'aluminium et on définit un motif dans l'aluminium par photogravure, pour former les électrodes de source et de drain 46 et 47. L'aluminium et le silicium sont soumis à un traitement thermique ou éclairés avec un faisceau laser de faible intensité pour obtenir un bon contact entre eux.

On va maintenant considérer la figure 7 qui est un schéma d'une autre cellule de matrice correspondant à l'invention. La cellule de matrice représentée sur la figure 7 diffère essentiellement de celle de la figure 1 par le fait qu'une ligne de masse est ajoutée pour un condensateur 18, ou bien le condensateur 18 destiné à emmagasiner des charges et la ligne de masse sont supprimés, comme on le décrira ultérieurement. La cellule de matrice procède essentiellement de la manière classique pour enregistrer et conserver des données. La masse est maintenue à une tension de polarisation constante, avec un niveau de polarisation ou un niveau de signal choisi de la manière désirée. Un condensateur 21 branché entre une ligne de données Y et la ligne de masse, ou un condensateur 22 branché entre la ligne de données Y et une ligne d'adresse est utilisé pour effectuer un échantillonnage-blocage d'un signal d'entrée de données à afficher.

La figure 8 (A) est une représentation en plan de la cellule de la figure 7 et la figure 8 (B) est une coupe selon la ligne A-B de la figure 8 (A). Un substrat transparent 33 porte une première couche mince de silicium 28 qui définit la source, le drain et le canal d'un

transistor, une seconde couche mince de silicium ou sa ccuche de ligne équivalente 26 qui définit une ligne de grille constituant la grille du transistor, une ligne de grille 26 et une ligne de données 25 en une matière transparente à faible résistance telle qu'une couche de verre NESA, en SnO_2, ou une couche de métal d'une épaisseur de quelques dizaines de nanomètres ou moins. Il existe des trous de contact 29 par lesquels une électrode d'attaque de cellule à cristaux liquides 31 et les couches sont mutuellement connectées. Une région dans laquelle la ligne de masse 27 et l'électrode d'attaque de cellule à cristaux liquides 31 sont superposées constitue le condensateur de stockage de charge 18 (figure 7). Une source 34 et un drain 35 du transistor sont formés par une diffusion N^+ (diffusion P^+ s'il faut former un canal de type P). Un canal 30 est placé sous une électrode de grille 38, avec une couche d'isolant de grille 36 intercalée entre eux. L'électrode de grille 38 est entourée par une couche isolante 37 telle qu'une couche d'oxyde.

Les figures 9 (a) - 9 (c) illustrent un processus de fabrication de la cellule de matrice d'éléments actifs qui est représentée sur les figures 4 (A) et 4 (B). Il y a deux processus de fabrication utilisables, l'un étant un processus à basse température et l'autre un processus à haute température. Le processus à basse température utilise pour le substrat transparent du verre ou du verre à point de fusion élevé tel que du verre Pyrex ou Corning, et il est accompli à une température de 600°C ou moins, le substrat utilisé étant peu coûteux. Conformément au processus à basse température, on forme une couche mince de silicium sur le substrat 33, par un traitement de dépôt chimique en phase vapeur, tel que le dépôt chimique en phase vapeur par plasma ou le dépôt chimique en phase vapeur à pression réduite, ou par pulvérisation, puis on définit de la manière désirée la forme de la couche mince de silicium ainsi formée, en procédant par photogravure. On oxyde ensuite sa surface dans une atmosphère de plasma de O_2. En pratique, on peut déposer une couche isolante équivalente par dépôt

chimique en phase vapeur. Dans ces conditions, une couche d'oxyde 41, qui fera fonction de couche d'oxyde de grille, est formée sur une couche mince de silicium 40 (figure 9 (a)). On dépose ensuite une seconde couche mince de silicium 45, de la même manière que pour la première couche mince de silicium et on définit un motif dans cette couche, par photogravure. On attaque ensuite la couche d'oxyde 41, en utilisant la seconde couche mince de silicium 45 en tant que masque, pour définir la couche d'isolant de grille 41. Simultanément, on ouvre des fenêtres, en préparation de la diffusion, et on procède à une implantation d'ions, de façon à accomplir une diffusion, ce qui forme une source 42 et un drain 43 (figure 9 (b)). On soumet ensuite à nouveau la structure à un traitement par plasma dans une atmosphère de O_2, pour former par plasma une couche d'oxyde 46 sur la surface, et on recuit cette couche à une température dans la plage de 400°C-600°C (figure 9 (c)). Le processus précédent est caractérisé par le fait que la couche mince de silicium est oxydée directement par un traitement par plasma, et par le fait que la couche d'isolant de grille d'un transistor et la couche diélectrique d'un condensateur produits par le processus sont plus avantageuses que des couches d'oxyde produites par dépôt chimique en phase vapeur, dans la mesure où la mobilité est améliorée et où la fiabilité est augmentée.

Le processus à haute température est basé sur l'utilisation d'un substrat transparent ayant un point de fusion de 600°C ou plus, et il comprend une opération à effectuer à une température supérieure à 600°C. Du fait que le processus permet d'effectuer un recuit à une température élevée, la mobilité et la fiabilité des transistors produits sont améliorées. On décrira le processus à haute température en considérant à nouveau les figures 9 (a) - 9 (c), du fait que la structure d'un transistor formé est la même que celle d'un transistor produit par le processus à basse température. On forme une première couche mince de silicium (figure 9 (a)) sur un substrat transparent, par dépôt chimique en phase

vapeur à pression normale ou à pression réduite, et on définit un motif dans cette couche pour former un îlot 40. On la soumet ensuite à une oxydation thermique à une température comprise entre 900°C et 1100°C pour former une couche d'oxyde 41. Ensuite, comme le montre la figure 9 (b), on dépose une seconde couche mince de silicium, de la même manière que la première couche mince de silicium, et on forme un motif définissant une électrode de grille 45 qu'on utilise ensuite comme masque pour attaquer la couche d'isolant 41. On pré-dépose des impuretés N^+ ou P^+ ou on implante des ions sans attaque de la couche d'isolant 41, pour former une source 42 et un drain 43. On forme ensuite une couche d'oxyde thermique 46 qui fera fonction de couche diélectrique du condensateur de stockage de charge, en procédant de la même manière que pour la couche d'isolant de grille, comme le montre la figure 9 (c).

Avec la structure qui est représentée sur les figure 8 (A) et 8 (B), la couche d'isolant de grille du transistor est auto-alignée par la formation de la première couche mince de silicium sur la couche mince d'oxyde ou de silicium,et cet auto-alignement réduit la capacité parasite, ce qui évite une diminution de la mobilité et de la vitesse, par rapport au silicium monocristallin considéré en volume. En outre, la couche d'oxyde qui se trouve sur la seconde couche mince de silicium, ou la couche isolante sur la couche mince, est utilisée en tant que couche diélectrique du condensateur de stockage de charge 18 (figure 7) et des condensateurs 21, 22 (figure 7) destinés aux fonctions d'échantillonnage-blocage pour la ligne de données. Dans le type classique (figure 2) dans lequel le silicium est utilisé en volume, la couche d'isolant de grille du transistor et le condensateur de stockage de charge utilisent entièrement une couche d'oxyde thermique en silicium en volume. Cependant, lorsque le dopage par des impuretés conduit à un auto-alignement de la grille, comme le montre la figure 9 (b),des impuretés ne peuvent pas passer avec une densité élevée sous la seconde couche de silicium qui constituera une électrode

du condensateur. Le condensateur ainsi formé est instable et difficile à utiliser. Pour que le condensateur soit utilisable, une opération supplémentaire est nécessaire afin de doper fortement avec des impuretés l'électrode inférieure du condensateur, comme avec le silicium utilisé en volume. Par conséquent, comme le montrent les figures 8 (A) et 8 (B), la couche diélectrique qui formera le condensateur de stockage de charge est formée sur la seconde couche mince de silicium, ce qui simplifie le processus et stabilise le condensateur.

Les opérations qui suivent l'opération de la figure 9 (c) sont pratiquement les mêmes dans le processus à basse température et le processus à haute température. Des trous de contact sont formés de façon à définir un contact entre la ligne, les première et seconde couches de silicium, et une matière qui forme la ligne et une électrode d'attaque transparente. On fixe par pulvérisation ou évaporation une couche de verre NESA, une couche de métal ayant une épaisseur de quelques dizaines de nanomètres, ou moins, ou une substance analogue, et on y forme un motif par photogravure. Lorsqu'on emploie une matière telle qu'une couche de verre NESA, qu'il est difficile d'amener en contact direct avec la couche mince de silicium, on applique une substance telle que Au, Ni-Cr ou une substance analogue sur la région de contact, pour faciliter la réalisation du contact.

Du fait que le transistor préparé conformément au processus de l'invention présente une mobilité réduite et une valeur accrue du courant de fuite à l'état bloqué, en comparaison avec un transistor formé sur du silicium en volume, on doit prendre certaines précautions pour éviter des difficultés en cours d'utilisation.

La courbe (A) du graphique de la figure 10 indique, à diverses températures, la mobilité à 10 V pour un transistor formé par le processus à haute température avec dépôt de la première couche mince de silicium par un dispositif de dépôt chimique en phase vapeur à pression réduite. On a constaté expérimentalement que la mobilité manifeste une

brusque amélioration lorsque la température de dépôt tombe au dessous de 600°C. Par conséquent, on peut obtenir une meilleure mobilité et une réponse fiable en formant la première couche mince de silicium au moyen d'un dispositif de dépôt chimique en phase vapeur à pression réduite, à une température de 600°C ou moins.

La figure 11 est un graphique qui représente le courant de fuite à l'état bloqué I_F d'un transistor, à 10 V, en fonction de l'épaisseur de la première couche mince de silicium. L'inventeur a déterminé expérimentalement que le courant de fuite est réduit à une valeur inférieure à 500 pA, ou moins, permettant ainsi une utilisation sans inconvénient, lorsque l'épaisseur de la première couche de silicium est de 370 nm ou moins.

Le processus à basse température comme le processus à haute température produisent une réduction importante de la mobilité. On considère donc qu'on peut parvenir à une amélioration en procédant à un recuit de la première couche mince de silicium avec un faisceau laser ou un faisceau d'électron appliqué de façon locale, à une température élevée, en prenant soin de ne pas produire d'effet défavorable sur le substrat. La courbe (B) de la figure 10 montre l'amélioration de la mobilité d'un transistor comportant une couche mince de silicium préparée comme pour le transistor de la courbe (A) et éclairée avec un faisceau laser de 0,12 mJ par impulsion et une largeur d'impulsion de 50 ns, avec un procédé de commutation de Q. De plus, la mobilité d'un transistor fabriqué conformément au processus à basse température, avec dépôt sur du verre à point de fusion élevé, à 500°C-540°C, puis soumis à un recuit par laser dans les mêmes conditions, coïncide pratiquement avec celle qui est indiquée par la courbe (B) de la figure 10. Ce qui précède montre que le recuit localisé par le faisceau laser ou le faisceau d'électrons est efficace pour le processus à basse température comme pour le processus à haute température.

En ce qui concerne la structure représentée sur les figures 4 (A) et 4 (B), on a décrit précédemment

un processus de fabrication à haute température, mais on peut évidemment utiliser un processus à basse température. Cette structure est caractérisé par le fait que la grille du transistor est définie par la première couche de silicium et que le canal du transistor est défini par la seconde couche de silicium, ce qui permet une forte diffusion, comme on le désire, sur les deux couches minces de silicium, et par le fait que la couche d'oxyde de grille qui est formée en oxydant la première couche de silicium ou la couche d'isolant de grille sur la première couche de silicium,est disponible en tant que couche diélectrique définissant une capacité de stockage de charge. Par conséquent, une seule opération suffit pour former la couche d'oxyde. Un autre avantage résultant de la structure des figures 4 (A), 4 (B) consiste en ce que la première couche de silicium définit les lignes d'adresse et de masse, et la seconde couche de silicium définit une ligne de données, si bien qu'aucune opération n'est nécessaire pour déposer une matière d'interconnexion et pour définir la forme de cette dernière par photogravure, comme c'est le cas avec la structure qui est représentée sur la figure 8. En outre, on utilise une couche de silicium en tant qu'électrode transparente pour l'attaque d'une cellule à cristaux liquides, la couche de silicium étant suffisamment transparente si son épaisseur est inférieure ou égale à 300 nm.

On notera que les modes de réalisation des figures 4 (A), 4 (B),6 et8(A),8(B),employant des électrodes d'attaque de cellule à cristaux liquides sur des substrats transparents,peuvent donner un niveau de contraste beaucoup plus élevé que dans le cas des structures utilisant du silicium en volume, du fait que ces dernières ont un substrat opaque et ne peuvent donc pas employer des cellules à cristaux liquides du type à effet de champ (nématique en hélice) qui donnent un contraste maximal.

Lorsqu'on utilise un substrat opaque ou une électrode d'attaque opaque avec les structures conformes à l'invention, on ne peut parvenir à aucune amélioration notable du contraste si on emploie des cellules à cristaux

liquides du type substance additionnelle - substance réceptrice ou du type à diffusion dynamique, comme c'est le cas avec le silicium utilisé en volume, de façon classique. Cependant, les structures de l'invention permettent néanmoins de simplifier les opérations de fabrication, d'augmenter le rendement de fabrication pour chaque opération et d'éviter la disparition des images affichées du fait des fuites se manifestant en présence de lumière incidente.

Avec le substrat de verre, de quartz ou d'une substance analogue conforme à l'invention, on peut assembler un panneau d'affichage plus aisément qu'un panneau classique dans lequel une électrode d'une cellule à cristaux liquides consiste en silicium utilisé en volume. La pratique courante consistait à utiliser une tranche de silicium pour le substrat transparent 35 représenté sur la figure 5. Du fait que la tranche de silicium est un monocristal, elle tend à se fissurer aisément selon un plan de clivage lorsqu'elle est soumise à des forces au cours de l'assemblage. En outre, la tranche de silicium se gauchit fréquemment de façon importante, de 10 µm ou davantage, lorsqu'elle est soumise à un traitement thermique, alors que le volume de cristaux liquides a une épaisseur de 5 µm à 15 µm. Les cellules à cristaux liquides devant avoir une épaisseur constante, l'opération d'assemblage se trouve compliquée.

Les cristaux liquides sont enfermés de façon insuffisamment étanche à une température élevée du fait qu'ils n'ont pas le même coefficient de dilatation que le verre qui se trouve au dessus d'eux. Les structures conformes à l'invention font disparaître toutes les difficultés mentionnées ci-dessus, du fait que ces structures utilisent du verre ou une matière similaire en tant que substrat pour l'électrode inférieure. Ainsi, le panneau d'affichage peut être assemblé sans difficulté avec un bon rendement de fabrication, de la même manière que les panneaux à cristaux liquides ordinaires.

Le condensateur de maintien de données conforme

à l'invention a pour fonction de maintenir les données d'affichage pour la cellule pendant une certaine durée, par exemple environ 16 ms dans le cas d'une image de télévision. Lorsque le transistor au silicium à couches minces a un courant de fuite de 100 pA ou moins à 10 V, le condensateur de maintien de données doit avoir une capacité de 0,5 pF à 1 pF. Lorsque l'épaisseur des cristaux liquides est de 10 µm ou moins, en particulier dans le cas d'un pouvoir inducteur spécifique élevé, égal à 10 ou davantage, le volume de cristaux liquides a lui-même une capacité de 0,5 pF ou plus, ce qui fait qu'aucun condensateur de maintien de charge n'est nécessaire. On peut donc supprimer la ligne de masse et le condensateur 18, ce qui fait que l'aire effective de cristaux liquides est augmentée, ce qui améliore le contraste, et des éléments en excès sont supprimés, ce qui augmente le rendement de fabrication. La capacité d'échantillonnage-blocage de la ligne de données Y est essentiellement constituée par le condensateur parasite 22 qui se trouve à l'intersection entre les lignes de données et d'adresse.

Le transistor conforme à l'invention permet de former sur le même substrat des circuits d'attaque externes pour la matrice d'éléments actifs, c'est-à-dire un registre à décalage et un circuit échantillonneur-bloqueur.

La figure 12 montre un circuit d'attaque pour la ligne de grille, conforme à l'invention. Une cellule de registre à décalage 80 comprend quatre transistors 81-84 et un seul condensateur de réaction 85. Un potentiel "1" appliqué sur une entrée d'impulsion de départ SP est transféré successivement en synchronisme avec des signaux d'horloge à deux phases ϕ_1, ϕ_2. Les signaux de sortie $D_1 - D_n$ des cellules de registre à décalage sont appliqués aux lignes de grille pour la sélection successive de ces lignes, comme le montre la figure 13. Un transistor de grille de transfert d'entrée 81 est connecté à l'entrée de chacune des cellules de registre à décalage. Le potentiel "1" est enregistré tout d'abord en $T_1 - T_N$ et il est écrit en $D_1 - D_N$ par l'intermédiaire des condensateurs

de réaction. En l' absence des transistors de grille de transfert, D_1 et T_2, D_2 et T_3 ... seraient en court-circuit, nécessitant ainsi que la capacité de réaction ait une valeur très supérieure à celle d'une capacité de ligne de grille CGi. La configuration géométrique serait alors agrandie, ce qui entraînerait une diminution du rendement de fabrication. Pour que D_1 - D_N soit déchargé au niveau "0", il suffit de connecter T_3 au transistor 84. Cependant, lorsque le registre à décalage est actionné à basse fréquence, du fait qu'il fonctionne de façon défectueuse en présence d'une fuite même légère, un transistor de fixation de potentiel 83 est ajouté pour rétablir le niveau "0" pour chaque demi-période des signaux d'horloge, afin d'augmenter le rendement de fabrication et de stabiliser le fonctionnement.

La figure 14 représente un circuit d'attaque pour la ligne de données conforme à l'invention. Une cellule de registre à décalage 86 comprend un condensateur de réaction 88, des transistors 89, 91 nécessaires au fonctionnement de la cellule et un transistor de restauration 90 destiné à la sélection d'un registre qu'on décrira ultérieurement. Une impulsion de départ SP est appliquée par une porte d'entrée 87 à une cellule initiale du registre à décalage. Les signaux de sortie S_1 - S_m provenant des cellules du registre à décalage sont appliqués à des transistors échantillonneurs-bloqueurs H_1 - H_m. En synchronisme avec un signal de balayage, un signal d'entrée vidéo V.S (signal vidéo ou signal d'écriture de données) est échantillonné dans chacun des condensateurs parasites CD_1 - CD_m sur la ligne de données. Du fait que le circuit d'attaque pour la ligne de données effectue toutes les opérations en une ligne de balayage, il fonctionne à vitesse élevée, sans qu'il soit nécessaire de se préoccuper pratiquement de l'existence d'un courant de fuite. Il faut cependant prendre soin de maintenir le fonctionnement à vitesse élevée et de réduire la consommation d'énergie qui tend à augmenter sous l'effet du fonctionnement à vitesse élevée.

Le registre à décalage ne présente un niveau "1" que sur 1 bit parmi m, ce qui fait que la consommation d'énergie est faible, sauf au moment où le registre reçoit un signal d'horloge. Les transistors échantillonneurs-bloqueurs H_1 - H_m sont nécessaires pour effectuer une commutation rapide. On peut satisfaire cette exigence du fait que leurs grilles reçoivent des signaux d'entrée qui ont une amplitude environ deux fois supérieure à celle du signal d'horloge, du fait de l'opération de réaction, comme le montre la figure 15.

La figure 16 montre ces composants combinés en un dispositif à matrice d'éléments actifs, qui comprend des registres à décalage de données 98, 99, des cellules fictives 94, 95 destinées à produire des signaux de retour aux étages finals, et des condensateurs échantillonneurs-bloqueurs H_1 - H_m, la configuration étant symétrique par rapport à un axe horizontal. Les registres à décalage de données 92, 93 et les cellules fictives 96, 97 sont disposés symétriquement par rapport à un axe vertical. Le circuit périphérique peut ne pas être symétrique et il peut ne comporter qu'une seule moitié. Cependant, dans le mode de réalisation représenté, il existe plusieurs rangées de registres à décalage, c'est-à-dire deux rangées, dans le but d'améliorer le rendement de fabrication. Quatre ou huit rangées de registres à décalage peuvent bien convenir dans ce but.

Le circuit d'attaque représenté sur la figure 16, composé de transistors qui sont constitués par des couches minces de silicium conformément à l'invention, offre les avantages suivants : du fait que du côté de la ligne de données, la fréquence d'horloge est élevée, soit de plusieurs mégahertz, l'énergie que consomment les condensateurs parasites présents sur la ligne d'horloge est supérieure à celle que consomment les registres à décalage. Plus précisément, avec du silicium utilisé en volume, la capacité de la ligne d'horloge et la capacité à la jonction avec le substrat s'élèveraient à 100 pF ou davantage, entraînant une réduction de la vitesse des impulsions d'horloge et une

consommation de 10 mA, ou davantage. Cependant, le substrat isolant de l'invention a une capacité parasite de quelques picofarads, et il réduit considérablement la consommation et augmente la vitesse de fonctionnement. Le silicium utilisé en volume donnerait lieu à une augmentation de la tension de seuil à cause d'un effet de grille arrière, si on augmentait le potentiel de la source du transistor 82 de la figure 12. De ce fait, il serait nécessaire d'élever la tension sur la grille T_1 du transistor 82 afin d'obtenir une tension de signal nécessaire, et, dans ces conditions, le niveau du signal d'horloge serait augmenté ou bien le condensateur de réaction 85 nécessiterait une aire très élevée. Cependant, avec la configuration de l'invention, le substrat du transistor flotte sans donner lieu à un effet de grille arrière, si bien qu'on peut réduire l'amplitude de l'horloge, ce qui conduit à une faible consommation, et le condensateur de réaction peut être petit et ne nécessiter qu'une aire réduite. Les condensateurs de réaction présents dans le circuit d'attaque périphérique de l'invention sont constitués fondamentalement par des couches isolantes entre les grilles et les canaux des transistors, ce qui diffère des condensateurs de maintien de charge. Le condensateur de réaction doit avoir une capacité inter-électrode susceptible de varier sous l'effet de la tension appliquée à la grille ou à l'électrode supérieure. Dans ce but, l'électrode inférieure du condensateur est constituée par une couche de silicium qui est légèrement dopée ou n'est pas dopée.

La formation simultanée des cellules de la matrice d'éléments actifs et du circuit d'attaque périphérique avec des couches minces de silicium sur le substrat isolant permet de réaliser aisément les interconnexions et diminue le coût de l'ensemble du dispositif. Du fait que le circuit d'attaque périphérique comprend un registre à décalage non inverseur du type indépendant du rapport, entre le transistor de charge et le transistor actif comme le montrent les figures 12 et 14, dans lequel la capacité parasite est considérablement réduite, il est possible de parvenir à une diminution de la consommation d'énergie

globale, à un meilleur rendement de fabrication et à un coût réduit.

Comme décrit ci-dessus, l'invention offre une matrice d'élements actifs comportant des transistors et des condensateurs formés par des couches minces de silicium, ainsi que des électrodes en silicium polycristallin, sur un substrat transparent, et cette matrice est plus avantageuse que les dispositifs classiques, pour les raisons suivantes :

Le processus de fabrication est simple et moins coûteux. Alors que le silicium en volume utilisé antérieurement nécessitait six opérations de photogravure séparées, trois ou quatre opérations de photogravure suffisent conformément à l'invention. On peut s'attendre à un rendement de fabrication accru du fait que les jonctions P-N sont beaucoup moins nombreuses qu'avec le silicium utilisé en volume, ce qui conduit à des fuites faibles aux jonctions.

L'électrode d'attaque de cellule à cristaux liquides est presque transparente, ce qui permet de construire la structure représentée sur la figure 5 de façon à donner un plus grand angle de vision et un contraste plus élevé.

Une proportion de 90 % ou plus de la lumière incidente venant du haut est transmise et la longueur de diffusion des porteurs dans le silicium polycristallin est courte, ce qui fait que le photocourant généré est pratiquement nul, grâce à quoi le courant de fuite dû à la lumière incidente est de 10 pA ou moins, même en présence d'une lumière incidente de 10 000 lx, et l'image affichée n'est pas éliminée sous l'influence de la lumière incidente.

Lorsque le substrat transparent est sous la commande d'électrodes d'attaque transparentes pour cellules à cristaux liquides, on peut utiliser des cellules à cristaux liquides du type à effet de champ qui donnent un niveau maximal de contraste, grâce à quoi l'écran du panneau présente une luminosité accrue et la qualité de l'affichage est fortement améliorée.

Lorsque le substrat est en verre ou une matière

similaire, le panneau peut être assemblé aisément, le rendement de l'assemblage est accru et le processus d'assemblage est simplifié, par rapport aux dispositifs utilisant de façon classique du silicium en volume.

Le circuit d'attaque périphérique qui est associé à la matrice d'éléments actifs permet une réduction considérable de la consommation d'énergie.

Le panneau à matrice d'éléments actifs construit conformément à l'invention permet de réaliser un poste de télévision portable équipé d'un écran à cristaux liquides, ayant une faible consommation. On peut construire un écran de télévision qui donne un contraste élevé, même lorsqu'il est utilisé à l'extérieur en présence d'une lumière solaire intense.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif décrit et représenté, sans sortir du cadre de l'invention.

REVENDICATIONS

1. Dispositif à matrice d'éléments actifs, caractérisé en ce qu'il comprend une couche mince de silicium qui définit un canal.

2. Dispositif à matrice d'éléments actifs, caractérisé en ce qu'il comprend une première couche mince de silicium, une première couche d'isolant sur la première couche mince de silicium, et une seconde couche mince de silicium.

3. Dispositif à matrice d'éléments actifs, caractérisé en ce qu'il comprend une première couche mince de silicium, une première couche d'isolant sur la première couche mince de silicium, et une seconde couche mince de silicium sur la première couche d'isolant, les première et seconde couches minces de silicium constituant respectivement un canal et une grille d'un transistor.

4. Dispositif à matrice d'élément actifs, caractérisé en ce qu'il comprend une première couche mince de silicium, une première couche d'isolant sur la première couche mince de silicium, et une seconde couche mince de silicium sur la première couche d'isolant, les première et seconde couches minces de silicium constituant respectivement une grille et un canal d'un transistor.

5. Dispositif à matrice d'éléments actifs selon la revendication 4, caractérisé en ce que la couche d'isolant constitue une couche diélectrique et les première et seconde couches minces de silicium constituent des électrodes respectives d'un condensateur.

6. Dispositif à matrice d'éléments actifs selon la revendication 3, caractérisé en ce que la première couche d'isolant constitue une couche diélectrique et les première et seconde couches minces de silicium constituent des électrodes respectives d'un condensateur.

7. Dispositif à matrice d'éléments actifs selon la revendication 3, caractérisé en ce qu'il comprend une seconde couche d'isolant sur la seconde couche mince de silicium et une matière d'interconnexion sur la seconde couche d'isolant, cette seconde couche isolante constituant

une couche diélectrique tandis que la seconde couche mince de silicium et la matière d'interconnexion constituent des électrodes respectives d'un condensateur de maintien de charge.

8. Dispositif à matrice d'éléments actifs selon l'une quelconque des revendications 2 à 6, caractérisé en ce qu'il est fabriqué par un processus à basse température, à une température inférieure ou égale à 600°C, et la première couche d'isolant consiste en une couche d'oxyde formée par traitement au moyen d'un plasma de O_2.

9. Dispositif à matrice d'éléments actifs selon la revendication 7, caractérisé en ce qu'il est fabriqué par un processus à basse température, à une température inférieure ou égale à 600°C, et les première et/ou seconde couches d'isolant consistent en couches d'oxyde formées par traitement au moyen d'un plasma de O_2.

10. Dispositif à matrice d'éléments actifs selon la revendication 1, caractérisé en ce que la couche mince de silicium est recuite localement, au niveau du canal, par un faisceau laser ou un faisceau d'électrons.

11. Dispositif à matrice d'éléments actifs selon la revendication 1, caractérisé en ce que la couche mince de silicium est préparée par un traitement de dépôt chimique en phase vapeur à pression réduite à une température inférieure ou égale à 600°C.

12. Dispositif à matrice d'éléments actifs selon la revendication 1, caractérisé en ce que la couche mince de silicium a une épaisseur de 370 nm, ou moins.

13. Dispositif à matrice d'éléments actifs selon la revendication 2, caractérisé en ce qu'il comprend un substrat transparent et une électrode transparente d'attaque de cellule à cristaux liquides sur ce substrat transparent.

14. Dispositif à matrice d'éléments actifs selon la revendication 13, caractérisé en ce qu'il comprend une matière d'interconnexion pour une ligne de données, et l'électrode transparente d'attaque de cellule à cristaux liquides est constituée par une matière identique à la matière d'interconnexion.

15. Dispositif à matrice d'éléments actifs selon la revendication 13, caractérisé en ce que l'électrode d'attaque transparente consiste en une couche de verre NESA, en une couche de métal d'une épaisseur inférieure ou égale à 50 nm, ou en une couche mince de silicium.

16. Dispositif à matrice d'éléments actifs selon l'une quelconque des revendications 1 à 6, caractérisé en ce qu'il est fabriqué par un processus à haute température, à une température supérieure ou égale à 600°C, et la première couche d'isolant consiste en une couche mince d'oxyde thermique de silicium.

17. Dispositif à matrice d'éléments actifs selon la revendication 7, caractérisé en ce qu'il est fabriqué par un processus à haute température, à une température supérieure ou égale à 600°C, et les première et/ou seconde couches d'isolant sont constituées par les première ou seconde couches minces de silicium soumises à une oxydation thermique.

18. Dispositif à matrice d'éléments actifs selon la revendication 13, caractérisé en ce qu'il comprend une cellule à cristaux liquides pour un panneau d'affichage qui peut être attaquée selon un mode nématique en hélice.

19. Dispositif à matrice d'éléments actifs selon la revendication 1, caractérisé en ce qu'il comprend un substrat sur lequel est formée une matrice d'éléments actifs, et un circuit d'attaque périphérique placé sur ce substrat, ce circuit d'attaque périphérique comprenant un registre à décalage non inverseur, du type indépendant du rapport entre le transistor de charge et le transistor actif.

20. Dispositif à matrice d'éléments actifs, caractérisé en ce qu'il comprend un substrat transparent, des première et seconde couches minces de silicium placées sur le substrat transparent, et une couche d'isolant de grille et une couche diélectrique de condensateur intercalées entre les première et seconde couches minces de silicium.

21. Dispositif à matrice d'éléments actifs selon la revendication 20, caractérisé en ce que la première couche mince de silicium définit une électrode commune pour une

grille d'un transistor et un condensateur, et la seconde couche mince de silicium définit un canal d'un transistor et une électrode d'attaque de cellule à cristaux liquides qui fait simultanément fonction d'électrode de condensateur.

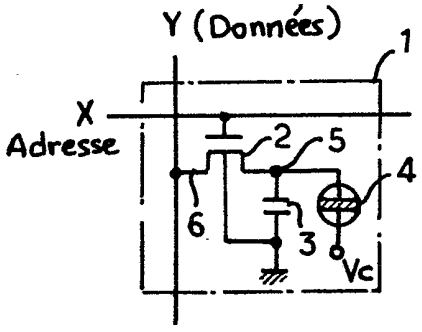


FIG.1

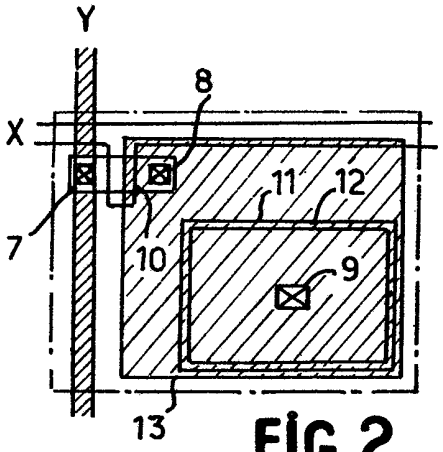


FIG.2

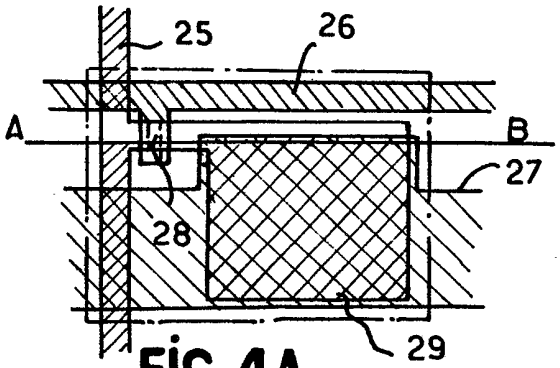


FIG.4A

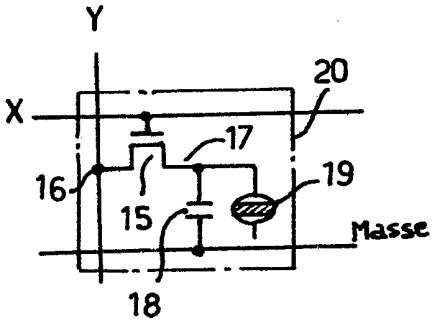


FIG.3

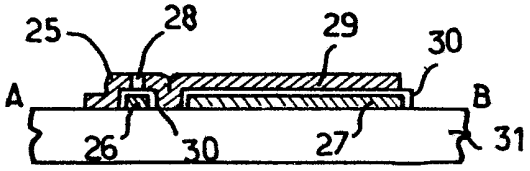


FIG.4B

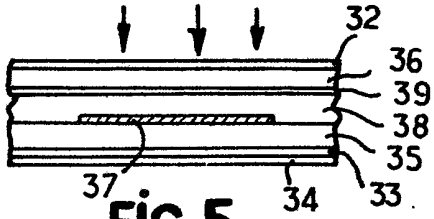


FIG.5

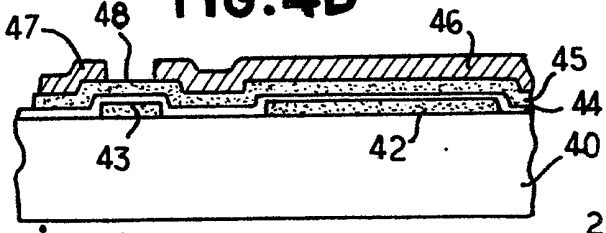


FIG.6

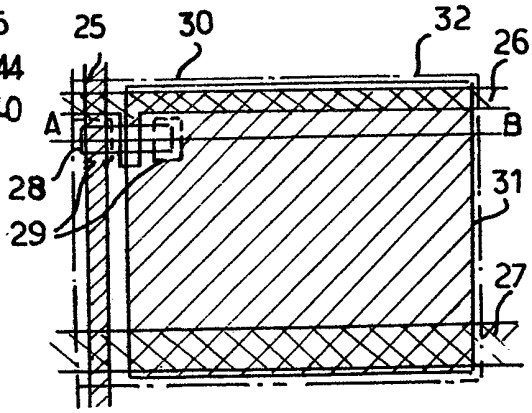


FIG.8A

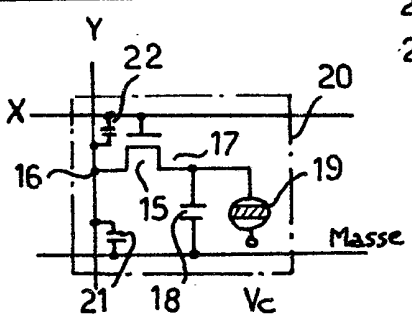


FIG.7

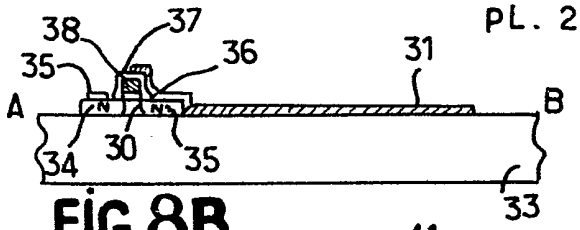


FIG.8B

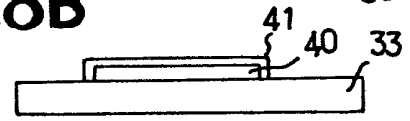


FIG.9a

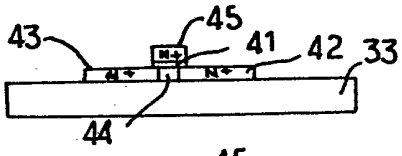


FIG.9b

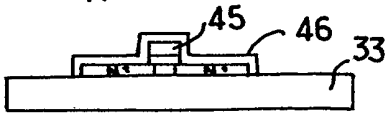


FIG.9c

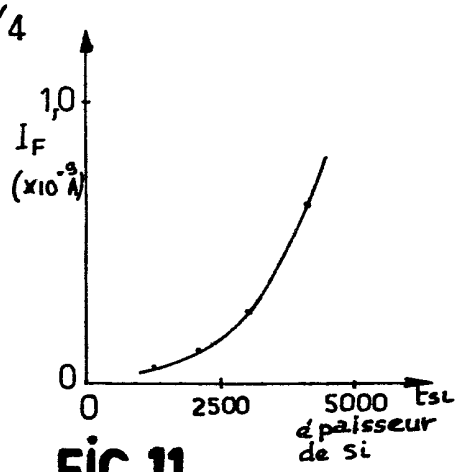


FIG.11

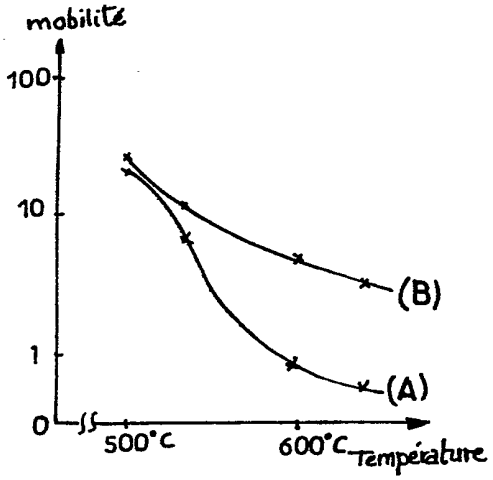


FIG.10

FIG.12

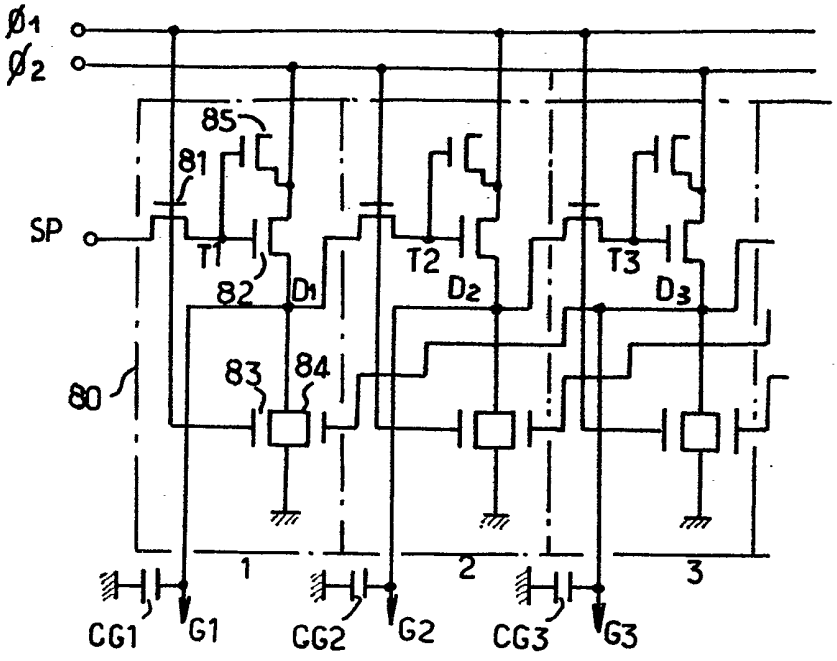


FIG.13

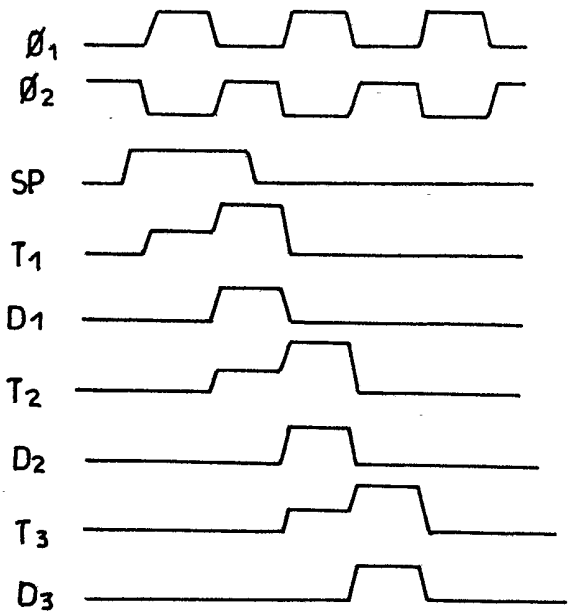
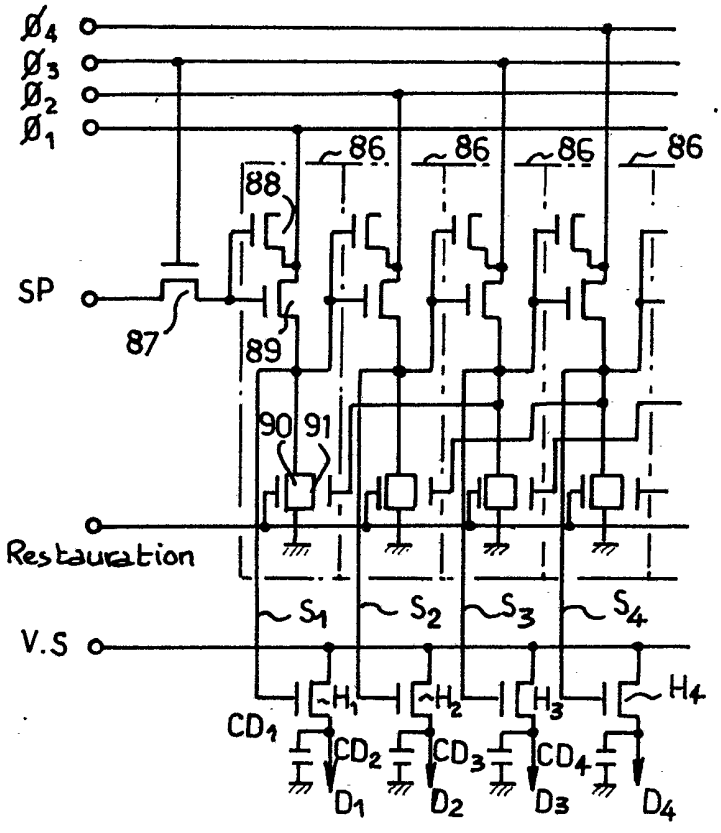

Ø1
Ø2
SP
T1
D1
T2
D2
T3
D3

FIG.14


Ø4
Ø3
Ø2
Ø1
86
86
86
86
88
SP
87
89
90
91
Restauration
S1
S2
S3
S4
V.S
H1
H2
H3
H4
CD1
CD2
CD3
CD4
D1
D2
D3
D4

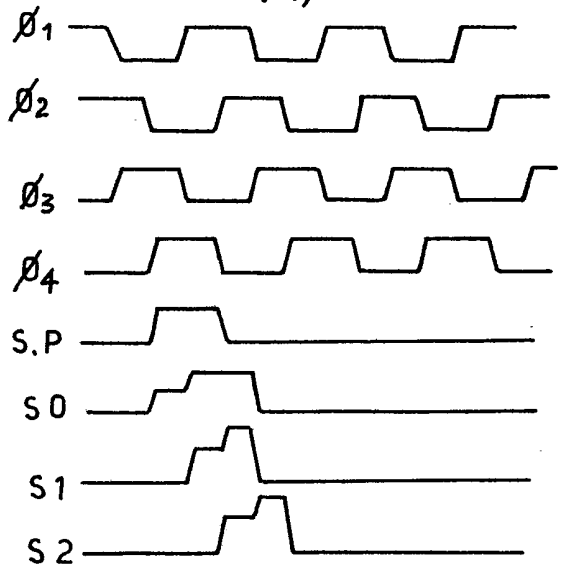

Ø1
Ø2
Ø3
Ø4
S.P
S 0
S 1
S 2

FIG.15

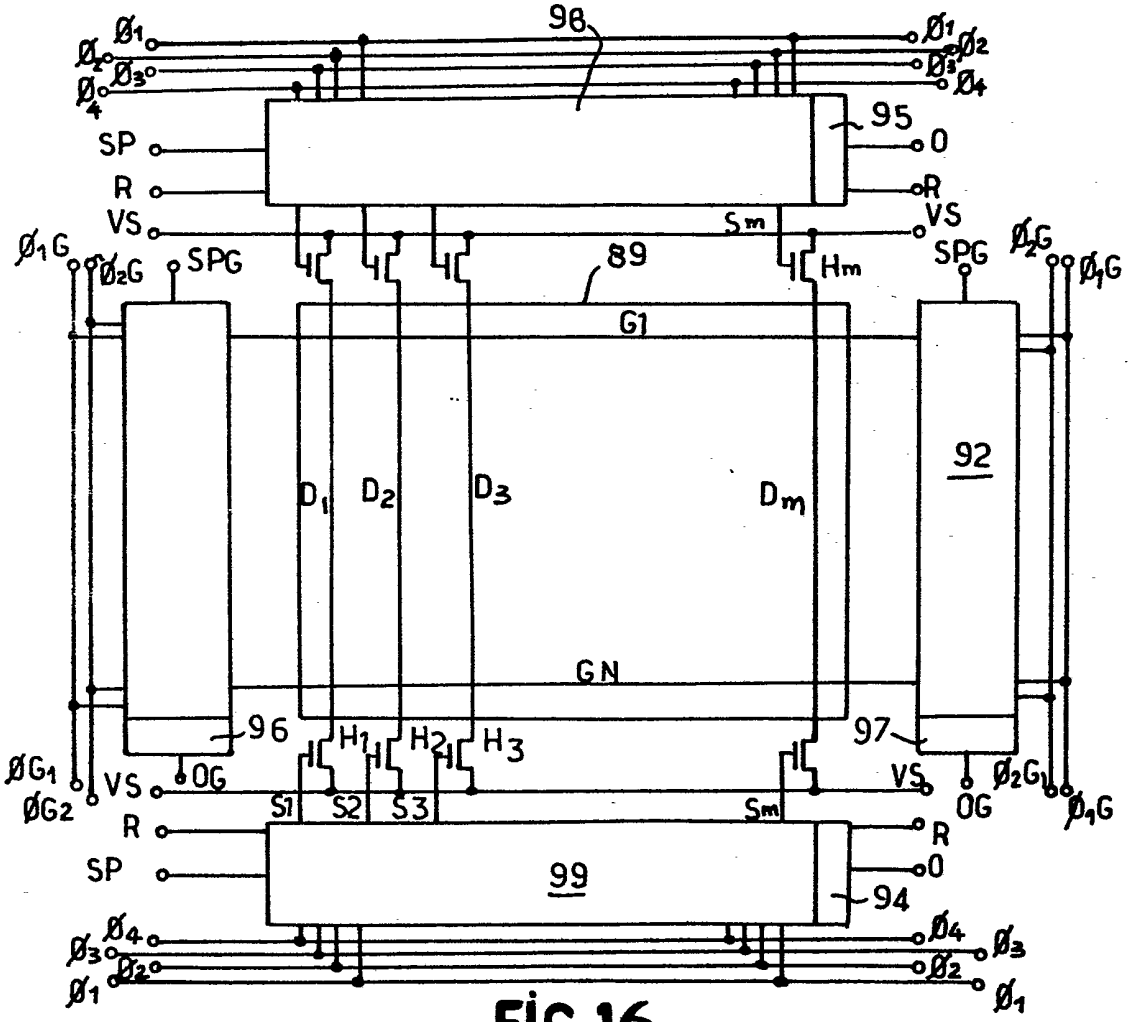

98
95
SP
R
VS
Sm
89
Hm
SPG
G1
92
D1
D2
D3
Dm
GN
96
97
H1
H2
H3
S1
S2
S3
OG
99
94
0

FIG.16