



(12) 发明专利申请

(10) 申请公布号 CN 103227202 A

(43) 申请公布日 2013. 07. 31

(21) 申请号 201310021916. 0

(22) 申请日 2013. 01. 21

(30) 优先权数据

13/363, 026 2012. 01. 31 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 姜经雄 李介文 林文杰 曾仁洲

(74) 专利代理机构 北京德恒律治知识产权代理有限公司 11409

代理人 章社泉 孙征

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/423(2006. 01)

H01L 21/336(2006. 01)

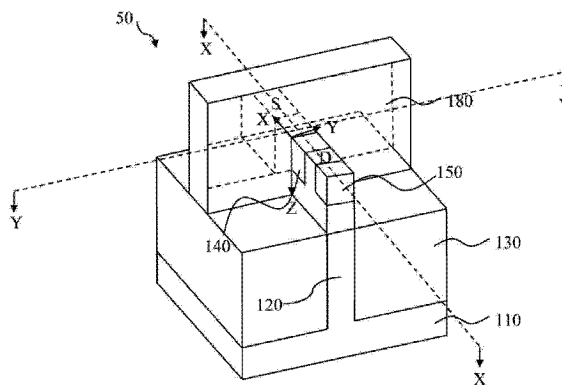
权利要求书2页 说明书8页 附图14页

(54) 发明名称

FinFET 体接触件及其制造方法

(57) 摘要

一种半导体器件可以包括用于 ESD 保护的位于 finFET 器件上的体接触件。半导体器件包括半导体鳍状件、源极/漏极区和体接触件。源极/漏极区和体接触件位于半导体鳍状件中。鳍状件的一部分在横向上位于源极/漏极区和体接触件之间。半导体鳍状件位于衬底上。本发明还提供了一种 FinFET 体接触件及其制造方法。



1. 一种半导体器件,包括:
衬底;
位于所述衬底之上凸起的鳍状件;所述鳍状件包括:
所述鳍状件中的第一源极/漏极区;
所述鳍状件中的第一体接触件;以及
所述鳍状件的第一部分,所述第一部分在横向上位于所述第一源极/漏极区和所述第一体接触件之间。
2. 根据权利要求1所述的半导体器件,其中,所述第一部分仅包括鳍状件材料。
3. 根据权利要求1所述的半导体器件,其中,所述鳍状件包含第一导电类型的掺杂物,所述第一源极/漏极区包含第二导电类型的掺杂物,所述第一体接触件包含所述第一导电类型的掺杂物。
4. 根据权利要求3所述的半导体器件,其中,所述第一导电类型是p型,并且所述第二导电类型是n型。
5. 根据权利要求1所述的半导体器件,其中,所述鳍状件进一步包括:位于所述鳍状件上方的第一栅极结构,其中,所述第一栅极结构直接位于所述鳍状件的所述第一部分的上方。
6. 根据权利要求5所述的半导体器件,其中,所述鳍状件进一步包括:
所述鳍状件中的第二源极/漏极区,所述第二源极/漏极区在与所述第一体接触件相反的方向上与所述第一源极/漏极区分横向隔开;以及
位于所述鳍状件上方的第二栅极结构,其中,所述第二栅极结构在横向上位于所述第一源极/漏极区和所述第二源极/漏极区之间。
7. 根据权利要求6所述的半导体器件,其中,所述鳍状件进一步包括:
所述鳍状件中的第三源极/漏极区,所述第三源极/漏极区在与所述第一源极/漏极区相反的方向上与所述第二源极/漏极区分横向隔开;
位于所述鳍状件上方的第三栅极结构,其中,所述第三栅极结构在横向上位于所述第二源极/漏极区和所述第三源极/漏极区之间;
所述鳍状件中的第二体接触件;
所述鳍状件的第二部分,所述第二部分在横向上位于所述第三源极/漏极区和所述第二体接触件之间;以及
位于所述鳍状件上方的第四栅极结构,其中,所述第四栅极结构直接位于所述鳍状件的第二部分的上方。
8. 根据权利要求7所述的半导体器件,其中,所述鳍状件进一步包括:
所述鳍状件中的第一隔离区,其中,所述第一隔离区邻近所述鳍状件的所述第一部分的相对侧上的所述第一体接触件;
位于所述鳍状件上方的第五栅极结构,其中,所述第五栅极结构部分位于所述第一体接触件的上方并且部分位于所述第一隔离区的上方;
所述鳍状件中的第二隔离区,其中,所述第二隔离区邻近所述鳍状件的所述第二部分的相对侧上的所述第二体接触件;以及
位于所述鳍状件上方的第六栅极结构,其中,所述第六栅极结构部分位于所述第二体

接触件的上方并且部分位于所述第二隔离区的上方。

9. 一种半导体器件,包括:

衬底;

从所述衬底延伸的第一半导体鳍状件,其中,所述第一半导体鳍状件包括:

所述第一半导体鳍状件中的第一源极/漏极区;

所述第一半导体鳍状件中的第二源极/漏极区;

第一栅极结构,位于所述第一半导体鳍状件的顶面和侧壁上,其中,所述第一栅极结构在横向上位于所述第一源极/漏极区和所述第二源极/漏极区之间;

第一体接触件,位于所述第一半导体鳍状件中;以及

第二栅极结构,位于所述第一半导体鳍状件的顶面和侧壁上,其中,所述第二栅极结构在横向上位于所述第一源极/漏极区和所述第一体接触件之间。

10. 一种形成半导体结构的方法,所述方法包括:

在衬底上形成半导体鳍状件;

在所述半导体鳍状件的顶面和侧壁上形成第一栅极结构;

在所述半导体鳍状件的顶面和侧壁上形成第二栅极结构,其中,所述第二栅极结构在横向上与所述第一栅极结构分隔开;

在所述半导体鳍状件的顶面和侧壁上形成第三栅极结构,其中,所述第三栅极结构在与所述第二栅极结构相反的方向上与所述第一栅极结构横向分隔开;

在所述半导体鳍状件中形成第一源极/漏极区,其中,所述第一源极/漏极区在横向上位于所述第一栅极结构和所述第二栅极结构之间;

在所述半导体鳍状件中形成第二源极/漏极区,其中,所述第二源极/漏极区在横向上位于所述第一栅极结构和所述第三栅极结构之间;以及

在所述半导体鳍状件中形成第一体接触件,其中,所述第一体接触件在横向上与第一源极/漏极区分隔开,并且所述第二栅极结构在横向上位于所述第一源极/漏极区和所述第一体接触件之间。

FinFET 体接触件及其制造方法

技术领域

[0001] 本发明涉及半导体领域,更具体地,本发明涉及一种 FinFET 体接触件及其制造方法。

背景技术

[0002] 晶体管是现代集成电路的关键组件。为了满足日益增加的更快速度的要求,晶体管的驱动电流需要日益增大。由于晶体管的驱动电流与晶体管的栅极宽度成比例,优选具有较大宽度的晶体管。

[0003] 然而,栅极宽度的增加与减小半导体器件的尺寸的要求冲突。从而,开发了鳍状件场效应晶体管 (finFET)。

[0004] finFET 的引入具有增加驱动电流而不以占用更多芯片面积为代价的有利特征。然而,finFET 晶体管产生关于静电放电 (ESD) 性能的大量问题。

发明内容

[0005] 为了解决现有技术中所存在的问题,根据本发明的一个方面,提供了一种半导体器件,包括:衬底;位于所述衬底之上凸起的鳍状件;所述鳍状件包括:所述鳍状件中的第一源极/漏极区;所述鳍状件中的第一体接触件;以及所述鳍状件的第一部分,所述第一部分在横向上位于所述第一源极/漏极区和所述第一体接触件之间。

[0006] 在该半导体器件中,所述第一部分仅包括鳍状件材料。

[0007] 在该半导体器件中,所述鳍状件包含第一导电类型的掺杂物,所述第一源极/漏极区包含第二导电类型的掺杂物,所述第一体接触件包含所述第一导电类型的掺杂物。

[0008] 在该半导体器件中,所述第一导电类型是 p 型,并且所述第二导电类型是 n 型。

[0009] 在该半导体器件中,所述鳍状件进一步包括:位于所述鳍状件上方的第一栅极结构,其中,所述第一栅极结构直接位于所述鳍状件的所述第一部分的上方。

[0010] 在该半导体器件中,所述鳍状件进一步包括:所述鳍状件中的第二源极/漏极区,所述第二源极/漏极区在与所述第一体接触件相反的方向上与所述第一源极/漏极区分横向隔开;以及位于所述鳍状件上方的第二栅极结构,其中,所述第二栅极结构在横向上位于所述第一源极/漏极区和所述第二源极/漏极区之间。

[0011] 在该半导体器件中,所述鳍状件进一步包括:所述鳍状件中的第三源极/漏极区,所述第三源极/漏极区在与所述第一源极/漏极区相反的方向上与所述第二源极/漏极区分横向隔开;位于所述鳍状件上方的第三栅极结构,其中,所述第三栅极结构在横向上位于所述第二源极/漏极区和所述第三源极/漏极区之间;所述鳍状件中的第二体接触件;所述鳍状件的第二部分,所述第二部分在横向上位于所述第三源极/漏极区和所述第二体接触件之间;以及位于所述鳍状件上方的第四栅极结构,其中,所述第四栅极结构直接位于所述鳍状件的第二部分的上方。

[0012] 在该半导体器件中,所述鳍状件进一步包括:所述鳍状件中的第一隔离区,其中,

所述第一隔离区邻近所述鳍状件的所述第一部分的相对侧上的所述第一体接触件；位于所述鳍状件上方的第五栅极结构，其中，所述第五栅极结构部分位于所述第一体接触件的上方并且部分位于所述第一隔离区的上方；所述鳍状件中的第二隔离区，其中，所述第二隔离区邻近所述鳍状件的所述第二部分的相对侧上的所述第二体接触件；以及位于所述鳍状件上方的第六栅极结构，其中，所述第六栅极结构部分位于所述第二体接触件的上方并且部分位于所述第二隔离区的上方。

[0013] 在该半导体器件中，所述第一栅极结构、所述第四栅极结构、所述第五栅极结构和所述第六栅极结构是伪栅极结构。

[0014] 根据本发明的另一方面，提供了一种半导体器件，包括：衬底；从所述衬底延伸的第一半导体鳍状件，其中，所述第一半导体鳍状件包括：所述第一半导体鳍状件中的第一源极/漏极区；所述第一半导体鳍状件中的第二源极/漏极区；第一栅极结构，位于所述第一半导体鳍状件的顶面和侧壁上，其中，所述第一栅极结构在横向上位于所述第一源极/漏极区和所述第二源极/漏极区之间；第一体接触件，位于所述第一半导体鳍状件中；以及第二栅极结构，位于所述第一半导体鳍状件的顶面和侧壁上，其中，所述第二栅极结构在横向上位于所述第一源极/漏极区和所述第一体接触件之间。

[0015] 在该半导体器件中，所述第一半导体鳍状件包含第一导电类型的掺杂物，所述第一源极/漏极区和所述第二源极/漏极区包含第二导电类型的掺杂物，并且所述第一体接触件包含所述第一导电类型的掺杂物。

[0016] 在该半导体器件中，所述第一导电类型是 p 型，并且所述第二导电类型是 n 型。

[0017] 在该半导体器件中，所述第一半导体鳍状件进一步包括：所述鳍状件中的第二体接触件；以及第三栅极结构，位于所述鳍状件的顶面和侧壁上，其中，所述第三栅极结构横向隔离所述第二源极/漏极区和所述第二体接触件。

[0018] 在该半导体器件中，所述第一半导体鳍状件进一步包括：所述鳍状件中的第一隔离区，其中，所述第一隔离区邻近所述第一源极/漏极区的相对侧上的所述第一体接触件；位于所述鳍状件上方的第四栅极结构，其中，所述第四栅极结构部分位于所述第一体接触件的上方并且部分位于所述第一隔离区的上方；所述鳍状件中的第二隔离区，其中，所述第二隔离区邻近所述第二源极/漏极区的相对侧上的所述第二体接触件；以及位于所述鳍状件上方的第五栅极结构，其中，所述第五栅极结构部分位于所述第二体接触件的上方并且部分位于所述第二隔离区的上方。

[0019] 在该半导体器件中，所述第二栅极结构、所述第三栅极结构、所述第四栅极结构和所述第五栅极结构是伪栅极结构。

[0020] 在该半导体器件中，所述半导体器件进一步包括：所述衬底中的第三体接触件，其中，所述第三体接触件在横向上与所述第一半导体鳍状件分隔开并且平行于所述第一半导体鳍状件；以及所述衬底中的第三隔离区，其中，所述第三隔离区在横向上位于所述第一半导体鳍状件和所述第三体接触件之间。

[0021] 在该半导体器件中，所述半导体器件进一步包括：从所述衬底延伸的第二半导体鳍状件，其中，所述第二半导体鳍状件在与所述第三体接触件相反的方向上与所述第一半导体鳍状件横向分隔开，所述第二半导体鳍状件平行于所述第一半导体鳍状件，并且所述第一栅极结构、所述第二栅极结构、所述第三栅极结构、所述第四栅极结构和所述第五栅极

结构位于所述第二半导体鳍状件的顶面和侧壁上；从所述衬底延伸的第三半导体鳍状件，其中，所述第三半导体鳍状件在与所述第一半导体鳍状件相反的方向上与所述第二半导体鳍状件横向分隔开，所述第三半导体鳍状件平行于所述第二半导体鳍状件，并且所述第一栅极结构、所述第二栅极结构、所述第三栅极结构、所述第四栅极结构和所述第五栅极结构位于所述第三半导体鳍状件的顶面和侧壁上；从所述衬底延伸的第四半导体鳍状件，其中，所述第四半导体鳍状件在与所述第二半导体鳍状件相反的方向上与所述第三半导体鳍状件横向分隔开，所述第四半导体鳍状件平行于所述第三半导体鳍状件，并且所述第一栅极结构、所述第二栅极结构、所述第三栅极结构、所述第四栅极结构和所述第五栅极结构位于所述第四半导体鳍状件的顶面和侧壁上；从所述衬底延伸的第五半导体鳍状件，其中，所述第五半导体鳍状件在与所述第三半导体鳍状件相反的方向上与所述第四半导体鳍状件横向分隔开，所述第五半导体鳍状件平行于所述第四半导体鳍状件，并且所述第一栅极结构、所述第二栅极结构、所述第三栅极结构、所述第四栅极结构和所述第五栅极结构位于所述第五半导体鳍状件的顶面和侧壁上；所述衬底中的第四体接触件，其中，所述第四体接触件在横向上与所述第五半导体鳍状件分隔开并且平行于所述第五半导体鳍状件；以及所述衬底中的第四隔离区，其中，所述第四隔离区在横向上位于所述第五半导体鳍状件和所述第四体接触件之间。

[0022] 根据本发明的又一方面，提供了一种形成半导体结构的方法，所述方法包括：在衬底上形成半导体鳍状件；在所述半导体鳍状件的顶面和侧壁上形成第一栅极结构；在所述半导体鳍状件的顶面和侧壁上形成第二栅极结构，其中，所述第二栅极结构在横向上与所述第一栅极结构分隔开；在所述半导体鳍状件的顶面和侧壁上形成第三栅极结构，其中，所述第三栅极结构在与所述第二栅极结构相反的方向上与所述第一栅极结构横向分隔开；在所述半导体鳍状件中形成第一源极/漏极区，其中，所述第一源极/漏极区在横向上位于所述第一栅极结构和所述第二栅极结构之间；在所述半导体鳍状件中形成第二源极/漏极区，其中，所述第二源极/漏极区在横向上位于所述第一栅极结构和所述第三栅极结构之间；以及在所述半导体鳍状件中形成第一体接触件，其中，所述第一体接触件在横向上与第一源极/漏极区分隔开，并且所述第二栅极结构在横向上位于所述第一源极/漏极区和所述第一体接触件之间。

[0023] 在该方法中，形成所述第一源极/漏极区包括：图案化所述半导体鳍状件，以形成第一凹部；以及在所述第一凹部中外延生长所述第一源极/漏极区。

[0024] 在该方法中，形成所述半导体结构进一步包括：在所述半导体鳍状件中形成第二体接触件，其中，所述第二体接触件在横向上与第二源极/漏极区分隔开，并且所述第三栅极结构在横向上位于所述第二源极/漏极区和所述第二体接触件之间。

附图说明

[0025] 为了全面理解本公开及其优点，现在结合附图进行以下描述作为参考，其中：

[0026] 图 1A 和图 1B 分别在立体图和横截面图中示出根据实施例的 finFET；

[0027] 图 2A 至图 8 示出图 1A 和图 1B 中所示的结构的制造的步骤；

[0028] 图 9 在横截面图中示出 finFET 器件结构的第二示意性实施例；以及

[0029] 图 10A 和图 10B 分别在俯视图和横截面图中示出 finFET 器件结构的第二示意性

实施例。

具体实施方式

[0030] 将参考图 2A 至图 8 描述形成鳍状器件的多个步骤。现在对附图中所示的实施例详细地作出参考。当可能时,在图和说明书中使用相同参考数字,以指示相同或类似部分。在图中,为了清楚和方便起见,形状和厚度可以被放大。该说明将特别用于形成根据本发明的方法和装置的部件或者与其更直接结合的元件。将理解,未特别示出或描述的元件可以采用本领域技术人员熟知的多种形式。一旦由本发明进行了说明,多种改变和修改对于本领域技术人员来说是显而易见的。

[0031] 贯穿本说明书,“一个实施例”或“一实施例”的参考意味着,结合实施例描述的特定特征、结构或特性包括在至少一个实施例中。从而,贯穿本说明书,在多个地方出现的短语“在一个实施例中”或“在一实施例中”不必须所有都指相同实施例。而且,特定特征、结构或特性可以以任何合适方式结合在一个或多个实施例中。将想到,以下图不按比例绘制,而是,这些图仅用于说明。

[0032] 图 1A 示出 finFET 器件 50 的立体图,其包括衬底 110、衬底 110 之上的鳍状件 120、围绕鳍状件 120 的隔离区 130、鳍状件 120 之上的栅极 180、源极 / 漏极区 140、以及体接触件 150。在一个实施例中,衬底 110 可以是体衬底 (bulk substrate),诸如在 CMOS 制造处理中通常采用的体硅晶圆。可替换地,衬底 110 可以是化合物衬底 (诸如,绝缘体上硅 (SOI) 衬底)、或由诸如锗、砷化镓、III-V 材料等的其他材料形成的另一个体衬底或化合物半导体衬底。在图中仅示出衬底 110 的一部分,这足以充分描述示意性实施例。

[0033] 鳍状件 120 被形成为在衬底 110 之上延伸的垂直硅鳍状件,并且被用于形成源极 / 漏极区 140、源极和漏极区之间的沟道区 (未示出)、以及体接触件 150。栅极介电层 (未示出) 可以在沟道区中形成。然后,栅极 180 围绕鳍状件 120 形成并且围绕沟道区中的鳍状件 120。FinFET 器件 50 还可以包括在鳍状件 120 之上的四个伪栅极 182 (为了清楚起见,在图 1A 中未示出),两个伪栅极 182 在栅极 180 的每一侧上。

[0034] 隔离区 130 可以是浅沟槽隔离 (STI) 区,并且可以通过蚀刻衬底 110 以形成沟槽并且用介电材料填充沟槽形成。根据一个实施例,隔离区可以用介电材料填充,诸如,氧化物材料、高密度等离子体 (HDP) 氧化物等。

[0035] 图 1B 是从沿着图 1 的 X-X 线的 Z 平面的 finFET 器件 50 的实施例的横截面图。图 1B 示出 finFET 器件 50 的实施例,其包括栅极 180 和在鳍状件 120 之上的四个伪栅极 182,每个栅极都包括栅极和鳍状件 120 之间的介电层 170 和栅极的两侧上的栅极隔离结构 190。在可选实施例中,鳍状件材料是掺杂有合适掺杂杂质的硅。在栅极 180 的每侧上存在两个伪栅极 182。最接近栅极 180 的两个伪栅极 182 可以用于源极 / 漏极区 140 和体接触件 150 的自对准掺杂物注入。源极 / 漏极区 140 被掺杂,以使鳍状件 120 的这些部分导电。体接触件 150 也被掺杂,以使鳍状件 120 的这些部分导电,但是它们可以通过与源极 / 漏极区 140 相反的导电类型被掺杂。例如,如果源极 / 漏极区 140 被掺杂有 n 型掺杂物,体接触件 150 可以掺杂有 p 型掺杂物。在另一个实施例中,源极 / 漏极区 140 和体接触件 150 可以通过首先形成凹部并且然后通过选择性外延生长 (SEG) 外延生长源极 / 漏极区 140 和体接触件 150 形成。在一个实施例中,可以采用非选择性外延生长。源极 / 漏极区 140 和体

接触件 150 可以通过下述注入方法或者通过随着材料生长进行原位掺杂而被掺杂。源极/漏极区 140 和体接触件 150 可以包括电极层 160。电极层 160 可以包括导电材料,并且可以选自包括多晶硅 (poly-Si)、多晶硅锗 (poly-SiGe)、金属氮化物、金属硅化物、金属氧化物、以及金属的组。

[0036] 外侧伪栅极 182 可以部分位于隔离区 130 上并且部分位于体接触件 150 上。在另一个实施例中,外侧伪栅极 182 可以整体位于隔离区 130 上。在又一个实施例中,外侧伪栅极 182 可以整体位于体接触件 150 上。四个伪栅极 182 可以用于提供诸如化学机械抛光 (CMP) 的栅极的平坦化处理的更均匀密度。

[0037] 图 2A 至图 8 示出根据一个实施例的形成 finFET 器件的工艺。附图是从沿着图 1 中的 Y-Y 线或 X-X 线的 Z 平面的横截面图。每个附图都显示横截面图来源于的轴。虽然本实施例通过以特定顺序执行的步骤论述,但是步骤可以以任何逻辑顺序执行。

[0038] 图 2A 和图 2B 示出在处理期间的一些点处的 finFET 器件。器件包括衬底 110 上的半导体层 210。如上所述,半导体层 210 可以包括体硅或绝缘体上硅 (SOI) 衬底的有源层。半导体层 210 可以通过注入处理 220 被掺杂,以将 p 型或 n 型杂质引入半导体层 210 中。

[0039] 在图 3A 和图 3B 中,鳍状件 120 通过图案化半导体层 210 形成。鳍状件图案化工艺可以通过在半导体层 210 之上沉积诸如光刻胶或氧化硅的通用掩模材料 (未示出) 实现。然后,掩模材料被图案化,并且半导体层 210 根据图案被蚀刻。以此方式,可以形成在衬底之上的半导体鳍状件的半导体结构。如图 3B 中所示,鳍状件 120 沿着图 1 的线 X-X 延伸。在可选实施例中,鳍状件 120 可以在图案化层顶部衬底 110 中形成的沟槽或开口内从衬底 110 的顶面外延生长。由于该工艺在本领域中已知,所以在此不再重复详情。在一个实施例中,如图 3A 和图 3B 中所示,鳍状件 120 可以具有约 2nm 和 20nm 之间的宽度 320 和 7nm 和 50nm 之间的高度 310。

[0040] 图 4A 和图 4B 示出栅极介电层 170 的形成。栅极介电层 170 可以通过热氧化、CVD、溅射、或本领域中已知和使用的用于形成栅极电介质的任何其他方法形成。在其他实施例中,栅极介电层 170 包括具有高介电常数 (k 值) 的介电材料,例如,大于 3.9。材料可以包括氮化硅、氮氧化物、诸如 HfO_2 、 HfZrO_x 、 HfSiO_x 、 HfTiO_x 、 HfAlO_x 等的金属氧化物、以及其结合和多层。在另一个实施例中,栅极介电层 170 可以具有选自诸如氮化钛、氮化钽、或氮化钼的金属氮化物材料的覆盖层,厚度从 1nm 到 20nm。

[0041] 在图 5A 和图 5B 中,栅电极层 510 可以形成在栅极介电层 170 上方。栅电极层 510 可以包括导电材料并且可以选自自由多晶硅 (poly-Si)、多晶硅-锗 (poly-SiGe)、金属氮化物、金属硅化物、金属氧化物、以及金属的组。金属氮化物的实例包括氮化钨、氮化钼、氮化钛、以及氮化钽、或其组合。金属硅化物的实例包括硅化钨、硅化钛、硅化钽、硅化镍、硅化钼、或其组合。金属氧化物的实例包括氧化钨、氧化钨锡、或其组合。金属的实例包括钨、钛、铝、铜、钼、镍、铂等。

[0042] 栅电极层 510 可以通过 CVD、溅射沉积、或本领域中已知并且使用用于沉积导电材料的其他技术来沉积。栅电极层 510 的厚度可以在约 200 埃至约 4000 埃的范围内。栅电极层 510 的顶面通常具有非平坦顶面,并且可以在栅电极层 510 的图案化或栅极蚀刻之前被平坦化。这里,离子可以引入或可以不被引入到栅电极层 510 中。离子可以例如通过离子注入技术被引入。

[0043] 图 6 示出栅电极层 510 和栅电极层 170 的图案化,以形成栅极 180 和伪栅极 182。栅极可以通过使用例如本领域中已知的沉积和光刻技术在栅电极层 510 上沉积和图案化栅极掩模(未示出)形成。栅极掩模可以结合通常使用的掩模材料(masking material),诸如(但不限于)光刻材料、氧化硅、氮氧化硅、和/或氮化硅。栅电极层 510 和栅极介电层 170 可以使用等离子体蚀刻被蚀刻,以形成如图 6 中所示的经过图案化的栅极。在另一个实施例中,不形成外侧伪栅极 182,而是仅形成源极/漏极区 140 和体接触件 150 之间的伪栅极 182。

[0044] 在图 7 中,示出源极/漏极区 140 和体接触件 150 的形成。源极/漏极区 140 和体接触件 150 可以通过执行注入处理 710 以注入合适掺杂物而被掺杂,以补充鳍状件 120 中的掺杂物。在一个实施例中,鳍状件 120 被注入(如以上参考图 2A 和图 2B 论述的)p 型掺杂物,诸如硼、镓、铟等,源极/漏极区被注入 n 型掺杂物,诸如磷、砷、锑等,体接触件 150 被注入 p 型掺杂物。源极/漏极区 140 使用栅极 180 作为掩模被注入,并且体接触件 150 使用伪栅极 182 作为掩模被注入。在一些实施例中,经过掺杂的源极/漏极区 140 和经过掺杂的体接触件 150 可以被退火,以促进掺杂杂质到鳍状件 120 的扩散。在一个实施例中,如图 7 中所示,源极/漏极区 140 和最接近的体接触件 150 可以具有约 80nm 和 400nm 之间的距离 720。

[0045] 体接触件 150 有助于提供用于源极/漏极区 140 的静电放电(ESD)保护。当体接触件 150 被 p 型掺杂并且源极/漏极区 140 被 n 型掺杂时,在源极/漏极区 140 和最接近的体接触件 150 之间的鳍状件 120 区域中形成 pn 结。该 pn 结形成从体接触件 150 到源极/漏极区 140 的寄生体二极管,其允许体接触件 150 通过低导通电阻执行 ESD 保护。体接触件 150 可以连接至 ESD 放电电路,诸如,接地或电源电压。例如,在示意性实施例中,鳍状件 120 被 p 型掺杂,源极/漏极区 140 被 n 型掺杂,体接触件 150 被 p 型掺杂,并且源极/漏极区 140 和体接触件 150 之间的距离 720(参见图 7)约为 200nm。如本领域技术人员能想到的,距离 720 可以根据器件的技术节点和电路的要求而改变。

[0046] 在另一个实施例中,源极/漏极区 140 和体接触件 150 可以通过在鳍状件 120 中形成凹部(未示出)并且在凹部中外延生长材料形成。在一个实施例中,凹部可以通过各向异性蚀刻形成。可选地,凹部可以通过各向同性定向依赖性蚀刻工艺(isotropic orientation dependent etching process)形成,其中,四甲基氢氧化铵(TMAH)等可以被用作蚀刻剂。在形成凹部之后,源极/漏极区 140 和体接触件 150 可以通过在凹部中外延生长材料形成。在外延工艺期间,诸如 HCl 气体的蚀刻气体可以被添加(作为蚀刻气体)到工艺气体中,使得源极/漏极区 140 和体接触件 150 在凹部中但不在栅极上被选择性地生长。在可选实施例中,不添加蚀刻气体,或者蚀刻气体的量很小,使得存在源极/漏极区 140 的薄层和形成在衬底栅极上的体接触件 150。在又一个实施例中,栅极 180 和伪栅极 182 可以用牺牲层(sacrificial layer,未示出)覆盖,以防止在其上外延生长。源极/漏极区 140 和体接触件 150 可以通过如上所述的注入方法或者通过随着生长材料进行原位掺杂而被掺杂。

[0047] 源极/漏极区 140 和体接触件 150 的形成方法可以包括原子层沉积(ALD)、化学汽相沉积(CVD),诸如减压 CVD(RPCVD)、有机金属化学汽相沉积(MOCVD)、或其他可应用方法。根据源极/漏极区 140 和体接触件 150 的期望成分,用于外延的前体可以包括含 Si 气体和

含 Ge 气体, 诸如, SiH₄ 和 GeH₄ 等, 并且含 Si 气体和含 Ge 气体的部分压力被调节, 以修改锗与硅的原子比率。

[0048] 在另一个实施例中, 源极 / 漏极区 140 被形成, 以在栅极 180 下面的沟道区上施加应变。在鳍状件 120 包括硅的实施例中, 然后, 源极 / 漏极区 140 可以通过诸如硅锗、碳化硅等具有不同于硅的晶格常数的材料经由 SEG 工艺形成。应激源材料源极 / 漏极区 140 和栅极 180 下面形成的沟道区之间的晶格错位将应力施加到沟道区中, 这将增加载流子移动性和器件的整体性能。源极 / 漏极区 140 可以通过上述注入方法或者通过随着生长材料进行原位掺杂而被掺杂。

[0049] 图 8 示出在栅极的相对侧上的栅极隔离结构 190 的形成和电极层 160 的形成。栅极隔离结构 190 通常通过在先前形成的结构中覆盖沉积隔离结构层 (未示出) 形成。隔离结构层可以包括 SiN、氮氧化物、SiC、SiON、氧化物等形成, 并且可以通过用于形成这样的层的方法形成, 诸如, 化学汽相沉积 (CVD)、等离子体增强 CVD、溅射、以及本领域中已知的其他方法。然后, 栅极隔离结构 190 优选通过各向异性蚀刻被图案化, 以从结构的水平面去除隔离结构层。

[0050] 电极层 160 可以包括导电材料, 并且可以选自包括多晶硅 (poly-Si)、多晶硅锗 (poly-SiGe)、金属氮化物、金属硅化物、金属氧化物、以及金属的组。电极层 160 可以通过 CVD、溅射沉积、或用于沉积导电材料的本领域中已知和使用的其他技术进行沉积。

[0051] 在另一个实施例中, 源极 / 漏极区 140 可以包括轻掺杂区和重掺杂区。在该实施例中, 在形成栅极隔离结构 190 之前, 源极 / 漏极区 140 可以被轻掺杂。在形成栅极隔离结构 190 之后, 源极 / 漏极区 140 可以被重掺杂。这样形成轻掺杂区和重掺杂区。轻掺杂区主要在栅极隔离结构 190 之下, 同时重掺杂区在沿着鳍状件 120 的栅极隔离结构 190 的外侧。

[0052] 图 9 示出第二实施例的横截面图, 其中, finFET 器件包括具有三个源极 / 漏极区 140 的双栅配置。在该实施例中, 一个源极 / 漏极区 140 横向分隔开两个栅极 180, 并且两个其他源极 / 漏极区在两个栅极 180 的外侧上。类似于图 7 中的实施例, 外部源极 / 漏极区 140 在横向上与最接近的体接触件 150 隔离距离 720。

[0053] 图 9 中的实施例可以开始如图 2A 至图 5B 中所示那样形成。在沉积栅电极层 510 (参见图 5A 和图 5B) 之后, 栅电极层 510 被图案化, 以形成两个栅极 180 和四个伪栅极 182 (参见图 9)。在形成栅极 180 和伪栅极 182 之后, 源极 / 漏极区 140、体接触件 150、栅极隔离结构 190、以及电极层 160 可以被形成。源极 / 漏极区 140、体接触件 150、栅极隔离结构 190、以及电极层 160 的形成在以上参考图 7 和图 8 进行了描述, 因此在此不再重复。

[0054] 图 10A 示出 finFET 器件的实施例的俯视图 (top-down view), 其中, 器件具有在鳍状件结构之上和之下的衬底体接触件 910。如图 10A 中所示, 衬底体接触件 910 与鳍状件 120 和栅极 180 和 182 通过隔离区 130 分隔开。衬底体接触件 910 有助于提供对 finFET 器件的 ESD 保护。图 10A 示出相互基本平行的相互隔离的五个鳍状件 120。每个鳍状件 120 都具有源极 / 漏极区 140 和体接触件 150。另外, 每个鳍状件 120 的源极 / 漏极区 140 和体接触件 150 都在伪栅极 182 的相对侧上。栅极 180 和伪栅极 182 基本相互平行并且垂直于鳍状件 120。图 10B 是沿着图 10A 的线 YY 的横截面图。图 10B 示出衬底体接触件 910 与鳍状件 120 和伪栅极 182 通过隔离区 130 分隔开。

[0055] 尽管已经详细地描述了本发明及其优势,但应该理解,可以在不背离所附权利要求限定的本发明主旨和范围的情况下,做各种不同的改变,替换和更改。而且,本申请的范围并不仅限于本说明书中描述的工艺、机器、制造、材料组分、装置、方法和步骤的特定实施例。作为本领域普通技术人员应理解,通过本发明,现有的或今后开发的用于执行与根据本发明所采用的所述相应实施例基本相同的功能或获得基本相同结果的工艺、机器、制造,材料组分、装置、方法或步骤根据本发明可以被使用。因此,所附权利要求应该包括在这样的工艺、机器、制造、材料组分、装置、方法或步骤的范围内。

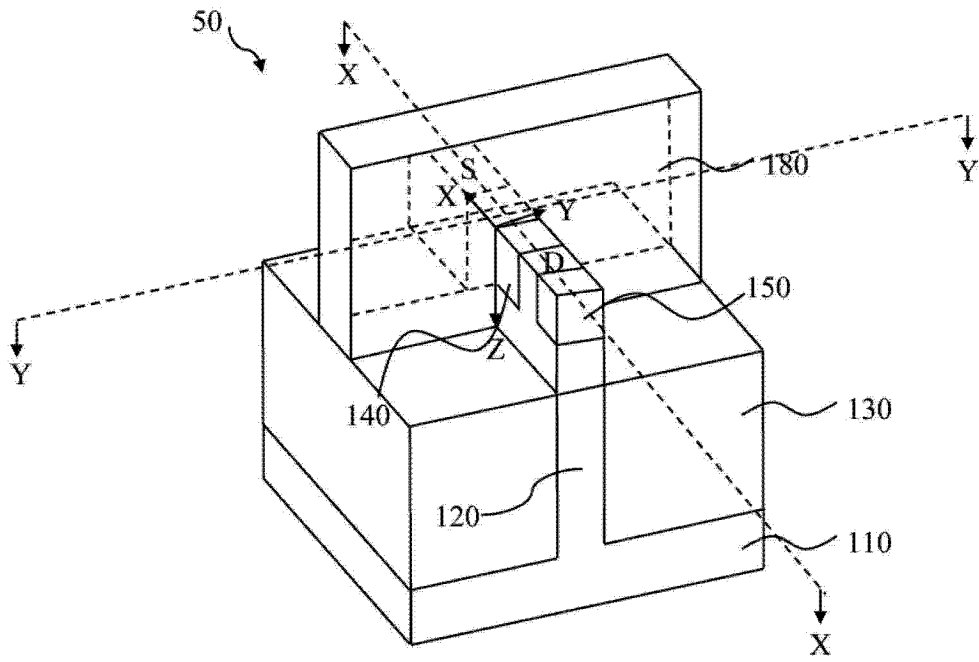
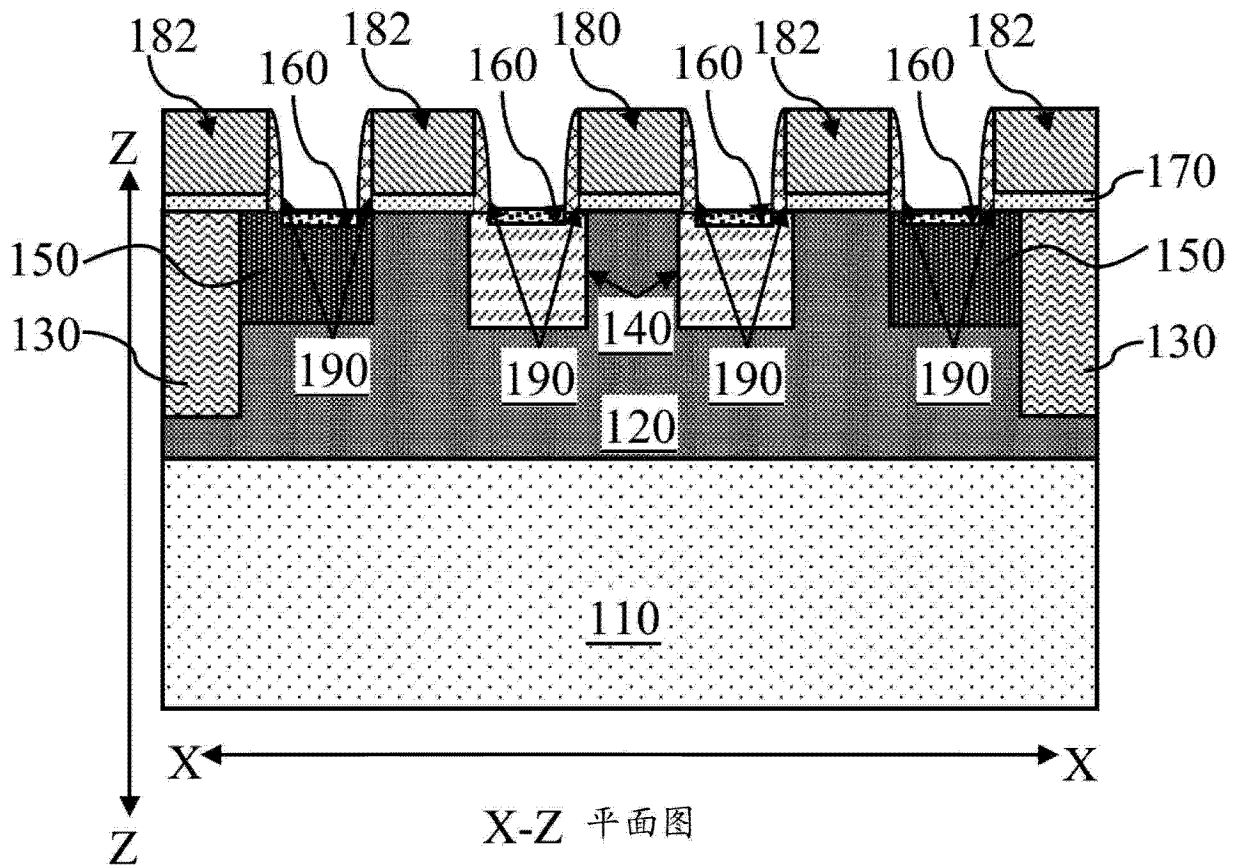


图 1A



X-Z 平面图

图 1B

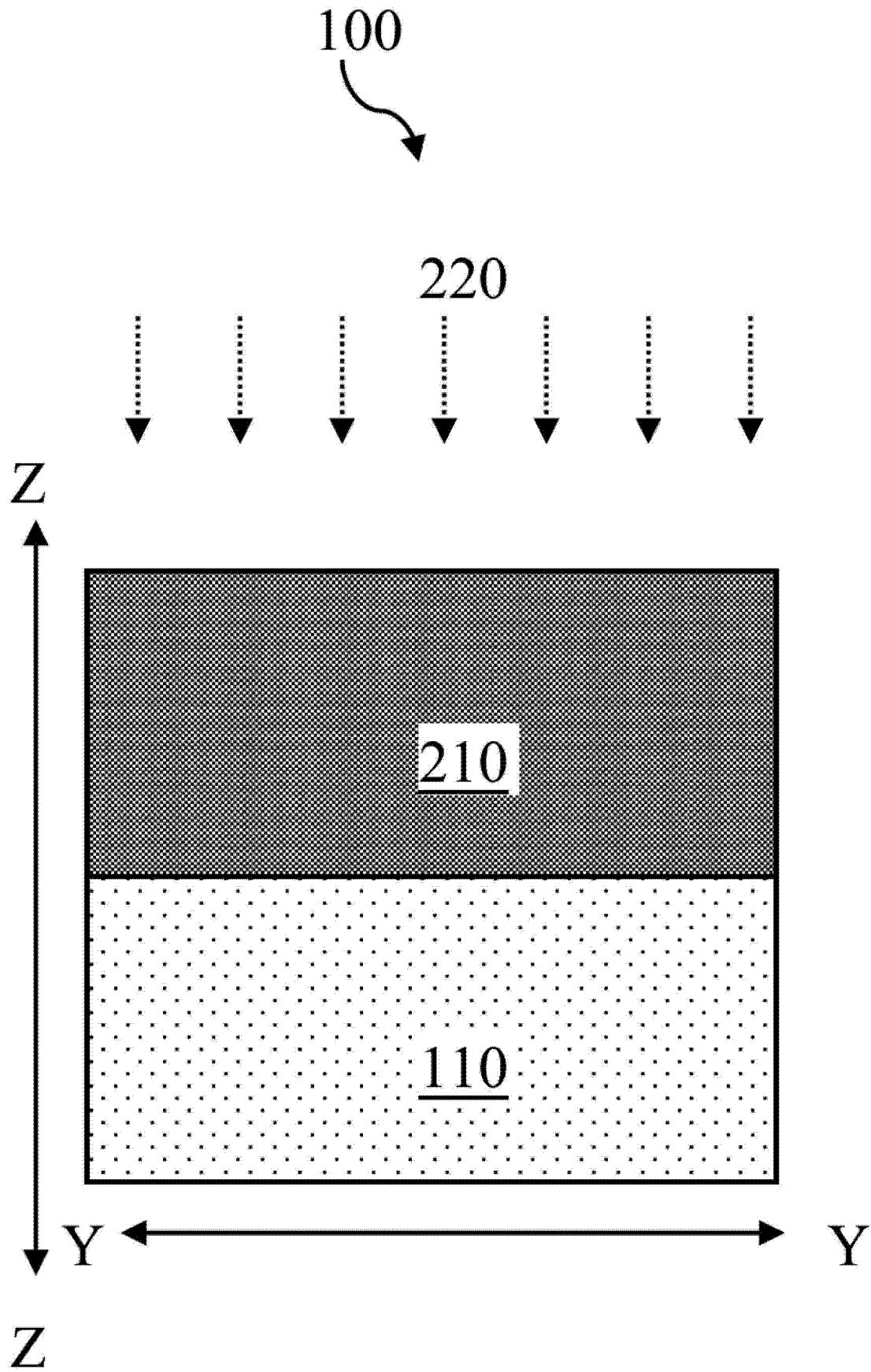


图 2A

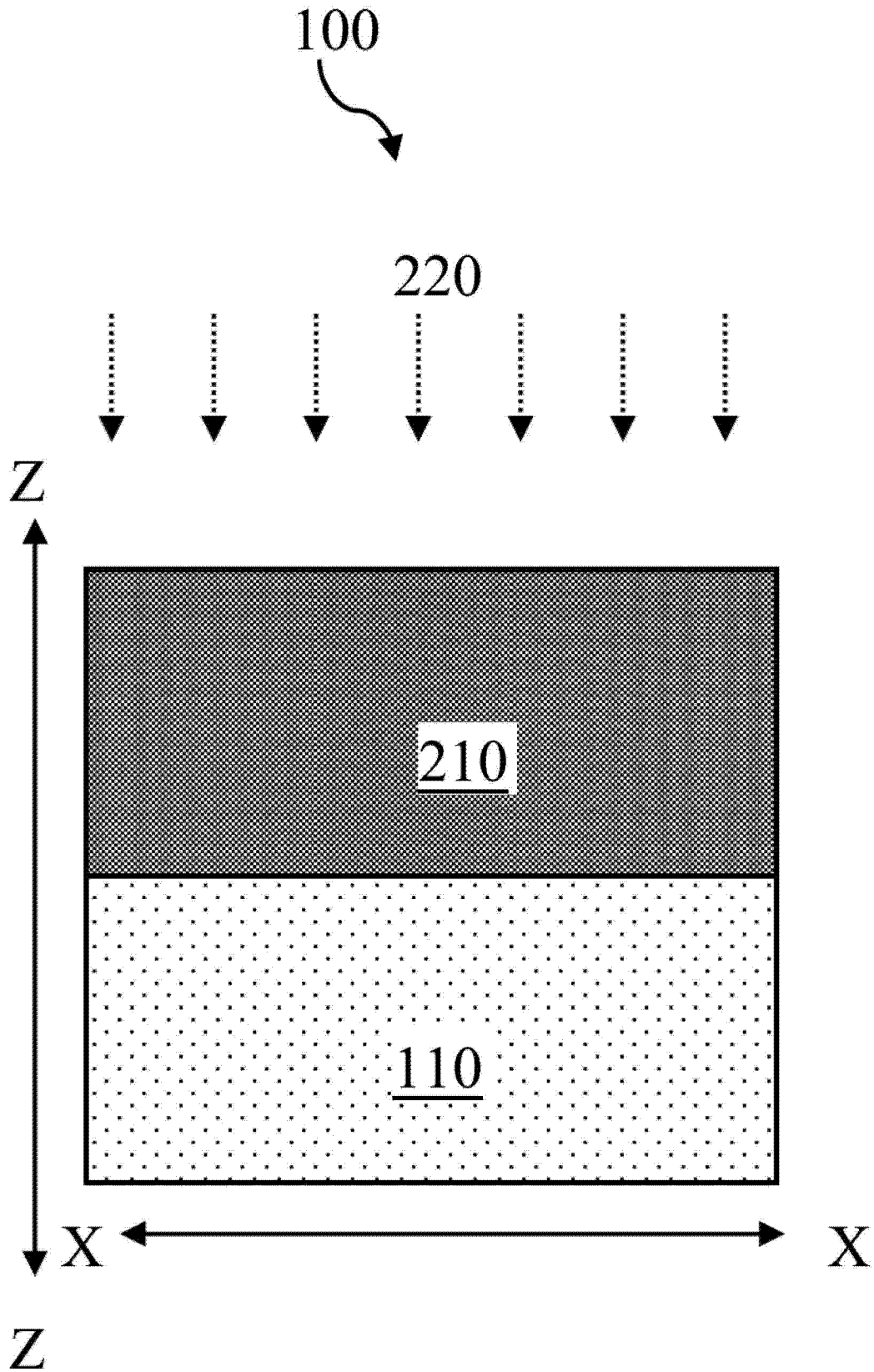


图 2B

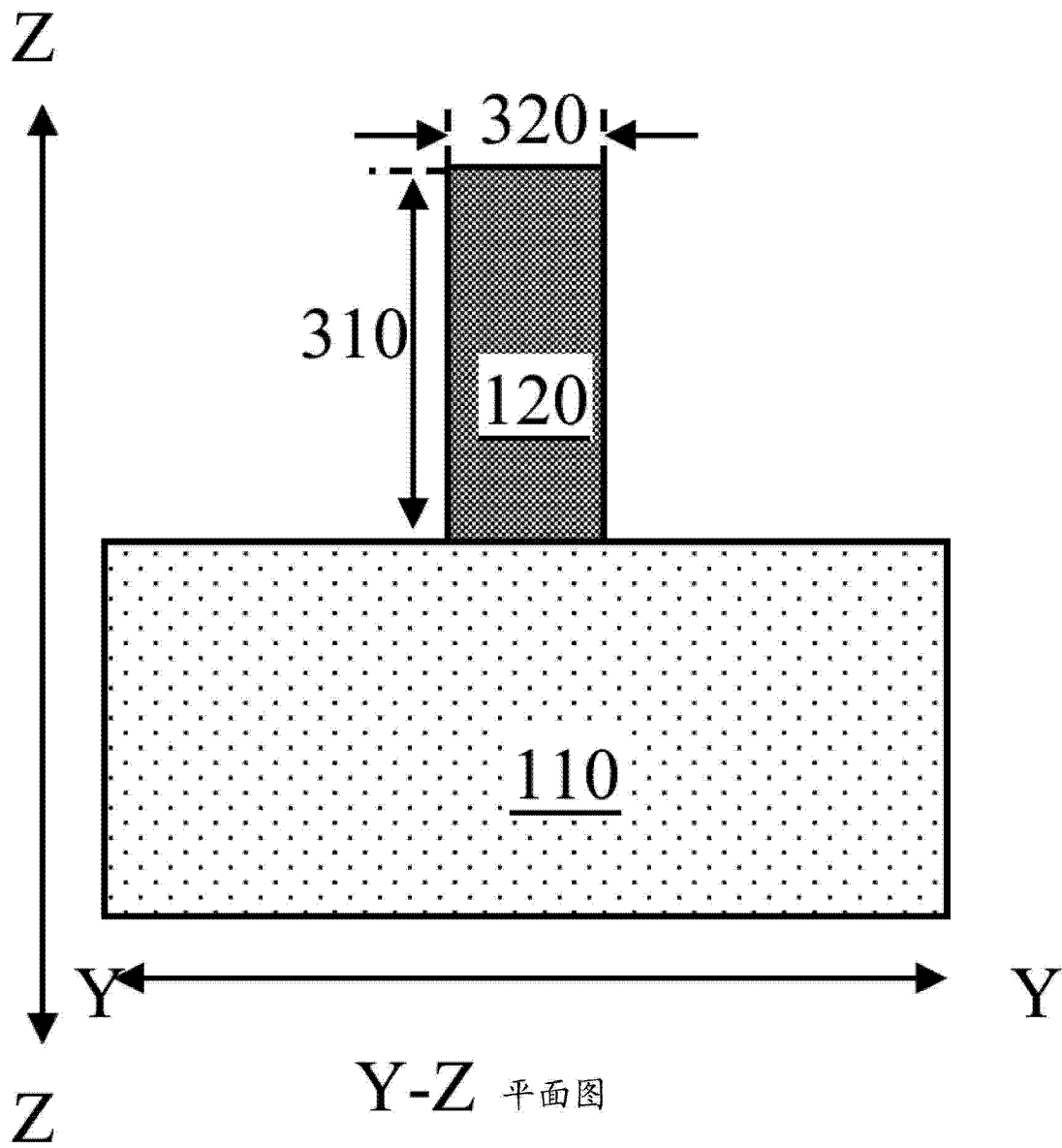


图 3A

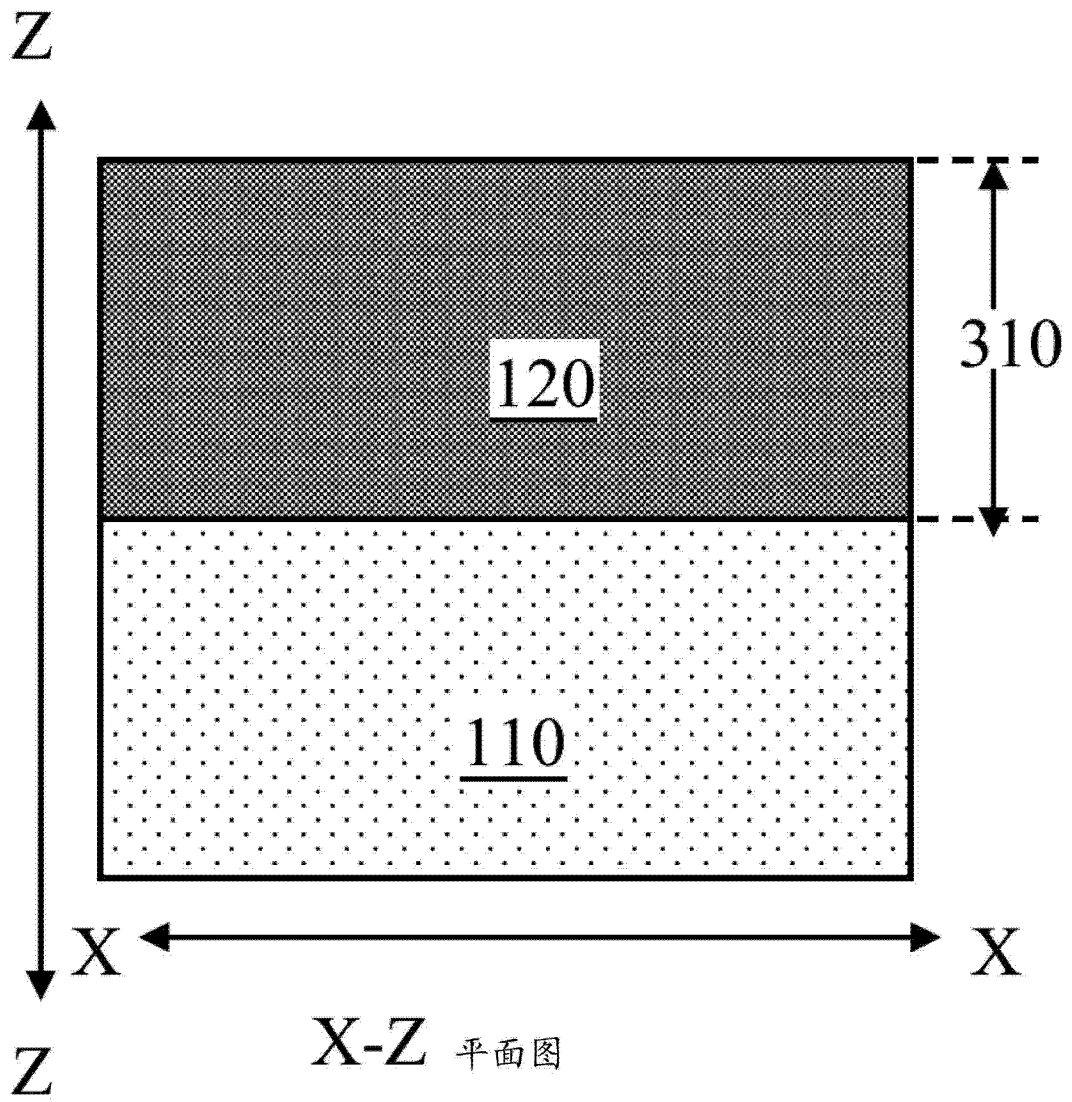


图 3B

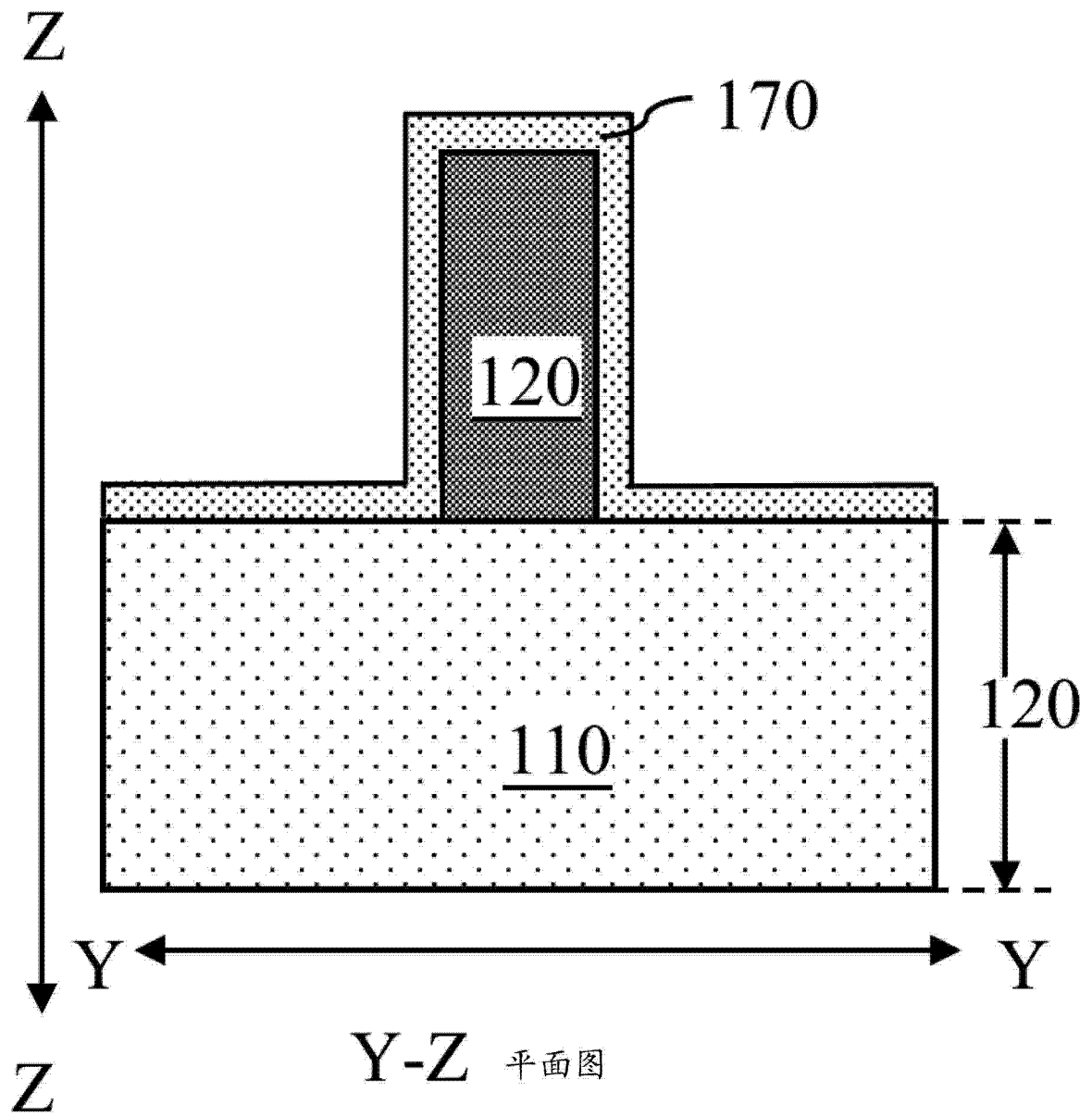


图 4A

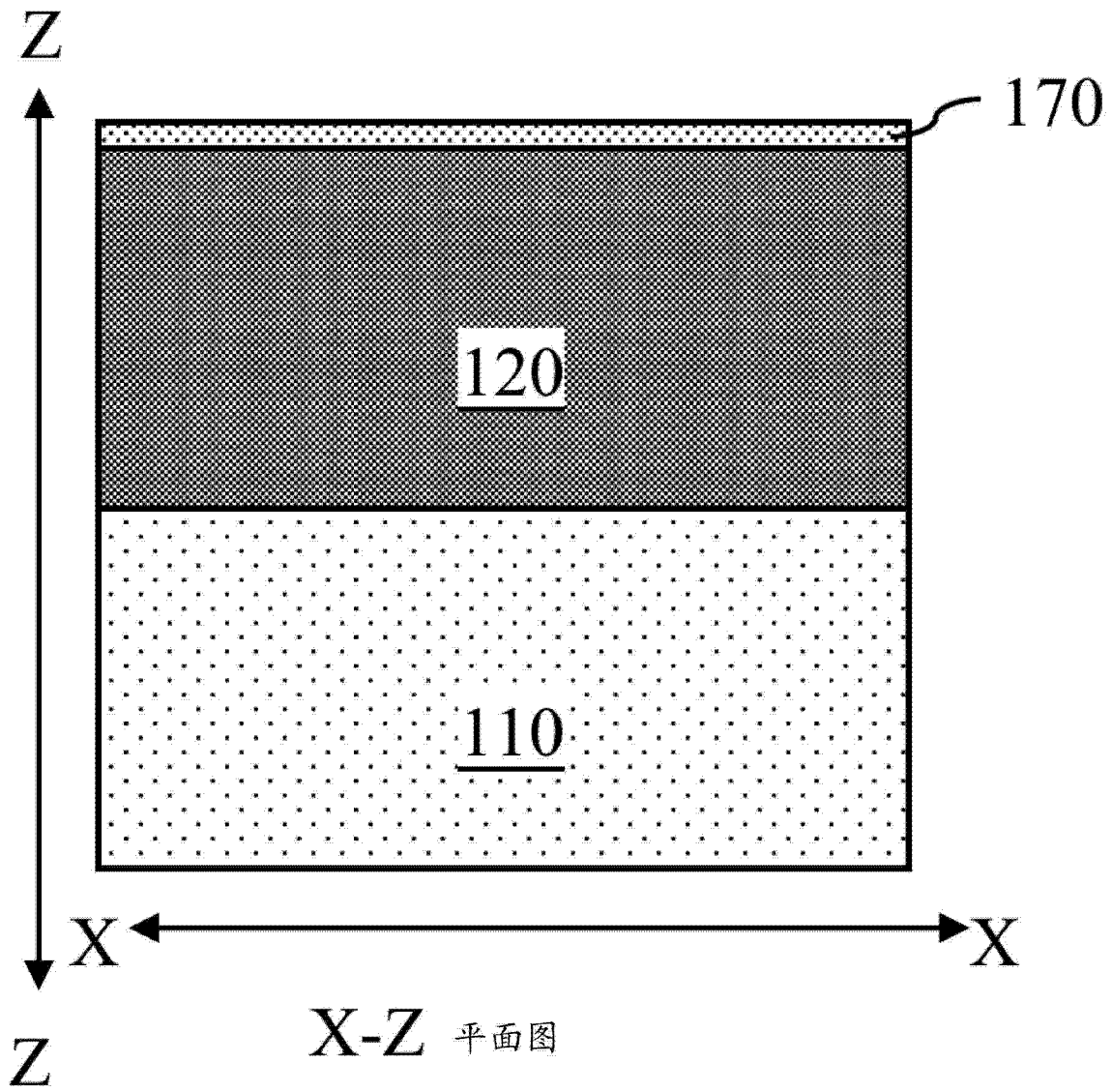


图 4B

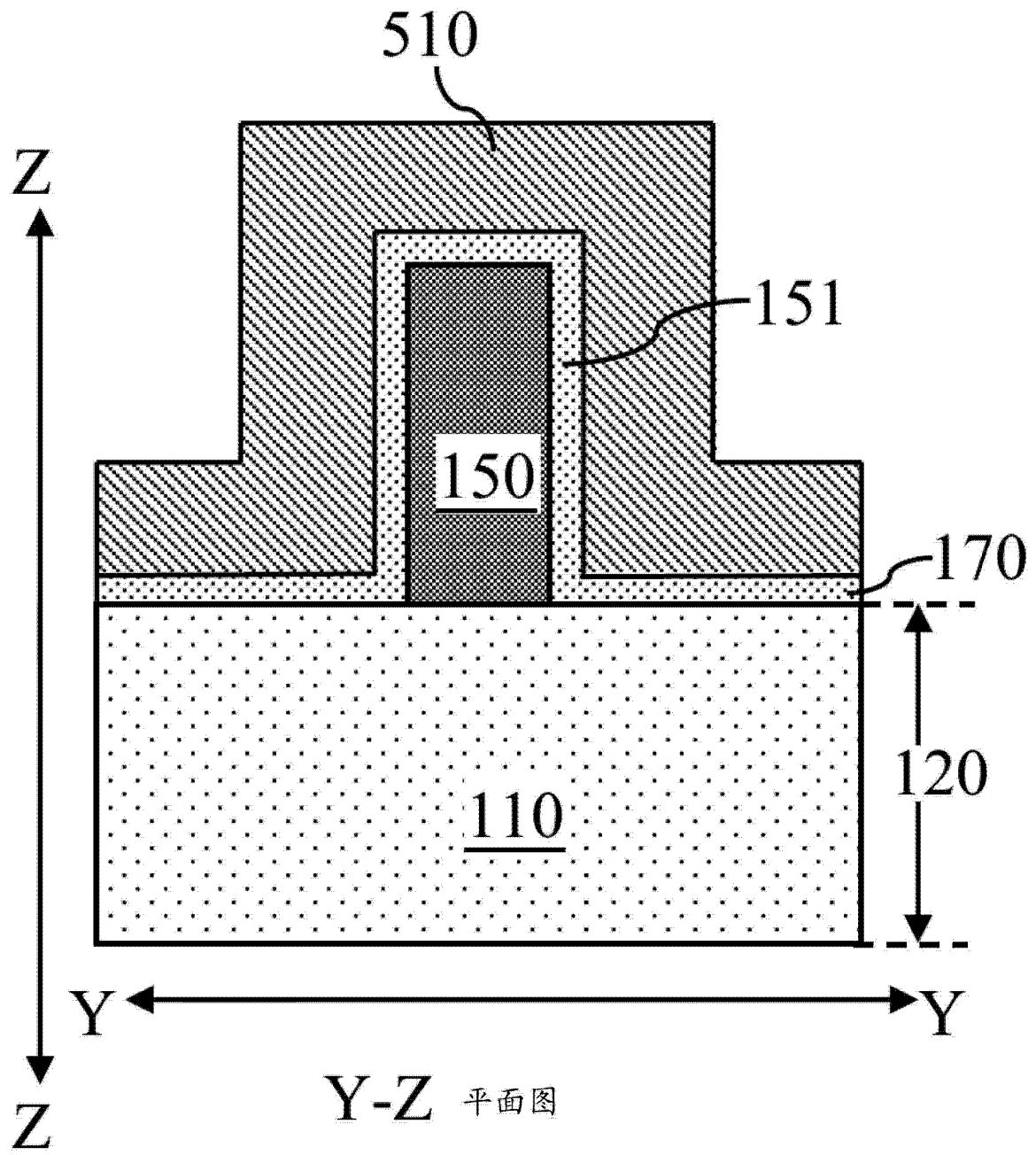


图 5A

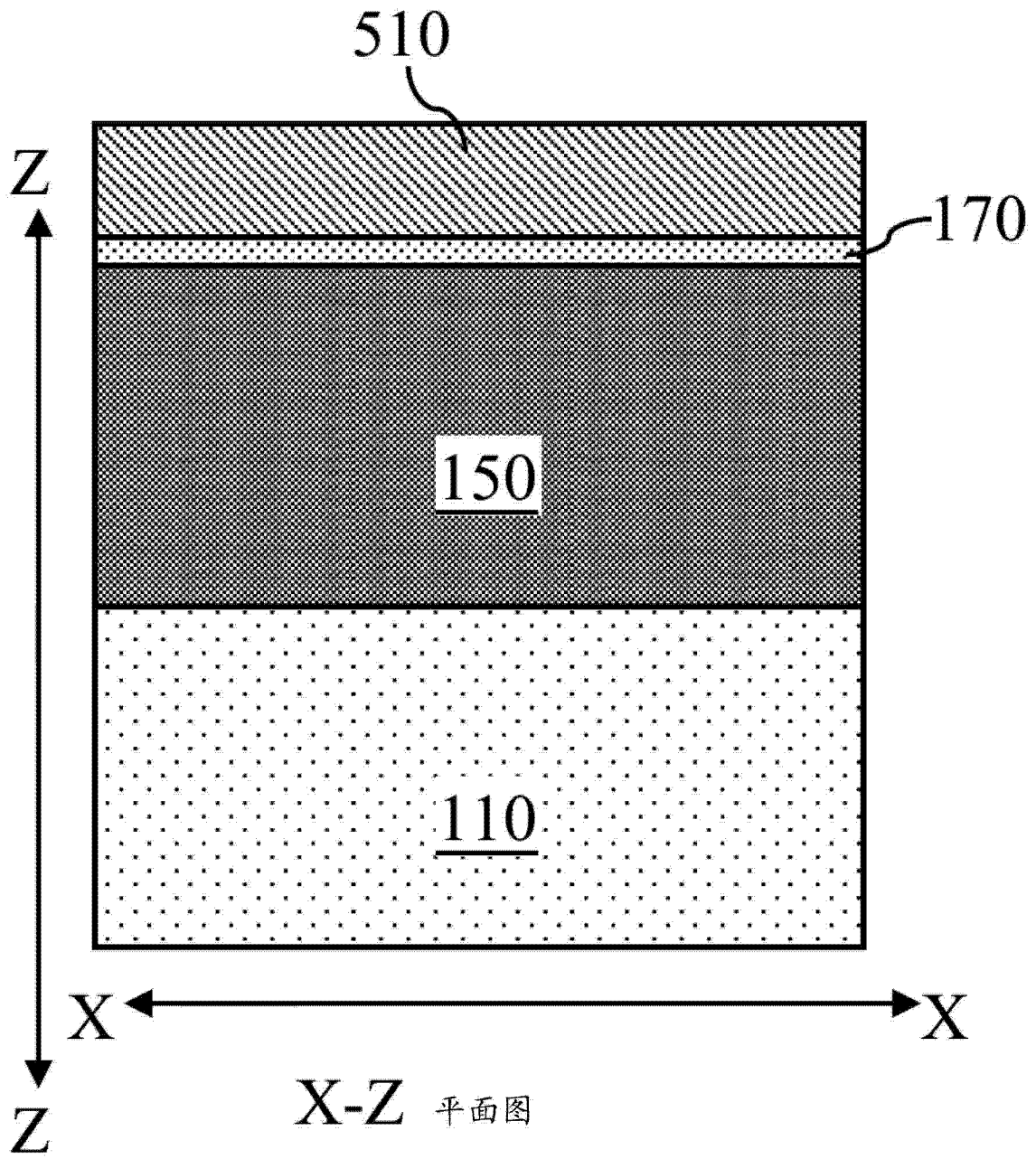


图 5B

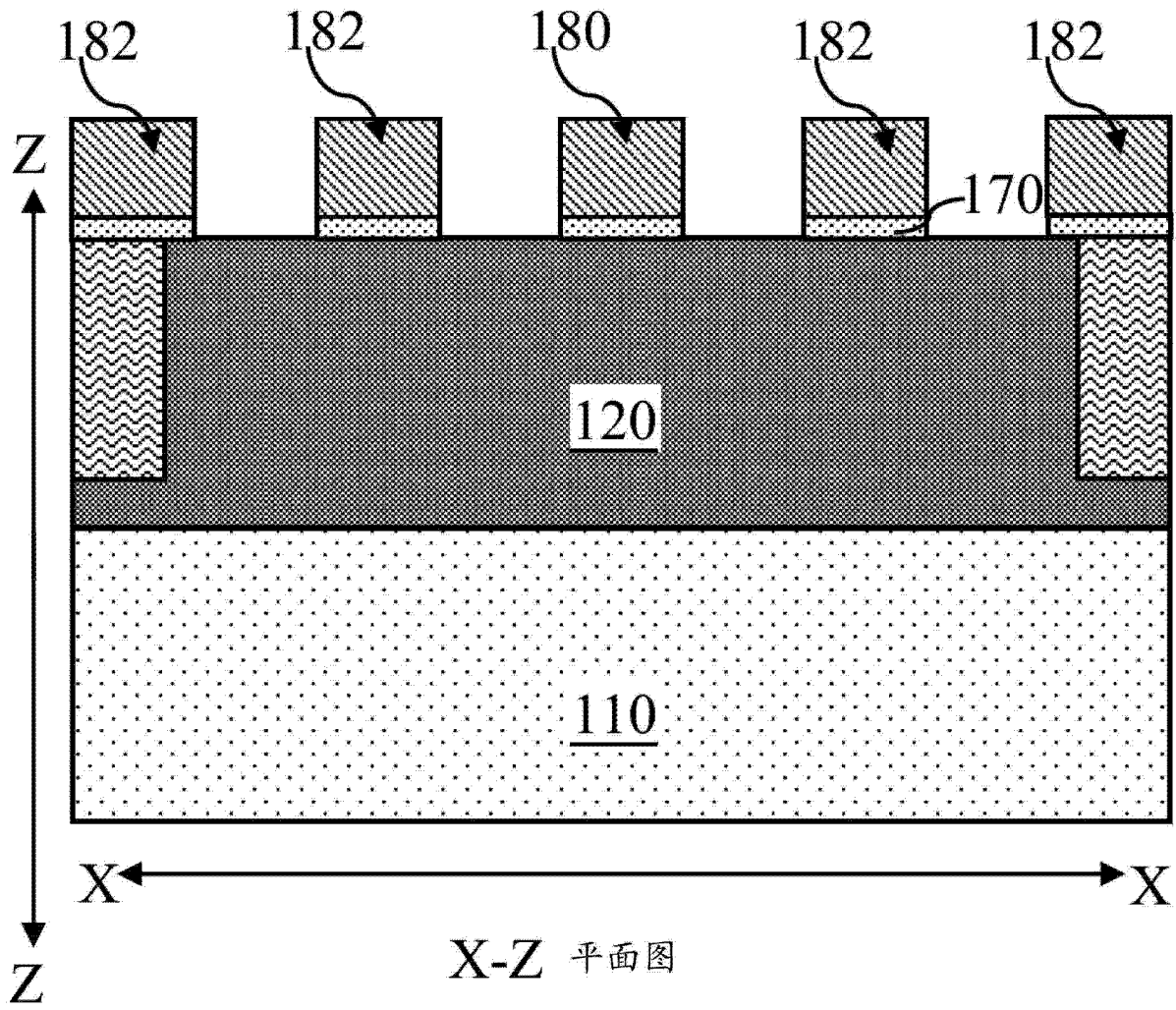


图 6

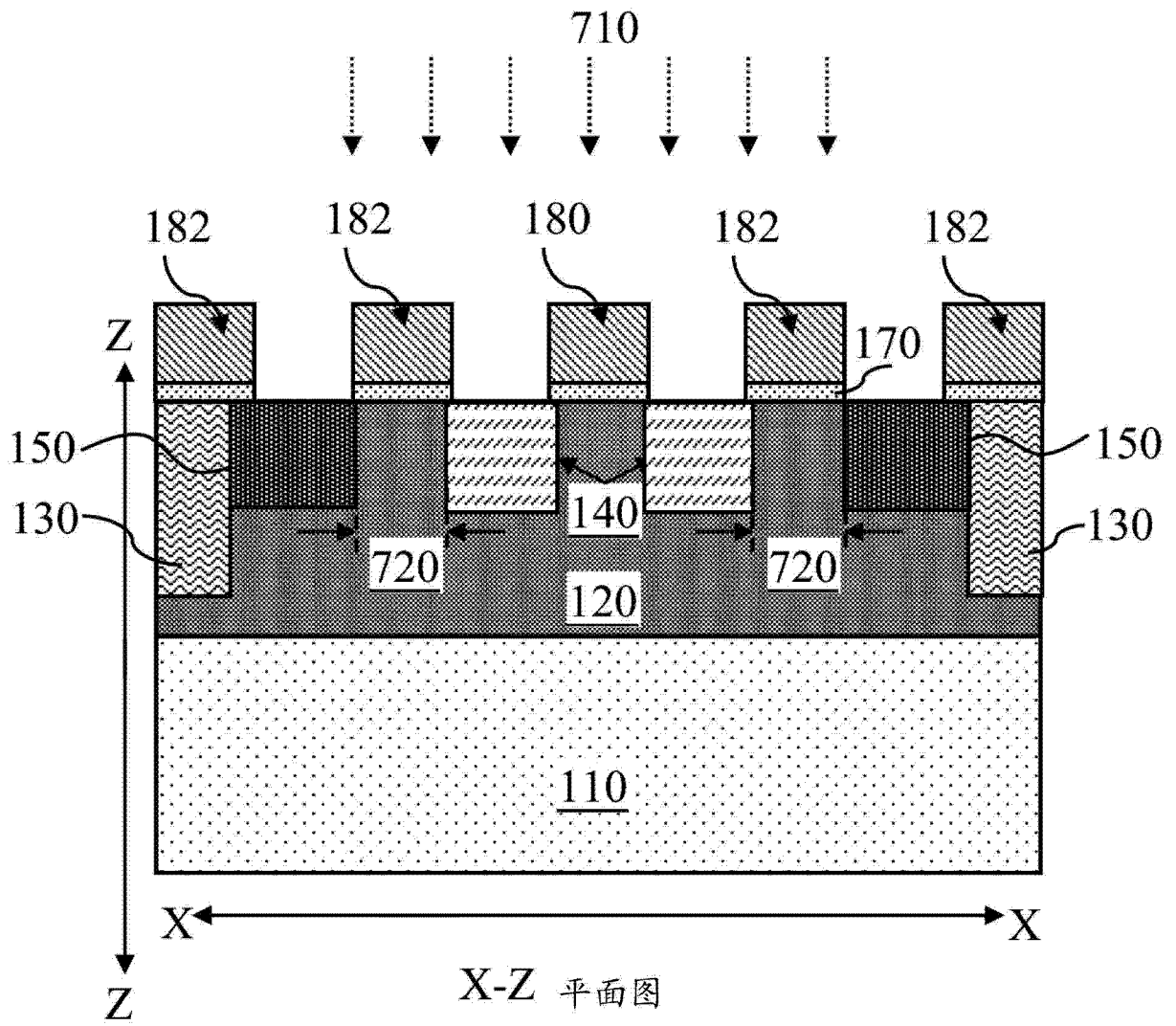


图 7

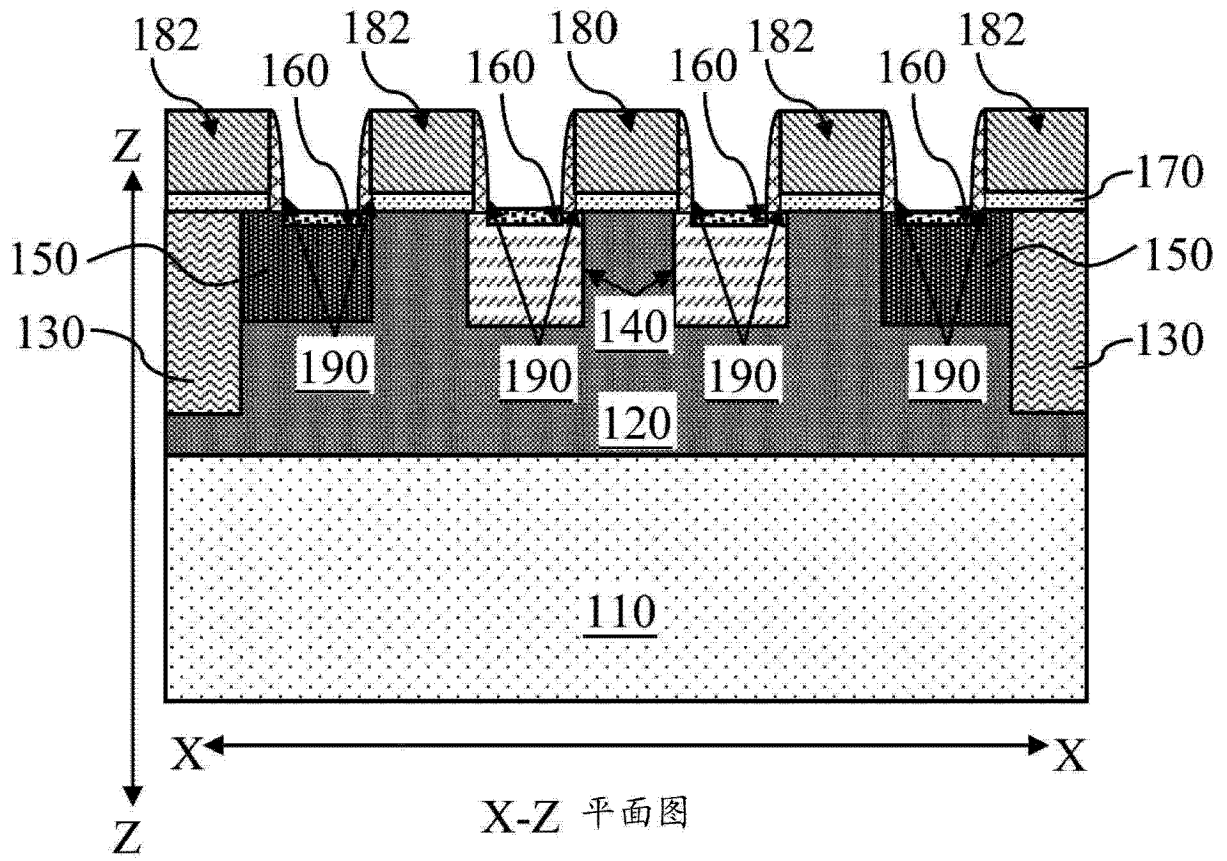


图 8

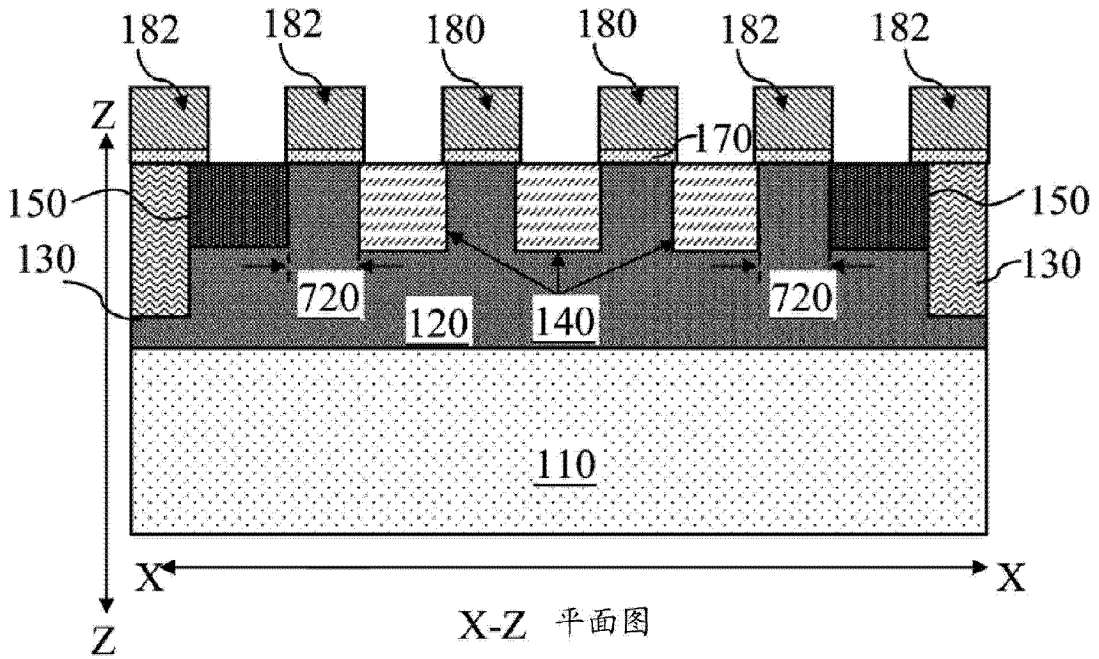


图 9

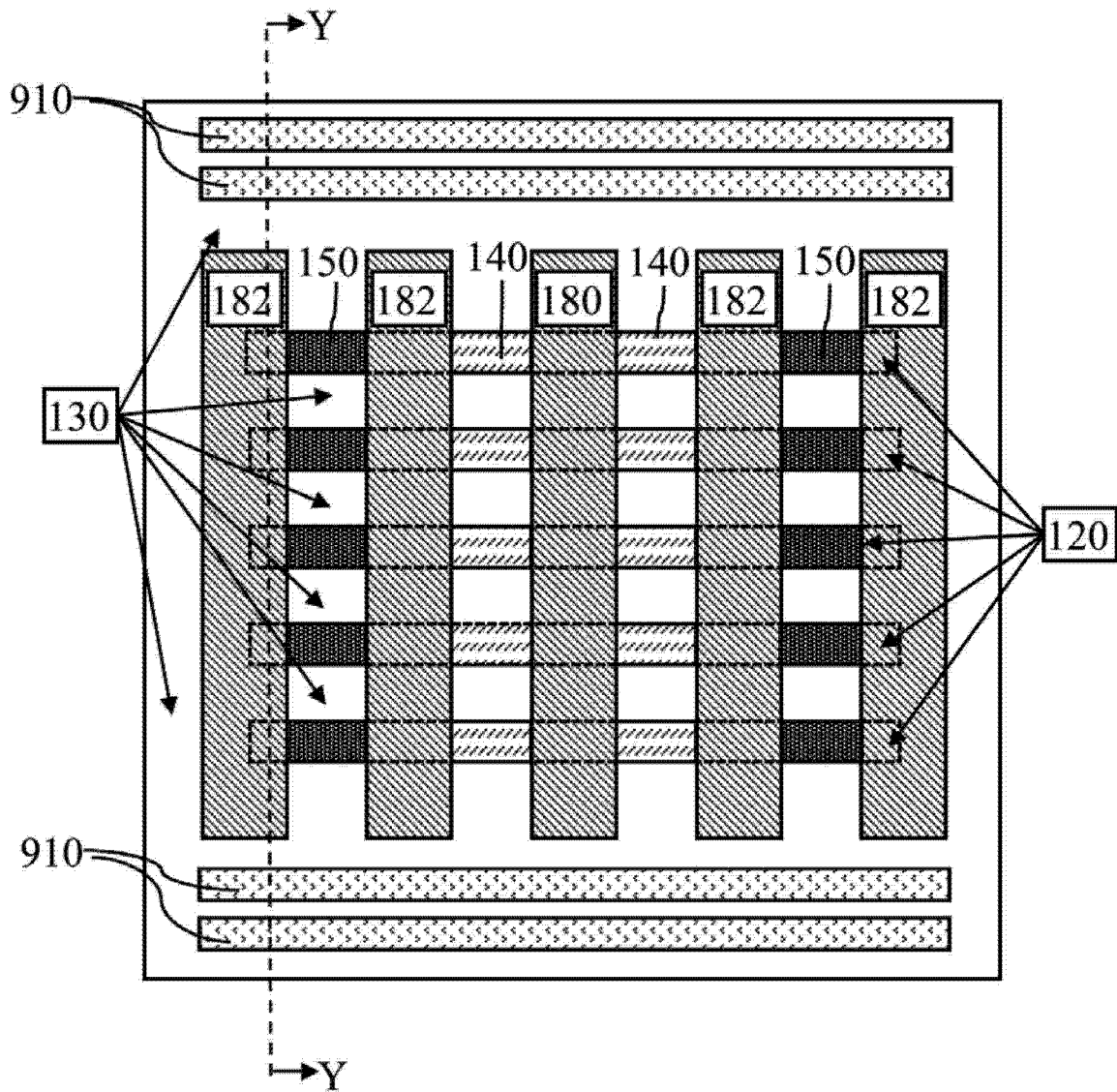


图 10A

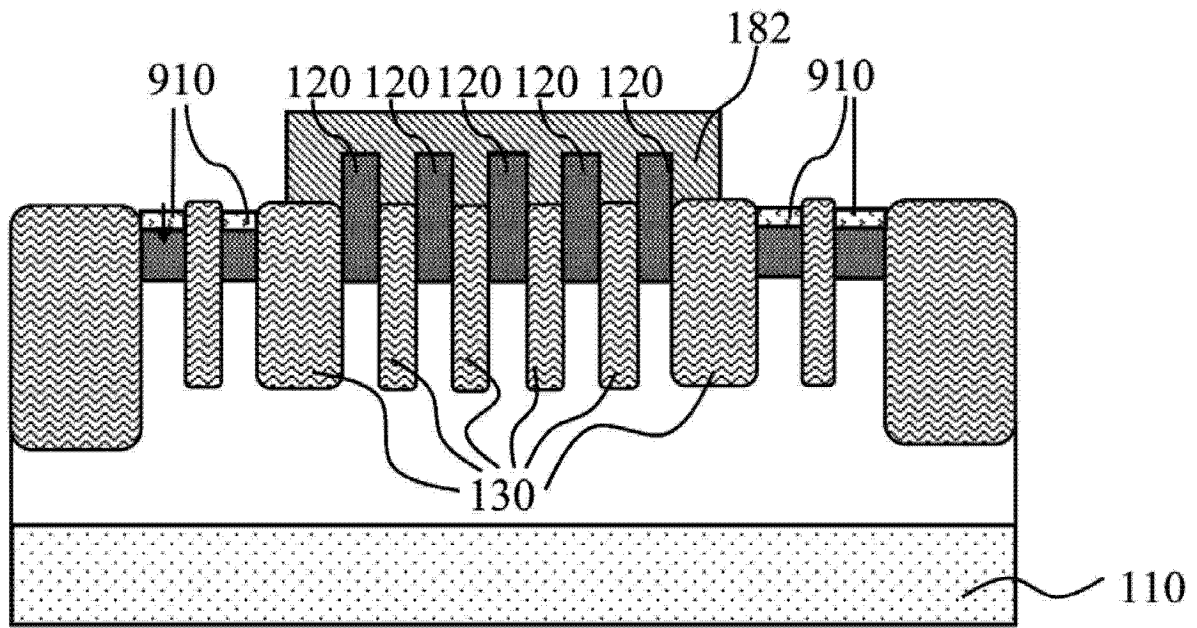


图 10B