

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 6 月 30 日 (30.06.2016)



(10) 国际公布号
WO 2016/101359 A1

(51) 国际专利分类号:
G06F 3/06 (2006.01)

(21) 国际申请号: PCT/CN2015/070572

(22) 国际申请日: 2015 年 1 月 13 日 (13.01.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
2014108033408 2014 年 12 月 22 日 (22.12.2014) CN

(71) 申请人: 华中科技大学 (HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY) [CN/CN]; 中国湖北省武汉洪山珞喻路 1037 号, Hubei 430074 (CN)。

(72) 发明人: 刘群 (LIU, Qun); 中国湖北省武汉洪山珞喻路 1037 号, Hubei 430074 (CN)。 张涛 (ZHANG, Tao); 中国湖北省武汉洪山珞喻路 1037 号, Hubei 430074 (CN)。 缪向水 (MIAO, Xiangshui); 中国湖北省武汉洪山珞喻路 1037 号, Hubei 430074 (CN)。 李祎 (LI, Yi); 中国湖北省武汉洪山珞喻路 1037 号,

Hubei 430074 (CN)。 周亚雄 (ZHOU, Yaxiong); 中国湖北省武汉洪山珞喻路 1037 号, Hubei 430074 (CN)。 缪天鹏 (MIAO, Tianpeng); 中国湖北省武汉洪山珞喻路 1037 号, Hubei 430074 (CN)。

(74) 代理人: 武汉东喻专利代理事务所 (普通合伙) (WUHAN DONGYU PATENT AGENCY); 中国湖北省武汉洪山珞喻路 1037 号东一楼, Hubei 430074 (CN)。

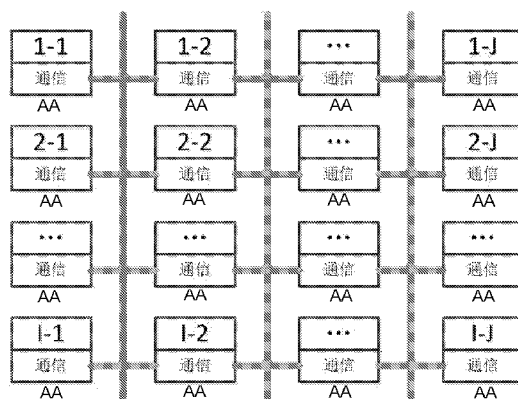
(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) Title: PROCESSOR REALIZING INTEGRATION OF COMPUTING AND MEMORY BASED ON MEMRISTOR AND OPERATING METHOD THEREFOR

(54) 发明名称: 基于忆阻器实现计算与存储融合的处理器的操作方法



AA Communication 图 6 / Fig. 6

(57) Abstract: Disclosed are a processor integrating computing and memory on the basis of a material implication operation of a memristor and an operating method therefor. The processor is formed by connecting a plurality of computing and memory units (CMU) through a communication network. A device capable of memorizing resistance, namely a memristor, is used. When a circuit is designed, a resistive characteristic of the memristor already participates in completing relevant computing, and a computing result is saved by using a resistance state of the memristor, so that a step in a traditional computer system for outputting the computing result to a memory is omitted, and integration of computing and memory is realized. By means of a communication network, data in any CMU can be used as an operand to perform the computing and be saved in a designated CMU. The CMU can not only store the data, but can also be used as a computing unit, thus being different from existing computer systems that must use a dedicated operator and storage device, so that parallel computing and parallel storage can be very conveniently performed.

(57) 摘要:

[见续页]



WO 2016/101359 A1



RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种基于忆阻器实质蕴涵操作的计算与存储融合的处理器的操作方法；该处理器由多个计算与存储融合单元(Computing&Memory Unit, CMU)通过通信网络相连接。使用一种能记忆电阻的器件，即忆阻器。在设计电路时，忆阻器的阻变特性已参与完成相应的计算，并将计算结果用忆阻器的阻态来保存，省去了传统计算机系统中将计算结果输出到存储器的步骤，实现计算与存储的融合。通过通信网络，使得任意 CMU 中数据都能作为操作数进行计算，并存储在指定的 CMU 内。CMU 既可以存储数据，也可以当作计算单元使用，这将不同于现有的计算机系统必须使用专门的运算器和存储器，可以极其方便进行并行计算与并行存储。

基于忆阻器实现计算与存储融合的处理器及其操作方法

[技术领域]

本发明属于微电子器件领域，更具体地，涉及一种基于忆阻器实质蕴涵操作的计算与存储融合的处理器及其操作方法。

[背景技术]

传统计算机采用冯诺依曼结构，此结构的存储和计算单元分离，分别由存储器和中央处理器（处理器）中的运算器完成。随着半导体工艺水平的不断提高，处理器和存储器的性能都有了很大的提升。根据 Moore 定律，微处理器内晶体管数目每 18 个月翻 1 番，处理器性能的年增长速度曾一度超过 50%，而存储器性能的年增长速度平均只有 7%，大约每 10 年增加 1 倍。以 Intel 处理器为例，从 1980 年到 2006 年，处理器的时钟频率提高了约 3500 倍，而 DRAM 的存取时间却只减少了约 6 倍。存储技术与处理器技术发展速度的不平衡，致使两者速度差距不断增大，使得处理器需要相当多的时间在等待内存数据的读取，导致存储墙（Memory Wall）问题的出现，这一问题已成为进一步提高计算机系统整体性能的瓶颈之一。

处理器和存储器之间的性能差距是短期内无法解决的问题，降低存储访问对处理器性能的影响，是当前处理器体系结构设计的主要挑战之一。随着单芯片晶体管集成度越来越高，芯片功耗、线传输延迟、漏电流等问题日益严重，单纯依靠提高主频来提高处理器性能已非常困难，而采用传统的超标量和前瞻技术开发指令级并行的投资回报率也越来越低，因此，开发更高层次的线程级并行和任务级并行已成为持续提升处理器性能的必然趋势，以多核处理器为代表的先进体系结构已成为当前处理器发展的主流。多核设计是当前高性能计算领域的主导思想，已应用于服务器、笔记本到游戏平台以及高性能多媒体应用等多个领域。将多个微处理器核心集成于同一芯片内的片上多核体系结构，以及结合多线程技术的多核多线程体系结构，均有效利用片上晶体管资源，为用户提供多线程执行能力和高产出率计算。多核体系结构是维持 Moore 定律、利用有限的芯片面积进一

步提升处理器性能的有效方法。如何实现并进一步优化多核处理器的设计已成为近期学术界和工业界研究的重点。

传统的单处理器芯片的存储器只需为一个处理器核提供数据；而在多核情况下，存储器需要同时为多个处理器核提供数据。目前，多核处理器核的数量按照 Moore 定律在增长，而处理器的存储器带宽却受芯片引脚数目的限制，几乎没有增长，并且多核处理器线程间访存的相互干扰进一步导致了访存请求延迟的增加。这些变化严重地加剧原已存在的“存储墙”问题。在访存带宽不变情况下，问题规模随着时间而增大，程序的执行时间随时间成指数增长。因此，在未来可预测的时间范围内，存储系统仍将是困扰计算机系统设计人员的最大问题。

面对这一问题，我们希望通过改变计算机的硬件组织来解决这一问题。忆阻器是下一代极具潜力的非易失性存储器，它能在电脉冲的作用下实现高电阻和低电阻之间的可逆转变，高低电阻可以用来表示和存储“0”和“1”，用高电阻表示“0”，低电阻表示“1”。这与传统的“电平”逻辑不同，传统的“电平”逻辑是以高低电压来表示“0”和“1”，这种“电平”逻辑往往断电后电路状态无法保存。要保证非易失的存储，需要采用一种状态的存储，我们这里的状态就是电阻的阻态。这样我们在设计电路时，考虑到忆阻器的阻变特性参与完成逻辑计算，并将计算结果用忆阻器的阻态来保存，即使在断电情况下仍然保存着信息，这就省去的将传统架构将计算结果输出到存储器的步骤，实现计算与存储的融合。

2010 年，惠普实验室在 Nature 杂志上发表文章，提出未来非易失性的状态逻辑运算替代现有的电平逻辑运算。它使用两个忆阻器和一个电阻来实现 Material Implication (IMP) 实质蕴含 $((\text{NOT } p) \text{ OR } q)$ 逻辑，逻辑状态都以电阻形式非易失性地存储在忆阻器中，存储和运算的融合首次在忆阻器器件中实现。

蕴含操作需要使用一个电阻 R_G ($R_{ON} \ll R_G \ll R_{OFF}$)，它与两个并联的忆阻器 P, Q 相连。p, q 的初始值分别保存在忆阻器 P, Q 中，在 P, Q 上分别同时施加 V_{COND} , V_{SET} 电压，P 上施加的电压 V_{COND} 小于阈值电压，因此 P 的状态不会被改变。当 P 处于高阻态（逻辑 0）时，由于 $R_{OFF} \gg R_G$ ，所

以 R_G 上的电压几乎为 0，于是 Q 两端的电压 $V_Q \approx V_{SET}$ ，此时，无论 Q 之前处于何种状态，都会被置为低阻态（逻辑 1）。当 P 的状态处于低阻态（逻辑 1）时， $R_G \gg R_{ON}$ ，所以 R_G 上的电压几乎为 V_{COND} ，于是 Q 两端的电压 $V_Q \approx V_{SET} - V_{COND}$ ，这个电压小于阈值电压，不会使忆阻器状态改变，所以 Q 保持原状态。即 $q' \leftarrow pIMPq$ ，如图 1 所示。

解决存储墙问题主要有两种技术途径：一种是从根本上提高存储器性能，但短期内尚没有有效技术和手段；另一种是依赖微电子技术的快速发展，改变计算机体系结构，优化计算机硬件组织来解决存储墙问题。

[发明内容]

针对现有技术的缺陷，本发明的目的在于提供一种基于忆阻器实现计算与存储融合的处理器的操作方法，旨在解决计算时需要频繁地从存储器中读、写数据的问题。

本发明提供了一种基于忆阻器实现计算与存储融合的处理器的结构，包括：计算存储部件，包括 X 个融合单元和 X 个通信单元，每一个融合单元连接一个通信单元，各个通信单元相互连接构成一个通信网络，以及控制部件，用于根据指令产生相应控制信号，连接 CMU 之间的通信网络，选择操作数地址、结果存放地址，当操作需要用到其他 CMU 时，其能寻找空闲的一个或多个 CMU，用以实现所做的操作；其中，一个融合单元包括 M 个位单元和 M-1 个列开关，M 个位单元的 M 条位线均连接一个通信单元，相邻两个位单元的位线端之间连接一个列开关；一个位单元包括一个电阻、一个行开关和 N 个忆阻器，第一忆阻器的一端作为第一选择线，另一端通过依次串联的行开关和电阻接地；第二忆阻器的一端作为第二选择线，另一端连接至第一忆阻器的另一端；第三忆阻器的一端作为第三选择线，另一端连接至第二忆阻器的另一端；……第 N 忆阻器的一端作为第 N 选择线，另一端连接至第 N-1 忆阻器的另一端；X 为大于等于 2 的正整数，M 为大于等于 2 的正整数，N 为大于等于 2 的正整数。

更进一步地，一个位单元中的电阻的阻值远大于忆阻器低阻态时的阻值且远小于忆阻器高阻态时的阻值。

更进一步地，所述电阻的阻值为忆阻器的高阻态的阻值与低阻态时的

阻值的乘积的开平方。

本发明还提供了一种基于上述的处理器的数据传输、算术运算、逻辑运算和移位等操作方法，数据传输操作包括下述步骤：

(1.1) 通过在第二融合单元 B-CMU 中的第 1 组忆阻器 B_1 和第 2 组忆阻器 B_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得所述第 1 组忆阻器 B_1 和所述第 2 组忆阻器 B_2 均处于高阻状态，该状态记为 0；

第一电压 V_{CLEAR} 为负向且值大于阈值电压；所述阈值电压为使得忆阻器的状态发生改变的电压；

(1.2) 通过通信网络将第一融合单元 A-CMU 和第二融合单元 B-CMU 连通，通过在第一融合单元 A-CMU 的第 1 组忆阻器 A_1 的选择线上施加第二电压 V_{COND} ，并在第二融合单元 B-CMU 的第 2 组忆阻器 B_2 的选择线上施加第三电压 V_{SET} ，将 $((\text{NOT } A_1) \text{ OR } B_2)$ 保存在 B_2 中实现蕴含操作，

其中第二电压 V_{COND} 正向且值小于阈值电压；第三电压 V_{SET} 为正向且值大于阈值电压；且所述第三电压 V_{SET} 与所述第二电压 V_{COND} 的差值小于所述阈值电压；

(1.3) 在第二融合单元 B-CMU 的第 2 组忆阻器 B_2 的选择线上施加第二电压 V_{COND} ，并在第二融合单元 B-CMU 中的第 1 组忆阻器 B_1 上施加第三电压 V_{SET} ，将数据保存在 B_1 中实现蕴含操作 $B_1 \leftarrow B_2 \text{ IMP } B_1$ ，从而实现将存储于第一融合单元 A-CMU 中第 1 组忆阻器 A_1 中的数据 x 传输至第二融合单元 B-CMU 中的第 1 组忆阻器 B_1 中。

本发明由多个计算与存储融合单元通过通信网络相连接；目前处理器相连的存储器均以高低电平表示“0”和“1”，这种往往断电后电路状态无法保存。要保证非易失的存储，需要采用一种状态的存储，本发明中使用的是电阻的阻态；在设计电路时，考虑到忆阻器的阻变特性已参与完成相应的计算，将计算结果用忆阻器的阻态来保存，省去了传统计算机系统 will 将计算结果输出到存储器的步骤，实现计算与存储的融合。通过通信网络，使得任意 CMU 中数据都能当作操作数进行计算，并存储在指定的 CMU 内。CMU 既可以存储数据，也可以当作计算单元使用，这将不同于现有的计算机系统必须使用专门的运算器和存储器，本发明极其方便进行并行计算与

并行存储，并实现大多数现有计算机系统中与计算和存储有关的操作。

[附图说明]

图 1 为蕴含操作原理，其中 (a) 蕴含操作电路，(b) 蕴含操作 p IMP q 真值表；

图 2 为 N=4 的位单元；

图 3 为 M=8，N=4 的 CMU；

图 4 为由 M=8，N=4 的处理器中加法器的逻辑结构示意图；

图 5 为 M=8 的 A-CMU 与 B-CMU 相连的逻辑结构；

图 6 为计算存储部件；

图 7 为计算与存储融合的处理器的结构；

图 8 为控制部件的控制流程。

[具体实施方式]

为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

由于现有技术中的忆阻器用来做计算，并没有说明计算所需的数据是如何得到的，计算结果往往也是保存在临近的单元内，这样下一次对计算结果进行操作会比较困难。而本发明公开了基于忆阻器的非易失性的一套数据传输、算术运算、逻辑运算和移位操作的实现方案，并公开了一种计算和存储融合的处理器的阵列结构。由于本发明具有计算和存储功能，在其他一些既需要计算也需要存储功能的部件中均可以使用本发明。例如图像处理器(GPU)、路由器等等。

本发明实施例中，基于忆阻器的计算与存储融合的处理器的结构，包括计算存储部件和控制部件；计算存储部件包括 X 个融合单元和 X 个通信单元，每一个融合单元连接一个通信单元，各个通信单元相互连接构成一个通信网络，X 为大于等于 2 的正整数。控制部件用于根据指令产生相应控制信号，连接 CMU 之间的通信网络，选择操作数地址、结果存放地址，当操作需要用到其他 CMU 时，其能寻找空闲的一个或多个 CMU，用以实现所做的操作。

其中融合单元具体是指计算与存储融合单元(Computing & Memory Unit, CMU), X 个所述 CMU 中, 执行单个指令时, 使用 Y 个上述 CMU 单元, 通过通信网络相互连接, 执行后结果保存在这 Y 个单元里的任意一个之中, 其中 $X \geq Y > 0$ 。

一个融合单元包括 M 个位单元和 M-1 个列开关, M 个位单元的 M 条位线均连接一个通信单元, 相邻两个位单元的位线端之间连接一个列开关; M 为大于等于 1 的正整数。

一个位单元包括包括一个电阻、一个行开关和 N 个忆阻器, 第一忆阻器的一端作为第一选择线, 另一端通过依次串联的行开关和电阻接地; 第二忆阻器的一端作为第二选择线, 另一端连接至第一忆阻器的另一端; 第三忆阻器的一端作为第三选择线, 另一端连接至第二忆阻器的另一端; ……第 N 忆阻器的一端作为第 N 选择线, 另一端连接至第 N-1 忆阻器的另一端; N 为大于等于 1 的正整数。

作为本发明的一个实施例, 电阻的阻值需远大于忆阻器低阻态时的阻值且远小于忆阻器高阻态时的阻值, 优选为: 忆阻器的高阻态的阻值与低阻态时的阻值的乘积的开平方。

上述基于忆阻器的计算与存储融合的新型处理器单元结构, 其一个位单元结构包括第 1 忆阻器、第 2 忆阻器、第 3 忆阻器……第 N 忆阻器、第 1 选择线、第 2 选择线、第 3 选择线……第 N 选择线、1 条位线、1 个行开关、1 个电阻, 其中 $N \geq 1$ 。当 $N=1$ 时, 单个的 CMU 不能进行蕴含操作, $N=2$ 时, 单个 CMU 才可以做蕴含操作, N 越大, 单个 CMU 能进行的操作越多。

第 1 忆阻器的输入端作为电路的第 1 选择线输入端, 所述的第 2 忆阻器的输入端作为电路的第 2 选择线输入端, 所述的第 3 忆阻器的输入端作为电路的第 3 选择线输入端……所述的第 N 忆阻器的输入端作为电路的第 N 选择线输入端; 所述第 1 忆阻器、第 2 忆阻器、第 3 忆阻器……第 N 忆阻器的另一端连接在所述的位线上, 连接在所述行开关一侧; 所述行开关另一侧与所述电阻串联, 所述电阻另一侧接地。

其 CMU 的结构以 M 个位(bit)进行设计, 包括 M 个位单元、M-1 个列

开关, 由 M 个位单元中的第 1 忆阻器构成第 1 组忆阻器、 M 个 1 位单元中的第 2 忆阻器构成第 2 组忆阻器、 M 个位单元中的第 3 忆阻器构成第 3 组忆阻器…… M 个位单元中的第 N 忆阻器构成第 N 组忆阻器, 每一组有 M 个忆阻器, 其中 $M \geq 1$ 。当总的忆阻器个数相同, M 也相同时, N 越大, CMU 单元数越少, 网络的开销越小。

其中第 1 组忆阻器选择线相连, 构成第 1 组选择线; 第 2 组忆阻器选择线相连, 构成第 2 组选择线; 第 3 组忆阻器选择线相连, 构成第 3 组选择线……第 N 组忆阻器选择线相连, 构成第 N 组选择线, 其中通过一组选择线, 可在这一组内选择一个或多个忆阻器。有 M 条位线, 相邻两条位线通过一个列开关相连, 第 1 位线与第 2 位线之间连接一个列开关, 第 2 位线与第 3 位线之间连接一个列开关, 依此类推。

上述计算与存储融合的新型处理器结构, 其特征在于, 包括 X 个通信单元, 每个通信单元连接一个 CMU, 各个 CMU 间通过通信网络连接, 当 CMU 两两相连时, 其连接特点是根据控制信号将 A-CMU 的第一位线可以与 B-CMU 的第一位线相连, A-CMU 的第二位线可以与 B-CMU 的第二位线相连, ……A-CMU 的第 M 位线可以与 B-CMU 的第 M 位线相连; 也可以将 A-CMU 和单元 B-CMU 错一位或错多位相连, 如 A-CMU 的第一到 $M-1$ 位线与 B-CMU 的第二到 M 位线相连, 或者 A-CMU 的第三到 M 位线与 B-CMU 的第一到 $M-2$ 位线相连, 等等。

每个忆阻器数据都有固定的地址, 先选择到该忆阻器所在的 CMU, 再在 CMU 内通过选择线找到该忆阻器。

该选择线能够选择到该数据的具体某一位或某几位忆阻器。

选择线选择需要写“1”的某一位或某几位, 在选择线上施加第三电压 V_{SET} , 再选择需要写“0”的某一位或某几位, 在选择线上加电压 V_{CLEAR} 。

在本发明实施例中, 一个计算与存储融合单元, $N=4$ 时位单元参见图 2 所示, 当 $M=8$ 时, 每字节数据用一个选择线来选中这一字节数据, 一字节数据由 8 个忆阻器表示, 每个忆阻器表示一位数据。全加器结构由 4 个 CMU 组成, 其中两两 CMU 经通信网络连接, 具体组成如图 3、图 4 和图 5 所示。计算存储部件的结构设计如图 6 所示, 计算与存储融合的新型处理器结构

如图 7 所示, 可以通过控制部件确定数据存储的 CMU 位置, 再通过选择线确定数据的具体位置; 控制部件流程图如图 8 所示。

(一) N 小于 4 时, M 为任意正整数, 具体操作方法相同, 为了便于说明, 现以 $N=2$, $M=8$ 为例详述如下:

第一融合单元 A-CMU 中有 8 个位单元, 一个位单元中有 2 个忆阻器, 8 个位单元中的第一忆阻器构成了第 1 组忆阻器 A_1 , 第 1 组忆阻器 A_1 中各个第一忆阻器分别记为: $A_{1,1}$ 、 $A_{1,2}$ 、 $A_{1,3}$ 、 $A_{1,4}$ 、 $A_{1,5}$ 、 $A_{1,6}$ 、 $A_{1,7}$ 、 $A_{1,8}$, 8 个位单元中的第二忆阻器构成了第 2 组忆阻器 A_2 , 第 2 组忆阻器 A_2 中各个第二忆阻器分别记为: $A_{2,1}$ 、 $A_{2,2}$ 、 $A_{2,3}$ 、 $A_{2,4}$ 、 $A_{2,5}$ 、 $A_{2,6}$ 、 $A_{2,7}$ 、 $A_{2,8}$ 。

第二融合单元 B-CMU 中有 8 个位单元, 一个位单元中有 2 个忆阻器, 8 个位单元中的第一忆阻器构成了第 1 组忆阻器, 第 1 组忆阻器中各个第一忆阻器分别记为: $B_{1,1}$ 、 $B_{1,2}$ 、 $B_{1,3}$ 、 $B_{1,4}$ 、 $B_{1,5}$ 、 $B_{1,6}$ 、 $B_{1,7}$ 、 $B_{1,8}$, 8 个位单元中的第二忆阻器构成了第 2 组忆阻器, 第 2 组忆阻器中各个第二忆阻器分别记为: $B_{2,1}$ 、 $B_{2,2}$ 、 $B_{2,3}$ 、 $B_{2,4}$ 、 $B_{2,5}$ 、 $B_{2,6}$ 、 $B_{2,7}$ 、 $B_{2,8}$ 。

同理, 第三融合单元 C-CMU、第四融合单元 D-CMU、第五个融合单元 E-CMU、第六个融合单元 F-CMU、第七个融合单元 G-CMU 和第八个融合单元 H-CMU, 每一个 CMU 均有 8 个位单元, 一个位单元有 2 个忆阻器, 8 个位单元中的第一忆阻器构成了第 1 组忆阻器, 分别为 C_1 、 D_1 、 E_1 、 F_1 、 G_1 、 H_1 ; 8 个位单元中的第二忆阻器构成了第 2 组忆阻器, 分别为 C_2 、 D_2 、 E_2 、 F_2 、 G_2 、 H_2 。

(1) 数据传输

数据 x 存储于第一融合单元 A-CMU 中的第 1 组忆阻器 A_1 中, 采用上述处理器将数据 x 传输至第二融合单元 B-CMU 中的第 1 组忆阻器 B_1 中, 具体操作如下:

(1.1) 通过在第二融合单元 B-CMU 中的第 1 组忆阻器 B_1 和第 2 组忆阻器 B_2 的选择线上同时施加第一电压 V_{CLEAR} , 使得忆阻器处于高阻状态, 该状态记为 0; 电压 V_{CLEAR} 为负向且值大于第一阈值电压; 所述第一阈值电压为使得忆阻器的状态发生改变的电压; 第一阈值电压为已知值;

(1.2) 通过通信网络将 A-CMU 和 B-CMU 连通, 通过在第一融合单元

A-CMU 的第 1 组忆阻器 A_1 的选择线上施加第二电压 V_{COND} ，并在第二融合单元 B-CMU 的第 2 组忆阻器 B_2 的选择线上施加第三电压 V_{SET} 实现蕴含操作将 $((NOT A_1) OR B_2)$ 保存在 B_2 中，即 $B_2 \leftarrow A_1 IMP B_2$ 。其中第二电压 V_{COND} 正向且值小于阈值电压；第三电压 V_{SET} 为正向且值大于阈值电压；

(1.3) 在第二融合单元 B-CMU 的第 2 组忆阻器 B_2 的选择线上施加第二电压 V_{COND} ，并在第二融合单元 B-CMU 中的第 1 组忆阻器 B_1 上施加第三电压 V_{SET} ，实现蕴含操作 $B_1 \leftarrow B_2 IMP B_1$ ，将数据保存在 B_1 中。

对比现有的计算机中的数据传输操作，本发明的数据传输操作不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(2) 数据交换

数据 x 存储于 A-CMU 中的 A_1 中，数据 y 存储于 B-CMU 中的 B_1 中，采用上述处理器，将数据 x 与数据 y 交换位置，具体操作如下：

(2.1) 通过在 C_1 ， C_2 ， D_1 ， D_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 ， C_2 ， D_1 ， D_2 处于高阻状态，该状态记为 0。

(2.2) 通过通信网络将 A-CMU 与 C-CMU 连通，将 B-CMU 与 D-CMU 连通，在 A_1 ， B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 ， D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 IMP C_2$ ， $D_2 \leftarrow B_1 IMP D_2$ 。

(2.3) 在 C_2 ， D_2 的选择线上同时施加第二电压 V_{COND} ，并在 C_1 ， D_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 IMP C_1$ ， $D_1 \leftarrow D_2 IMP D_1$ 。

(2.4) 在 A_1 ， A_2 ， B_1 ， B_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 A_1 ， A_2 ， B_1 ， B_2 处于高阻状态。

(2.5) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 C_1 ， D_1 的选择线上同时施加第二电压 V_{COND} ，并在 A_2 ， B_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow D_1 IMP A_2$ ， $B_2 \leftarrow C_1 IMP B_2$ 。

(2.6) 在 A_2 ， B_2 的选择线上同时施加第二电压 V_{COND} ，并在 A_1 ， B_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_1 \leftarrow A_2 IMP A_1$ ， $B_1 \leftarrow B_2 IMP B_1$ ，将数据 x 存储于 B-CMU 中的 B_1 中，数据 y 存储于 A-CMU 中的

A₁ 中。

对比现有的计算机中的数据传输操作，本发明的数据传输操作不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(3) 加法

数据 x 存储于 A-CMU 中的 A₁ 中，数据 y 存储于 B-CMU 中的 B₁ 中，采用上述处理器，将数据 x 与数据 y 相加，存储到 C-CMU 的 C₁ 中，具体操作如下：

(3.1) 通过在 C₂、G₁、G₂、D₂、H₁ 的选择线上同时施加第一电压 V_{CLEAR}。使得 C₂、G₁、G₂、D₂、H₁ 处于高阻状态。

(3.2) 通过通信网络将 A-CMU 与 G-CMU 连通，B-CMU 与 H-CMU 连通，在 A₁、B₁ 的选择线上同时施加第二电压 V_{COND}，并在 G₁、H₁ 的选择线上同时施加第三电压 V_{SET}。实现蕴含操作 $G_1 \leftarrow A_1 \text{ IMP } G_1$ ， $H_1 \leftarrow B_1 \text{ IMP } H_1$ 。

(3.3) 通过通信网络将 C-CMU 与 G-CMU 连通，D-CMU 与 H-CMU 连通，在 G₁、H₁ 的选择线上同时施加第二电压 V_{COND}，并在 C₂、D₂ 的选择线上同时施加第三电压 V_{SET}。实现蕴含操作 $C_2 \leftarrow G_1 \text{ IMP } C_2$ ， $D_2 \leftarrow H_1 \text{ IMP } D_2$ 。

(3.4) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 A₁、B₁ 的选择线上同时施加第二电压 V_{COND}，并在 C₂、D₂ 的选择线上同时施加第三电压 V_{SET}。实现蕴含操作 $D_2 \leftarrow A_1 \text{ IMP } D_2$ ， $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(3.5) 通过通信网络将 C-CMU 与 G-CMU 连通，在 C₂ 的选择线上施加第二电压 V_{COND}，并在 G₂ 的选择线上施加第三电压 V_{SET}。实现蕴含操作 $G_2 \leftarrow C_2 \text{ IMP } G_2$ 。

(3.6) 通过通信网络将 D-CMU 与 G-CMU 连通，在 D₂ 的选择线上施加第二电压 V_{COND}，并在 G₂ 的选择线上施加第三电压 V_{SET}。实现蕴含操作 $G_2 \leftarrow D_2 \text{ IMP } G_2$ 。

(3.7) 通过在 B_{2, i}、D_{2, i}、H_{2, i+1} 的选择线上同时施加第一电压 V_{CLEAR}。使得 B_{2, i}、D_{2, i}、H_{2, i+1} 处于高阻状态。（初始 i=1）

(3.8) 通过通信网络将 D-CMU 与 G-CMU 连通, 在 $B_{1,i}$ 、 $G_{2,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $B_{2,i} \leftarrow B_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow G_{2,i} \text{ IMP } D_{2,i}$ 。

(3.9) 通过通信网络将 A-CMU 与 B-CMU 连通, D-CMU 与 H-CMU 连通, 在 $A_{1,i}$ 、 $H_{2,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $B_{2,i} \leftarrow A_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow H_{2,i} \text{ IMP } D_{2,i}$ 。

(3.10) 通过通信网络将 D-CMU 与 H-CMU 连通, 断开开关 DK_i , 闭合开关 $DK_{i,i+1}$, 在 $D_{2,i}$ 的选择线上施加第二电压 V_{COND} , 并在 $H_{2,i+1}$ 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $H_{2,i+1} \leftarrow D_{2,i} \text{ IMP } H_{2,i+1}$ 。

(3.11) 通过通信网络将 B-CMU 与 H-CMU 连通, 断开开关 BK_i 、 HK_i 、 HK_{i+1} 、 $BK_{i,i+1}$, 闭合开关 $HK_{i,i+1}$, 在 $B_{2,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $H_{2,i+1}$ 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $H_{2,i+1} \leftarrow B_{2,i} \text{ IMP } H_{2,i+1}$ 。(若 i 小于 8, 则 $i+1$, 返回 3.7, 若 $i \geq 8$, 则做 3.12)

(3.12) 通过在 A_2 、 E_1 、 B_2 、 F_1 、 C_1 的选择线上同时施加第一电压 V_{CLEAR} 。使得 A_2 、 E_1 、 B_2 、 F_1 、 C_1 处于高阻状态。

(3.13) 通过通信网络将 E-CMU 与 G-CMU 连通, F-CMU 与 H-CMU 连通, 在 G_2 、 H_2 的选择线上同时施加第二电压 V_{COND} , 并在 E_1 、 F_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $E_1 \leftarrow G_2 \text{ IMP } E_1$, $F_1 \leftarrow H_2 \text{ IMP } F_1$ 。

(3.14) 通过通信网络将 A-CMU 与 E-CMU 连通, B-CMU 与 F-CMU 连通, 在 E_1 、 F_1 的选择线上同时施加第二电压 V_{COND} , 并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow E_1 \text{ IMP } A_2$, $B_2 \leftarrow F_1 \text{ IMP } B_2$ 。

(3.15) 通过通信网络将 A-CMU 与 H-CMU 连通, B-CMU 与 G-CMU 连通, 在 H_2 、 G_2 的选择线上同时施加第二电压 V_{COND} , 并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow H_2 \text{ IMP } A_2$, $B_2 \leftarrow G_2 \text{ IMP } B_2$ 。

(3.16) 通过通信网络将 A-CMU 与 C-CMU 连通, 在 A_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow A_2 \text{ IMP } C_1$ 。

(3.17) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 B_2 的选择线上施

加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow B_2 \text{ IMP } C_1$ 。

对比现有的计算机中的加法操作，本发明中的加法没有“从存储器中读取数据，运算完后通过数据总线再保存到存储器中”这些频繁访问存储器的步骤，只需要在模块内找到操作数的位置和结果需要存放的位置，在运算完成后，结果就保存在模块内相应的位置上；并且本发明中加法不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(4) 立即数加法

数据 x 存储于 A-CMU 中的 A_1 中，采用上述处理器，将数据 x 与立即数 128 相加，存储到 C-CMU 的 C_1 中，具体操作如下：

(4.1) 通过在选择线 $B_{1.1}$ 上加电压 V_{SET} ，在选择线 $B_{1.2}$ - $B_{1.8}$ 上加电压 V_{CLEAR} ，将 128 写入 B_1 中。

(4.2) 通过在 C_2 、 G_1 、 G_2 、 D_2 、 H_1 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_2 、 G_1 、 G_2 、 D_2 、 H_1 处于高阻状态。

(4.3) 通过通信网络将 A-CMU 与 G-CMU 连通，B-CMU 与 H-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 G_1 、 H_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $G_1 \leftarrow A_1 \text{ IMP } G_1$ ， $H_1 \leftarrow B_1 \text{ IMP } H_1$ 。

(4.4) 通过通信网络将 C-CMU 与 G-CMU 连通，D-CMU 与 H-CMU 连通，在 G_1 、 H_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow G_1 \text{ IMP } C_2$ ， $D_2 \leftarrow H_1 \text{ IMP } D_2$ 。

(4.5) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $D_2 \leftarrow A_1 \text{ IMP } D_2$ ， $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(4.6) 通过通信网络将 C-CMU 与 G-CMU 连通，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 G_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $G_2 \leftarrow C_2 \text{ IMP } G_2$ 。

(4.7) 通过通信网络将 D-CMU 与 G-CMU 连通, 在 D_2 的选择线上施加第二电压 V_{COND} , 并在 G_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $G_2 \leftarrow D_2 \text{ IMP } G_2$ 。

(4.8) 通过在 $B_{2,i}$ 、 $D_{2,i}$ 、 $H_{2,i+1}$ 的选择线上同时施加第一电压 V_{CLEAR} 。使得 $B_{2,i}$ 、 $D_{2,i}$ 、 $H_{2,i+1}$ 处于高阻状态。(初始 $i=1$)

(4.9) 通过通信网络将 D-CMU 与 G-CMU 连通, 在 $B_{1,i}$ 、 $G_{2,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $B_{2,i} \leftarrow B_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow G_{2,i} \text{ IMP } D_{2,i}$ 。

(4.10) 通过通信网络将 A-CMU 与 B-CMU 连通, D-CMU 与 H-CMU 连通, 在 $A_{1,i}$ 、 $H_{2,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $B_{2,i} \leftarrow A_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow H_{2,i} \text{ IMP } D_{2,i}$ 。

(4.11) 通过通信网络将 D-CMU 与 H-CMU 连通, 断开开关 DK_i , 闭合开关 $DK_{i,i+1}$, 在 $D_{2,i}$ 的选择线上施加第二电压 V_{COND} , 并在 $H_{2,i+1}$ 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $H_{2,i+1} \leftarrow D_{2,i} \text{ IMP } H_{2,i+1}$ 。

(4.12) 通过通信网络将 B-CMU 与 H-CMU 连通, 断开开关 BK_i 、 HK_i 、 HK_{i+1} 、 $BK_{i,i+1}$, 闭合开关 $HK_{i,i+1}$, 在 $B_{2,i}$ 的选择线上施加第二电压 V_{COND} , 并在 $H_{2,i+1}$ 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $H_{2,i+1} \leftarrow B_{2,i} \text{ IMP } H_{2,i+1}$ 。(若 i 小于 8, 则 $i+1$, 返回 4.8, 若 $i \geq 8$, 则做 4.13)

(4.13) 通过在 A_2 、 E_1 、 B_2 、 F_1 、 C_1 的选择线上同时施加第一电压 V_{CLEAR} 。使得 A_2 、 E_1 、 B_2 、 F_1 、 C_1 处于高阻状态。

(4.14) 通过通信网络将 E-CMU 与 G-CMU 连通, F-CMU 与 H-CMU 连通, 在 G_2 、 H_2 的选择线上同时施加第二电压 V_{COND} , 并在 E_1 、 F_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $E_1 \leftarrow G_2 \text{ IMP } E_1$, $F_1 \leftarrow H_2 \text{ IMP } F_1$ 。

(4.15) 通过通信网络将 A-CMU 与 E-CMU 连通, B-CMU 与 F-CMU 连通, 在 E_1 、 F_1 的选择线上同时施加第二电压 V_{COND} , 并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow E_1 \text{ IMP } A_2$, $B_2 \leftarrow F_1 \text{ IMP } B_2$ 。

(4.16) 通过通信网络将 A-CMU 与 H-CMU 连通, B-CMU 与 G-CMU 连通, 在 H_2 、 G_2 的选择线上同时施加第二电压 V_{COND} , 并在 A_2 、 B_2 的选择

线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow H_2 \text{ IMP } A_2, B_2 \leftarrow G_2 \text{ IMP } B_2$ 。

(4.17) 通过通信网络将 A-CMU 与 C-CMU 连通, 在 A_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow A_2 \text{ IMP } C_1$ 。

(4.18) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 B_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow B_2 \text{ IMP } C_1$ 。

对比现有的计算机中的立即数加法操作, 本发明中的立即数加法可以不从存储器中读取数据, 运算完后通过数据总线再保存到存储器中, 只需要在模块内找到操作数的位置和结果需要存放的位置, 在运算完成后, 结果就保存在模块内相应的位置。并且本发明中立即数加法不需要通过运算器, 同时可以进行多个其他操作, 拥有更好的并行性。

(5) 逻辑与

数据 x 存储于 A-CMU 中的 A_1 中, 数据 y 存储于 B-CMU 中的 B_1 中, 采用上述处理器, 将数据 x 和数据 y 做逻辑与操作, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(5.1) 通过在 C_1, C_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1, C_2 处于高阻状态。

(5.2) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 B_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(5.3) 通过通信网络将 A-CMU 与 C-CMU 连通, 在 A_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$ 。

(5.4) 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

对比现有的计算机中的逻辑与操作, 本发明中的逻辑与可以不从存储器中读取数据, 运算完后通过数据总线再保存到存储器中, 只需要在模块内找到操作数的位置和结果需要存放的位置, 在运算完成后, 结果就保存

在模块内相应的位置。并且，本发明中逻辑与不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(6) 逻辑或

数据 x 存储于 A-CMU 中的 A_1 中，数据 y 存储于 B-CMU 中的 B_1 中，采用上述处理器，将数据 x 和数据 y 做逻辑或操作，存储到 C-CMU 的 C_1 中，具体操作如下：

(6.1) 通过在 C_1 , C_2 , A_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 , C_2 , A_2 处于高阻状态。

(6.2) 通过通信网络将 B-CMU 与 C-CMU 连通， B_1 的选择线上施加第二电压 V_{COND} ，并 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(6.3) 在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(6.4) 在 A_1 的选择线上施加第二电压 V_{COND} ，并在 A_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ 。

(6.5) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow A_2 \text{ IMP } C_1$ 。

对比现有的计算机中的逻辑或操作，本发明中的逻辑或可以不从存储器中读取数据，运算完后通过数据总线再保存到存储器中，只需要在模块内找到操作数的位置和结果需要存放的位置，在运算完成后，结果就保存在模块内相应的位置。并且，本发明中逻辑或不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(7) 逻辑非

数据 x 存储于 A-CMU 中的 A_1 中，采用上述处理器，将数据 x 做逻辑非操作，存储到 A-CMU 的 A_2 中，具体操作如下：

(7.1) 通过在 A_2 的选择线上施加第一电压 V_{CLEAR} 。使得 A_2 处于高阻状态。

(7.2) 通过在 A_1 的选择线上施加第二电压 V_{COND} ，并在 A_2 的选择线

上施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ 。

对比现有的计算机中的逻辑非操作，本发明中的逻辑非可以不从存储器中读取数据，运算完后通过数据总线再保存到存储器中，只需要在模块内找到操作数的位置 and 结果需要存放的位置，在运算完成后，结果就保存在模块内相应的位置。并且，本发明中逻辑非不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(8) 逻辑异或

数据 x 存储于 A-CMU 中的 A_1 中，数据 y 存储于 B-CMU 中的 B_1 中，采用上述处理器，将数据 x 和数据 y 做逻辑异或操作，存储到 C-CMU 的 C_1 中，具体操作如下：

(8.1) 通过在 C_1 、 C_2 、 A_2 、 D_1 、 D_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 、 C_2 、 A_2 、 D_1 、 D_2 处于高阻状态。

(8.2) 通过通信网络将 B-CMU 与 D-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 A_2 、 D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ ， $D_2 \leftarrow B_1 \text{ IMP } D_2$ 。

(8.3) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_2 、 D_2 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_2 \text{ IMP } C_2$ ， $D_2 \leftarrow D_1 \text{ IMP } D_2$ 。

(8.4) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $D_1 \leftarrow A_1 \text{ IMP } D_1$ ， $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(8.5) 通过通信网络将 B-CMU 与 C-CMU 连通，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(8.6) 通过通信网络将 C-CMU 与 D-CMU 连通，在 D_1 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow D_1 \text{ IMP } C_1$ 。

对比现有的计算机中的逻辑异或操作，本发明中的逻辑异或可以不从存储器中读取数据，运算完后通过数据总线再保存到存储器中，只需要在

模块内找到操作数的位置和结果需要存放的位置，在运算完成后，结果就保存在模块内相应的位置。并且，本发明中逻辑异或不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(9) 逻辑或非

数据 x 存储于 A-CMU 中的 A_1 中，数据 y 存储于 B-CMU 中的 B_1 中，采用上述处理器，将数据 x 和数据 y 做逻辑或非操作，存储到 C-CMU 的 C_1 中，具体操作如下：

(9.1) 通过在 C_1 , C_2 , A_2 , B_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 , C_2 , A_2 , B_2 处于高阻状态。

(9.2) 通过通信网络将 B-CMU 与 C-CMU 连通，在 B_1 的选择线上施加第二电压 V_{COND} ，并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(9.3) 通过通信网络将 B-CMU 与 C-CMU 连通，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 B_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $B_2 \leftarrow C_2 \text{ IMP } B_2$ 。

(9.4) 在 A_1 的选择线上施加第二电压 V_{COND} ，并在 A_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ 。

(9.5) 通过通信网络将 A-CMU 与 B-CMU 相连，在 A_2 的选择线上施加第二电压 V_{COND} ，并在 B_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $B_2 \leftarrow A_2 \text{ IMP } B_2$ 。

(9.6) 通过通信网络将 B-CMU 与 C-CMU 相连，在 B_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow B_2 \text{ IMP } C_1$ 。

对比现有的计算机中的逻辑或非操作，本发明中的逻辑或非可以不从存储器中读取数据，运算完后通过数据总线再保存到存储器中，只需要在模块内找到操作数的位置和结果需要存放的位置，在运算完成后，结果就保存在模块内相应的位置。并且，本发明中逻辑或非不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(10) 立即数与

数据 x 存储于 A-CMU 中的 A_1 中, 采用上述处理器, 将数据 x 和立即数 128 进行与操作, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(10.1) 通过在选择线 $B_{1,1}$ 上同时施加第三电压 V_{SET} , 在选择线 $B_{1,2}$ - $B_{1,8}$ 上同时施加第一电压 V_{CLEAR} , 将 128 写入 B_1 中。

(10.2) 通过在 C_1 , C_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 , C_2 处于高阻状态。

(10.3) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 B_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(10.4) 通过通信网络将 A-CMU 与 C-CMU 连通, 在 A_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$ 。

(10.5) 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

对比现有的计算机中的立即数与操作, 本发明中的立即数与可以不从存储器中读取数据, 运算完后通过数据总线再保存到存储器中, 只需要在模块内找到操作数的位置和结果需要存放的位置, 在运算完成后, 结果就保存在模块内相应的位置。并且, 本发明中立即数与不需要通过运算器, 同时可以进行多个其他操作, 拥有更好的并行性。

(11) 立即数或

数据 x 存储于 A-CMU 中的 A_1 中, 采用上述处理器, 将数据 x 和立即数 128 进行或操作, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(11.1) 通过在选择线 $B_{1,1}$ 上同时施加第三电压 V_{SET} , 在选择线 $B_{1,2}$ - $B_{1,8}$ 上同时施加第一电压 V_{CLEAR} , 将 128 写入 B_1 中。

(11.2) 通过在 C_1 , C_2 , A_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 , C_2 , A_2 处于高阻状态。

(11.3) 通过通信网络将 B-CMU 与 C-CMU 连通, B_1 的选择线上施加第二电压 V_{COND} , 并 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(11.4) 在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(11.5) 在 A_1 的选择线上施加第二电压 V_{COND} ，并在 A_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ 。

(11.6) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow A_2 \text{ IMP } C_1$ 。

对比现有的计算机中的立即数或操作，本发明中的立即数或可以不从存储器中读取数据，运算完后通过数据总线再保存到存储器中，只需要在模块内找到操作数的位置和结果需要存放的位置，在运算完成后，结果就保存在模块内相应的位置。并且，本发明中立即数或不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(12) 立即数异或

数据 x 存储于 A-CMU 中的 A_1 中，采用上述处理器，将数据 x 和立即数 128 进行异或操作，存储到 C-CMU 的 C_1 中，具体操作如下：

(12.1) 通过在选择线 $B_{1,1}$ 上同时施加第三电压 V_{SET} ，在选择线 $B_{1,2}$ - $B_{1,8}$ 上同时施加第一电压 V_{CLEAR} ，将 128 写入 B_1 中。

(12.2) 通过在 C_1 、 C_2 、 A_2 、 D_1 、 D_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 、 C_2 、 A_2 、 D_1 、 D_2 处于高阻状态。

(12.3) 通过通信网络将 B-CMU 与 D-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 A_2 、 D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ ， $D_2 \leftarrow B_1 \text{ IMP } D_2$ 。

(12.4) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_2 、 D_2 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_2 \text{ IMP } C_2$ ， $D_2 \leftarrow D_1 \text{ IMP } D_2$ 。

(12.5) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $D_1 \leftarrow A_1 \text{ IMP } D_1$ ， $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(12.6) 通过通信网络将 B-CMU 与 C-CMU 连通，在 C_2 的选择线上施

加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(12.7) 通过通信网络将 C-CMU 与 D-CMU 连通，在 D_1 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow D_1 \text{ IMP } C_1$ 。

对比现有的计算机中的立即数异或操作，本发明中的立即数异或可以不从存储器中读取数据，运算完后通过数据总线再保存到存储器中，只需要在模块内找到操作数的位置 and 结果需要存放的位置，在运算完成后，结果就保存在模块内相应的位置。并且，本发明中立即数异或不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(13) 左移 m 位

数据 x 存储于 A-CMU 中的 A_1 中，采用上述处理器，将数据 x 左移一位，存储到 C-CMU 的 C_1 中，具体操作如下：

(13.1) 通过在 C_1 ， C_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_1 ， C_2 处于高阻状态。

(13.2) 通过通信网络将 A-CMU 与 C-CMU 连通，其中， $A_{1, i+m} = C_{1, i}$ 。断开开关 CK_1 ，在 A_1 的选择线上施加第二电压 V_{COND} ，并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$ 。

(13.3) 断开开关 CK_1 ，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

对比现有的计算机中的左移 m 位操作，本发明中的左移 m 位可以不从存储器中读取数据，运算完后通过数据总线再保存到存储器中，只需要在模块内找到操作数的位置 and 结果需要存放的位置，在运算完成后，结果就保存在模块内相应的位置。并且，本发明中左移 m 位不需要通过运算器，同时可以进行多个其他操作，拥有更好的并行性。

(14) 右移 m 位

数据 x 存储于 A-CMU 中的 A_1 中，采用上述处理器，将数据 x 左移一位，存储到 C-CMU 的 C_1 中，具体操作如下：

(14.1) 通过在 C_1 ， C_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_1 ，

C_2 处于高阻状态。

(14.2) 通过通信网络将 A-CMU 与 C-CMU 连通, 其中, $A_{1,i}=C_{1,i+m}$ 。断开开关 CK_1 , 在 A_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$ 。

(14.3) 断开开关 CK_1 , 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

对比现有的计算机中的右移 m 位操作, 本发明中的右移 m 位可以不从存储器中读取数据, 运算完后通过数据总线再保存到存储器中, 只需要在模块内找到操作数的位置和结果需要存放的位置, 在运算完成后, 结果就保存在模块内相应的位置。并且, 本发明中右移 m 位不需要通过运算器, 同时可以进行多个其他操作, 拥有更好的并行性。

(二) $N \geq 4$ 时, M 为任意正整数, 具体操作方法相同, 为了便于说明, 现以 $N=4$, $M=8$ 为例详述如下:

(1) 数据传输

数据 x 存储于 A-CMU 中的 A_1 中, 将数据 x 存储到 B-CMU 的 B_1 中, 具体操作如下:

(1.1) 通过在 B_1 和 B_2 的选择线上同时施加第一电压 V_{CLEAR} , 使得 B_1 , B_2 处于高阻状态。

(1.2) 通过通信网络将 A-CMU 与 B-CMU 连通, 在 A_1 的选择线上施加第二电压 V_{COND} , 并在 B_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $B_2 \leftarrow A_1 \text{ IMP } B_2$ 。

(1.3) 在 B_2 的选择线上施加第二电压 V_{COND} , 并在 B_1 的选择先上施加第三电压 V_{SET} , 实现蕴含操作 $B_1 \leftarrow B_2 \text{ IMP } B_1$ 。

(2) 数据交换

数据 x 存储于 A-CMU 中的 A_1 中, 数据 y 存储于 B-CMU 中的 B_1 中, 采用上述处理器, 将数据 x 与数据 y 交换位置, 具体操作如下:

(2.1) 通过在 C_1 , C_2 , D_1 , D_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 , C_2 , D_1 , D_2 处于高阻状态。

(2.2) 通过通信网络将 A-CMU 与 C-CMU 连通, 将 B-CMU 与 D-CMU

连通, 在 A_1, B_1 的选择线上同时施加第二电压 V_{COND} , 并在 C_2, D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2, D_2 \leftarrow B_1 \text{ IMP } D_2$ 。

(2.3) 在 C_2, D_2 的选择线上同时施加第二电压 V_{COND} , 并在 C_1, D_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1, D_1 \leftarrow D_2 \text{ IMP } D_1$ 。

(2.4) 在 A_1, A_2, B_1, B_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 A_1, A_2, B_1, B_2 处于高阻状态。

(2.5) 通过通信网络将 A-CMU 与 D-CMU 连通, B-CMU 与 C-CMU 连通, 在 C_1, D_1 的选择线上同时施加第二电压 V_{COND} , 并在 A_2, B_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow D_1 \text{ IMP } A_2, B_2 \leftarrow C_1 \text{ IMP } B_2$ 。

(2.6) 在 A_2, B_2 的选择线上同时施加第二电压 V_{COND} , 并在 A_1, B_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_1 \leftarrow A_2 \text{ IMP } A_1, B_1 \leftarrow B_2 \text{ IMP } B_1$ 。

(3) 加法

数据 x 存储于 A-CMU 中的 A_1 中, 数据 y 存储于 B-CMU 中的 B_1 中, 采用上述处理器, 将数据 x 与数据 y 相加, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(3.1) 通过在 C_2, C_3, C_4, D_2, D_3 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_2, C_3, C_4, D_2, D_3 处于高阻状态。

(3.2) 通过通信网络将 A-CMU 与 C-CMU 连通, B-CMU 与 D-CMU 连通, 在 A_1, B_1 的选择线上同时施加第二电压 V_{COND} , 并在 C_3, D_3 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_3 \leftarrow A_1 \text{ IMP } C_3, D_3 \leftarrow B_1 \text{ IMP } D_3$ 。

(3.3) 通过通信网络将 C-CMU 与 D-CMU 连通, 在 C_3, D_3 的选择线上同时施加第二电压 V_{COND} , 并在 C_2, D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow C_3 \text{ IMP } C_2, D_2 \leftarrow D_3 \text{ IMP } D_2$ 。

(3.4) 通过通信网络将 A-CMU 与 D-CMU 连通, B-CMU 与 C-CMU 连通, 在 A_1, B_1 的选择线上同时施加第二电压 V_{COND} , 并在 C_2, D_2 的选择

线上同时施加第三电压 V_{SET} 。实现蕴含操作 $D_2 \leftarrow A_1 \text{ IMP } D_2$, $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(3.5) 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_4 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_4 \leftarrow C_2 \text{ IMP } C_4$ 。

(3.6) 通过通信网络将 C-CMU 与 D-CMU 连通, 在 D_2 的选择线上施加第二电压 V_{COND} , 并在 C_4 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $G_2 \leftarrow D_2 \text{ IMP } G_2$ 。

(3.7) 通过在 $B_{2,i}$ 、 $D_{2,i}$ 、 $D_{4,i+1}$ 的选择线上同时施加第一电压 V_{CLEAR} 。使得 $B_{2,i}$ 、 $D_{2,i}$ 、 $D_{4,i+1}$ 处于高阻状态。(初始 $i=1$)

(3.8) 通过通信网络将 C-CMU 与 D-CMU 连通, 在 $B_{1,i}$ 、 $C_{4,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $B_{2,i} \leftarrow B_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow C_{4,i} \text{ IMP } D_{2,i}$ 。

(3.9) 通过通信网络将 A-CMU 与 B-CMU 连通, 在 $A_{1,i}$ 、 $D_{4,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $B_{2,i} \leftarrow A_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow D_{4,i} \text{ IMP } D_{2,i}$ 。

(3.10) 断开开关 DK_i , 闭合开关 $DK_{i,i+1}$, 在 $D_{2,i}$ 的选择线上施加第二电压 V_{COND} , 在 $D_{4,i+1}$ 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $D_{4,i+1} \leftarrow D_{2,i} \text{ IMP } D_{4,i+1}$ 。

(3.11) 通过通信网络将 B-CMU 与 D-CMU 连通, 断开开关 BK_i 、 DK_i 、 DK_{i+1} 、 $BK_{i,i+1}$, 闭合开关 $DK_{i,i+1}$, 在 $B_{2,i}$ 的选择线上施加第二电压 V_{COND} , 并在 $D_{4,i+1}$ 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $D_{4,i+1} \leftarrow B_{2,i} \text{ IMP } D_{4,i+1}$ 。(若 i 小于 8, 则 $i+1$, 返回 3.7, 若 $i \geq 8$, 则做 3.12)

(3.12) 通过在 A_2 、 A_3 、 B_2 、 B_3 、 C_1 的选择线上同时施加第一电压 V_{CLEAR} 。使得 A_2 、 A_3 、 B_2 、 B_3 、 C_1 处于高阻状态。

(3.13) 通过通信网络将 A-CMU 与 C-CMU 连通, B-CMU 与 D-CMU 连通, 在 C_4 、 D_4 的选择线上同时施加第二电压 V_{COND} , 并在 A_3 、 B_3 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_3 \leftarrow C_4 \text{ IMP } A_3$, $B_3 \leftarrow D_4 \text{ IMP } B_3$ 。

(3.14) 在 A_3 、 B_3 的选择线上同时施加第二电压 V_{COND} , 并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_3 \text{ IMP } A_2$, $B_2 \leftarrow B_3$

IMP B_2 。

(3.15) 通过通信网络将 A-CMU 与 D-CMU 连通, B-CMU 与 C-CMU 连通, 在 D_4 、 C_4 的选择线上同时施加第二电压 V_{COND} , 并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow D_4 \text{ IMP } A_2$, $B_2 \leftarrow C_4 \text{ IMP } B_2$ 。

(3.16) 通过通信网络将 A-CMU 与 C-CMU 连通, 在 A_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow A_2 \text{ IMP } C_1$ 。

(3.17) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 B_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow B_2 \text{ IMP } C_1$ 。

(4) 立即数加法

数据 x 存储于 A-CMU 中的 A_1 中, 采用上述处理器, 将数据 x 与立即数 128 相加, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(4.1) 通过在选择线 $B_{1,1}$ 上同时施加第三电压 V_{SET} , 在选择线 $B_{1,2}$ - $B_{1,8}$ 上同时施加第一电压 V_{CLEAR} , 将 128 写入 B_1 中。

(4.2) 通过在 C_2 、 C_3 、 C_4 、 D_2 、 D_3 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_2 、 C_3 、 C_4 、 D_2 、 D_3 处于高阻状态。

(4.3) 通过通信网络将 A-CMU 与 C-CMU 连通, B-CMU 与 D-CMU 连通, 在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} , 并在 C_3 、 D_3 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_3 \leftarrow A_1 \text{ IMP } C_3$, $D_3 \leftarrow B_1 \text{ IMP } D_3$ 。

(4.4) 通过通信网络将 C-CMU 与 D-CMU 连通, 在 C_3 、 D_3 的选择线上同时施加第二电压 V_{COND} , 并在 C_2 、 D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow C_3 \text{ IMP } C_2$, $D_2 \leftarrow D_3 \text{ IMP } D_2$ 。

(4.5) 通过通信网络将 A-CMU 与 D-CMU 连通, B-CMU 与 C-CMU 连通, 在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} , 并在 C_2 、 D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $D_2 \leftarrow A_1 \text{ IMP } D_2$, $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(4.6) 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_4 的选择线上施加

第三电压 V_{SET} 。实现蕴含操作 $C_4 \leftarrow C_2 \text{ IMP } C_4$ 。

(4.7) 通过通信网络将 C-CMU 与 D-CMU 连通, 在 D_2 的选择线上施加第二电压 V_{COND} , 并在 C_4 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $G_2 \leftarrow D_2 \text{ IMP } G_2$ 。

(4.8) 通过在 $B_{2,i}$ 、 $D_{2,i}$ 、 $D_{4,i+1}$ 的选择线上同时施加第一电压 V_{CLEAR} 。使得 $B_{2,i}$ 、 $D_{2,i}$ 、 $D_{4,i+1}$ 处于高阻状态。(初始 $i=1$)

(4.9) 通过通信网络将 C-CMU 与 D-CMU 连通, 在 $B_{1,i}$ 、 $C_{4,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $B_{2,i} \leftarrow B_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow C_{4,i} \text{ IMP } D_{2,i}$ 。

(4.10) 通过通信网络将 A-CMU 与 B-CMU 连通, 在 $A_{1,i}$ 、 $D_{4,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $B_{2,i} \leftarrow A_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow D_{4,i} \text{ IMP } D_{2,i}$ 。

(4.11) 断开开关 DK_i , 闭合开关 $DK_{i,i+1}$, 在 $D_{2,i}$ 的选择线上施加第二电压 V_{COND} , 并在 $D_{4,i+1}$ 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $D_{4,i+1} \leftarrow D_{2,i} \text{ IMP } D_{4,i+1}$ 。

(4.12) 通过通信网络将 B-CMU 与 D-CMU 连通, 断开开关 BK_i 、 DK_i 、 DK_{i+1} 、 $BK_{i,i+1}$, 闭合开关 $DK_{i,i+1}$, 在 $B_{2,i}$ 的选择线上施加第二电压 V_{COND} , 并在 $D_{4,i+1}$ 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $D_{4,i+1} \leftarrow B_{2,i} \text{ IMP } D_{4,i+1}$ 。(若 i 小于 8, 则 $i+1$, 返回 4.8, 若 $i \geq 8$, 则做 4.13)

(4.13) 通过在 A_2 、 A_3 、 B_2 、 B_3 、 C_1 的选择线上同时施加第一电压 V_{CLEAR} 。使得 A_2 、 A_3 、 B_2 、 B_3 、 C_1 处于高阻状态。

(4.14) 通过通信网络将 A-CMU 与 C-CMU 连通, B-CMU 与 D-CMU 连通, 在 C_4 、 D_4 的选择线上同时施加第二电压 V_{COND} , 并在 A_3 、 B_3 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_3 \leftarrow C_4 \text{ IMP } A_3$, $B_3 \leftarrow D_4 \text{ IMP } B_3$ 。

(4.15) 在 A_3 、 B_3 的选择线上同时施加第二电压 V_{COND} , 并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_3 \text{ IMP } A_2$, $B_2 \leftarrow B_3 \text{ IMP } B_2$ 。

(4.16) 通过通信网络将 A-CMU 与 D-CMU 连通, B-CMU 与 C-CMU 连通, 在 D_4 、 C_4 的选择线上同时施加第二电压 V_{COND} , 并在 A_2 、 B_2 的选择

线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow D_4 \text{ IMP } A_2, B_2 \leftarrow C_4 \text{ IMP } B_2$ 。

(4.17) 通过通信网络将 A-CMU 与 C-CMU 连通, 在 A_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow A_2 \text{ IMP } C_1$ 。

(4.18) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 B_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow B_2 \text{ IMP } C_1$ 。

(5) 逻辑与

数据 x 存储于 A-CMU 中的 A_1 中, 数据 y 存储于 B-CMU 中的 B_1 中, 采用上述处理器, 将数据 x 和数据 y 做逻辑与操作, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(5.1) 通过在 C_1, C_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1, C_2 处于高阻状态。

(5.2) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 B_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(5.3) 通过通信网络将 A-CMU 与 C-CMU 连通, 在 A_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$ 。

(5.4) 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(6) 逻辑或

数据 x 存储于 A-CMU 中的 A_1 中, 数据 y 存储于 B-CMU 中的 B_1 中, 采用上述处理器, 将数据 x 和数据 y 做逻辑或操作, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(6.1) 通过在 C_1, C_2, C_3 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1, C_2, C_3 处于高阻状态。

(6.2) 通过通信网络将 B-CMU 与 C-CMU 连通, B_1 的选择线上施加第二电压 V_{COND} , 并 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1$

IMP C_2 。

(6.3) 在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(6.4) 在 A_1 的选择线上施加第二电压 V_{COND} ，并在 C_3 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_3 \leftarrow A_1 \text{ IMP } C_3$ 。

(6.5) 通过通信网络将 A-CMU 与 C-CMU 连通，在 C_3 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_3 \text{ IMP } C_1$ 。

(7) 逻辑非

数据 x 存储于 A-CMU 中的 A_1 中，采用上述处理器，将数据 x 做逻辑非操作，存储到 A-CMU 的 A_2 中，具体操作如下：

(7.1) 通过在 A_2 的选择线上施加第一电压 V_{CLEAR} 。使得 A_2 处于高阻状态。

(7.2) 通过在 A_1 的选择线上施加第二电压 V_{COND} ，并在 A_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ 。

(8) 逻辑异或

数据 x 存储于 A-CMU 中的 A_1 中，数据 y 存储于 B-CMU 中的 B_1 中，采用上述处理器，将数据 x 和数据 y 做逻辑异或操作，存储到 C-CMU 的 C_1 中，具体操作如下：

(8.1) 通过在 C_1 、 C_2 、 A_2 、 D_1 、 D_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 、 C_2 、 A_2 、 D_1 、 D_2 处于高阻状态。

(8.2) 通过通信网络将 B-CMU 与 D-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 A_2 、 D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ ， $D_2 \leftarrow B_1 \text{ IMP } D_2$ 。

(8.3) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_2 、 D_2 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_2 \text{ IMP } C_2$ ， $D_2 \leftarrow D_1 \text{ IMP } D_2$ 。

(8.4) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择

线上同时施加第三电压 V_{SET} 。实现蕴含操作 $D_1 \leftarrow A_1 \text{ IMP } D_1, C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(8.5) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 C_2 的选择线上同时施加第二电压 V_{COND} , 并在 C_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(8.6) 通过通信网络将 C-CMU 与 D-CMU 连通, 在 D_1 的选择线上同时施加第二电压 V_{COND} , 并在 C_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow D_1 \text{ IMP } C_1$ 。

(9) 逻辑或非

数据 x 存储于 A-CMU 中的 A_1 中, 数据 y 存储于 B-CMU 中的 B_1 中, 采用上述处理器, 将数据 x 和数据 y 做逻辑或非操作, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(9.1) 通过在 C_1, C_2, C_3, C_4 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1, C_2, C_3, C_4 处于高阻状态。

(9.2) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 B_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(9.3) 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_4 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_4 \leftarrow C_2 \text{ IMP } C_4$ 。

(9.4) 通过通信网络将 A-CMU 与 C-CMU 相连, 在 A_1 的选择线上施加第二电压 V_{COND} , 并在 A_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_3 \leftarrow A_1 \text{ IMP } C_3$ 。

(9.5) 在 C_3 的选择线上施加第二电压 V_{COND} , 并在 C_4 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_4 \leftarrow C_3 \text{ IMP } C_4$ 。

(9.6) 在 C_4 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_4 \text{ IMP } C_1$ 。

(10) 立即数与

数据 x 存储于 A-CMU 中的 A_1 中, 采用上述处理器, 将数据 x 和立即数 128 进行与操作, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(10.1) 通过在选择线 $B_{1,1}$ 上同时施加第三电压 V_{SET} , 在选择线 $B_{1,2}-B_{1,}$

₈上同时施加第一电压 V_{CLEAR} ，将 128 写入 B_1 中。

(10.2) 通过在 C_1 , C_2 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 , C_2 处于高阻状态。

(10.3) 通过通信网络将 B-CMU 与 C-CMU 连通，在 B_1 的选择线上施加第二电压 V_{COND} ，并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(10.4) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_1 的选择线上施加第二电压 V_{COND} ，并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$ 。

(10.5) 在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(11) 立即数或

数据 x 存储于 A-CMU 中的 A_1 中，采用上述处理器，将数据 x 和立即数 128 进行或操作，存储到 C-CMU 的 C_1 中，具体操作如下：

(11.1) 通过在选择线 $B_{1,1}$ 上同时施加第三电压 V_{SET} ，在选择线 $B_{1,2}$ - $B_{1,8}$ 上同时施加第一电压 V_{CLEAR} ，将 128 写入 B_1 中。

(11.2) 通过在 C_1 , C_2 , C_3 的选择线上同时施加第一电压 V_{CLEAR} 。使得 C_1 , C_2 , C_3 处于高阻状态。

(11.3) 通过通信网络将 B-CMU 与 C-CMU 连通， B_1 的选择线上施加第二电压 V_{COND} ，并 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(11.4) 在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(11.5) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_1 的选择线上施加第二电压 V_{COND} ，并在 A_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_3 \leftarrow A_1 \text{ IMP } C_3$ 。

(11.6) 在 A_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_3 \text{ IMP } C_1$ 。

(12) 立即数异或

数据 x 存储于 A-CMU 中的 A_1 中, 采用上述处理器, 将数据 x 和立即数 128 进行异或操作, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(12.1) 通过在选择线 $B_{1,1}$ 上同时施加第三电压 V_{SET} , 在选择线 $B_{1,2}$ - $B_{1,8}$ 上同时施加第一电压 V_{CLEAR} , 将 128 写入 B_1 中。

(12.2) 通过在选择线 C_1 、 C_2 、 C_3 、 D_1 、 D_2 上同时施加第一电压 V_{CLEAR} 。使得 C_1 、 C_2 、 A_2 、 D_1 、 D_2 处于高阻状态。

(12.3) 通过通信网络将 B-CMU 与 D-CMU 连通, 在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} , 并在 C_3 、 D_2 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_3 \leftarrow A_1 \text{ IMP } C_3$, $D_2 \leftarrow B_1 \text{ IMP } D_2$ 。

(12.4) 在 C_3 、 D_2 的选择线上同时施加第二电压 V_{COND} , 并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow C_3 \text{ IMP } C_2$, $D_2 \leftarrow D_1 \text{ IMP } D_2$ 。

(12.5) 通过通信网络将 A-CMU 与 D-CMU 连通, B-CMU 与 C-CMU 连通, 在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} , 并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $D_1 \leftarrow A_1 \text{ IMP } D_1$, $C_2 \leftarrow B_1 \text{ IMP } C_2$ 。

(12.6) 通过通信网络将 B-CMU 与 C-CMU 连通, 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(12.7) 通过通信网络将 C-CMU 与 D-CMU 连通, 在 D_1 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow D_1 \text{ IMP } C_1$ 。

(13) 左移 m 位

数据 x 存储于 A-CMU 中的 A_1 中, 采用上述处理器, 将数据 x 左移一位, 存储到 C-CMU 的 C_1 中, 具体操作如下:

(13.1) 通过在选择线 C_1 、 C_2 上同时施加第一电压 V_{CLEAR} , 使得 C_1 、 C_2 处于高阻状态。

(13.2) 通过通信网络将 A-CMU 与 C-CMU 连通, 其中, $A_{1, i+m} = C_{1, i}$ 。断开开关 CK_1 , 在 A_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$ 。

(13.3) 断开开关 CK_1 ，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

(14) 右移 m 位

数据 x 存储于 A-CMU 中的 A_1 中，采用上述处理器，将数据 x 左移一位，存储到 C-CMU 的 C_1 中，具体操作如下：

(14.1) 通过在 C_1 ， C_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_1 ， C_2 处于高阻状态。

(4.2) 通过通信网络将 A-CMU 与 C-CMU 连通，其中， $A_{1,i} = C_{1,i+m}$ 。断开开关 CK_1 ，在 A_1 的选择线上施加第二电压 V_{COND} ，并在 C_2 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$ 。

(14.3) 断开开关 CK_1 ，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} 。实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ 。

其中， Φ_α 表示 Φ -CMU 的第 α 组忆阻器，例如 A_1 表示 A-CMU 的第 1 组忆阻器； $\Phi_{\lambda,\mu}$ 表示 Φ -CMU 的第 λ 组忆阻器中的第 μ 个忆阻器，例如 $A_{1,1}$ 表示 A-CMU 中的第 1 组忆阻器中的第 1 个忆阻器； ΦK_β 表示 Φ -CMU 的第 β 个行开关，例如 AK_1 表示 A-CMU 的第 1 个行开关； $\Phi K_{\gamma,\gamma+1}$ 表示 Φ -CMU 的第 γ 个列开关，例如 $AK_{1,2}$ 表示 A-CMU 的第 1 个列开关。如果没有特别说明，所有行开关都处于闭合状态，所有列开关都处于断开状态。

本领域的技术人员容易理解，以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种基于忆阻器实现计算与存储融合的处理器的特征在于，包括：
计算存储部件，包括 X 个融合单元和 X 个通信单元，每一个融合单元连接一个通信单元，各个通信单元相互连接构成一个通信网络，以及

控制部件，用于根据指令产生相应控制信号，连接 CMU 之间的通信网络，选择操作数地址、结果存放地址，当操作需要用到其他 CMU 时，其能寻找空闲的一个或多个 CMU，用以实现所做的操作；

其中，一个融合单元包括 M 个位单元和 M-1 个列开关，M 个位单元的 M 条位线均连接一个通信单元，相邻两个位单元的位线端之间连接一个列开关；

一个位单元包括一个电阻、一个行开关和 N 个忆阻器，第一忆阻器的一端作为第一选择线，另一端通过依次串联的行开关和电阻接地；第二忆阻器的一端作为第二选择线，另一端连接至第一忆阻器的另一端；第三忆阻器的一端作为第三选择线，另一端连接至第二忆阻器的另一端；……第 N 忆阻器的一端作为第 N 选择线，另一端连接至第 N-1 忆阻器的另一端；X 为大于等于 2 的正整数，M 为大于等于 1 的正整数，N 为大于等于 1 的正整数。

2、如权利要求 1 所述的处理器，其特征在于，一个位单元中的电阻的阻值远大于忆阻器低阻态时的阻值且远小于忆阻器高阻态时的阻值。

3、一种基于权利要求 1-2 任一项所述的处理器的数据传输操作方法，其特征在于，包括下述步骤：

(1.1) 通过在第二融合单元 B-CMU 中的第 1 组忆阻器 B_1 和第 2 组忆阻器 B_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得所述第 1 组忆阻器 B_1 和所述第 2 组忆阻器 B_2 均处于高阻状态，该状态记为 0；

第一电压 V_{CLEAR} 为负向且值大于阈值电压；所述阈值电压为使得忆阻

器的状态发生改变的电压；

(1.2) 通过通信网络将第一融合单元 A-CMU 和第二融合单元 B-CMU 连通，通过在第一融合单元 A-CMU 的第 1 组忆阻器 A_1 的选择线上施加第二电压 V_{COND} ，并在第二融合单元 B-CMU 的第 2 组忆阻器 B_2 的选择线上施加第三电压 V_{SET} ，将 $((NOT A_1) OR B_2)$ 保存在 B_2 中实现蕴含操作，

其中第二电压 V_{COND} 正向且值小于阈值电压；第三电压 V_{SET} 为正向且值大于阈值电压；且所述第三电压 V_{SET} 与所述第二电压 V_{COND} 的差值小于所述阈值电压；

(1.3) 在第二融合单元 B-CMU 的第 2 组忆阻器 B_2 的选择线上施加第二电压 V_{COND} ，并在第二融合单元 B-CMU 中的第 1 组忆阻器 B_1 上施加第三电压 V_{SET} ，将数据保存在 B_1 中实现蕴含操作 $B_1 \leftarrow B_2 IMP B_1$ ，从而实现将存储于第一融合单元 A-CMU 中第 1 组忆阻器 A_1 中的数据 x 传输至第二融合单元 B-CMU 中的第 1 组忆阻器 B_1 中。

4、一种基于权利要求 1-2 任一项所述的处理器中的数据交换操作方法，其特征在于，包括下述步骤：

(2.1) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 、第三融合单元 C-CMU 中第 2 组忆阻器 C_2 、第四融合单元 D-CMU 中第 1 组忆阻器 D_1 和第四融合单元 D-CMU 中第 2 组忆阻器 D_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_1 ， C_2 ， D_1 ， D_2 均处于高阻状态，该状态记为 0；

(2.2) 通过通信网络将第一融合单元 A-CMU 与第三融合单元 C-CMU 连通，将第二融合单元 B-CMU 与第四融合单元 D-CMU 连通，在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 和第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 和 D_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $C_2 \leftarrow A_1 IMP C_2$ ， $D_2 \leftarrow B_1 IMP D_2$ ；

(2.3) 在 C_2 ， D_2 的选择线上同时施加第二电压 V_{COND} ，并在 C_1 ， D_1 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow C_2 IMP C_1$ ， $D_1 \leftarrow D_2$

IMP D_1 ;

(2.4) 在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 , 第一融合单元 A-CMU 中第 2 组忆阻器 A_2 , 第二融合单元 B-CMU 中第 1 组忆阻器 B_1 , 第二融合单元 B-CMU 中第 2 组忆阻器 B_2 的选择线上同时施加第一电压 V_{CLEAR} , 使得 A_1 , A_2 , B_1 , B_2 处于高阻状态;

(2.5) 通过通信网络将 A-CMU 与 D-CMU 连通, B-CMU 与 C-CMU 连通, 在 C_1 , D_1 的选择线上同时施加第二电压 V_{COND} , 并在 A_2 , B_2 的选择线上同时施加第三电压 V_{SET} , 实现蕴含操作 $A_2 \leftarrow D_1 \text{IMP } A_2$, $B_2 \leftarrow C_1 \text{IMP } B_2$;

(2.6) 在 A_2 , B_2 的选择线上同时施加第二电压 V_{COND} , 并在 A_1 , B_1 的选择线上同时施加第三电压 V_{SET} , 实现蕴含操作 $A_1 \leftarrow A_2 \text{IMP } A_1$, $B_1 \leftarrow B_2 \text{IMP } B_1$, 将原存储于第一融合单元 A-CMU 中的 A_1 中的数据 x 存储于第二融合单元 B-CMU 中的 B_1 中, 且将原存储于 B-CMU 的 B_1 中的数据 y 存储于 A-CMU 中的 A_1 中。

5、一种基于权利要求 1-2 任一项所述的处理器加法操作方法, 其特征在于, 包括下述步骤:

(3.1) 通过在第三融合单元 C-CMU 中第 2 组忆阻器 C_2 、第七融合单元 G-CMU 中第 1 组忆阻器 G_1 、第七融合单元 G-CMU 中第 2 组忆阻器 G_2 、第四融合单元 D-CMU 中第 2 组忆阻器 D_2 、第八融合单元 H-CMU 中第 1 组忆阻器 H_1 的选择线上同时施加第一电压 V_{CLEAR} , 使得 C_2 、 G_1 、 G_2 、 D_2 、 H_1 处于高阻状态;

(3.2) 通过通信网络将第一融合单元 A-CMU 与第七融合单元 G-CMU 连通, 第二融合单元 B-CMU 与第八融合单元 H-CMU 连通, 在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 、第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上同时施加第二电压 V_{COND} , 并在 G_1 、 H_1 的选择线上同时施加第三电压 V_{SET} , 实现蕴含操作 $G_1 \leftarrow A_1 \text{IMP } G_1$, $H_1 \leftarrow B_1 \text{IMP } H_1$;

(3.3) 通过通信网络将 C-CMU 与 G-CMU 连通, D-CMU 与 H-CMU

连通，在 G_1 、 H_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $C_2 \leftarrow G_1 \text{ IMP } C_2$ ， $D_2 \leftarrow H_1 \text{ IMP } D_2$ ；

(3.4) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $D_2 \leftarrow A_1 \text{ IMP } D_2$ ， $C_2 \leftarrow B_1 \text{ IMP } C_2$ ；

(3.5) 通过通信网络将 C-CMU 与 G-CMU 连通，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 G_2 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $G_2 \leftarrow C_2 \text{ IMP } G_2$ ；

(3.6) 通过通信网络将 D-CMU 与 G-CMU 连通，在 D_2 的选择线上施加第二电压 V_{COND} ，并在 G_2 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $G_2 \leftarrow D_2 \text{ IMP } G_2$ ；

(3.7) 通过在第二融合单元 B-CMU 中第 2 组忆阻器的第 i 个忆阻器 $B_{2,i}$ 、第四融合单元 D-CMU 中第 2 组忆阻器的第 i 个忆阻器 $D_{2,i}$ 、第八融合单元 H-CMU 中第 2 组忆阻器的第 $i+1$ 个忆阻器 $H_{2,i+1}$ 的选择线上同时施加第一电压 V_{CLEAR} ，使得 $B_{2,i}$ 、 $D_{2,i}$ 、 $H_{2,i+1}$ 处于高阻状态，初始 $i=1$ ；

(3.8) 通过通信网络将 D-CMU 与 G-CMU 连通，在 $B_{1,i}$ 、 $G_{2,i}$ 的选择线上同时施加第二电压 V_{COND} ，并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $B_{2,i} \leftarrow B_{1,i} \text{ IMP } B_{2,i}$ ， $D_{2,i} \leftarrow G_{2,i} \text{ IMP } D_{2,i}$ ；

(3.9) 通过通信网络将 A-CMU 与 B-CMU 连通，D-CMU 与 H-CMU 连通，在 $A_{1,i}$ 、 $H_{2,i}$ 的选择线上同时施加第二电压 V_{COND} ，并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $B_{2,i} \leftarrow A_{1,i} \text{ IMP } B_{2,i}$ ， $D_{2,i} \leftarrow H_{2,i} \text{ IMP } D_{2,i}$ ；

(3.10) 通过通信网络将 D-CMU 与 H-CMU 连通，断开开关 DK_i ，闭合开关 $DK_{i,i+1}$ ，在 $D_{2,i}$ 的选择线上施加第二电压 V_{COND} ，并在 $H_{2,i+1}$ 的选

择线上施加第三电压 V_{SET} ，实现蕴含操作 $H_{2, i+1} \leftarrow D_{2, i} \text{IMP } H_{2, i+1}$ ；

(3.11) 通过通信网络将 B-CMU 与 H-CMU 连通，断开开关 BK_i 、 HK_i 、 HK_{i+1} 、 $BK_{i, i+1}$ ，闭合开关 $HK_{i, i+1}$ ，在 $B_{2, i}$ 的选择线上同时施加第二电压 V_{COND} ，并在 $H_{2, i+1}$ 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $H_{2, i+1} \leftarrow B_{2, i} \text{IMP } H_{2, i+1}$ ；

(3.12) 若 i 小于 8，则 $i+1$ ，并返回至步骤 (3.7)，若 $i \geq 8$ ，则进入步骤 (3.13)；

(3.13) 通过在第一融合单元 A-CMU 中第二组忆阻器 A_2 、第五融合单元 E-CMU 中第 1 组忆阻器 E_1 、第二融合单元 B-CMU 中第 2 组忆阻器 B_2 、第六融合单元 F-CMU 中第 1 组忆阻器 F_1 、第三融合单元 C-CMU 中第 1 组忆阻器 C_1 的选择线上同时施加第一电压 V_{CLEAR} ，使得 A_2 、 E_1 、 B_2 、 F_1 、 C_1 处于高阻状态；

(3.14) 通过通信网络将 E-CMU 与 G-CMU 连通，F-CMU 与 H-CMU 连通，在 G_2 、 H_2 的选择线上同时施加第二电压 V_{COND} ，并在 E_1 、 F_1 的选择线上同时施加第三电压 V_{SET} 。实现蕴含操作 $E_1 \leftarrow G_2 \text{IMP } E_1$ ， $F_1 \leftarrow H_2 \text{IMP } F_1$ ；

(3.15) 通过通信网络将 A-CMU 与 E-CMU 连通，B-CMU 与 F-CMU 连通，在 E_1 、 F_1 的选择线上同时施加第二电压 V_{COND} ，并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $A_2 \leftarrow E_1 \text{IMP } A_2$ ， $B_2 \leftarrow F_1 \text{IMP } B_2$ ；

(3.16) 通过通信网络将 A-CMU 与 H-CMU 连通，B-CMU 与 G-CMU 连通，在 H_2 、 G_2 的选择线上同时施加第二电压 V_{COND} ，并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $A_2 \leftarrow H_2 \text{IMP } A_2$ ， $B_2 \leftarrow G_2 \text{IMP } B_2$ ；

(3.17) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow A_2 \text{IMP } C_1$ ；

(3.18) 通过通信网络将 B-CMU 与 C-CMU 连通，在 B_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作

$C_1 \leftarrow B_2 \text{ IMP } C_1$; 将存储于 A-CMU 中的 A_1 中的数据 x 与存储于 B-CMU 中的 B_1 中数据 y 相加后存储于 C-CMU 的 C_1 中;

6、一种基于权利要求 1-2 任一项所述的处理器的立即数加法操作方法，立即数为 128，其特征在于，包括下述步骤：

(4.1) 通过在第二融合单元 B-CMU 中第一组忆阻器的第一个忆阻器 $B_{1,1}$ 的选择线上加第三电压 V_{SET} ，在第二融合单元 B-CMU 中第一组忆阻器的第 2-8 个忆阻器 $B_{1,2}$ - $B_{1,8}$ 的选择线上加第一电压 V_{CLEAR} ，将 128 写入 B_1 中；

(4.2) 通过在第三融合单元 C-CMU 中第 2 组忆阻器 C_2 、第七融合单元 G-CMU 中第 1 组忆阻器 G_1 、第七融合单元 G-CMU 中第 2 组忆阻器 G_2 、第四融合单元 D-CMU 中第 2 组忆阻器 D_2 、第八融合单元 H-CMU 中第 1 组忆阻器 H_1 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_2 、 G_1 、 G_2 、 D_2 、 H_1 处于高阻状态；

(4.3) 通过通信网络将第一融合单元 A-CMU 与第七融合单元 G-CMU 连通，第二融合单元 B-CMU 与第八融合单元 H-CMU 连通，在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 、第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 G_1 、 H_1 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $G_1 \leftarrow A_1 \text{ IMP } G_1$ ， $H_1 \leftarrow B_1 \text{ IMP } H_1$ ；

(4.4) 通过通信网络将 C-CMU 与 G-CMU 连通，D-CMU 与 H-CMU 连通，在 G_1 、 H_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $C_2 \leftarrow G_1 \text{ IMP } C_2$ ， $D_2 \leftarrow H_1 \text{ IMP } D_2$ ；

(4.5) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $D_2 \leftarrow A_1 \text{ IMP } D_2$ ， $C_2 \leftarrow B_1 \text{ IMP } C_2$ ；

(4.6) 通过通信网络将 C-CMU 与 G-CMU 连通, 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 G_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $G_2 \leftarrow C_2 \text{ IMP } G_2$;

(4.7) 通过通信网络将 D-CMU 与 G-CMU 连通, 在 D_2 的选择线上施加第二电压 V_{COND} , 并在 G_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $G_2 \leftarrow D_2 \text{ IMP } G_2$;

(4.8) 通过在第二融合单元 B-CMU 中第 2 组忆阻器的第 i 个忆阻器 $B_{2,i}$ 、第四融合单元 D-CMU 中第 2 组忆阻器的第 i 个忆阻器 $D_{2,i}$ 、第八融合单元 H-CMU 中第 2 组忆阻器的第 $i+1$ 个忆阻器 $H_{2,i+1}$ 的选择线上同时施加第一电压 V_{CLEAR} , 使得 $B_{2,i}$ 、 $D_{2,i}$ 、 $H_{2,i+1}$ 处于高阻状态, 初始 $i=1$;

(4.9) 通过通信网络将 D-CMU 与 G-CMU 连通, 在 $B_{1,i}$ 、 $G_{2,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} , 实现蕴含操作 $B_{2,i} \leftarrow B_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow G_{2,i} \text{ IMP } D_{2,i}$;

(4.10) 通过通信网络将 A-CMU 与 B-CMU 连通, D-CMU 与 H-CMU 连通, 在 $A_{1,i}$ 、 $H_{2,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $B_{2,i}$ 、 $D_{2,i}$ 的选择线上同时施加第三电压 V_{SET} , 实现蕴含操作 $B_{2,i} \leftarrow A_{1,i} \text{ IMP } B_{2,i}$, $D_{2,i} \leftarrow H_{2,i} \text{ IMP } D_{2,i}$;

(4.11) 通过通信网络将 D-CMU 与 H-CMU 连通, 断开开关 DK_i , 闭合开关 $DK_{i,i+1}$, 在 $D_{2,i}$ 的选择线上施加第二电压 V_{COND} , 并在 $H_{2,i+1}$ 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $H_{2,i+1} \leftarrow D_{2,i} \text{ IMP } H_{2,i+1}$;

(4.12) 通过通信网络将 B-CMU 与 H-CMU 连通, 断开开关 BK_i 、 HK_i 、 HK_{i+1} 、 $BK_{i,i+1}$, 闭合开关 $HK_{i,i+1}$, 在 $B_{2,i}$ 的选择线上同时施加第二电压 V_{COND} , 并在 $H_{2,i+1}$ 的选择线上同时施加第三电压 V_{SET} , 实现蕴含操作 $H_{2,i+1} \leftarrow B_{2,i} \text{ IMP } H_{2,i+1}$;

(4.13) 若 i 小于 8, 则 $i+1$, 并返回至步骤 (4.8), 若 $i \geq 8$, 则进入步骤 (4.14);

(4.14) 通过在第一融合单元 A-CMU 中第二组忆阻器 A_2 、第五融合单元 E-CMU 中第 1 组忆阻器 E_1 、第二融合单元 B-CMU 中第 2 组忆阻器 B_2 、第六融合单元 F-CMU 中第 1 组忆阻器 F_1 、第三融合单元 C-CMU 中第 1 组忆阻器 C_1 的选择线上同时施加第一电压 V_{CLEAR} ，使得 A_2 、 E_1 、 B_2 、 F_1 、 C_1 处于高阻状态；

(4.15) 通过通信网络将 E-CMU 与 G-CMU 连通，F-CMU 与 H-CMU 连通，在 G_2 、 H_2 的选择线上同时施加第二电压 V_{COND} ，并在 E_1 、 F_1 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $E_1 \leftarrow G_2 \text{ IMP } E_1$ ， $F_1 \leftarrow H_2 \text{ IMP } F_1$ ；

(4.16) 通过通信网络将 A-CMU 与 E-CMU 连通，B-CMU 与 F-CMU 连通，在 E_1 、 F_1 的选择线上同时施加第二电压 V_{COND} ，并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $A_2 \leftarrow E_1 \text{ IMP } A_2$ ， $B_2 \leftarrow F_1 \text{ IMP } B_2$ ；

(4.17) 通过通信网络将 A-CMU 与 H-CMU 连通，B-CMU 与 G-CMU 连通，在 H_2 、 G_2 的选择线上同时施加第二电压 V_{COND} ，并在 A_2 、 B_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $A_2 \leftarrow H_2 \text{ IMP } A_2$ ， $B_2 \leftarrow G_2 \text{ IMP } B_2$ ；

(4.18) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow A_2 \text{ IMP } C_1$ ；

(4.19) 通过通信网络将 B-CMU 与 C-CMU 连通，在 B_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow B_2 \text{ IMP } C_1$ ；将存储于 A-CMU 中的 A_1 中的数据 x 与立即数 128 相加后存储于 C-CMU 的 C_1 中。

7、一种基于权利要求 1-2 任一项所述的处理器的逻辑与操作方法，其特征在于，包括下述步骤：

(5.1) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 ，第三融合单元 C-CMU 中第 2 组忆阻器 C_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_1 ， C_2 处于高阻状态；

(5.2) 通过通信网络将第二融合单元 B-CMU 与第三融合单元 C-CMU 连通, 在第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$;

(5.3) 通过通信网络将第一融合单元 A-CMU 与第三融合单元 C-CMU 连通, 在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 的选择线上施加第二电压 V_{COND} , 并在第三融合单元 C-CMU 中第 2 组忆阻器 C_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$;

(5.4) 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$; 将存储于 A-CMU 中的 A_1 中的数据 x 与存储于 B-CMU 中的 B_1 中的数据 y 做逻辑与操作后存储到 C-CMU 的 C_1 中。

8、一种基于权利要求 1-2 任一项所述的处理器的逻辑或操作方法, 其特征在于, 包括下述步骤:

(6.1) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 , 第三融合单元 C-CMU 中第 2 组忆阻器 C_2 , 第一融合单元 A-CMU 中第 2 组忆阻器 A_2 的选择线上同时施加第一电压 V_{CLEAR} , 使得 C_1 , C_2 , A_2 处于高阻状态;

(6.2) 通过通信网络将第三融合单元 B-CMU 与第三融合单元 C-CMU 连通, 在第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上施加第二电压 V_{COND} , 并 C_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$;

(6.3) 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$;

(6.4) 在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 的选择线上施加第二电压 V_{COND} , 并在第一融合单元 A-CMU 中第 2 组忆阻器 A_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$;

(6.5) 通过通信网络将 A-CMU 与 C-CMU 连通, 在 A_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_1 \leftarrow A_2 \text{ IMP } C_1$; 将存储于 A-CMU 中的 A_1 中的数据 x 与存储于 B-CMU 中的 B_1 中的数据 y 做逻辑或操作后存储到 C-CMU 的 C_1 中。

9、一种基于权利要求 1-2 任一项所述的处理器的逻辑非操作方法, 其特征在于, 包括下述步骤:

(7.1) 通过在第一融合单元 A-CMU 中第 2 组忆阻器 A_2 的选择线上加电压 V_{CLEAR} , 使得 A_2 处于高阻状态;

(7.2) 通过在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 的选择线上施加第二电压 V_{COND} , 并在 A_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$; 将存储于 A-CMU 中的 A_1 中的数据 x 做逻辑非操作后存储到 A-CMU 的 A_2 中。

10、一种基于权利要求 1-2 任一项所述的处理器的逻辑异或操作方法, 其特征在于, 包括下述步骤:

(8.1) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 、第一融合单元 A-CMU 中第 2 组忆阻器 C_2 、第一融合单元 A-CMU 中第 2 组忆阻器 A_2 、第四融合单元 D-CMU 中第 1 组忆阻器 D_1 、第四融合单元 D-CMU 中第 2 组忆阻器 D_2 的选择线上同时施加第一电压 V_{CLEAR} , 使得 C_1 、 C_2 、 A_2 、 D_1 、 D_2 处于高阻状态;

(8.2) 通过通信网络将第二融合单元 B-CMU 与第四融合单元 D-CMU 连通, 在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 、第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上同时施加第二电压 V_{COND} , 并在第一融合单元 A-CMU 中第 1 组忆阻器 A_2 、第四融合单元 D-CMU 中第 2 组忆阻器 D_2 的选择线上同时施加第三电压 V_{SET} , 实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$, $D_2 \leftarrow B_1 \text{ IMP } D_2$;

(8.3) 通过通信网络将 A-CMU 与 C-CMU 连通, 在 A_2 、 D_2 的选择线

上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $C_2 \leftarrow A_2 \text{ IMP } C_2$ ， $D_2 \leftarrow D_1 \text{ IMP } D_2$ ；

(8.4) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $D_1 \leftarrow A_1 \text{ IMP } D_1$ ， $C_2 \leftarrow B_1 \text{ IMP } C_2$ ；

(8.5) 通过通信网络将 B-CMU 与 C-CMU 连通，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ ；

(8.6) 通过通信网络将 C-CMU 与 D-CMU 连通，在 D_1 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow D_1 \text{ IMP } C_1$ ；将存储于 A-CMU 中的 A_1 中的数据 x 与存储于 B-CMU 中的 B_1 中的数据 y 做逻辑异或操作后存储到 C-CMU 的 C_1 中。

11、一种基于权利要求 1-2 任一项所述的处理器的逻辑或非操作方法，其特征在于，包括下述步骤：

(9.1) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 ，第三融合单元 C-CMU 中第 2 组忆阻器 C_2 ，第一融合单元 A-CMU 中第 2 组忆阻器 A_2 ，第二融合单元 B-CMU 中第 2 组忆阻器 B_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_1 ， C_2 ， A_2 ， B_2 处于高阻状态；

(9.2) 通过通信网络将第二融合单元 B-CMU 与第三融合单元 C-CMU 连通，在第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上施加第二电压 V_{COND} ，并在 C_2 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ ；

(9.3) 通过通信网络将 B-CMU 与 C-CMU 连通，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 B_2 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $B_2 \leftarrow C_2 \text{ IMP } B_2$ ；

(9.4) 在 A_1 的选择线上施加第二电压 V_{COND} ，并在 A_2 的选择线上施

加第三电压 V_{SET} ，实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ ；

(9.5) 通过通信网络将 A-CMU 与 B-CMU 相连，在 A_2 的选择线上施加第二电压 V_{COND} ，并在 B_2 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $B_2 \leftarrow A_2 \text{ IMP } B_2$ ；

(9.6) 通过通信网络将 B-CMU 与 C-CMU 相连，在 B_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow B_2 \text{ IMP } C_1$ ；将存储于 A-CMU 中的 A_1 中的数据 x 与存储于 B-CMU 中的 B_1 中的数据 y 做逻辑或非操作后存储到 C-CMU 的 C_1 中。

12、一种基于权利要求 1-2 任一项所述的处理器的立即数与操作方法，立即数为 128，其特征在于，包括下述步骤：

(10.1) 通过在第二融合单元 B-CMU 中第一组忆阻器的第一个忆阻器 $B_{1,1}$ 的选择线上加第三电压 V_{SET} ，在第二融合单元 B-CMU 中第一组忆阻器的第 2-8 个忆阻器 $B_{1,2}$ - $B_{1,8}$ 的选择线上加第一电压 V_{CLEAR} ，将 128 写入 B_1 中；

(10.2) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 ，第三融合单元 C-CMU 中第 2 组忆阻器 C_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_1 ， C_2 处于高阻状态；

(10.3) 通过通信网络将第二融合单元 B-CMU 与第三融合单元 C-CMU 连通，在第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上施加第二电压 V_{COND} ，并在 C_2 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ ；

(10.4) 通过通信网络将第一融合单元 A-CMU 与第三融合单元 C-CMU 连通，在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 的选择线上施加第二电压 V_{COND} ，并在第三融合单元 C-CMU 中第 2 组忆阻器 C_2 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$ ；

(10.5) 在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施

加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ ；将存储于 A-CMU 中的 A_1 中的数据 x 与立即数 128 做逻辑与操作后存储到 C-CMU 的 C_1 中。

13、一种基于权利要求 1-2 任一项所述的处理器的立即数或操作方法，立即数为 128，其特征在于，包括下述步骤：

数据 x 存储于 A-CMU 中的 A_1 中，采用上述处理器，将数据 x 和立即数 128 进行或操作，存储到 C-CMU 的 C_1 中，具体操作如下：

(11.1) 通过在第二融合单元 B-CMU 中第一组忆阻器的第一个忆阻器 $B_{1,1}$ 的选择线上加第三电压 V_{SET} ，在第二融合单元 B-CMU 中第一组忆阻器的第 2-8 个忆阻器 $B_{1,2}$ - $B_{1,8}$ 的选择线上加第一电压 V_{CLEAR} ，将 128 写入 B_1 中；

(11.2) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 ，第三融合单元 C-CMU 中第 2 组忆阻器 C_2 ，第一融合单元 A-CMU 中第 2 组忆阻器 A_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_1 ， C_2 ， A_2 处于高阻状态；

(11.3) 通过通信网络将第三融合单元 B-CMU 与第三融合单元 C-CMU 连通，在第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上施加第二电压 V_{COND} ，并 C_2 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_2 \leftarrow B_1 \text{ IMP } C_2$ ；

(11.4) 在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ ；

(11.5) 在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 的选择线上施加第二电压 V_{COND} ，并在第一融合单元 A-CMU 中第 2 组忆阻器 A_2 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ ；

(11.6) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow A_2 \text{ IMP } C_1$ ；将存储于 A-CMU 中的 A_1 中的数据 x 与立即数 128 做逻辑或操作后存储到 C-CMU 的 C_1 中。

14、一种基于权利要求 1-2 任一项所述的处理器的立即数异或操作方法，立即数为 128，其特征在于，包括下述步骤：

(12.1) 通过在第二融合单元 B-CMU 中第一组忆阻器的第一个忆阻器 $B_{1,1}$ 的选择线上加第三电压 V_{SET} ，在第二融合单元 B-CMU 中第一组忆阻器的第 2-8 个忆阻器 $B_{1,2}$ - $B_{1,8}$ 的选择线上加第一电压 V_{CLEAR} ，将 128 写入 B_1 中；

(12.2) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 、第一融合单元 A-CMU 中第 2 组忆阻器 C_2 、第一融合单元 A-CMU 中第 2 组忆阻器 A_2 、第四融合单元 D-CMU 中第 1 组忆阻器 D_1 、第四融合单元 D-CMU 中第 2 组忆阻器 D_2 的选择线上同时施加第一电压 V_{CLEAR} ，使得 C_1 、 C_2 、 A_2 、 D_1 、 D_2 处于高阻状态；

(12.3) 通过通信网络将第二融合单元 B-CMU 与第四融合单元 D-CMU 连通，在第一融合单元 A-CMU 中第 1 组忆阻器 A_1 、第二融合单元 B-CMU 中第 1 组忆阻器 B_1 的选择线上同时施加第二电压 V_{COND} ，并在第一融合单元 A-CMU 中第 1 组忆阻器 A_2 、第四融合单元 D-CMU 中第 2 组忆阻器 D_2 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $A_2 \leftarrow A_1 \text{ IMP } A_2$ ， $D_2 \leftarrow B_1 \text{ IMP } D_2$ ；

(12.4) 通过通信网络将 A-CMU 与 C-CMU 连通，在 A_2 、 D_2 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $C_2 \leftarrow A_2 \text{ IMP } C_2$ ， $D_2 \leftarrow D_1 \text{ IMP } D_2$ ；

(12.5) 通过通信网络将 A-CMU 与 D-CMU 连通，B-CMU 与 C-CMU 连通，在 A_1 、 B_1 的选择线上同时施加第二电压 V_{COND} ，并在 C_2 、 D_1 的选择线上同时施加第三电压 V_{SET} ，实现蕴含操作 $D_1 \leftarrow A_1 \text{ IMP } D_1$ ， $C_2 \leftarrow B_1 \text{ IMP } C_2$ ；

(12.6) 通过通信网络将 B-CMU 与 C-CMU 连通，在 C_2 的选择线上施加第二电压 V_{COND} ，并在 C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ ；

(12.7) 通过通信网络将 C-CMU 与 D-CMU 连通, 在 D_1 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_1 \leftarrow D_1 \text{ IMP } C_1$; 将存储于 A-CMU 中的 A_1 中的数据 x 与存储于 B-CMU 中的 B_1 中的数据 y 做逻辑异或操作后存储到 C-CMU 的 C_1 中。

15、一种基于权利要求 1-2 任一项所述的处理器的左移 m 位操作方法, 其特征在于, 包括下述步骤:

(13.1) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 , 第三融合单元 C-CMU 中第二组忆阻器 C_2 的选择线上同时施加第一电压 V_{CLEAR} , 使得 C_1, C_2 处于高阻状态;

(13.2) 通过通信网络将第一融合单元 A-CMU 与第三融合单元 C-CMU 连通, 其中, $A_{1, i+m}$ 连接 $C_{1, i}$, 其中 $i=1, 2, \dots, 8-m$, 断开开关 CK_1 , 在 A_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$;

(13.3) 断开开关 CK_1 , 在 C_2 的选择线上施加第二电压 V_{COND} , 并在 C_1 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$; 将存储于 A-CMU 中的 A_1 中的数据 x 左移一位后存储到 C-CMU 的 C_1 中。

16、一种基于权利要求 1-2 任一项所述的处理器的右移 m 位操作方法, 其特征在于, 包括下述步骤:

(14.1) 通过在第三融合单元 C-CMU 中第 1 组忆阻器 C_1 , 第三融合单元 C-CMU 中第二组忆阻器 C_2 的选择线上同时施加第一电压 V_{CLEAR} , 使得 C_1, C_2 处于高阻状态;

(14.2) 通过通信网络将第一融合单元 A-CMU 与第三融合单元 C-CMU 连通, 其中, $A_{1, i}$ 连接 $C_{1, i+m}$, 其中 $i=1, 2, \dots, 8-m$, 断开开关 CK_1 , 在 A_1 的选择线上施加第二电压 V_{COND} , 并在 C_2 的选择线上施加第三电压 V_{SET} , 实现蕴含操作 $C_2 \leftarrow A_1 \text{ IMP } C_2$;

(14.3) 断开开关 CK_1 , 在 C_2 的选择线上施加第二电压 V_{COND} , 并在

C_1 的选择线上施加第三电压 V_{SET} ，实现蕴含操作 $C_1 \leftarrow C_2 \text{ IMP } C_1$ ；将存储于 A-CMU 中的 A_1 中的数据 x 左移一位后存储到 C-CMU 的 C_1 中。

附图

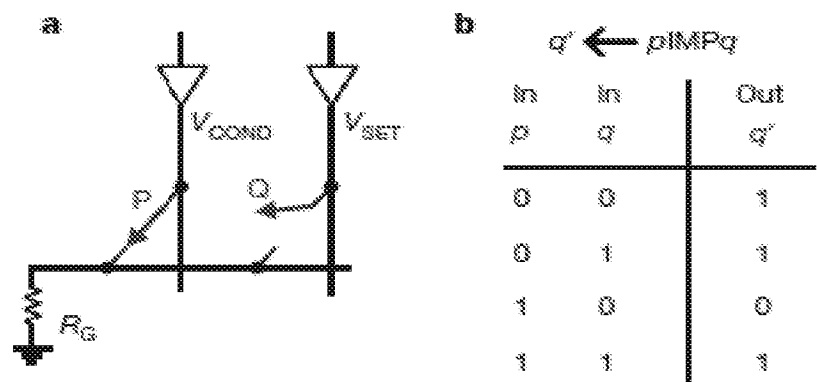


图 1

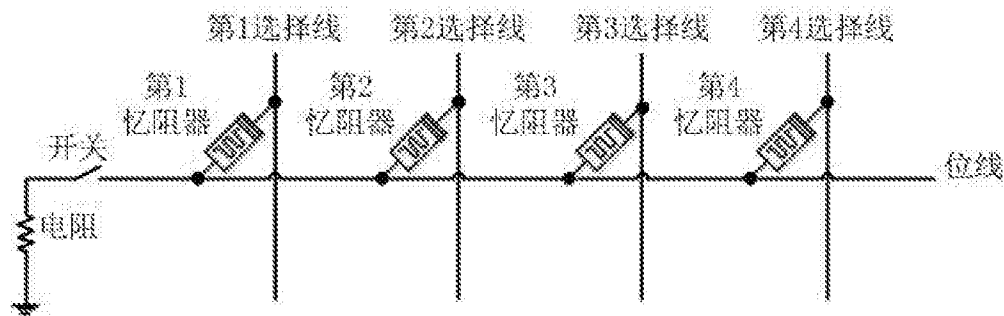


图 2

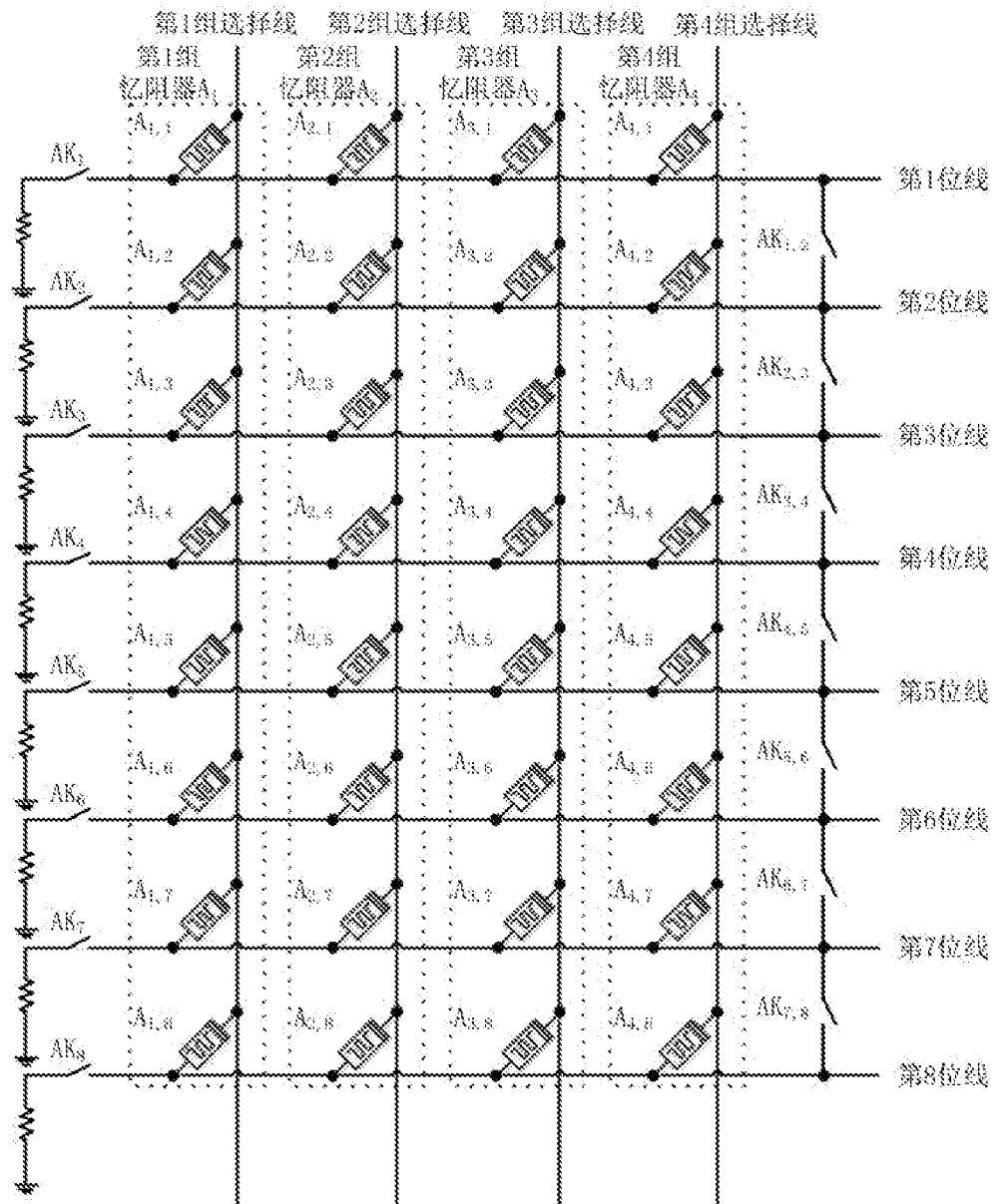


图 3

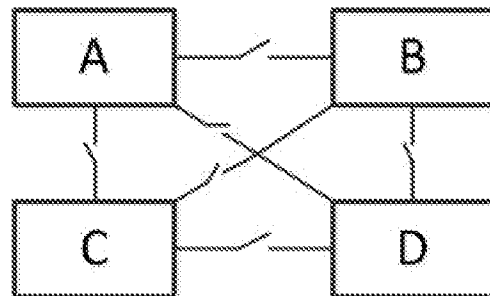


图 4

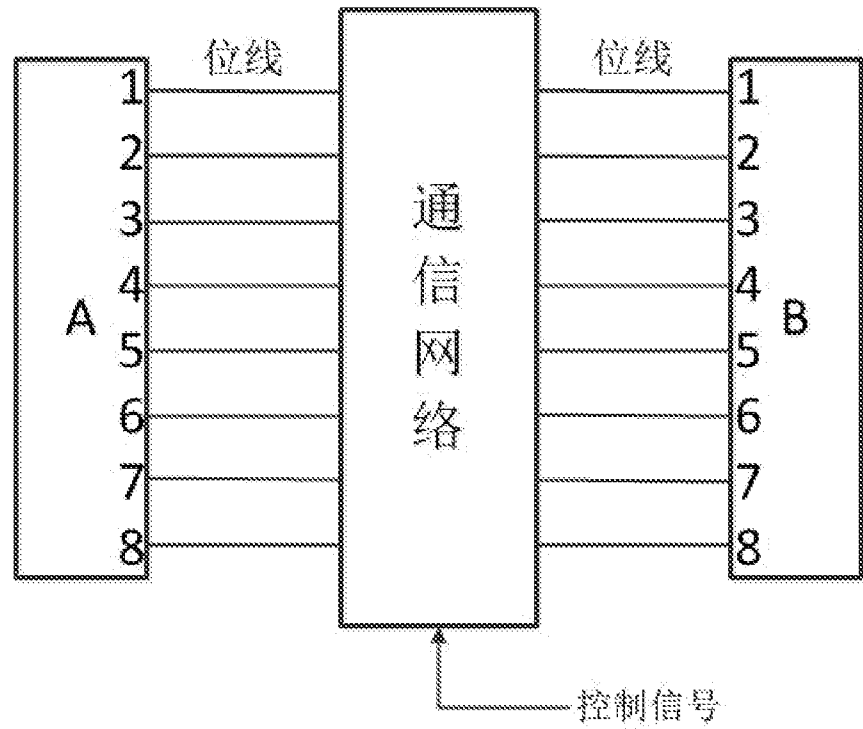


图 5

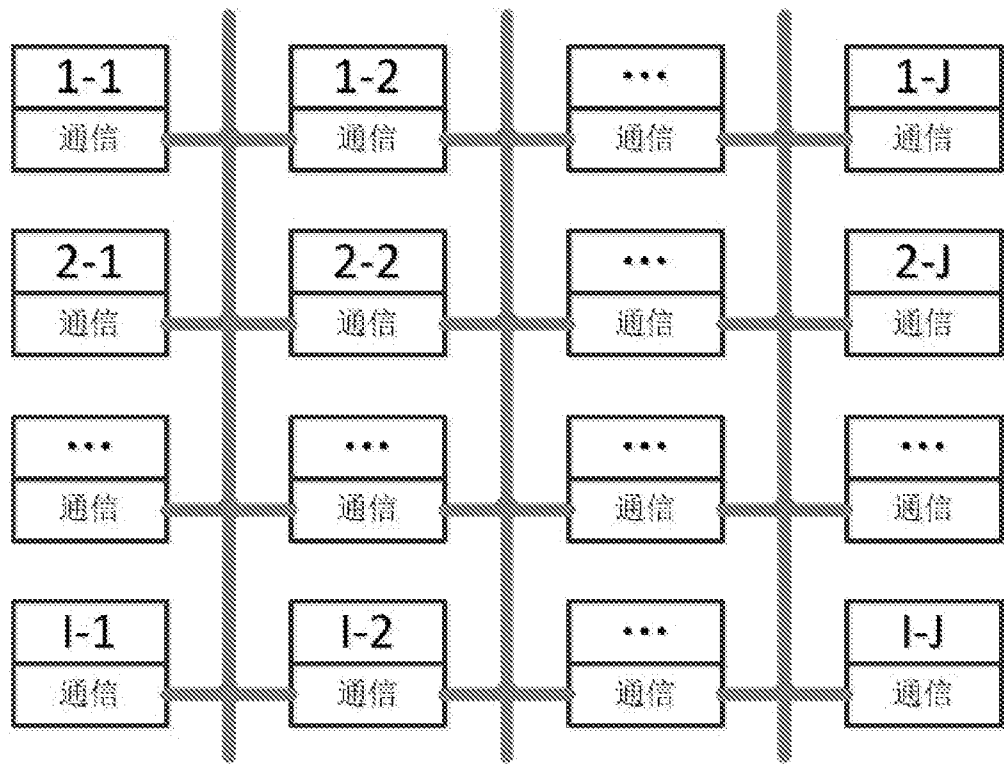


图 6

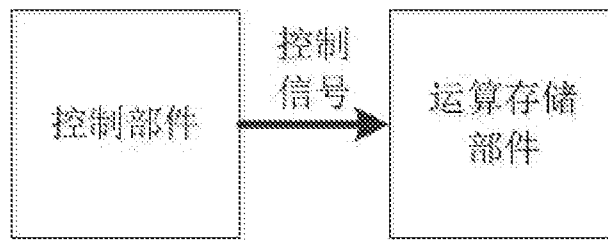


图 7

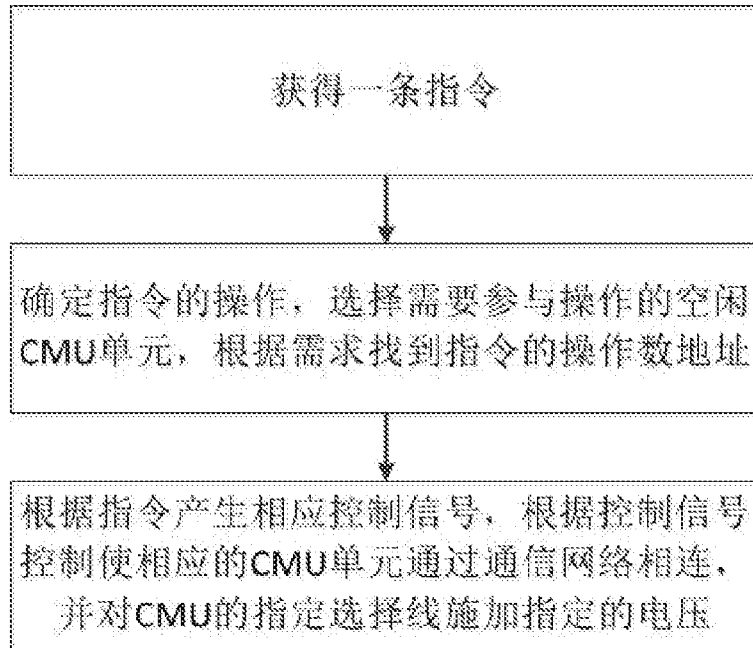


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/070572

A. CLASSIFICATION OF SUBJECT MATTER

G06F 3/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: memristor, memory, resistor, processor, compute, store, communicate, select, line

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	ZHANG, Na "An Efficient Design and Simulation of Adder and Multiplier Based on Memristors", CHINA MASTER'S THESES FULL-TEXT DATABASE, 31 July 2012 (31.07.2012), the whole document	1-16
A	CN 102811051 A (HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY), 05 December 2012 (05.12.2012), the whole document	1-16
A	CN 103051307 A (HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY), 17 April 2013 (17.04.2013), the whole document	1-16
A	CN 103580668 A (HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY), 12 February 2014 (12.02.2014), the whole document	1-16
A	CN 103731123 A (HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY), 16 April 2014 (16.04.2014), the whole document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 June 2015 (03.06.2015)	Date of mailing of the international search report 17 July 2015 (17.07.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer JV, Bo Telephone No.: (86-10) 62413661

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/070572

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102811051 A	05 December 2012	None	
CN 103051307 A	17 April 2013	None	
CN 103580668 A	12 February 2014	WO 2015062112 A1	07 May 2015
		US 2015131355 A1	14 May 2015
CN 103731123 A	16 April 2014	None	

国际检索报告

国际申请号

PCT/CN2015/070572

A. 主题的分类

G06F 3/06(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, CNKI, IEEE: 忆阻器, 处理器, 计算, 存储, 通信, 电阻, 选择, 线, memristor, memory, resistor, processor, compute, store, communicate, select, line

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	张娜, “基于忆阻器的加法器和乘法器高效设计与模拟,” 中国优秀硕士学位论文全文数据库, 2012年 7月 31日 (2012 - 07 - 31), 全文	1-16
A	CN 102811051 A (华中科技大学) 2012年 12月 5日 (2012 - 12 - 05) 全文	1-16
A	CN 103051307 A (华中科技大学) 2013年 4月 17日 (2013 - 04 - 17) 全文	1-16
A	CN 103580668 A (华中科技大学) 2014年 2月 12日 (2014 - 02 - 12) 全文	1-16
A	CN 103731123 A (华中科技大学) 2014年 4月 16日 (2014 - 04 - 16) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 6月 3日

国际检索报告邮寄日期

2015年 7月 17日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

鞠博

电话号码 (86-10)62413661

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/070572

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102811051	A	2012年 12月 5日	无			
CN	103051307	A	2013年 4月 17日	无			
CN	103580668	A	2014年 2月 12日	WO	2015062112	A1	2015年 5月 7日
				US	2015131355	A1	2015年 5月 14日
CN	103731123	A	2014年 4月 16日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)