	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0072641 (43) 공개일자 2014년06월13일
(51) 국제특허분류(Int. Cl.) G11C 16/06 (2006.01) G11C 16/26 (2006.01) G11C 16/34 (2006.01)		(71) 출원인 삼성전자주식회사 경기도 수원시 영통구 삼성로 129 (매탄동)
(21) 출원번호	10-2012-0140387	(72) 발명자 강동구 경기 성남시 분당구 서판교로 29, 915동 1302호 (판교동, 판교원마을한림폴에버아파트)
(22) 출원일자	2012년12월05일	이대열 경기 화성시 병점1로 65, 101동 701호 (병점동, 늘벗마을신창1차아파트)
심사청구일자	없음	(74) 대리인 권혁수, 송윤호, 오세준

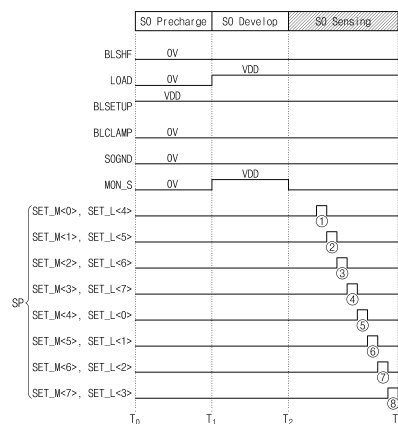
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 페이지 버퍼를 포함하는 불휘발성 메모리 장치 및 그것의 동작 방법

(57) 요약

본 발명의 실시 예에 따른 불휘발성 메모리 장치는, 복수의 메모리 셀들을 포함하는 셀 어레이, 복수의 비트 라인들을 통해서 선택된 메모리 셀들 각각의 프로그램 완료 여부를 센싱하는 복수의 페이지 버퍼들을 포함하는 페이지 버퍼 유닛, 그리고 상기 센싱 결과에 따라 상기 복수의 페이지 버퍼들 각각에 구비되는 데이터 래치를 설정하기 위한 셋 펄스를 제공하는 제어 로직을 포함하되, 상기 제어 로직은 하나의 셋 펄스를 서로 다른 적어도 2개의 페이지 버퍼들에 제공하여 상기 적어도 2개의 페이지 버퍼들 각각의 데이터 래치가 설정되도록 제어한다.

대표도 - 도6



특허청구의 범위

청구항 1

복수의 메모리 셀들을 포함하는 셀 어레이;

프로그램 검증 동작시, 복수의 비트 라인들을 통해서 선택된 메모리 셀들 각각의 프로그램 완료 여부를 센싱하는 복수의 페이지 버퍼들을 포함하는 페이지 버퍼 유닛; 그리고

상기 센싱 결과에 따라 상기 복수의 페이지 버퍼들 각각에 구비되는 데이터 래치를 프로그램 금지 상태로 설정하기 위한 셋 펄스를 제공하는 제어 로직을 포함하되,

상기 제어 로직은 하나의 셋 펄스를 서로 다른 적어도 2개의 페이지 버퍼들에 제공하여 상기 적어도 2개의 페이지 버퍼들 각각의 데이터 래치가 설정되도록 제어하는 불휘발성 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 복수의 페이지 버퍼들 각각은 상기 센싱 결과에 대응하는 데이터를 래치하기 위한 센싱 래치를 포함하는 불휘발성 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 복수의 페이지 버퍼들 각각에 구비되는 데이터 래치는:

대응하는 메모리 셀에 프로그램될 제 1 비트를 저장하는 제 1 데이터 래치; 및

상기 대응하는 메모리 셀에 프로그램될 제 2 비트를 저장하는 제 2 데이터 래치를 포함하는 불휘발성 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 하나의 셋 펄스는 상기 복수의 페이지 버퍼들 중 어느 하나의 페이지 버퍼에 구비되는 제 1 데이터 래치를 설정하기 위한 제 1 래치 셋 신호로, 다른 하나의 페이지 버퍼에 구비되는 제 2 데이터 래치를 설정하기 위한 제 2 래치 셋 신호로 동시에 제공되는 불휘발성 메모리 장치.

청구항 5

제 3 항에 있어서,

상기 제 1 비트는 상기 대응하는 메모리 셀에 프로그램될 멀티 비트들 중 최상위 비트에 대응하며, 상기 제 2 비트는 상기 멀티 비트들 중 최상위 비트를 제외한 나머지 비트들 중 어느 하나인 불휘발성 메모리 장치.

청구항 6

제 3 항에 있어서,

상기 제어 로직은 상기 각각의 센싱 결과에 따라 상기 복수의 페이지 버퍼들 각각의 제 1 데이터 래치를 설정하기 위한 복수의 제 1 펄스 열을 제공하고, 상기 센싱 결과에 따라 상기 복수의 페이지 버퍼들 각각의 제 2 데이터 래치를 설정하기 위한 제 2 펄스 열을 제공하는 불휘발성 메모리 장치.

청구항 7

제 1 페이지 버퍼와 제 2 페이지 버퍼를 포함하되, 상기 제 1 페이지 버퍼는 제 1 센싱 래치, 제 1 센싱 노드, 그리고 제 1 데이터 래치를 포함하고, 상기 제 2 페이지 버퍼는 제 2 센싱 래치, 제 2 센싱 노드, 제 2 데이터

래치를 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서:

상기 제 1 및 제 2 센싱 래치들에 저장된 데이터에 따라 상기 제 1 및 제 2 센싱 노드들을 디벨리핑하는 단계;

셋 펄스에 응답하여, 디벨리핑된 상기 제 1 센싱 노드의 전압 레벨에 따라 상기 제 1 데이터 래치를 설정하는 단계; 그리고

상기 셋 펄스에 응답하여, 디벨리핑된 상기 제 2 센싱 노드의 전압 레벨에 따라 상기 제 2 데이터 래치를 설정하는 단계를 포함하는 동작 방법.

청구항 8

제 7 항에 있어서,

상기 제 1 및 제 2 센싱 래치들에 저장된 데이터는 프로그램 검증 동작을 위해 대응하는 메모리 셀들 각각으로부터 센싱되는 동작 방법.

청구항 9

제 7 항에 있어서,

상기 제 1 페이지 버퍼는 제 3 데이터 래치를 더 포함하고, 상기 제 2 페이지 버퍼는 제 4 데이터 래치를 더 포함하되,

상기 제 1 데이터 래치와 상기 제 3 데이터 래치에 제 1 메모리 셀에 저장될 타깃 데이터를 저장하는 단계; 그리고

상기 제 2 데이터 래치와 상기 제 4 데이터 래치에 제 2 메모리 셀에 저장될 타깃 데이터를 저장하는 단계를 더 포함하는 동작 방법.

청구항 10

제 9 항에 있어서,

상기 셋 펄스에 응답하여 상기 제 1 내지 제 4 데이터 래치들이 상기 타깃 데이터를 유지하던지, 또는 프로그램 금지 상태에 대응하는 데이터로 전환되는 동작 방법.

명세서

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 페이지 버퍼를 포함하는 불휘발성 메모리 장치 및 그것의 동작 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(Volatile semiconductor memory device)와 불휘발성 반도체 메모리 장치(Non-volatile semiconductor memory device)로 구분될 수 있다. 휘발성 반도체 메모리 장치는 읽고 쓰는 속도가 빠르지만 전원 공급이 끊기면 저장된 내용이 사라져 버리는 단점이 있다. 반면에, 불휘발성 반도체 메모리 장치는 전원 공급이 중단되더라도 그 내용을 보존한다. 그러므로, 불휘발성 반도체 메모리 장치는 전원이 공급되었는지의 여부에 관계없이 보존되어야 할 내용을 저장하는 데 쓰인다.

[0003] 불휘발성 메모리 장치의 대표적인 예로 플래시 메모리 장치가 있다. 플래시 메모리 장치는 컴퓨터, 휴대폰, 스마트폰, PDA, 디지털카메라, 캠코더, 보이스 리코더, MP3 플레이어, 개인용 휴대 단말기(PDA), 휴대용 컴퓨터(Handheld PC), 게임기, 팩스, 스캐너, 프린터 등과 같은 정보기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되고 있다. 최근, 스마트폰과 같은 모바일 장치들에 탑재하기 위하여 불휘발성 메모리 장치의 고용량, 고속 입출력, 저전력화 기술들이 활발하게 연구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 고속 및 저전력 특성을 갖는 페이지 버퍼 및 그것을 포함하는 불휘발성 메모리 장치를 제공하는 데 있다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위한 본 발명의 실시 예에 따른 불휘발성 메모리 장치는, 복수의 메모리 셀들을 포함하는 셀 어레이, 복수의 비트 라인들을 통해서 선택된 메모리 셀들 각각의 프로그램 완료 여부를 센싱하는 복수의 페이지 버퍼들을 포함하는 페이지 버퍼 유닛, 그리고 상기 센싱 결과에 따라 상기 복수의 페이지 버퍼들 각각에 구비되는 데이터 래치를 설정하기 위한 셋 펄스를 제공하는 제어 로직을 포함하되, 상기 제어 로직은 하나의 셋 펄스를 서로 다른 적어도 2개의 페이지 버퍼들에 제공하여 상기 적어도 2개의 페이지 버퍼들 각각의 데이터 래치가 설정되도록 제어한다.

[0006] 상기 목적을 달성하기 위한 본 발명의 실시 예에 따른 1 페이지 버퍼와 제 2 페이지 버퍼를 포함하되, 상기 제 1 페이지 버퍼는 제 1 센싱 래치, 제 1 센싱 노드, 그리고 제 1 데이터 래치를 포함하고, 상기 제 2 페이지 버퍼는 제 2 센싱 래치, 제 2 센싱 노드, 제 2 데이터 래치를 포함하는 불휘발성 메모리 장치의 동작 방법은, 상기 제 1 및 제 2 센싱 래치들에 저장된 데이터에 따라 상기 제 1 및 제 2 센싱 노드들을 디벨롭하는 단계, 셋 펄스에 응답하여, 디벨롭된 상기 제 1 센싱 노드의 전압 레벨에 따라 상기 제 1 데이터 래치를 설정하는 단계, 그리고 상기 셋 펄스에 응답하여, 디벨롭된 상기 제 2 센싱 노드의 전압 레벨에 따라 상기 제 2 데이터 래치를 설정하는 단계를 포함한다.

발명의 효과

[0007] 본 발명에 따른 불휘발성 메모리 장치는 페이지 버퍼에 대한 제어 동작에 소요되는 시간을 줄일 수 있어 동작 속도의 증가가 가능하다. 그리고 본 발명의 실시 예에 따른 불휘발성 메모리 장치는 페이지 버퍼를 제어하기 위한 셋 펄스의 수를 감소할 수 있어 소모 전력의 절감이 가능하다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.
 도 2는 도 1의 페이지 버퍼에 인가되는 래치 셋 신호의 예를 보여주는 블록도이다.
 도 3은 도 2의 페이지 버퍼를 예시적으로 보여주는 회로도이다.
 도 4는 본 발명의 프로그램 동작을 설명하기 위한 타이밍도이다.
 도 5는 본 발명의 데이터 래치의 상태를 보여주는 도면이다.
 도 6은 본 발명의 데이터 래치의 설정 방법을 간략히 보여주는 타이밍도이다.
 도 7은 본 발명의 데이터 래치들의 설정 순서를 예시적으로 보여주는 도면이다.
 도 8은 본 발명의 다른 실시 예에 따른 페이지 버퍼를 보여주는 회로도이다.
 도 9는 본 발명의 실시 예에 따른 데이터 래치의 설정 방법을 보여주는 타이밍도이다.
 도 10은 본 발명의 효과를 설명하기 위한 회로도이다.
 도 11은 본 발명의 데이터 래치 방법의 다른 실시 예를 보여주는 타이밍도이다.
 도 12는 도 1의 셀 어레이의 구성을 예시적으로 보여주는 사시도이다.
 도 13은 본 발명의 실시 예에 따른 SSD를 포함하는 사용자 장치를 보여주는 블록도이다.
 도 14는 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.
 도 15는 본 발명의 실시 예에 따른 메모리 카드를 보여주는 블록도이다.
 도 16은 본 발명의 실시 예에 따른 모바일 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수

있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다. 동일한 구성 요소들은 동일한 참조번호를 이용하여 인용될 것이다. 유사한 구성 요소들은 유사한 참조번호들을 이용하여 인용될 것이다. 아래에서 설명될 본 발명에 따른 플래시 메모리 장치의 회로 구성과, 그것에 의해 수행되는 읽기 동작은 예를 들어 설명한 것에 불과하며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능하다.

- [0010] 더불어, 본 발명의 특징 및 기능을 설명하기 위한 불휘발성 저장 매체로서 플래시 메모리 장치를 한 예로서 사용할 것이다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 예를 들면, 본 발명의 기술은 PRAM, MRAM, ReRAM, FRAM, NOR 플래시 메모리 등에도 사용될 수 있다.
- [0011] 본 발명은 다른 실시 예들을 통해 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다. 이하, 본 발명에 따른 실시 예를 첨부된 도면을 참조하여 상세히 설명한다.
- [0012] 도 1은 본 발명의 실시 예에 따른 불휘발성 메모리 장치(100)를 보여주는 블록도이다. 도 1을 참조하면, 불휘발성 메모리 장치(100)는 셀 어레이(110), 행 디코더(120), 페이지 버퍼 유닛(130), 그리고 제어 로직(140)을 포함한다.
- [0013] 셀 어레이(110)는 워드 라인들(WLs) 또는 선택 라인들(SSL, GSL)을 통해 행 디코더(120)에 연결된다. 셀 어레이(110)는 비트 라인들(BLs)을 통해서 페이지 버퍼 유닛(130)에 연결된다. 셀 어레이(110)는 복수의 낸드형 셀 스트링들(NAND Cell Strings)을 포함한다. 셀 스트링들 각각의 채널은 수직 또는 수평 방향으로 형성될 수 있다. 본 발명의 셀 어레이(110)는 낸드 셀 스트링을 형성하는 복수의 메모리 셀들을 포함할 것이다. 복수의 메모리 셀들은 비트 라인과 워드 라인 전압에 의해서 프로그램되거나 소거되거나, 독출될 수 있다. 특히, 셀 어레이(110)를 구성하는 복수의 메모리 셀들 각각은 하나의 메모리 셀에 적어도 2-비트가 저장되는 멀티-레벨 셀(MLC)로 구성될 수 있다.
- [0014] 행 디코더(120)는 어드레스(ADD)에 응답하여 셀 어레이(110)의 메모리 블록들 중 어느 하나를 선택할 수 있다. 행 디코더(120)는 어드레스(ADD)에 응답하여 선택된 메모리 블록의 워드 라인들 중 어느 하나를 선택할 수 있다. 행 디코더(120)는 선택된 메모리 블록의 워드 라인에 동작 모드에 대응하는 전압을 전달한다. 프로그램 동작시 행 디코더(120)는 선택 워드 라인(Selected WL)에 프로그램 전압(Vpgm)과 검증 전압(Vfy)을, 비선택 워드 라인(Unselected WL)에는 패스 전압(Vpass)을 전달한다. 읽기 동작시 행 디코더(120)는 선택 워드 라인(Selected WL)에 선택 읽기 전압(Vrd)을, 비선택 워드 라인(Unselected WL)에는 비선택 읽기 전압(Vread)을 전달한다.
- [0015] 페이지 버퍼 유닛(130)은 기입 드라이버로 또는 감지 증폭기로 동작한다. 프로그램 동작시, 페이지 버퍼 유닛(130)은 셀 어레이(110)의 비트 라인으로 프로그램될 데이터에 대응하는 비트 라인 전압을 전달한다. 읽기 동작 또는 검증 읽기 동작시, 페이지 버퍼 유닛(130)은 선택된 메모리 셀에 저장된 데이터를 비트 라인(BL)을 통해서 감지한다. 페이지 버퍼 유닛(130)은 복수의 페이지 버퍼들(PB0~PBn) 각각은 하나 또는 2개의 비트 라인에 연결될 수 있다.
- [0016] 복수의 페이지 버퍼들(PB0~PBn) 각각은 프로그램 검증 동작(Program verify operation)시 비트 라인(BLs)을 통해서 감지된 데이터를 구비되는 센싱 래치(S_LTCH)에 저장한다. 센싱 래치(S_LTCH)에 저장된 감지 데이터에 따라서 타깃 데이터가 저장된 데이터 래치(Data Latch)가 설정된다. 예를 들면, 감지된 데이터가 프로그램 완료된 것을 나타내는 경우, 데이터 래치는 후속되는 프로그램 루프에서 선택된 메모리 셀에 대한 프로그램 금지 설정(Program Inhibit Setting)으로 전환된다.
- [0017] 페이지 버퍼 유닛(130)은 센싱 래치(S_LTCH)에 저장된 데이터를 데이터 래치(Data Latch)에 저장하기 위한 셋 펄스(Set Pulse)를 제공한다. 셋 펄스는 제어 로직(140)으로부터 제공될 것이다. 셋 펄스에 응답하여 페이지 버퍼들(PB0~PBn)은 센싱 래치에 저장된 데이터에 따라서 데이터 래치를 설정할 수 있다. 본 발명의 페이지 버퍼 유닛(130)에서는 동일한 시간 슬롯에서 제공되는 하나의 셋 펄스에 응답하여 적어도 두 개의 페이지 버퍼들이 동시에 데이터 래치를 설정할 수 있다. 이러한 페이지 버퍼 유닛(130)의 특성에 따라, 프로그램 검증 동작시 타깃 데이터가 저장된 데이터 래치의 설정 시간을 줄일 수 있다. 따라서, 본 발명의 페이지 버퍼 유닛(130)을 구비하는 불휘발성 메모리 장치(100)에서 프로그램 동작에 소요되는 사이클 수가 획기적으로 감소할 수 있다.
- [0018] 제어 로직(140)은 외부로부터 전달되는 명령어(CMD)에 응답하여 페이지 버퍼 유닛(130) 및 행 디코더(120)를 제

어한다. 제어 로직(140)은 명령어(CMD)에 따라 선택된 메모리 셀에 대한 프로그램, 읽기, 그리고 소거 동작을 수행하도록 페이지 버퍼 유닛(130) 및 행 디코더(120)를 제어할 수 있다.

- [0019] 특히, 제어 로직(140)은 페이지 버퍼 유닛(130)에 제공하기 위한 셋 펄스(SP)를 생성한다. 제어 로직(140)으로부터 생성되는 하나의 셋 펄스를 통해서 적어도 2개의 페이지 버퍼들의 데이터 래치 설정이 수행될 수 있다. 예를 들면, 하나의 셋 펄스(SP)에 의해서 페이지 버퍼(PB0)의 MSB 래치와 페이지 버퍼(PB4)의 LSB 래치가 동시에 설정될 수 있다.
- [0020] 이러한 셋 펄스(SP)의 제공에 따라 프로그램 검증 동작에 소요되는 시간을 줄일 수 있고, 데이터 래치의 설정에 소요되는 전력 소모를 줄일 수 있다.
- [0021] 도 2는 본 발명의 실시 예에 따른 페이지 버퍼의 구성을 예시적으로 보여주는 블록도이다. 도 2를 참조하면, 각각의 페이지 버퍼들(PB0~PB7)은 비트 라인들(BL0~BL7)에 연결된다. 비트 라인들(BL0~BL7)은 낸드 셀 스트링들(NS0~NS7)에 연결된다.
- [0022] 셀 어레이(110)에 분포하는 복수의 낸드 셀 스트링들(NS0~NS7)은 각각 스트링 선택 트랜지스터(SST)를 통해서 비트 라인과 연결된다. 그리고 복수의 낸드 셀 스트링들(NS0~NS7)은 각각 접지 선택 트랜지스터(GST)를 통해서 공통 소스 라인(CSL)과 연결된다. 프로그램 동작시 선택된 워드 라인(WL)에는 프로그램 전압(V_{pgm})과 검증 전압(V_{fy})이 인가된다.
- [0023] 페이지 버퍼(PB0)는 낸드 셀 스트링(NS0)과 비트 라인(BL0)을 통해서 연결된다. 페이지 버퍼(PB0)는 프로그램 동작시 낸드 셀 스트링(NS0)의 메모리 셀들 중 선택된 메모리 셀의 프로그램 완료 여부를 검증(Verify)한다. 페이지 버퍼(PB0)는 검증 전압(V_{fy})이 선택된 메모리 셀의 게이트에 인가될 때, 검증 전압(V_{fy})에 대해 선택된 메모리 셀이 온 셀(On Cell)인지 오프 셀(Off Cell)인지를 감지하여 센싱 래치(S_{LTCH})에 저장한다. 그리고 래치 셋 신호(SET_{M<0>})에 응답하여 MSB를 저장하기 위한 데이터 래치(M_{LTCH})를, 래치 셋 신호(SET_{L<0>})에 응답하여 LSB를 저장하기 위한 데이터 래치(L_{LTCH})를 설정한다.
- [0024] 검증 동작 이전에 데이터 래치들(M_{LTCH}, L_{LTCH})에는 선택된 메모리 셀에 대한 타깃 비트들이 저장되어 있다. 따라서, 선택된 메모리 셀이 검증 전압(V_{fy})에 대해서 오프 셀(Off Cell)로 검출되는 경우, 데이터 래치들(M_{LTCH}, L_{LTCH})의 논리 값은 래치 셋 신호들(SET_{M<0>}, SET_{L<0>})에 의하여 모두 논리 '1'로 설정될 것이다. 따라서, 이후의 프로그램 루프에서 선택된 메모리 셀은 프로그램 금지(Program Inhibit)될 것이다.
- [0025] 페이지 버퍼들(PB1~PB7)은 래치 셋 신호들(SET_{M<1>}~SET_{M<7>}, SET_{L<1>}~SET_{L<7>})을 제공받는 것을 제외하면, 검증 동작시 페이지 버퍼(PB0)와 동일하게 동작한다. 특히, 페이지 버퍼들(PB1~PB7) 중에는 페이지 버퍼(PB0)에 제공되는 래치 셋 신호(SET_{M<0>})를 동시에 제공받아 LSB를 저장하는 데이터 래치(L_{LTCH})를 설정하는 것이 존재한다. 그리고 페이지 버퍼들(PB1~PB7) 중에는 페이지 버퍼(PB0)에 제공되는 래치 셋 신호(SET_{L<0>})를 동시에 제공받아 MSB를 저장하는 데이터 래치(M_{LTCH})를 설정하는 것이 적어도 하나 존재한다.
- [0026] 이상의 설명에 따르면, 하나의 셋 펄스가 동시에 서로 다른 페이지 버퍼들의 래치 셋 신호로 제공될 수 있다. 따라서, 멀티 레벨 셀에 대한 프로그램 검증 동작에서 소요되는 동작 사이클의 수를 획기적으로 줄일 수 있다. 그리고 프로그램 검증 동작에서 인가되는 셋 펄스의 수를 감소시켜 소모되는 동적 전력의 절감이 가능하다.
- [0027] 도 3은 도 1 또는 도 2의 페이지 버퍼의 구조를 간략히 보여주는 블록도이다. 도 3을 참조하면, 비트 라인(BL0)에 연결되는 페이지 버퍼(PB0)는 낸드 셀 스트링(NS0)의 메모리 셀들과 연결될 수 있다. 페이지 버퍼(PB0)는 비트 라인(BL0)과 연결되는 센싱 노드(S0)를 포함한다. 그리고 페이지 버퍼(PB0)는 센싱 노드(S0)에 각각 연결되는 센싱 래치(131), 데이터 래치들(132, 133), 캐시 래치(134) 그리고 프리차지 회로(136)를 포함한다.
- [0028] 프로그램 검증 동작을 위해서, 검증 전압(V_{fy})이 인가되는 시점에 페이지 버퍼(PB0)는 비트 라인(BL0)을 프리차지하여 선택된 메모리 셀의 온/오프 여부를 감지한다. 이때, 선택된 메모리 셀의 온/오프 여부에 따라 서로 다른 전압 레벨로 천이하는 비트 라인(BL0)의 디벨롭(DeveloP) 결과가 센싱 노드(S0)로 전달한다. 비트 라인(BL0)의 디벨롭 결과를 센싱 노드(S0)로 전달하기 위해서 제어 로직(140)은 센싱 노드(S0)를 제어 신호(LORD)를 활성화하여 프리차지한다. 이어서, 제어 신호(BLSHF)를 인가하여 비트 라인(BL0)과 센싱 노드(S0)를 연결한다. 그러면, 비트 라인(BL0)의 전위에 따라 센싱 노드(S0)의 레벨이 변화하게 된다. 이러한 동작을 센싱 노드 디벨롭(S0 DeveloP)이라 한다. 디벨롭된 센싱 노드(S0)의 전위에 의해서 센싱 래치(131)에 센싱 데이터가 저장된다.
- [0029] 이어서, 센싱 래치(131)에 저장된 센싱 데이터에 따라 데이터 래치들(132, 133)을 설정하기 위한 절차가 설명될 것이다. 이러한 절차는 도면의 인용부호들(①, ②, ③)로 나타내었다. 먼저, 센싱 래치(131)의 데이터를 데이터

래치(132)로 이동하기 위해서, 센싱 노드(SO)를 프리차지하기 위한 제어 신호(LOAD)를 활성화한다(① 단계). 제어 신호(LOAD)의 활성화에 따라 센싱 노드(SO)는 구동 전압(VDD) 레벨로 충전될 것이다. 이어서, 센싱 래치(131)의 데이터 상태에 따라 센싱 노드(SO)를 디벨롭(Develop)하기 위하여 제어 신호(MON_S)를 활성화한다(② 단계). 이어서, 래치 셋 신호(SET_M<0>, SET_L<0>)가 활성화되면, 센싱 노드(SO)의 레벨에 따라 데이터 래치들(132, 133) 중 하나가 설정될 수 있다.

[0030] 프로그램 동작시, 데이터 래치들(132, 133)에는 타깃 상태에 대응하는 데이터가 각각 저장되어 있다. 만일, 타깃 데이터 '01'이 데이터 래치(132, 133)에 저장되어 있고, 센싱된 메모리 셀이 오프 셀(프로그램 패스 셀)인 경우, 센싱 래치(131)에는 논리 '0'이 래치된다. 그리고 센싱 노드 디벨롭 동작에 의해서 센싱 노드(SO)는 논리 '1'로 디벨롭된다. 이때 래치 셋 신호(SET_M<0>) 또는 래치 셋 신호(SET_L<0>)가 활성화되면, 데이터 래치들(132, 133) 각각의 논리 '1'로 설정된다. 이것은 타깃 상태가 논리 '01'로부터 '11'로 변경됨을 의미한다. 이러한 데이터 래치(132, 133)의 설정에 따라 선택된 메모리 셀은 이후의 프로그램 루프에서 프로그램 금지(Program Inhibit)로 설정될 수 있다.

[0031] 반면, 선택된 메모리 셀이 온 셀(프로그램 패일 셀)인 경우, 센싱 래치(131)에는 논리 '1'이 래치된다. 그리고 센싱 노드 디벨롭(SO Develop) 동작에 의해서 센싱 노드(SO)는 논리 '0'으로 디벨롭된다. 그러면, 접지 트랜지스터(미도시됨)는 턴-오프 상태를 유지하게 되며, 래치 셋 신호(SET_M<0>) 또는 래치 셋 신호(SET_L<0>)가 활성화되더라도 데이터 래치들(132, 133) 각각은 타깃 상태에 대응하는 논리 '01'을 유지할 것이다. 프로그램 속도를 높이기 위해서 래치 셋 신호들(SET_M<0>, SET_L<0>)을 동시에 인가할 수 있다. 하지만, 선택된 메모리 셀이 온 셀일 경우, 래치 셋 신호(SET_M<0>)와 래치 셋 신호(SET_L<0>)가 동시에 제공되면, 각각의 래치들이 전기적으로 연결되어 논리적으로 불명확한 상태로 전이할 우려가 있다.

[0032] 본 발명의 셋 펄스의 인가 방법에 따르면, 하나의 셋 펄스가 적어도 2개의 페이지 버퍼들에 대한 래치 셋 신호로 제공될 수 있다. 하나의 셋 펄스에 의해서 어느 하나의 페이지 버퍼에는 MSB를 저장하는 데이터 래치(M_LTCH)를, 다른 적어도 하나의 페이지 버퍼의 LSB를 저장하는 데이터 래치(L_LTCH)를 설정할 수 있다. 따라서, 하나의 셋 펄스에 의해서 페이지 버퍼에 포함되는 복수의 데이터 래치를 설정하더라도 동작 오류는 발생하지 않는다.

[0033] 캐시 내치(134)에는 외부에서 제공되는 입력 데이터가 일시 저장된다. 프로그램 동작시, 캐시 래치(134)에 저장되는 타깃 데이터가 데이터 래치들(132, 133)에 순차적으로 저장될 수 있다.

[0034] 도 4는 본 발명의 실시 예에 따른 프로그램 동작을 보여주는 타이밍도이다. 도 4를 참조하면, 프로그램 동작은 복수의 프로그램 루프에 의해서 수행될 수 있으며, 하나의 프로그램 루프에서 프로그램 전압(VpgmN, N은 자연수)과 검증 전압(Vfy)이 교대로 선택된 메모리 셀의 워드 라인에 제공된다.

[0035] 예를 들면, 루프 카운트(Loop count) '1'에 대응하는 프로그램 루프(Loop)는 프로그램 전압(Vpgm2)이 인가되는 프로그램 실행 구간(Program execute duration)과 검증 전압(Vfy)이 제공되는 프로그램 검증 구간(Program verify duration)으로 구분될 수 있다. 프로그램 검증 구간은, 페이지 버퍼(Page buffer)의 동작에 따라 다시 2단계로 구분될 수 있다. 먼저, 비트 라인을 통해서 선택된 메모리 셀이 온 셀인지 또는 오프 셀인지를 검출하는 비트 라인 센싱 구간(BL sensing duration)이 있다. 비트 라인 센싱 구간(BL sensing duration) 동안, 센싱 래치(S_LTCH)에 데이터가 저장된다. 그리고 데이터 래치 구간(Data latch duration) 동안, 센싱 래치(S_LTCH)에 일시 저장된 데이터에 따라 데이터 래치가 타깃 상태에 대응하는 데이터 또는 인히빗 데이터로 변경될 수 있다.

[0036] 도 5는 선택된 메모리 셀의 프로그램 과정을 보여주는 도면이다. 도 5를 참조하면, 선택된 메모리 셀은 프로그램 루프의 증가에 따라 문턱 전압 분포(150)로부터 타깃 상태(Target State: TS)의 문턱 전압 분포(160)로 이동한다. 여기서, 메모리 셀은 하나의 메모리 셀에 2-비트가 저장되는 멀티-레벨 셀(MLC)이며, 타깃 상태(TS)는 예시적으로 논리 '01' 데이터에 대응하는 프로그램 상태로 가정하기로 한다.

[0037] 프로그램 전압(Vpgm)의 제공에 따라 점차 메모리 셀의 문턱 전압은 증가하게 될 것이다. 메모리 셀의 문턱 전압(Vth)이 검증 전압(Vfy)보다 낮은 프로그램 루프들에서 페이지 버퍼(PB0)의 프로그램 검증 동작을 수행하더라도, 데이터 래치들(132, 133)의 논리 값은 타깃 상태(TS) '01'을 유지할 것이다. 반면, 선택된 메모리 셀의 문턱 전압이 검증 전압(Vfy) 이상으로 높아지면, 데이터 래치들(132, 133)의 논리 값은 '11'로 설정된다. 데이터 래치들(132, 133)의 설정에 따라 페이지 버퍼는 이후의 프로그램 루프들에서 프로그램 금지(Program Inhibit)를 위한 비트 라인 전압을 제공할 것이다.

[0038] 여기서, 검증 전압(Vfy)에 대한 선택된 메모리 셀의 온/오프 여부에 따라 데이터 래치들(M_LTCH, L_LTCH)의 데

이터를 업데이트하는 동작을 데이터 래치의 설정(Setting)이라 칭하기로 한다. 데이터 래치의 설정에 의해서, 데이터 래치는 타깃 상태의 데이터를 유지하던지, 프로그램 금지 데이터(예를 들면, '11')로 전환될 수 있다.

- [0039] 도 6은 본 발명의 실시 예에 따른 페이지 버퍼의 데이터 래치의 설정 동작을 보여주는 타이밍도이다. 도 6을 참조하면, 센싱 래치(S_LTCH)에 저장된 데이터에 따라 데이터 래치를 설정하는 과정이 3개의 단계로 설명되어 있다.
- [0040] T0 시점에서, 센싱 노드(S0)의 프리차지(S0 Precharge) 동작이 실시된다. 센싱 노드(S0)의 프리차지(Precharge)를 위해서 제어 신호(LOAD)가 로우 레벨(또는, 0V)로 제공된다. 그러면, 트랜지스터(PM1)가 턴온되고, 센싱 노드(S0)는 전원 전압(VDD) 레벨 또는 미리 설정된 전압 레벨로 상승하게 될 것이다. 이때, 제어 신호들(BLSHF, BLCLAMP, SOGND, MON_S)은 0V의 레벨로, 제어 신호(BLSETUP)는 전원 전압(VDD) 레벨로 제공될 수 있다.
- [0041] T1 시점에서, 센싱 노드(S0)의 디벨럽(Develop) 절차가 진행된다. 센싱 노드(S0)의 디벨럽(Develop)을 위해서 제어 신호(LOAD)와 제어 신호(MON_S)는 전원 저압(VDD) 레벨로 천이한다. 그러면, 센싱 래치(131, 도 3 참조)에 저장된 데이터에 따라 센싱 노드(S0)에 프리차지된 전하는 접지로 방전되거나 또는 프리차지 상태로 유지될 것이다. 이때의 센싱 노드(S0)에 유지되는 전압에 따라 데이터 래치들(132, 133)을 접지시키기 위한 접지 트랜지스터(미도시됨)가 턴온되거나 턴오프될 것이다.
- [0042] T2 시점에서, 센싱 노드(S0)에 대한 센싱을 통해서 수행되는 데이터 래치의 설정이 수행된다. 복수의 페이지 버퍼들(PB0~PB7)의 데이터 래치들(M_LTCH, L_LTCH)을 설정하기 위한 래치 셋 신호들(SET_M<x>, SET_L<y>, x, y는 0 이상의 정수)이 인가된다. 각각 2개의 데이터 래치들(M_LTCH, L_LTCH)을 포함하는 페이지 버퍼들(PB0~PB7)에 순차적으로 셋 펄스들(①~⑧)이 제공된다. 먼저, 셋 펄스(①)는 페이지 버퍼(PB0)의 데이터 래치(M_LTCH)와 페이지 버퍼(PB4)의 데이터 래치(L_LTCH)의 래치 셋 신호로 제공된다. 즉, 셋 펄스(①)에 의해서 두 개의 페이지 버퍼의 데이터 래치들이 동시에 설정된다.
- [0043] 이어서, 셋 펄스(②)는 페이지 버퍼(PB1)의 데이터 래치(M_LTCH)와 페이지 버퍼(PB5)의 데이터 래치(L_LTCH)를 설정하기 위한 래치 셋 신호로 제공된다. 셋 펄스(③)는 페이지 버퍼(PB2)의 데이터 래치(M_LTCH)와 페이지 버퍼(PB6)의 데이터 래치(L_LTCH)를 설정하기 위한 래치 셋 신호로 제공된다. 펄스(④)는 페이지 버퍼(PB3)의 데이터 래치(M_LTCH)와 페이지 버퍼(PB7)의 데이터 래치(L_LTCH)를 설정하기 위한 래치 셋 신호로 제공된다. 펄스(⑤)는 페이지 버퍼(PB4)의 데이터 래치(M_LTCH)와 페이지 버퍼(PB0)의 데이터 래치(L_LTCH)를 설정하기 위한 래치 셋 신호로 제공된다. 셋 펄스(⑥)는 페이지 버퍼(PB5)의 데이터 래치(M_LTCH)와 페이지 버퍼(PB1)의 데이터 래치(L_LTCH)를 설정하기 위한 셋 펄스로 제공된다. 마찬가지로 하나의 셋 펄스들(⑦~⑧) 각각에 의해서 적어도 두 개의 페이지 버퍼들 각각의 데이터 래치들이 설정될 수 있다.
- [0044] 이상의 설명에 따르면, 2비트 멀티 레벨 셀(MLC)을 프로그램하는 페이지 버퍼 유닛은 하나의 셋 펄스를 적어도 두 개의 페이지 버퍼의 데이터 래치를 설정하는데 사용할 수 있다. 따라서, 메모리 셀의 프로그램 완료 여부를 검증하기 위한 프로그램 검증 동작에 소요되는 시간과 전력을 줄일 수 있다.
- [0045] 도 7은 예시적으로 8개의 페이지 버퍼들 각각의 데이터 래치 설정 순서를 보여주는 도면이다. 도 7을 참조하면, 8개의 페이지 버퍼들(PB0~PB7)에 제공되는 셋 펄스들(①~⑧)이 각각 순서대로 도시되어 있다. 여기서, 페이지 버퍼들(PB0~PB7)의 센싱 래치들(S_LTCH)에는 대응하는 메모리 셀들에 대한 검증 읽기의 결과 데이터가 저장된 상태이다. 그리고 8개의 페이지 버퍼들(PB0~PB7) 각각의 데이터 래치들(M_LTCH, L_LTCH)에는 타깃 상태에 대응하는 데이터가 저장되어 있다.
- [0046] 페이지 버퍼들(PB0~PB7) 각각의 센싱 노드(S0)들의 디벨럽 동작에 이어서, 데이터 래치를 설정하기 위한 센싱 동작이 실시된다. 이때, 첫 번째로 제공되는 셋 펄스(①)는 페이지 버퍼(PB0)의 MSB 래치(M_LTCH)와 페이지 버퍼(PB4)의 LSB 래치(L_LTCH)에 동시에 제공된다. 이후에 셋 펄스(①)에 의해서 페이지 버퍼(PB0)의 MSB 래치(M_LTCH)가 타깃 상태를 유지하던지 또는 인히빗 상태로 설정될 것이다. 동시에, 셋 펄스(①)에 의해서 페이지 버퍼(PB4)의 LSB 래치(L_LTCH)가 타깃 상태를 유지하던지 또는 인히빗 상태로 설정될 것이다.
- [0047] 이어서, 셋 펄스(②)가 페이지 버퍼(PB1)의 MSB 래치(M_LTCH)와 페이지 버퍼(PB5)의 LSB 래치(L_LTCH)에 동시에 제공된다. 그러면, 디벨럽된 페이지 버퍼(PB1)의 센싱 노드(S0) 레벨과 셋 펄스(②)에 의해서 페이지 버퍼(PB1)의 MSB 래치(M_LTCH)가 타깃 상태를 유지하던지 또는 인히빗 상태로 설정될 것이다. 동시에, 디벨럽된 페이지 버퍼(PB5)의 센싱 노드(S0) 레벨과 셋 펄스(②)에 의해서 페이지 버퍼(PB5)의 LSB 래치(L_LTCH)가 타깃 상태를 유지하던지 또는 인히빗 상태로 설정될 것이다.

- [0048] 이러한 방식으로 셋 펄스(③)에 의해서는 페이지 버퍼(PB2)의 MSB 래치(M_LTCH)와 페이지 버퍼(PB6)의 LSB 래치(L_LTCH)가 동시에 설정될 수 있다. 셋 펄스(④)에 의해서는 페이지 버퍼(PB3)의 MSB 래치(M_LTCH)와 페이지 버퍼(PB7)의 LSB 래치(L_LTCH)가 동시에 설정될 수 있다. 그리고 셋 펄스(⑤)에 의해서는 페이지 버퍼(PB4)의 MSB 래치(M_LTCH)와 페이지 버퍼(PB0)의 LSB 래치(L_LTCH)가 동시에 설정될 수 있다. 셋 펄스(⑥)에 의해서는 페이지 버퍼(PB5)의 MSB 래치(M_LTCH)와 페이지 버퍼(PB1)의 LSB 래치(L_LTCH)가 동시에 설정될 수 있다. 셋 펄스(⑦)에 의해서는 페이지 버퍼(PB6)의 MSB 래치(M_LTCH)와 페이지 버퍼(PB2)의 LSB 래치(L_LTCH)가 동시에 설정될 수 있다. 셋 펄스(⑧)에 의해서는 페이지 버퍼(PB7)의 MSB 래치(M_LTCH)와 페이지 버퍼(PB3)의 LSB 래치(L_LTCH)가 동시에 설정될 수 있다.
- [0049] 하나의 셋 펄스를 사용하여 적어도 두 개의 페이지 버퍼들의 데이터 래치들을 설정하는 방법이 설명되었다. 이러한 방식을 사용하면, 멀티 레벨 셀(MLC)의 프로그램 검증 동작에 소요되는 시간과 소모 전력을 획기적으로 줄일 수 있다.
- [0050] 도 8은 본 발명의 다른 실시 예에 따른 페이지 버퍼를 보여주는 회로도이다. 도 8을 참조하면, 페이지 버퍼(PB0')는 센싱 노드(S0)에 각각 연결되는 센싱 래치(131), 데이터 래치들(132, 133, 135), 캐시 래치(134), 그리고 프리차지 회로(136)를 포함한다. 즉, 페이지 버퍼(PB0')는 도 3의 페이지 버퍼(PB0)에 비해 3비트 데이터를 프로그램하기 위한 데이터 래치(135)를 더 포함한다.
- [0051] 프로그램 검증 동작을 위해서 페이지 버퍼(PB0')는 비트 라인(BL0)을 프리차지하여 선택된 메모리 셀의 온 셀 또는 오프 셀 여부를 감지한다. 이때, 비트 라인(BL0)의 디벨롭(Develop) 결과가 센싱 노드(S0)에 전달된다. 비트 라인(BL0)의 디벨롭 결과를 센싱 노드(S0)로 전달하기 위해서 제어 로직(140, 도 1 참조)은 센싱 노드(S0)를 제어 신호(LORD)를 활성화하여 프리차지한다. 이어서, 제어 신호(BLSHF)를 인가하여 비트 라인(BL0)과 센싱 노드(S0)를 연결한다. 그러면, 비트 라인(BL0)의 전위에 따라 센싱 노드(S0)의 레벨이 변화하게 된다. 디벨롭된 센싱 노드(S0)의 전위에 따라 센싱 래치(131)가 설정된다.
- [0052] 이어서, 센싱 래치(131)에 래치된 센싱 데이터에 따라 데이터 래치들(132, 133, 135)이 설정된다. 이러한 절차는 회로도에서 인용부호들(①, ②, ③)로 나타내었다. 먼저, 센싱 래치(131)의 데이터를 데이터 래치(132)로 이동하기 위해서, 센싱 노드(S0)를 프리차지하기 위한 제어 신호(LOAD)를 활성화한다(① 단계). 제어 신호(LOAD)의 활성화에 따라 센싱 노드(S0)는 구동 전압(VDD) 레벨로 충전될 것이다. 이어서, 센싱 래치(131)의 데이터 상태에 따라 센싱 노드(S0)를 디벨롭(Develop)하기 위하여 제어 신호(MON_S)를 활성화한다(② 단계). 이어서, 래치 셋 신호들(SET_M, SET_L, SET_F) 중 어느 하나가 활성화될 것이다. 그러면, 센싱 노드(S0)의 레벨에 따라 접지 트랜지스터(TR2)가 턴온 되거나 턴오프될 것이다. 이때, 래치 셋 신호들(SET_M, SET_L, SET_F) 중 활성화된 어느 하나의 데이터 래치가 설정될 것이다(③ 단계).
- [0053] 만일, 래치 셋 신호(SET_M)에 하나의 셋 펄스가 제공되는 경우, 래치 셋 신호(SET_M)로 제공된 셋 펄스는 동시에 다른 페이지 버퍼의 데이터 래치를 셋팅하기 위한 래치 셋 신호로도 제공될 것이다. 이렇게 하나의 셋 펄스를 사용하여 3개의 페이지 버퍼들의 데이터 래치들이 동시에 설정될 수 있다.
- [0054] 도 9는 도 8의 페이지 버퍼를 포함하는 불휘발성 메모리 장치의 데이터 래치의 설정 방법을 보여주는 타이밍도이다. 도 9를 참조하면, 페이지 버퍼들 각각의 센싱 래치(S_LTCH)에 저장된 센싱 데이터에 따라 데이터 래치를 설정하는 과정이 3 단계로 설명되어 있다.
- [0055] T0 시점에서 센싱 노드(S0)에 대한 프리차지(S0 Precharge) 동작이 실시된다. 센싱 노드(S0)의 프리차지를 위해서 제어 신호(LOAD)는 로우 레벨(또는, 0V)로 제공된다. 그러면, 트랜지스터(PM1)가 턴온되고, 센싱 노드(S0)는 전원 전압(VDD) 레벨 또는 미리 설정된 레벨로 상승하게 될 것이다. 이때, 제어 신호들(BLSHF, BLCLAMP, SOGND, MON_S)은 0V의 레벨로, 제어 신호(BLSETUP)는 전원 전압(VDD) 레벨로 제공될 것이다.
- [0056] T1 시점에서 센싱 노드(S0)의 디벨롭(Develop) 동작이 진행된다. 센싱 노드(S0)의 디벨롭(Develop)을 위해서 제어 신호(LOAD)와 제어 신호(MON_S)는 전원 전압(VDD) 레벨로 천이한다. 그러면, 센싱 래치(131)에 저장된 데이터에 센싱 노드(S0)의 프리차지된 전하가 접지로 방전되거나, 프리차지 레벨로 유지될 것이다. 이때의 센싱 노드(S0)에 유지되는 전압에 따라 접지 트랜지스터(미도시됨)가 턴온되거나 턴오프될 것이다.
- [0057] T2 시점에서, 복수의 페이지 버퍼들(PB0~PB7)의 데이터 래치들(M_LTCH, L_LTCH, F_LTCH)을 설정하기 위한 셋 펄스들이 제공된다. 각각 3개의 데이터 래치들(M_LTCH, L_LTCH, F_LTCH)을 포함하는 페이지 버퍼들(PB0~PB7)에 순차적으로 셋 펄스들이 제공된다. 먼저, 셋 펄스(①)는 페이지 버퍼(PB0)의 데이터 래치(M_LTCH)를 설정하기 위한 래치 셋 신호(SET_M<0>)로 제공된다. 동시에, 셋 펄스(①)는 페이지 버퍼(PB6)의 데이터 래치(L_LTCH)와

페이지 버퍼(PB4)의 데이터 래치(F_LTCH)를 설정하기 위한 래치 셋 신호들(SET_L<6>, SET_F<4>)로 제공된다. 페이지 버퍼(PB6)의 데이터 래치(L_LTCH)는 선택된 메모리 셀의 LSB 타깃 데이터를 저장하고, 페이지 버퍼(PB4)의 데이터 래치(F_LTCH)는 선택된 메모리 셀의 CSB(Central Significant Bit)를 저장하기 위한 래치이다.

[0058] 셋 펄스(①)에 이어서 제공되는 셋 펄스(②)는 페이지 버퍼들(PB1, PB7, PB5)의 데이터 래치들(M_LTCH, L_LTCH, F_LTCH)을 셋팅하기 위한 래치 셋 신호들(SET_M<1>, SET_L<7>, SET_F<5>)로 동시에 제공된다. 셋 펄스(②)에 이어서 제공되는 셋 펄스(③)는 페이지 버퍼들(PB2, PB0, PB6)의 데이터 래치들(M_LTCH, L_LTCH, F_LTCH)을 셋팅하기 위한 래치 셋 신호들(SET_M<2>, SET_L<0>, SET_F<6>)로 동시에 제공된다. 셋 펄스(③)에 이어서 제공되는 셋 펄스(④)는 페이지 버퍼들(PB3, PB1, PB7)의 데이터 래치들(M_LTCH, L_LTCH, F_LTCH)을 셋팅하기 위한 래치 셋 신호들(SET_M<3>, SET_L<1>, SET_F<7>)로 제공된다. 상술한 방식으로 셋 펄스 열(⑤~⑧) 각각은 적어도 3개의 페이지 버퍼들에게 래치 셋 신호(Latch Set Signal)로 제공될 수 있다.

[0059] 이상에서는 3-비트 멀티 레벨 셀에 대응하는 페이지 버퍼 유닛에 대해 래치 셋 신호의 제공 방법이 설명되었다. 하나의 셋 펄스가 적어도 3개의 페이지 버퍼의 래치 셋 신호로 동시에 제공되며, 각각의 페이지 버퍼들은 서로 다른 페이지에 대응하는 데이터 래치들을 설정할 것이다. 따라서, 이러한 래치 셋 신호(또는, 분주 신호)의 제공 방법에 따르면, 하나의 사이클 내에서 페이지 버퍼들 모두에 대한 데이터 래치의 설정이 수행될 수 있다. 따라서, 프로그램 검증 동작에 소요되는 시간과 전력을 최소화할 수 있다.

[0060] 도 10은 본 발명의 효과를 간략히 보여주는 회로도이다. 도 10을 참조하면, 하나의 페이지 버퍼에 포함되는 데이터 래치들(M_LTCH, L_LTCH)을 동시에 설정하지 못하는 이유가 도시되어 있다. 여기서, 데이터 래치들(M_LTCH, L_LTCH)에는 타깃 데이터로 각각 논리 '0'과 논리 '1'이 저장되어 있는 것으로 가정하기로 한다.

[0061] 검증 읽기 동작에 의해서 센싱 노드(S0)가 논리 '0'으로 디벨롭되는 경우, 접지 트랜지스터(TR)는 턴오프된다. 그리고 래치 셋 신호들(SET_M, SET_L)이 동시에 활성화되면, 트랜지스터들(NM6, NM8)이 동시에 턴온된다. 이때, 데이터 래치(M_LTCH)에 저장된 타깃 데이터 '0'과 데이터 래치(L_LTCH)에 저장된 타깃 데이터 '1'은 충돌하게 된다. 따라서, 이후의 데이터 래치들(M_LTCH, L_LTCH)의 데이터 상태는 보장되지 못하며, 프로그램 동작의 오류로 전개될 수 있다.

[0062] 본 발명의 실시 예에 따른 데이터 래치 설정 방법에 따르면, 하나의 셋 펄스를 서로 다른 페이지 버퍼들의 데이터 래치들 셋팅하기 위한 래치 셋 신호로 제공된다. 더불어, 래치 셋 신호를 제공받은 페이지 버퍼들 각각은 하나의 데이터 래치만을 셋팅하기 때문에, 데이터 신뢰성이 유지될 수 있다.

[0063] 도 11은 본 발명의 또 다른 실시 예에 따른 데이터 래치의 설정 방법을 보여주는 타이밍도이다. 도 11을 참조하면, 프로그램 검증 동작에서 1회의 센싱 노드(S0)의 디벨롭과 이어지는 2 사이클에 걸친 페이지 버퍼들의 데이터 래치 설정 동작이 수행될 수 있다. 즉, 페이지 버퍼들의 MSB 데이터가 저장되는 데이터 래치들(M_LTCH)이 1 사이클에서 설정되고, LSB 데이터가 저장되는 데이터 래치들(L_LTCH)이 이어지는 사이클에서 설정된다.

[0064] T0 시점에서 센싱 노드(S0)의 프리차지(S0 Precharge) 동작이 실시된다. 센싱 노드(S0)의 프리차지를 위해서 제어 신호(LOAD)가 로우 레벨(또는, 0V)로 제공된다. 그러면, 트랜지스터(PM1)가 턴온되고, 센싱 노드(S0)는 전원 전압(VDD) 레벨 또는 미리 설정된 레벨로 상승하게 될 것이다. 이때, 제어 신호들(BLSHF, BLCLAMP, SOGND, MON_S)은 0V의 레벨로, 제어 신호(BLSETUP)는 전원 전압(VDD)레벨로 제공받을 것이다.

[0065] T0~T2 시점까지의 센싱 노드(S0)의 프리차지(Precharge)와 디벨롭(Develo) 동작은 도 6에서 설명된 동일한 절차에 따라서 수행된다. 따라서, 센싱 노드(S0)의 프리차지 및 디벨롭 동작에 대한 설명은 생략하기로 한다.

[0066] T2~T3 시점에서, 복수의 페이지 버퍼들(PB0~PB7) 각각의 데이터 래치들(M_LTCH)을 설정하기 위한 셋 펄스들(①~⑧)이 순차적으로 제공된다. T2~T3 사이에 대응하는 하나의 클록 사이클 동안에 복수의 페이지 버퍼들(PB0~PB7) 각각의 래치 셋 신호들(SET_M<0>~SET_M<7>)로 셋 펄스들(①~⑧)이 제공될 것이다. 이어서, 센싱 노드(S0)의 데이터 상태가 유지되는 동안, T3~T4 시점의 클록 사이클 구간에서, 복수의 페이지 버퍼들(PB0~PB7) 각각의 데이터 래치들(L_LTCH)을 설정하기 위한 셋 펄스들(⑨~⑩)이 순차적으로 제공된다. T3~T4 사이에 대응하는 하나의 클록 사이클 구간에서 복수의 페이지 버퍼들(PB0~PB7) 각각의 래치 셋 신호들(SET_L<0>~SET_L<7>)이 제공될 것이다.

[0067] 이상에서는 2-비트 멀티 레벨 셀을 프로그램하는 페이지 버퍼의 데이터 래치를 셋팅하는 방법이 설명되었다. 하지만, 본 발명은 여기에 국한되지 않는다. 하나의 클록 사이클 동안에 서로 다른 페이지 버퍼의 데이터 래치들이 동시에 설정될 수도 있다. 또한, 3-비트 이상의 MLC에서 한 번의 센싱 노드(S0) 프리차지와 디벨롭 이후에

복수의 데이터 래치의 설정 사이클이 수행될 수 있다.

- [0068] 도 12는 도 1의 셀 어레이를 구성하는 메모리 블록(BLK_i)을 예시적으로 보여주는 사시도이다. 도 12를 참조하면, 메모리 블록(BLK_i)은 복수의 방향들(x, y, z)을 따라 신장된 구조물들을 포함한다.
- [0069] 메모리 블록(BLK_i)을 형성하기 위해서는, 우선 기판(111)이 형성된다. 예를 들면, 기판(111)은 붕소(B, Boron)와 같은 5족 원소가 주입되어 형성된 P-웰로 형성될 수 있을 것이다. 또는, 기판(111)은 N-웰 내에 제공되는 포켓 P-웰로 형성될 수 있을 것이다. 이하에서, 기판(111)은 P-웰 인 것으로 가정하기로 한다. 그러나 기판(111)은 P-웰에만 한정되지 않는다.
- [0070] 기판(111) 상에, x 방향을 따라 복수의 도핑 영역들(112a, 112b, 112c, 112d)이 형성된다. 예를 들면, 복수의 도핑 영역들(112a, 112b, 112c, 112d)은 기판(111)과 상이한 n 타입의 도전체로 형성될 수 있을 것이다. 이하에서, 제 1 내지 제 4 도핑 영역들(112a, 112b, 112c, 112d)은 n 타입을 갖는 것으로 가정한다. 그러나, 제 1 내지 제 4 도핑 영역들(112a, 112b, 112c, 112d)은 n 타입을 갖는 것으로 한정되지 않는다.
- [0071] 제 1 및 제 2 도핑 영역들(112a, 112b) 사이의 기판(111)의 영역 상에, y 방향을 따라 신장되는 복수의 절연 물질들(118)이 z 방향을 따라 순차적으로 제공된다. 예를 들면, 복수의 절연 물질들(118)은 z 방향을 따라 특정 거리만큼 이격되어 형성될 것이다. 예시적으로, 절연 물질들(118)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 것이다.
- [0072] 제 1 및 제 2 도핑 영역들(112a, 112b) 사이의 기판(111) 상부에, y 방향을 따라 순차적으로 배치되며 z 방향을 따라 절연 물질들(118)을 관통하는 필라(113)가 형성된다. 예시적으로, 필라(113)는 절연 물질들(118)을 관통하여 기판(111)과 연결될 것이다. 여기서, 필라(113)는 제 2 및 제 3 도핑 영역들(112b, 112c) 사이의 기판 상부와, 제 3 및 제 4 도핑 영역들(112c, 112d) 사이의 기판 상부에도 형성된다.
- [0073] 예시적으로, 필라(113)는 복수의 물질들로 구성될 것이다. 예를 들면, 필라(113)의 표면층(113a)은 제 1 타입을 갖는 실리콘 물질을 포함할 것이다. 필라(113)의 표면층(113a)은 기판(111)과 동일한 타입을 갖는 실리콘 물질을 포함할 것이다. 이하에서, 필라(113)의 표면층(113a)은 p 타입 실리콘을 포함하는 것으로 가정한다. 그러나 각 필라(113)의 표면층(113a)은 p 타입 실리콘을 포함하는 것으로 한정되지 않는다. 필라(113)의 내부층(113b)은 절연 물질로 구성된다. 예를 들면, 필라(113)의 내부층(113b)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 것이다.
- [0074] 제 1 및 제 2 도핑 영역들(112a, 112b) 사이의 영역에서, 절연 물질들(118), 필라(113), 그리고 기판(111)의 노출된 표면을 따라 절연막(115)이 제공된다. 예시적으로, z 방향을 따라 제공되는 마지막 절연 물질(118)의 z 방향 쪽의 노출면에 제공되는 절연막(125)은 제거될 수 있다.
- [0075] 제 1 및 제 2 도핑 영역들(112a, 112b) 사이의 영역에서, 절연막(115)의 노출된 표면에 제 1 도전 물질들(114a~114i)이 제공된다. 예를 들면, 기판(111)에 인접한 절연 물질(118) 및 기판(111) 사이에 y 방향을 따라 신장되는 제 1 도전 물질(114a)이 제공된다. 더 상세하게는, 기판(111)에 인접한 절연 물질(118)의 하부면의 절연막(115) 및 기판(111) 사이에, x 방향으로 신장되는 제 1 도전 물질(114a)이 제공된다.
- [0076] 제 2 및 제 3 도핑 영역들(112b, 112c) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(112a, 112b) 상의 구조물과 동일한 구조물이 제공될 것이다. 제 3 및 제 4 도핑 영역들(112c, 112d) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(112a, 112b) 상의 구조물과 동일한 구조물이 형성될 것이다.
- [0077] 복수의 필라들(113) 상에 드레인들(116)이 각각 제공된다. 드레인들(116)은 제 2 타입으로 도핑된 실리콘 물질일 수 있다. 예를 들면, 드레인들(116)은 n 타입으로 도핑된 실리콘 물질들일 것이다. 이하에서, 드레인들(116)은 n 타입 실리콘을 포함하는 것으로 가정한다. 그러나 드레인들(116)은 n 타입 실리콘을 포함하는 것으로 한정되지 않는다.
- [0078] 드레인들(116) 상에, x 방향으로 신장된 제 2 도전 물질들(117a~117c)이 제공된다. 제 2 도전 물질들(117a~117c)은 y 방향을 따라 순차적으로 배치된다. 제 2 도전 물질들(117a~117c) 각각은 대응하는 영역의 드레인들(116)과 연결된다. 예시적으로, 드레인들(116) 및 x 방향으로 신장된 제 2 도전 물질(117c)은 각각 콘택 플러그들(Contact plug)을 통해 연결될 수 있다.
- [0079] 여기서, 제 1 도전 물질들(114a~114i)은 각각 워드 라인 또는 선택 라인(SSL, GSL)을 형성한다. 제 1 도전 물질들(114a~114i) 중에서 워드 라인으로 형성되는 일부(114b~114h)는 동일한 층에 속한 것들은 상호 연결된다. 메모리 블록(BLK_i)은 제 1 도전 물질들(114a~114i) 전체가 선택될 경우에 선택될 수 있다. 반면, 본 발명의 서브-

블록은 제 1 도전 물질들(114a~114i) 중 일부만이 선택됨으로써 선택 가능하다.

- [0080] 또한, 본 발명에서는 제 1 도전 물질들(114a~114i)의 층수는 예시적인 것에 불과하다. 제 1 도전 물질들(114a~114i)의 층수는 공정 기술이나 제어 기술에 따라 다양하게 변경될 수 있음은 잘 이해될 것이다.
- [0081] 도 13은 본 발명의 실시 예에 따른 솔리드 스테이트 디스크(이하, SSD)를 포함하는 사용자 장치를 보여주는 블록도이다. 도 13을 참조하면, 사용자 장치(1000)는 호스트(1100)와 SSD(1200)를 포함한다. SSD(1200)는 SSD 컨트롤러(1210), 버퍼 메모리(1220), 그리고 불휘발성 메모리 장치(1230)를 포함한다.
- [0082] SSD 컨트롤러(1210)는 호스트(1100)와 SSD(1200)와의 물리적 연결을 제공한다. 즉, SSD 컨트롤러(1210)는 호스트(1100)의 버스 포맷(Bus format)에 대응하여 SSD(1200)와의 인터페이싱을 제공한다. 특히, SSD 컨트롤러(1210)는 호스트(1100)로부터 제공되는 명령어를 디코딩한다. 디코딩된 결과에 따라, SSD 컨트롤러(1210)는 불휘발성 메모리 장치(1230)를 액세스한다. 호스트(1100)의 버스 포맷(Bus format)으로 USB(Universal Serial Bus), SCSI(Small Computer System Interface), PCI express, ATA, PATA(Parallel ATA), SATA(Serial ATA), SAS(Serial Attached SCSI) 등이 포함될 수 있다.
- [0083] 버퍼 메모리(1220)에는 호스트(1100)로부터 제공되는 쓰기 데이터 또는 불휘발성 메모리 장치(1230)로부터 읽혀진 데이터가 일시 저장된다. 호스트(1100)의 읽기 요청시에 불휘발성 메모리 장치(1230)에 존재하는 데이터가 캐시되어 있는 경우에는, 버퍼 메모리(1220)는 캐시된 데이터를 직접 호스트(1100)로 제공하는 캐시 기능을 지원한다. 일반적으로, 호스트(1100)의 버스 포맷(예를 들면, SATA 또는 SAS)에 의한 데이터 전송 속도는 SSD(1200)의 메모리 채널의 전송 속도보다 월등히 빠르다. 즉, 호스트(1100)의 인터페이스 속도가 월등히 높은 경우, 대용량의 버퍼 메모리(1220)를 제공함으로써 속도 차이로 발생하는 퍼포먼스 저하를 최소화할 수 있다.
- [0084] 불휘발성 메모리 장치(1230)는 SSD(1200)의 저장 매체로서 제공된다. 예를 들면, 불휘발성 메모리 장치(1230)는 대용량의 저장 능력을 가지는 낸드 플래시 메모리(NAND-type Flash memory)로 제공될 수 있다. 불휘발성 메모리 장치(1230)는 복수의 메모리 장치로 구성될 수 있다. 이 경우, 각각의 메모리 장치들은 채널 단위로 SSD 컨트롤러(1210)와 연결된다. 불휘발성 메모리 장치(1230)에 구비되는 페이지 버퍼(Page Buffer)의 데이터 래치는 본 발명의 방식에 따라서 셋팅된다. 따라서, 본 발명의 SSD(1000)에서, 프로그램 동작시 데이터 래치의 셋팅 동작에 소요되는 시간과 소모 전력을 줄일 수 있다.
- [0085] 저장 매체로서 불휘발성 메모리 장치(1230)가 낸드 플래시 메모리를 예로 들어 설명되었으나, 또 다른 불휘발성 메모리 장치들로 구성될 수 있다. 예를 들면, 저장 매체로서 PRAM, MRAM, ReRAM, FRAM, NOR 플래시 메모리 등이 사용될 수 있으며, 이종의 메모리 장치들이 혼용되는 메모리 시스템도 적용될 수 있다. 불휘발성 메모리 장치(1230)는 버퍼 프로그램 동작을 위한 버퍼 영역과 메인 프로그램 동작을 위한 메인 영역을 포함한다.
- [0086] 도 14는 본 발명의 다른 실시 예에 따른 메모리 시스템(2000)을 예시적으로 보여주는 블록도이다. 도 14를 참조하면, 본 발명에 따른 메모리 시스템(2000)은 메모리 컨트롤러(2100)와 불휘발성 메모리 장치(2200)를 포함할 수 있다.
- [0087] 불휘발성 메모리 장치(2200)는 도 1의 불휘발성 메모리 장치(100)와 실질적으로 동일하게 구성될 수 있다. 불휘발성 메모리 장치(2200)는 프로그램 검증 동작시에 하나의 셋 펄스를 서로 다른 적어도 두 개의 페이지 버퍼들의 래치 셋 신호로 제공할 수 있다. 따라서, 프로그램 검증에 소요되는 사이클 수를 획기적으로 줄일 수 있어 프로그램 속도의 향상과 소모 전력의 절감이 가능하다.
- [0088] 메모리 컨트롤러(2100)는 불휘발성 메모리 장치(2200)를 제어하도록 구성될 수 있다. SRAM(2110)은 CPU(2120)의 워킹 메모리로 사용될 수 있다. 호스트 인터페이스(2130)는 메모리 시스템(2000)과 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 메모리 컨트롤러(2100)에 구비된 에러 정정 회로(2140)는 불휘발성 메모리 장치(2200)로부터 읽어 온 읽기 데이터에 포함되어 있는 에러를 검출 및 정정할 수 있다. 메모리 인터페이스(2150)는 본 발명의 불휘발성 메모리 장치(2200)와 인터페이싱 할 수 있다. CPU(2120)는 메모리 컨트롤러(2100)의 데이터 교환을 위한 제반 제어 동작을 수행할 수 있다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(2000)은 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있다.
- [0089] 메모리 컨트롤러(2100)는 USB, MMC, PCI-E, SAS, SATA, PATA, SCSI, ESDI, 그리고 IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 것이다.
- [0090] 본 발명에 따른 메모리 시스템(2000)은, 컴퓨터, 휴대용 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북

(net-book), PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 사용자 장치들 중 하나에 적용될 수 있다.

[0091] 도 15는 본 발명의 다른 실시 예에 따른 데이터 저장 장치(3000)를 예시적으로 보여주는 블록도이다. 도 15를 참조하면, 본 발명에 따른 데이터 저장 장치(3000)는 플래시 메모리 칩(3100)과 플래시 컨트롤러(3200)를 포함할 수 있다. 플래시 컨트롤러(3200)는 데이터 저장 장치(3000) 외부로부터 수신된 제어 신호들에 기초하여 플래시 메모리 칩(3100)을 제어할 수 있다.

[0092] 또한, 플래시 메모리 칩(3100)의 구성은 도 1에 도시된 불휘발성 메모리 장치(100)와 실질적으로 동일하며, 멀티 칩으로 구성될 수도 있다. 본 발명의 플래시 메모리 칩(3100)은 어레이들이 다층으로 적층된 스택 플래시 구조, 소스-드레인이 없는 플래시 구조, 핀-타입 플래시 구조, 및 3차원 플래시 구조 중 어느 하나로 구성될 수 있다.

[0093] 본 발명의 데이터 저장 장치(3000)는 메모리 카드 장치, SSD 장치, 멀티미디어 카드 장치, SD 장치, 메모리 스틱 장치, 하드 디스크 드라이브 장치, 하이브리드 드라이브 장치, 또는 범용 직렬 버스 플래시 장치를 구성할 수 있다. 예를 들면, 본 발명의 데이터 저장 장치(3000)는 디지털, 카메라, 개인 컴퓨터 등과 같은 사용자 장치를 사용하기 위한 산업 표준을 만족하는 카드를 구성할 수 있다.

[0094] 도 16은 본 발명의 실시 예에 따른 휴대용 단말기를 나타내는 블록도이다. 도 16을 참조하면, 본 발명의 실시 예에 따른 휴대용 단말기(4000)는 이미지 처리부(4100), 무선 송수신부(4200), 오디오 처리부(4300), 이미지 파일 생성부(4400), 메모리 장치(4500), 유저 인터페이스(4600), 그리고 컨트롤러(4700)를 포함한다.

[0095] 이미지 처리부(4100)는 렌즈(4110), 이미지 센서(4120), 이미지 프로세서(4130), 그리고 디스플레이부(4140)를 포함한다. 무선 송수신부(4210)는 안테나(4210), 트랜시버(4220), 모뎀(4230)을 포함한다. 오디오 처리부(4300)는 오디오 프로세서(4310), 마이크(4320), 그리고 스피커(4330)를 포함한다.

[0096] 이미지 처리부(4100)는 앞서 설명된 실시 예들 중 적어도 어느 하나의 방식으로 영상 데이터를 처리할 수 있다. 즉, 이미지 프로세서(4130)는 이미지 센서(4120)로부터 제공되는 영상 데이터를 코덱에 입력되기 이전에 전처리하여 채널의 대역폭 마진을 확보할 수 있다.

[0097] 여기서, 불휘발성 메모리 장치(4500)는 본 발명의 실시 예에 따라 구동되는 불휘발성 메모리 장치로 제공될 수 있다. 이 경우, 불휘발성 메모리 장치(4500)는 높은 쓰기 성능을 제공하며, 휴대용 단말기(4000)의 타임 아웃(Time out) 이내에 응답할 수 있다.

[0098] 본 발명에 따른 불휘발성 메모리 장치 그리고/또는 메모리 컨트롤러는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.

[0099] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

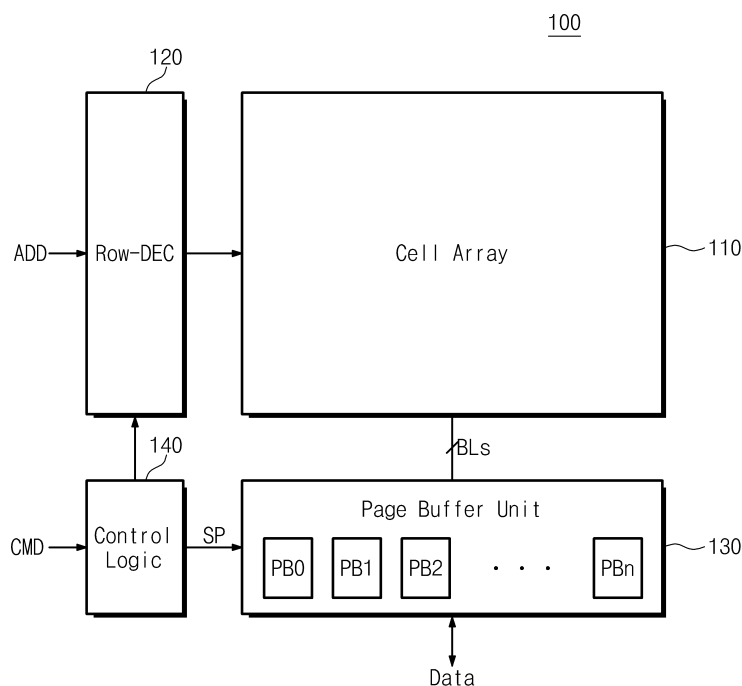
부호의 설명

[0100] 110 : 셀 어레이 120 : 행 디코더

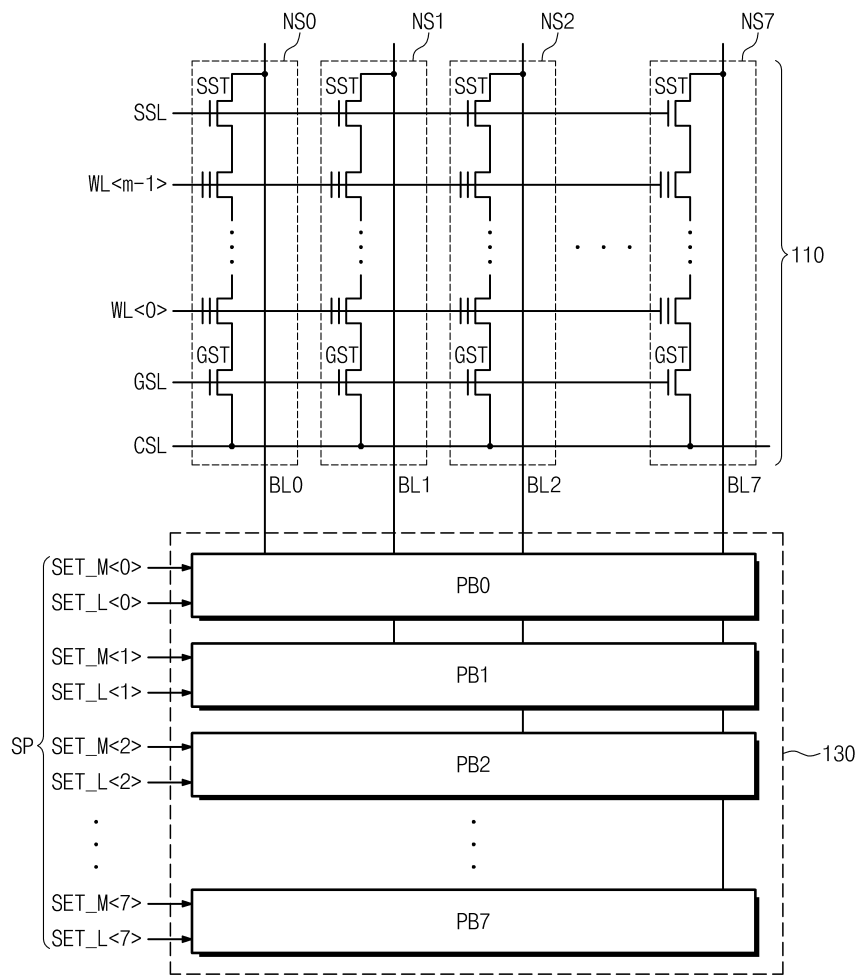
130 : 페이지 버퍼 유닛	140 : 제어 로직
111 : 기판	112a, 112b, 112c, 112d : 도핑 영역
113 : 필라	113a : 표면층
113b : 내부층	114a~114i : 제 1 도전 물질
115 : 절연막	116 : 드레인
117a, 117b, 117c : 비트 라인	118 : 절연 물질
1100 : 호스트1200 : SSD	1210 : SSD 컨트롤러
1220 : 버퍼 메모리	1230 : 불휘발성 메모리 장치
2100 : 메모리 컨트롤러	2110 : 에스램
2120 : CPU	2130 : 호스트 인터페이스
2140 : 플래시 인터페이스	2200 : 불휘발성 메모리 장치
3100 : 플래시 메모리	3200 : 플래시 컨트롤러
4110 : 렌즈	4120 : 이미지 센서
4130 : 이미지 프로세서	4140 : 디스플레이 유닛
4210 : 안테나	4220 : 송수신기
4230 : 모듈	4310 : 오디오 처리기
4400 : 이미지 파일 생성 유닛	4500 : 불휘발성 메모리
4600 : 유저 인터페이스	4700 : 컨트롤러

도면

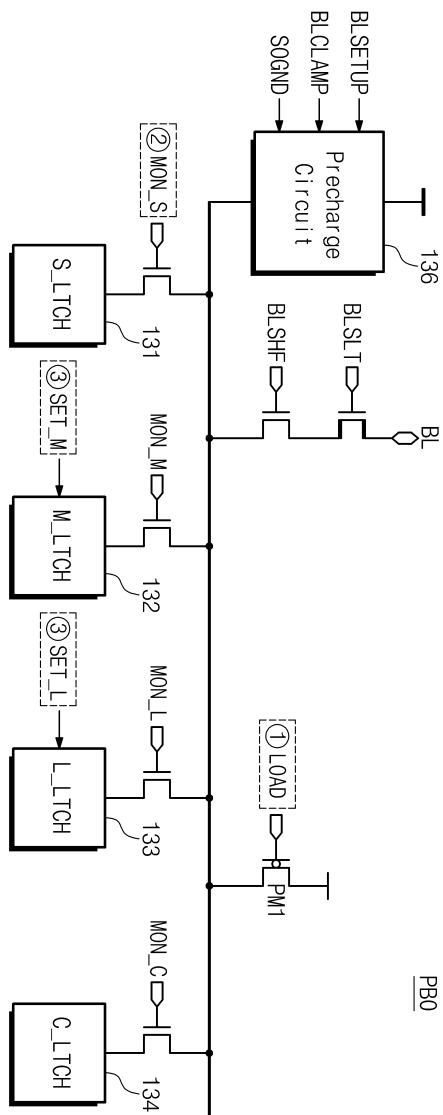
도면1



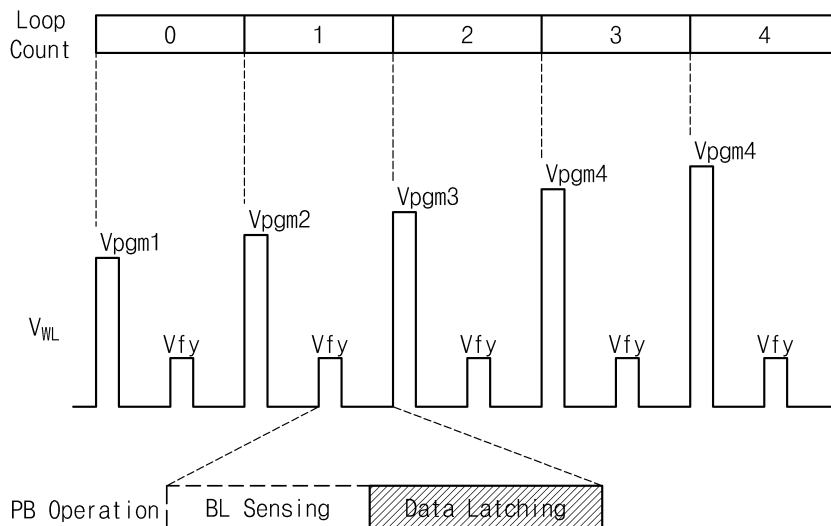
도면2



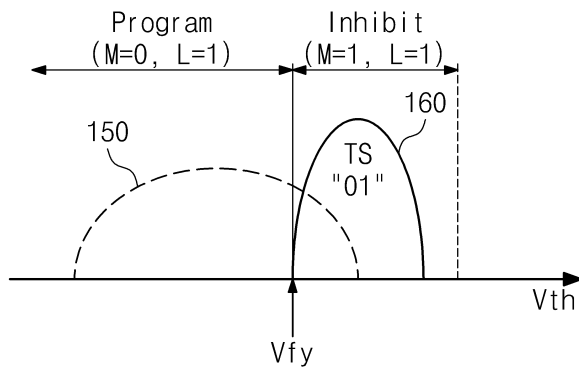
도면3



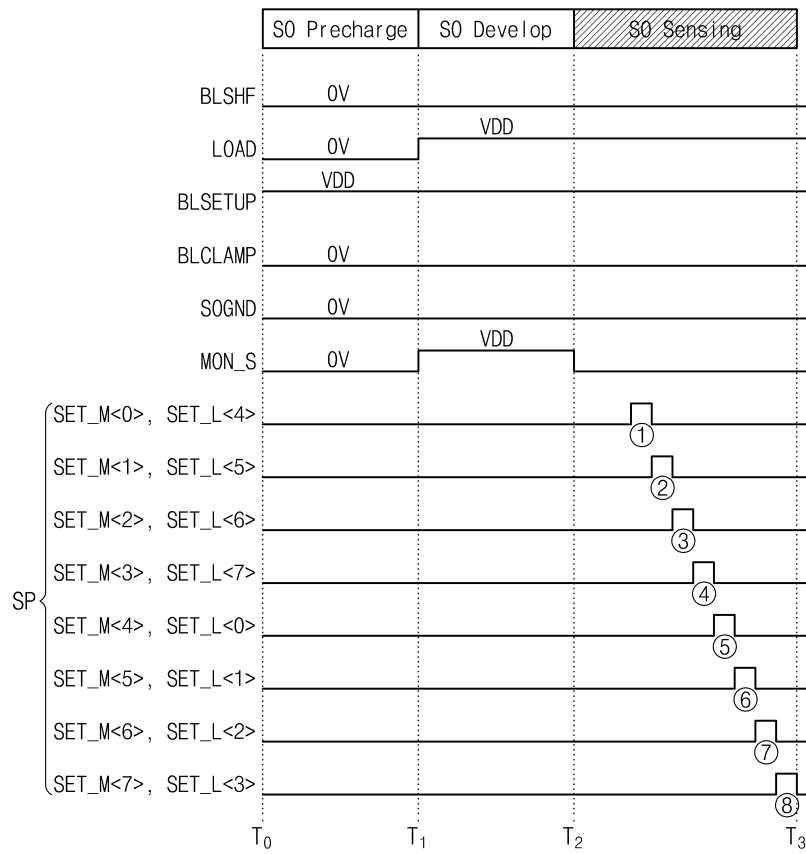
도면4



도면5



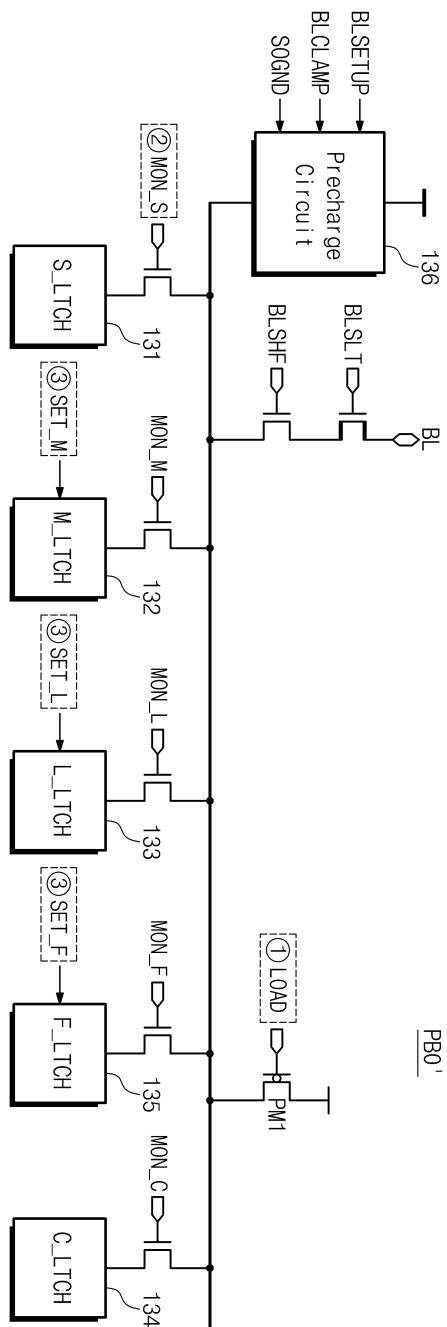
도면6



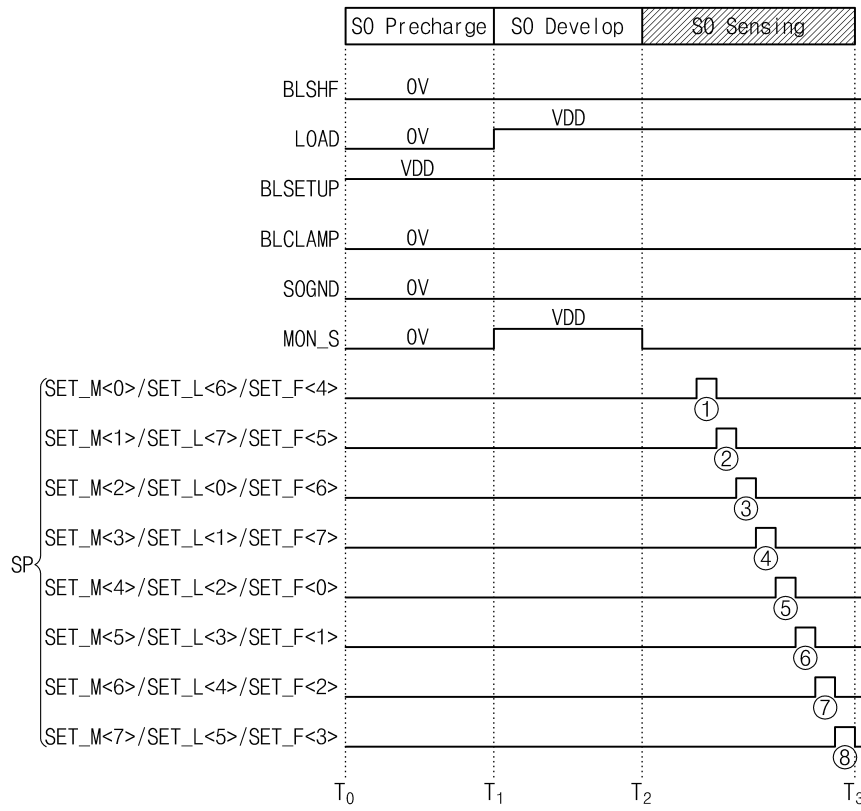
도면7

PB0	M_LTCH ①	L_LTCH ⑤
PB1	M_LTCH ②	L_LTCH ⑥
PB2	M_LTCH ③	L_LTCH ⑦
PB3	M_LTCH ④	L_LTCH ⑧
PB4	M_LTCH ⑤	L_LTCH ①
PB5	M_LTCH ⑥	L_LTCH ②
PB6	M_LTCH ⑦	L_LTCH ③
PB7	M_LTCH ⑧	L_LTCH ④

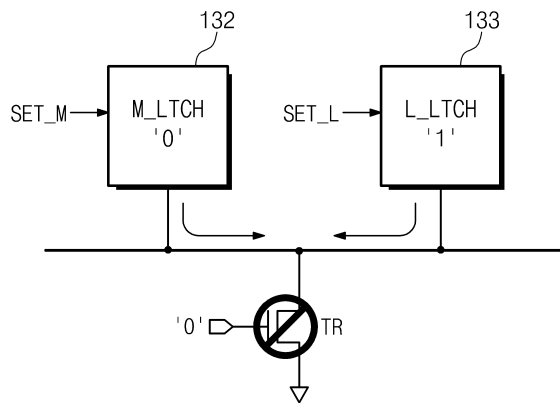
도면8



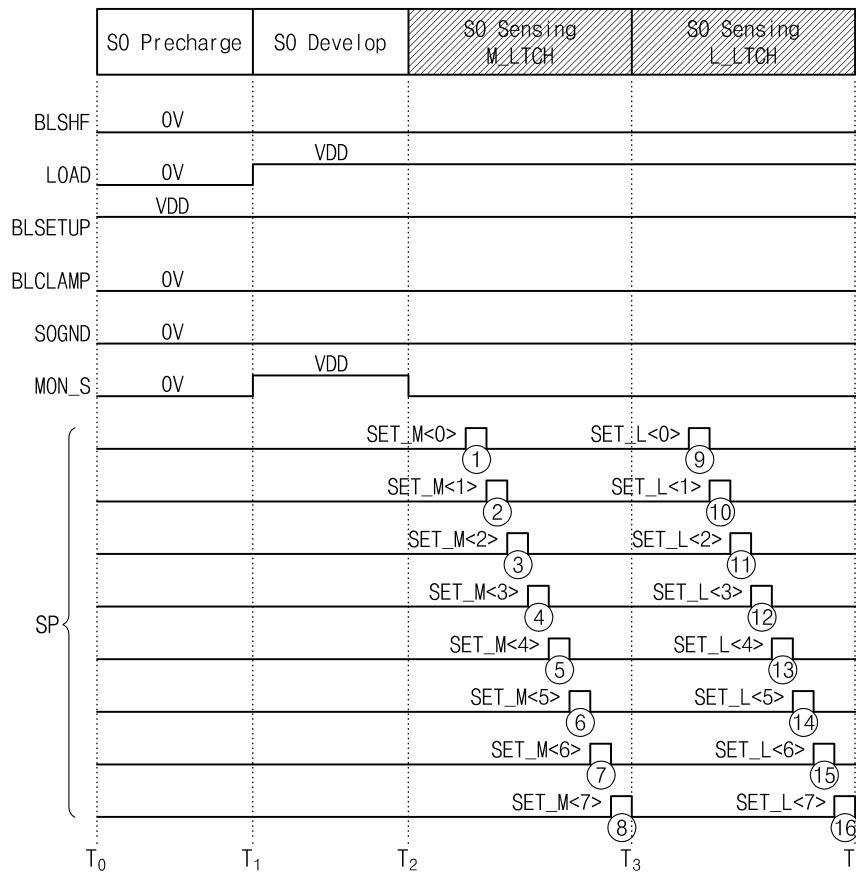
도면9



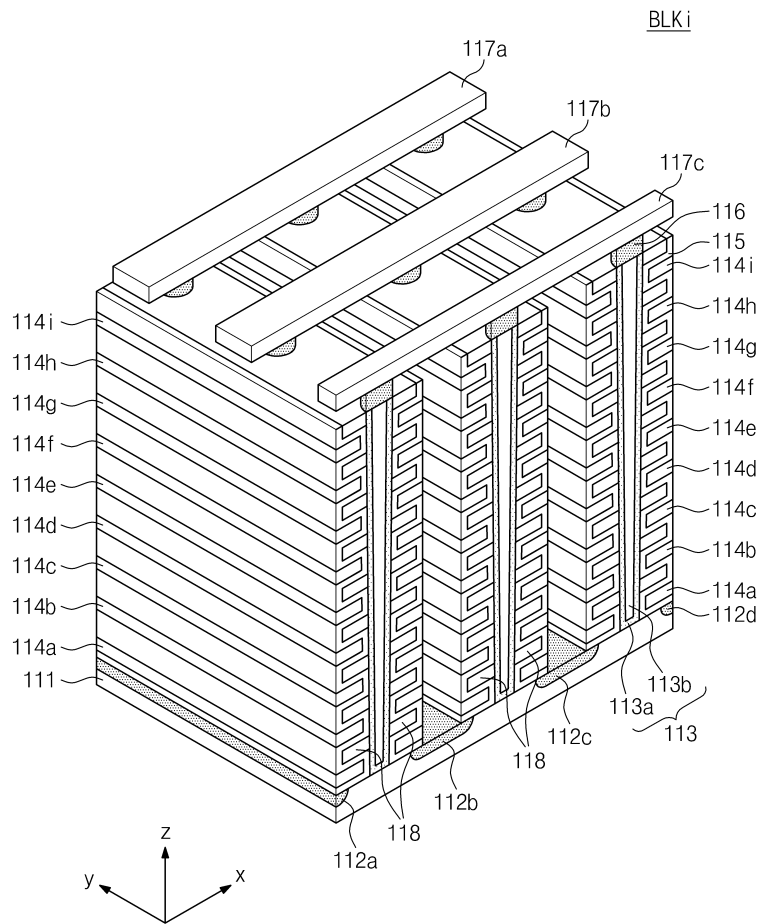
도면10



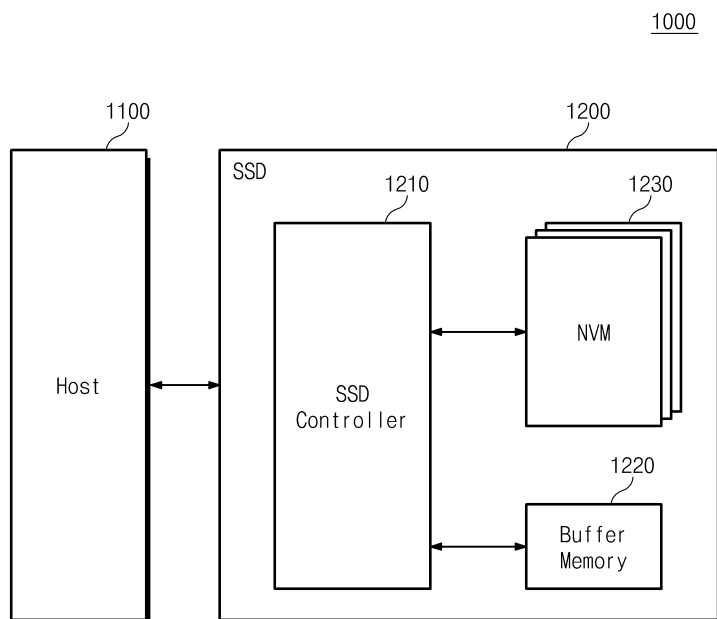
도면11



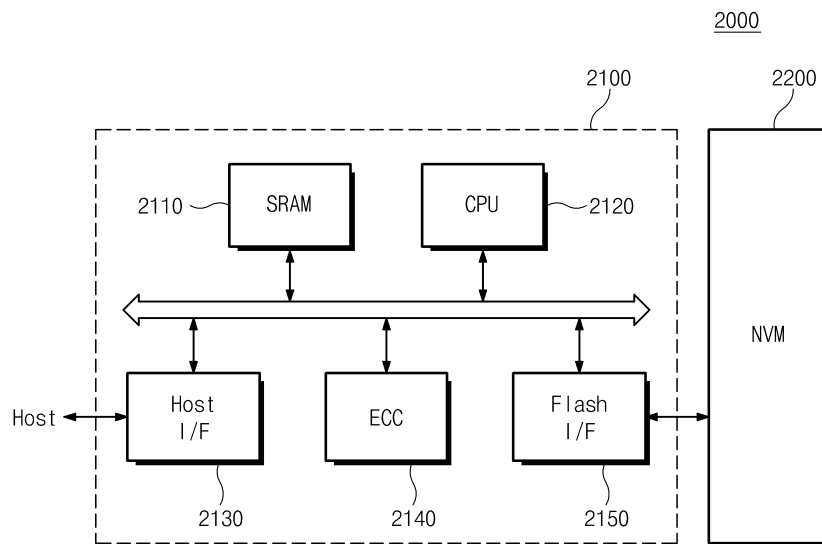
도면12



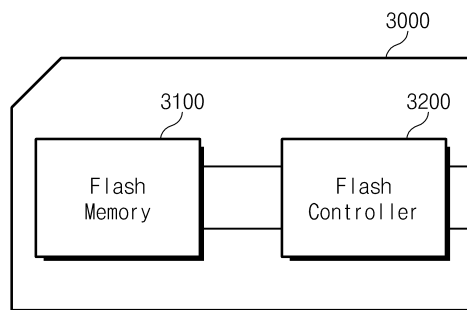
도면13



도면14



도면15



도면16

