

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4142059号
(P4142059)

(45) 発行日 平成20年8月27日(2008.8.27)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl.

H03G 11/00 (2006.01)

F 1

H03G 11/00

A

請求項の数 6 (全 15 頁)

(21) 出願番号 特願2006-108672 (P2006-108672)
 (22) 出願日 平成18年4月11日 (2006.4.11)
 (62) 分割の表示 特願平8-236474の分割
 原出願日 平成8年9月6日 (1996.9.6)
 (65) 公開番号 特開2006-222988 (P2006-222988A)
 (43) 公開日 平成18年8月24日 (2006.8.24)
 (審査請求日 平成18年5月11日 (2006.5.11))

(73) 特許権者 595138889
 日本バーブラウン株式会社
 神奈川県横浜市港北区新横浜二丁目3番地
 12 新横浜スクエアビル
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100071124
 弁理士 今井 庄亮
 (74) 代理人 100076691
 弁理士 増井 忠式
 (74) 代理人 100075236
 弁理士 栗田 忠彦
 (74) 代理人 100075270
 弁理士 小林 泰

最終頁に続く

(54) 【発明の名称】積分回路

(57) 【特許請求の範囲】

【請求項 1】

信号入力端子と、
 信号出力端子と、
 反転入力端子と、基準電圧ラインに接続された非反転入力端子と、上記信号出力端子に接続された出力端子とを有する演算增幅器と、
 上記信号入力端子と上記演算增幅器の反転入力端子との間に接続されたスイッチトキャパシタ回路と、

上記演算增幅器の出力端子と反転入力端子との間に接続された帰還キャパシタと、

上記演算增幅器の出力端子と反転入力端子との間に接続された第1のリミット回路と、
 上記演算增幅器の出力端子と反転入力端子との間に接続された第2のリミット回路と、
 を有し、

上記第1のリミット回路が第1の電源電圧ラインと上記演算增幅器の反転入力端子との間に接続された第1のMOSトランジスタを有し、

上記第2のリミット回路が第2の電源電圧ラインと上記演算增幅器の反転入力端子との間に接続された第2のMOSトランジスタを有し、

上記第1及び第2のMOSトランジスタのゲート端子が上記演算增幅器の出力端子に接続されており、

上記第1の電源電圧が正電源電圧であり、上記第2の電源電圧が負電源電圧であり、上記第1のMOSトランジスタがNMOSトランジスタであり、上記第2のMOSトランジ

10

20

スタがPMOSトランジスタであり、

上記第1のリミット回路が上記第1のMOSトランジスタと上記演算増幅器の反転入力端子との間に接続された第1のMOSダイオード素子を更に有し、

上記第2のリミット回路が上記第2のMOSトランジスタと上記演算増幅器の反転入力端子との間に接続された第2のMOSダイオード素子を更に有し、

上記第1のMOSダイオード素子がNMOSトランジスタで構成され、上記第2のMOSダイオード素子がPMOSトランジスタで構成され、

上記各PMOSトランジスタのゲート長と上記各NMOSトランジスタのゲート長と同じであり、上記PMOSトランジスタのゲート幅が上記各NMOSトランジスタのゲート幅の2倍である、

積分回路。

【請求項2】

上記スイッチトキャパシタ回路のキャパシタの静電容量と上記帰還キャパシタの静電容量とが等しい請求項1に記載の積分回路。

【請求項3】

上記第1及び第2のMOSトランジスタのしきい値電圧を調整するための電圧調整回路を更に有する請求項1又は2に記載の積分回路。

【請求項4】

第1の信号入力端子と、

第2の信号入力端子と、

第1の信号出力端子と、

第2の信号出力端子と、

反転入力端子と、非反転入力端子と、上記第1の信号出力端子に接続された非反転出力端子と、上記第2の信号出力端子に接続された反転出力端子とを有する演算増幅器と、

上記第1の信号入力端子と上記演算増幅器の反転入力端子との間に接続された第1のスイッチトキャパシタ回路と、

上記第2の信号入力端子と上記演算増幅器の非反転入力端子との間に接続された第2のスイッチトキャパシタ回路と、

上記演算増幅器の非反転出力端子と反転入力端子との間に接続された第1の帰還キャパシタと、

上記演算増幅器の反転出力端子と非反転入力端子との間に接続された第2の帰還キャパシタと、

上記演算増幅器の非反転出力端子と反転入力端子との間に接続された第1のリミット回路と、

上記演算増幅器の非反転出力端子と反転入力端子との間に接続された第2のリミット回路と、

上記演算増幅器の反転出力端子と非反転入力端子との間に接続された第3のリミット回路と、

上記演算増幅器の反転出力端子と非反転入力端子との間に接続された第4のリミット回路と、

を有し、

上記第1のリミット回路が第1の電源電圧ラインと上記演算増幅器の反転入力端子との間に接続された第1のMOSトランジスタを有し、

上記第2のリミット回路が第2の電源電圧ラインと上記演算増幅器の反転入力端子との間に接続された第2のMOSトランジスタを有し、

上記第3のリミット回路が第1の電源電圧ラインと上記演算増幅器の非反転入力端子との間に接続された第3のMOSトランジスタを有し、

上記第4のリミット回路が第2の電源電圧ラインと上記演算増幅器の非反転入力端子との間に接続された第4のMOSトランジスタを有し、

上記第1及び第2のMOSトランジスタのゲート端子が上記演算増幅器の非反転出力端

10

20

30

40

50

子に接続されており、

上記第3及び第4のMOSトランジスタのゲート端子が上記演算増幅器の反転出力端子に接続されており、

上記第1の電源電圧が正電源電圧であり、上記第2の電源電圧が負電源電圧であり、上記第1及び第3のMOSトランジスタがNMOSトランジスタであり、上記第2及び第4のMOSトランジスタがPMOSトランジスタであり、

上記第1のリミット回路が上記第1のMOSトランジスタと上記演算増幅器の反転入力端子との間に接続された第1のMOSダイオード素子を更に有し、

上記第2のリミット回路が上記第2のMOSトランジスタと上記演算増幅器の反転入力端子との間に接続された第2のMOSダイオード素子を更に有し、

上記第3のリミット回路が上記第3のMOSトランジスタと上記演算増幅器の非反転入力端子との間に接続された第3のMOSダイオード素子を更に有し、

上記第4のリミット回路が上記第4のMOSトランジスタと上記演算増幅器の非反転入力端子との間に接続された第4のMOSダイオード素子を更に有し、

上記第1及び第3のMOSダイオード素子がNMOSトランジスタで構成され、上記第2及び第4のMOSダイオード素子がPMOSトランジスタで構成され、

上記各PMOSトランジスタのゲート長と上記各NMOSトランジスタのゲート長と同じであり、上記PMOSトランジスタのゲート幅が上記各NMOSトランジスタのゲート幅の2倍である、

積分回路。

10

【請求項5】

上記各スイッチトキャパシタ回路のキャパシタの静電容量と上記各帰還キャパシタの静電容量とが等しい請求項4に記載の積分回路。

【請求項6】

上記第1、第2、第3及び第4のMOSトランジスタのしきい値電圧を調整するための電圧調整回路を更に有する請求項4又は5に記載の積分回路。

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

30

【0002】

本発明は、クリップ又はリミット等を行う波形整形回路の分野に関し、特に関数演算回路に使用するのに適した波形整形回路に関するものである。

【従来の技術】

【0003】

電気回路における波形整形回路として、信号波形の上部又は下部の一方を制限するクリップ回路、あるいはそれらの双方を制限する1対のクリップ回路から成るリミッタ回路等がある。後者のリミッタ回路としては、ある回路の出力端子間即ち負荷に並列に、ダイオードとリミットレベルを定める電源との直列接続から各々成る1対の回路を、互いに並列にしかもそれらのダイオードの極性が反対になるように接続したものが知られている。

40

【0004】

半導体集積回路においては、そのようなリミッタ回路を実現する場合、上記各ダイオードとして、MOSトランジスタをダイオード接続したもの（以下、MOSダイオードと呼ぶ）を使用することができる。また、リミッタ回路を配置する位置は、例えば演算増幅器を使用した関数演算回路においては、その演算増幅器の出力端子と接地との間即ち負荷に並列に設けたり、あるいはその演算増幅器の出力端子から非反転入力端子への帰還回路に並列に設けたりすることができる。この後者の回路は、図16に示しており、Z_{in}は入力回路インピーダンス、Z_fは帰還回路インピーダンスであり、上記のようにリミッタ回路を成す1対のN型MOSダイオードM_{D1p}及びM_{D2p}はこの帰還回路に並列になっている。この図に示したリミッタの場合、リミットレベルは、N型MOSダイオード自身のし

50

きい値電圧により定まり、これにより演算増幅器の出力電圧は、基準電圧（演算増幅器の非反転入力端子の電位であり、例えば接地電位）の±しきい値電圧の範囲にリミットされる。

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記のような演算増幅器に関連して使用するリミッタにおいては、リミット動作のオン・オフ・スイッチング速度は、リミッタ回路に並列の回路のインピーダンス、即ち、負荷インピーダンスもしくは図16の例では帰還回路インピーダンス Z_f により影響を受け易い構成となっている。そのため、それら並列インピーダンスによっては、リミッタのスイッチング速度が低下するという問題がある。また、リミッタ動作のオン・オフ遷移状態、即ちリミッタのMOSダイオードのしきい値近傍においては、MOSダイオードの等価インピーダンスが、並列インピーダンス、即ち負荷インピーダンスもしくは帰還インピーダンスに作用を及ぼすため、それらインピーダンスの定数を変化させることになる。これにより、演算増幅器を使用した関数演算回路においては、その関数演算結果が不正確になるという問題がある。10

【0006】

更に、上記リミッタにおいては、演算増幅器の出力電圧を直接リミットする構造であるため、負荷駆動力の高い出力電圧、即ち比較的大きい出力電流を扱う必要があり、従って大電流に耐えられるようMOSダイオードのゲート幅を大きくしなければならない。このことは、半導体集積回路で実現する場合には、より大きなチップ面積を必要とする、という問題がある。20

【0007】

リミッタに関する上記問題は、クリップ回路においても同様にある。

【0008】

従って、本発明の目的は、演算増幅器を使用して実現した関数演算回路の帰還回路及びその負荷に対する影響もしくはそれらから受ける影響が最小限となる状態で、波形整形を行うことができる関数演算回路用の波形整形回路を提供することである。

【0009】

本発明の別の目的は、波形整形を行うためにより小さな電流しか扱わないで済む、関数演算回路用の波形整形回路を提供することである。30

【課題を解決するための手段】

【0010】

上記の目的を実現するため、本発明によれば、非反転入力端子及び反転入力端子と出力端子とを有する演算増幅器を備えた関数演算回路に使用する波形整形回路は、前記出力端子と、前記非反転入力端子及び前記反転入力端子の内の一方である関係する入力端子と、に接続した波形整形回路手段を含み、該波形整形回路手段は、イ) 前記出力端子に接続した入力端と、該入力端とは電気的に絶縁された出力端とを有し、前記出力端子の電圧の大きさを、前記入力端から前記出力端へ、電気的絶縁状態で伝達する電圧伝達手段と、ロ) 前記電圧伝達手段の前記出力端に入力端が接続しており、前記演算増幅器の前記入力端子に出力端が接続した電圧・電流変換手段であって、前記出力端子電圧の大きさに対する所定のしきい値を有しており、前記電圧伝達手段から受けた前記出力端子電圧の大きさと前記所定のしきい値との間の大小関係に依存した大きさの電流を前記入力端子に供給する、前記の電圧・電流変換手段と、を備える。40

【0011】

また、本発明によれば、非反転入力端子及び反転入力端子と非反転出力端子及び反転出力端子とを有する演算増幅器を備えた関数演算回路に使用する波形整形回路は、A. 前記非反転出力端子と前記反転入力端子とに接続した第1の波形整形回路手段と、B. 前記反転出力端子と前記非反転入力端子とに接続した第2の波形整形回路手段と、を含み、前記第1及び第2の波形整形回路手段の各々は、関係する前記出力端子及び前記入力端子に關50

して、イ) 前記出力端子に接続した入力端と、該入力端とは電気的に絶縁された出力端とを有し、前記出力端子の電圧の大きさを、前記入力端から前記出力端へ、電気的絶縁状態で伝達する電圧伝達手段と、ロ) 前記電圧伝達手段の前記出力端に入力端が接続しており、前記演算増幅器の前記入力端子に出力端が接続した電圧・電流変換手段であって、前記出力端子電圧の大きさに対する所定のしきい値を有しており、前記電圧伝達手段から受けた前記出力端子電圧の大きさと前記所定のしきい値との間の大小関係に依存した大きさの電流を前記入力端子に供給する、前記の電圧・電流変換手段と、を備える。

【0012】

本発明によれば、前記波形整形手段は、1つのクリップ回路を構成したり、あるいは1対のクリップ回路から成るリミッタ回路を構成することができる。また、後者の場合、前記リミッタ回路の前記1対のクリップ回路は、前記所定のしきい値として、互いに異なった第1と第2の所定のしきい値を有するようできる。

【0013】

また、本発明によれば、前記関数演算回路は、第1及び第2の電源電圧端子を有し、前記クリップ回路は、1つのMOSトランジスタを含み、該MOSトランジスタは、ゲート電極を、前記演算増幅器の前記出力端子に接続し、ドレイン電極・ソース電極路を、前記第1及び第2電源電圧端子の内の所定の一方と前記演算増幅器の前記入力端子との間に接続し、これにより前記MOSトランジスタの内の前記ゲート電極を含む第1部分が、前記電圧伝達手段を構成し、残りの第2部分が前記電圧・電流変換手段を構成するようできる。また、前記クリップ回路は、更に少なくとも1つのダイオード接続した追加のMOSトランジスタを含み、該追加MOSトランジスタは、ドレイン電極・ソース電極路を、前記演算増幅器の前記入力端子と前記MOSトランジスタの前記ドレイン電極・ソース電極路との間に、該電極路と直列に接続するよう構成できる。

【0014】

また、本発明によれば、前記関数演算回路は、第1及び第2の電源電圧端子を有し、前記クリップ回路は、1対の第1と第2のMOSトランジスタを有する電流スイッチを含み、該電流スイッチは、前記第1及び第2電源電圧端子と前記演算増幅器の前記入力端子との間に接続し、かつ前記第1及び第2電源電圧端子の内の一方とその他の間に第1の電流路を有し、そして前記一方の電源電圧端子と前記演算増幅器の前記入力端子との間に第2の電流路を有し、前記第1電流路は、前記第1MOSトランジスタのドレイン電極・ソース電極路を含み、該第1MOSトランジスタのゲート電極は前記演算増幅器の前記出力端子に接続し、前記第2電流路は、前記第2MOSトランジスタのドレイン電極・ソース電極路を含み、該第2MOSトランジスタのゲート電極は前記所定しきい値を受けるよう接続し、前記電流スイッチは、前記出力端子電圧と前記所定しきい値との間の大小関係に依存した前記第1電流路及び前記第2電流路の内の一方のみを開くように動作し、これによって、前記電流スイッチに含まれる前記第1MOSトランジスタの内の前記ゲート電極を含む第1部分が、前記電圧伝達手段を構成し、前記電流スイッチの残りの第2部分が前記電圧・電流変換手段を構成するようできる。

【0015】

本発明によれば、前記関数演算は、反転、加算、微分、積分の内の1つとすることができる。

【発明の実施の形態】

【0016】

次に、本発明の実施形態の幾つかについて、以下に図面を参照して詳細に説明する。

【0017】

図1は、本発明による波形整形回路を備えた関数演算回路の第1の実施形態を示す回路図であり、これにおいて、波形整形回路は、その基本概念を示すためブロック図で示してある。詳しくは、この関数演算回路Aは、任意の関数演算を行う一般的な形式のものであって、入力電圧 V_{in} を受ける入力端子1と、入力回路2と、差動入力/单一出力の演算増幅器(以下、オペアンプとも記す)3と、出力電圧 V_{out} を発生する出力端子4と、帰還

10

20

30

40

50

回路 5 と、を備えている。入力回路 2 は、入力端子 1 とオペアンプ 3 の反転入力端子(-)との間に接続していて、インピーダンス Z_{in} を有している。オペアンプ 3 の非反転入力端子(+)は、基準電圧 V_{REF} (例えれば、接地電位) に接続しており、そしてその出力端子は、関数演算回路 A の出力端子 4 に接続している。帰還回路 5 は、オペアンプ 3 の出力端子と反転入力端子との間に接続していて、インピーダンス Z_f を有している。インピーダンス Z_{in} と Z_f とは、周知のように、所望の関数演算に応じて定めることができる。

【 0 0 1 8 】

更に、関数演算回路 A は、本発明による波形整形回路 6 を備えており、これは、関数演算出力である V_{out} に対し所望の波形整形を行うため、オペアンプ 3 の出力端子と反転入力端子との間に接続している。この波形整形回路 6 は、電圧伝達部 6 0 と、電圧 - 電流変換部 6 2 とから成っている。電圧伝達部 6 0 は、入力端がオペアンプの出力端子に接続しまた出力端が電圧 - 電流変換部 6 2 に接続していて、関数演算出力電圧 V_{out} を、変換部 6 2 に“絶縁伝達”する、即ちその出力端子とは電気的に絶縁状態を保ちながら伝達する。その電気的絶縁状態とは、直流通的並びに交流的の双方においてである。この絶縁伝達される電圧を受ける変換部 6 2 は、出力端がオペアンプの反転入力端子に接続していて、絶縁伝達された電圧の大きさとこの大きさに対する所定のしきい値 V_{TH} との間の大小関係に依存した大きさの電流を、オペアンプの反転入力端子に供給する。しきい値 V_{TH} は、所望の波形整形処理に応じて、その数並びに値を定めることができる。このしきい値 V_{TH} の値の基準は、非反転入力端子の基準電圧 V_{REF} である。波形整形処理の種類の例としては、上側又は下側のクリップ、またその他にリミット等がある。

【 0 0 1 9 】

本発明による波形整形回路 6 においては、電圧の絶縁伝達を行う伝達部 6 0 が、変換部 6 2 の入力端を、出力端子 4 に接続される負荷(図示せず) 並びに帰還回路 5 から絶縁することにより、負荷インピーダンス並びに帰還インピーダンス Z_f との相互干渉を低減する。これによって、負荷及び帰還回路のインピーダンスによる波形整形動作への影響を最小限にすることができる。また、伝達部 6 0 を設けることにより、電圧 - 電流変換部 6 2 は、出力電圧 V_{out} 又はその他の関数演算回路内の電圧 / 電流とは独立の電源を、波形整形処理に使用することができる。これは、波形整形の動作速度を高めるのに有利である。更に、変換部 6 2 は、オペアンプ 3 の出力端子側ではなく入力端子側に出力端が接続する構成であるため、波形整形動作の直接の対象となる信号を、オペアンプによる増幅前の信号とすることができます。これは、増幅後の信号を対象とするのに比べ、波形整形動作速度を更に高めるのに有利となり、また変換部 6 2 に必要な回路の能力(容量、サイズを含む) を低いものとするのに有利である。

【 0 0 2 0 】

次に、図 2 を参照して、図 1 の関数演算回路 A のより具体化した第 2 の実施形態の関数演算回路 B について説明する。尚、図 2 では、図 1 の回路の要素と同じ要素には、同じ参考符号を付してある。この点については、図 2 以降の図についてもそれより先の図に対し同様である。

【 0 0 2 1 】

図 2 の関数演算回路 B は、より具体化した波形整形回路 6 B を備えている外は、図 1 の回路と同じであるため、波形整形回路 6 B についてのみ詳細に説明する。この波形整形回路 6 B は、1 対のリミット(又はクリップ) 回路 6 4 及び 6 6 から成るリミッタ回路を構成している。上側リミット(又は上側クリップ) を行うリミット回路 6 4 は、1 つの N 型 MOS ツランジスタ M T 1 を備えている。そのドレイン電極は正電源電圧端子 V_{CCP} に、ソース電極は反転入力端子に、そしてゲート電極は出力端子 4 に接続している。一方、下側リミット(又は下側クリップ) を行うリミット回路 6 6 は、1 つの P 型 MOS ツランジスタ M T 2 を備えている。そのソース電極は反転入力端子に、ドレイン電極は負電源電圧端子 V_{CCN} に、そしてゲート電極は出力端子 4 に接続している。MOS ツランジスタ M T 1 と M T 2 とは、それぞれオン - オフ・スイッチングのしきい値電圧 V_{TH1} と V_{TH2} とを有している。従って、リミット回路 6 B の上側リミットレベル V_{LM1} は($V_{REF} + V_{TH1}$) で

10

20

30

40

50

あり、下側リミットレベル V_{LM2} は($V_{REF} - V_{TH2}$)である。尚、MOSトランジスタのしきい値電圧は、調節可能であり、それは例えばソース-基板電圧を可変させることにより行える。1例として、しきい値電圧は、0.6~1.5ボルトの範囲である。尚、MOSトランジスタ自体のしきい値電圧を使用するこの実施形態では、しきい値の設定に追加の素子を必要とせず、従って回路の小型化に適している。

【0022】

ここで、リミット回路6Bの図1の波形整形回路6に対する対応関係について説明すると、MOSトランジスタMT1及びMT2の各々のゲート電極とその下の酸化物とが電圧伝達部60に対応していて、この伝達部60からの電圧は、MT1及びMT2の各々の酸化膜直下のソース-基板接合部に伝達される。MT1及びMT2の各々の残りの部分は、変換部62に対応している。また、変換部62内のしきい値は、MT1の酸化膜直下のソース-基板接合部によって与えられる。従って、リミッタ回路6Bは、波形整形回路6の1実施形態を構成している。

10

【0023】

次に、関数演算回路Bの等価回路を示す図3~図5を参照して、リミッタ回路6B部分の動作について説明する。尚、上側リミット回路64と下側リミット回路66とは類似の動作をするため、図3~図5においては、上側リミット回路部分のみの等価回路を示しており、そしてそれらが示す等価回路は、図3がリミット回路のOFF状態、図4がOFF-ON遷移状態、図5がON状態を示している。また、図中、 g_m は、MOSトランジスタのトランスコンダクタンス、 C_g は、MOSゲート容量(ドレイン、ソース、基板全てに対する容量を含む)、 S_{ch} は、MOSトランジスタのチャンネル抵抗で実現されるスイッチ、 r_s はソース抵抗、 C_{js} は、ソース-基板接合間の容量である。

20

【0024】

まず初めに、図3のOFF状態等価回路を参照すると、上側リミット回路は、電源電圧端子 V_{CCP} と反転入力端子との間に直列に接続されたチャンネルスイッチ S_{ch} 及びソース抵抗 r_s と、そして、出力端子4の一端が接続しそして他端がチャンネルスイッチ S_{ch} に関連するが絶縁状態を表すよう概念的に示したゲート容量 C_g と、そして更に、反転入力端子と基板との間に接続したソース-基板接合容量 C_{js} と、から成っているとみなせる。このとき、即ち、 $V_{out} < V_{LM1}$ のとき、チャンネルスイッチ S_{ch} が開いているため(即ち、チャンネル抵抗が無限大であるため)、リミット動作は生じない。

30

【0025】

次に、図4のOFF-ON遷移状態の等価回路においては、チャンネルスイッチ S_{ch} が電流源 $g_m V_{out}$ に変化している点、また C_g が電流源 $g_m V_{out}$ に関連している点を除けば、図3のOFF状態等価回路と同じである。この遷移状態においては、チャンネルは導通状態となって、電流源が r_s 及び C_{js} を介して反転入力端子に接続している。

【0026】

図5のON状態等価回路においては、 r_s 及び C_{js} は流れる電流に対して無視し得る程度となって、電流源 $g_m V_{out}$ が反転入力端子に直接接続することになる。従って、電流源は、 V_{out} に比例した大きさの補償電流 I_{comp} を反転入力端子に供給することにより、入力電流 I_{in} の過剰の増加分を相殺するように作用する。

40

【0027】

ここで、図2の本発明による関数演算回路Bのリミッタ回路6Bの特徴をより明確に理解できるようにするため、図16の従来回路の等価回路を示す図17~19を参照する。これらの図17~19においても、比較し易くするため、図16の1つのMOSダイオードMD1pから成る上側リミット回路のみの等価回路を、そのOFF状態(図17)、OFF-ON遷移状態(図18)、ON状態(図19)で示している。尚、これらの等価回路において、 r_d はドレイン抵抗、 C_{jd} はドレイン-基板接合間の容量であり、 r_{ch} はチャンネル抵抗であり、 r_{on} はMOSダイオードのON抵抗であって r_s と r_d と r_{ch} との和に等しい。また、MOSダイオードであるため、本発明のような電流源 $g_m V_{out}$ は存在しない。

50

【0028】

まず初めに、OFF状態等価回路を示す図3と図17とを比較すると、双方とも S_{ch} が開いているため、図17では出力端子4と反転入力端子との間に r_d と C_{jd} とが加わっていても、それら双方の等価回路は同等である。次に、OFF-ON遷移状態等価回路を示す図4と図18とを比較すると、図18ではチャンネルスイッチ S_{ch} からチャンネル抵抗 r_{ch} に変化している。この r_{ch} は、 r_s 、 r_d を含む抵抗の中で最も大きいものである。また、 C_{jd} は、 C_g の2倍以上の容量をもっている。従って、 r_{ch} と C_{jd} とが、従来回路のターンオン・セトリング時間に影響を与える。これに対し、図4の本発明の回路では、 C_{jd} も r_{ch} もないため、ターンオン・セトリング時間はより短くなる。最後に、ON状態等価回路を示す図5と図19とを比較すると、図19の従来回路では、補償電流 I_{comp} を、 r_{on} と Z_f との並列接続を介してしかもそれをオペアンプが供給しているのに対し、図5の本発明回路では、オペアンプとは独立の電流源が補償電流 I_{comp} をしかも反転入力端子に直接供給している。従って、従来回路では、補償電流 I_{comp} の大きさがオペアンプの電流供給能力に依存するが、本発明ではそのような制限はない。また、本発明回路では、補償電流 I_{comp} の経路が、 Z_f を含まずしかもON抵抗 r_{on} が介在しないため、動作速度がより速くなる。以上の説明から判るように、図2の回路は、図16の回路と比べ、種々の利点を備えている。10

【0029】

次に、図6は、図1の関数演算回路Aをより具体化した第3の実施形態の関数演算回路Cを示している。この回路Cにおいては、リミット回路6Cが図2のリミット回路6Bの変更例を成している点を除けば、図2の回路と同じである。従って、図2の回路との相違部分について特に説明すると、リミット回路6Cの目的は、上側リミットレベル V_{LM1} をより高く、そして下側リミットレベル V_{LM2} をより低く設定することであり、そのために上側と下側のリミット回路64C及び66Cに、各々1つのMOSダイオードMD1、MD2を追加している。即ち、MOSトランジスタMT1のソース電極とオペアンプ3の反転入力端子との間に、N型MOSダイオードを接続し、また反転入力端子とMOSトランジスタMT2のソース電極との間に、P型MOSダイオードを接続している。MOSダイオードMD1とMD2のON電圧をそれぞれ V_{ON1} 、 V_{ON2} とすると、リミット回路6Cの上側リミットレベル V_{LM1} は($V_{REF} + V_{TH1} + V_{ON1}$)となり、下側リミットレベル V_{LM2} は($V_{REF} - V_{TH2} - V_{ON2}$)となる。2030

【0030】

尚、リミット回路6Cの図1の波形整形回路6に対する対応関係については、MOSトランジスタMT1及びMT2の各々のゲート電極とその下の酸化物とが電圧伝達部60に対応し、そしてこのMT1及びMT2の残りの部分とMOSダイオードMD1及びMD2が変換部62に対応している。従って、リミッタ回路6Cは、波形整形回路6の別の1つの実施形態を構成している。

【0031】

この図6の実施形態においては、各リミット回路に追加するMOSダイオードは1つとしたが、必要に応じてそれより多いMOSダイオードを追加してもよく、また更に必要に応じて上側と下側のリミット回路に追加するMOSダイオードのそれぞれの数を異なしてもよい。40

【0032】

次に、図7は、図1の関数演算回路Aをより具体化した別の第4の実施形態の関数演算回路Dを示している。この回路Dにおいても、リミット回路6Dが図2のリミット回路6Bの変更例を成している点を除けば、図2の回路と同じである。従って、図2の回路との相違部分について特に説明すると、リミット回路6Dの目的は、上側及び下側のリミットレベルをより自由にまたより簡単に設定できるようにすることであり、そのために上側と下側のリミット回路64D及び66Dの各々に、電流スイッチを使用している。詳しくは、上側リミット回路64Dは、電流源 I_1 と、1対のP型MOSトランジスタMT3及びMT4とを備えていて、電流源 I_1 は、正電源電圧端子 V_{CCP} とMT3及びMT4の各ソーラー

ス電極との間に接続し、またMT3のドレイン電極は負電源電圧端子V_{CCN}に接続しゲート電極は出力端子4に接続している。一方、MT4のドレイン電極は、オペアンプ3の反転入力端子に接続し、そしてそのゲート電極は、上側リミットレベル(V_{LM1})端子に接続している。この電流スイッチは、V_{out} > V_{LM1}のときには電流源I₁からの電流をV_{CCN}電源端子に導く第1電流経路を開き、そしてV_{out} < V_{LM1}のときには、電流源I₁からの電流を反転入力端子に導く第2電流経路を開く。同様に、下側リミット回路66Dは、1対のN型MOSトランジスタMT5及びMT6と、電流源I₂とを備えている。MT5のドレイン電極は、正電源電圧端子V_{CCP}に接続し、ゲート電極は出力端子4に接続している。一方、MT6のドレイン電極は、反転入力端子に接続し、そしてそのゲート電極は、下側リミットレベル(V_{LM2})端子に接続している。電流源I₂は、MT5及びMT6の各ソース電極と負電源電圧端子V_{CCN}との間に接続している。この電流スイッチは、V_{out} > V_{LM2}のときには電流源I₂の電流をV_{CCP}電源端子から引き出させる第1電流経路を開き、そしてV_{out} < V_{LM2}のときには、電流源I₂の電流を反転入力端子から引き出させる第2電流経路を開く。

【0033】

また、図7のリミッタ回路6Dと図1の波形整形回路6との対応関係については、1対の電流スイッチの内のMOSトランジスタMT3及びMT5の各々のゲート電極とその下の酸化物とが電圧伝達部60に対応し、そして電流スイッチの残りの部分全てが変換部62に対応している。従って、リミッタ回路6Dも、波形整形回路6の更に別の1つの実施形態を構成している。

【0034】

次に、図8～10を参照して、図2、図6、図7の関数演算回路B,C,Dをそれぞれより具体化した積分回路B',C',D'について説明する。これら積分回路B',C',D'は、スイッチトキャパシタ型の積分回路を構成しており、対応の関数演算回路B,C,Dと異なっている点は、各々、入力回路ZinとしてスイッチトキャパシタSCを使用し、そして帰還回路ZfとしてキャパシタCfを使用している点である。スイッチトキャパシタSCは、公知の構成のものであって、図示の通り、入力端子1と基準電圧V_{REF}との間に直列接続したアナログスイッチS₁及びS₂と、これらスイッチの接合点と基準電圧V_{REF}との間に直列接続した入力キャパシタCin及びアナログスイッチS₃と、CinとS₃との接合点とオペアンプの反転入力端子との間に接続したアナログスイッチS₄と、から成る構成である。図示からも判るように、アナログスイッチS₁及びS₃は、クロック1で駆動し、そしてアナログスイッチS₂及びS₄は、クロック1とは相補的なクロック2で駆動する。

【0035】

次に、図11～図13を参照して、積分回路B',C',D'のリミッタのターンオン特性について説明する。尚、ターンオフ時の特性もこれと同様であるため、省略する。詳しくは、図11は積分回路B'、図12は積分回路C'、図13は積分回路D'の特性をそれぞれ示しており、また各図には、比較のため、図20の従来回路の特性も示している。この従来回路は、図16の従来回路構成でスイッチトキャパシタ型積分回路を実現したものである。また、これら特性図をシミュレーションにより得る際に使用した各値は、以下の通りである。尚、W/Lは、MOSトランジスタのゲート幅/ゲート長である。

[表1]

V _{CCP}	: 2.9 ボルト
V _{CCN}	: -2.1 ボルト
V _{REF}	: グランド
C _{in} , C _{in'}	: 1 pF
C _f , C _{f'}	: 1 pF
MT1	: W/L = 200 μm / 0.6 μm
MT2	: W/L = 400 μm / 0.6 μm
MD1	: W/L = 200 μm / 0.6 μm
MD2	: W/L = 400 μm / 0.6 μm

10

20

30

40

50

M T 3 , M T 4 : W / L = 4 0 0 μm / 0 . 6 μm
 M T 5 , M T 6 : W / L = 2 0 0 μm / 0 . 6 μm
 I₁ , I₂ : 1 0 0 μA

また、シミュレーションにおける条件は、各特性図において、1 μs 時より前に C in に充電が完了しており、そして 1 μs 時に S₂ 及び S₄ が ON になる、という条件である。特性図中、点線が本発明回路の特性であり、実線が従来回路の特性である。

【 0 0 3 6 】

図 1 1 から判るように、本発明回路では、従来回路と比べ、積分回路 B' のスリューレートが大きくなるとともに、そのスイッチング後からリミッタ回路がセトリングするまでの時間が、約 1 . 0 2 5 μs と短くなっている。従来回路では、1 . 0 5 μs においても下降中でセトリングが完了していない。但し、本発明回路のリミットレベルは約 0 . 8 5 ボルトであるのに対し、従来回路では約 1 . 0 ボルトである。スリューレート向上の理由としては、本発明のリミッタ回路から積分回路の帰還回路又は負荷に与える影響が小さくなつたことである。また、セトリングまでの時間短縮の理由としては、逆に、積分回路の帰還回路又は負荷から本発明のリミッタ回路への影響が減少したこと、更に、オペアンプ出力とは独立の電流源がリミット動作に作用する、ということである。

【 0 0 3 7 】

図 1 2 においても、上記と同様、スリューレート及びセトリングまでの時間の改善が得られており、特にセトリングまでの時間が、約 1 . 0 3 μs と短くなっているが、従来回路では 1 . 1 μs でもまだセトリングが完了していない。但し、本発明回路のリミットレベルは約 1 . 9 ボルトである。

【 0 0 3 8 】

また、図 1 3 においても、上記と同様、スリューレート及びセトリングまでの時間の改善が得られている。即ち、従来回路では、1 . 0 6 μs (図 1 2 では 1 . 1 μs) でもセトリングが完了していないのに対し、本発明回路では、ほぼ 1 . 0 5 μs でセトリングしている。

【 0 0 3 9 】

以上、本発明による関数演算回路の幾つかの実施形態について図示し説明したが、これら実施形態においては、以下のような種々の変更が可能である。第 1 に、上記各実施形態においては、波形整形回路としてリミッタ回路について例示したが、上側リミット回路又は下側リミット回路のどちらか一方を取り除くだけで、クリップ回路とすることができる。第 2 に、上記実施形態では、関数演算の 1 例として、積分について示したが、その他に、反転、積分以外のその他の関数演算、例えば、加減乗除、微分、対数、逆対数のような演算を行うように、入力回路インピーダンス Z in 及び帰還回路インピーダンス Z f の組合せを選択することができる。1 例として、図 1 4 に、図 2 の関数演算回路 B を具体化した 1 例である反転増幅器 B" を示す。この場合、Z in = 抵抗 R 、Z f = 抵抗 R である。

【 0 0 4 0 】

第 3 に、上記実施形態では、差動入力 / 単一出力型の関数演算回路について示したが、差動入力 / 差動出力型の関数演算回路に変更することもできる。1 例として、図 1 5 に、図 8 の回路 B' を差動入力 / 差動出力型にしたスイッチトキャパシタ型積分回路 B''' を示す。この回路では、正入力端子 1a 及び負入力端子 1b 、正出力端子 4a 及び負出力端子 4b 、差動入力 / 差動出力型のオペアンプ 3a 、1 対のスイッチトキャパシタ S Ca 及び S Cb 、オペアンプの非反転出力端子と反転入力端子との間に接続したリミッタ回路 6 Ba 及び 帰還キャパシタ C fa と、オペアンプの反転出力端子と非反転入力端子との間に接続したリミッタ回路 6 Bb 及び 帰還キャパシタ C fb と、を備えている。第 4 に、差動入力 / 単一出力型構成の実施形態において、オペアンプの反転入力端子への入力及び帰還を非反転入力端子への入力及び帰還に変更することが可能である。

【0041】

以上に説明した本発明による関数演算回路用の波形整形回路によれば、絶縁伝達を行う電圧伝達部を設けることにより、負荷並びに帰還回路 Z_f との相互干渉が低減する。これによって、負荷及び帰還回路のインピーダンスによる波形整形動作への影響を最小限にすることができる。このことは、関数演算回路のスリューレートの向上、並びに波形整形動作のセトリング時間の短縮をもたらす。また、電圧・電流変換部を設けることにより、波形整形動作のセトリング時間を更に短縮することができる。このセトリング時間の短縮により、高速の関数演算回路においては、より誤差の少ない関数演算出力を生成することが可能となる。また更に、演算増幅器の入力側に電圧・電流変換部を接続する構成であるため、変換部に必要な回路の能力が小さくて済むようにできる。

10

【図面の簡単な説明】

【0042】

【図1】本発明による波形整形回路を備えた第1の実施形態の関数演算回路Aを示す回路図であり、波形整形回路は、その基本概念を示している。

【図2】図1の関数演算回路Aのより具体化した第2の実施形態の関数演算回路Bを示す回路図。

【図3】図2の関数演算回路Bについて、リミッタ回路（上側のみ図示）がOFF状態のときの等価回路を示す図。

【図4】図2の関数演算回路Bについて、リミッタ回路（上側のみ図示）がOFF-ON遷移状態のときの等価回路を示す図。

20

【図5】図2の関数演算回路Bについて、リミット回路（上側のみ図示）がON状態のときの等価回路を示す図。

【図6】図1の関数演算回路Aをより具体化した第3の実施形態の関数演算回路Cを示す回路図。

【図7】図1の関数演算回路Aをより具体化した別の第4の実施形態の関数演算回路Dを示す回路図。

【図8】図2の関数演算回路Bをより具体化したスイッチトキャパシタ型積分回路B'を示す回路図。

【図9】図6の関数演算回路Cをより具体化したスイッチトキャパシタ型積分回路C'を示す回路図。

30

【図10】図7の関数演算回路Dをより具体化したスイッチトキャパシタ型積分回路D'を示す回路図。

【図11】図8の積分回路B'のリミッタのターンオン特性を示す特性図であり、比較のため、図20の従来回路の特性を実線で示し、本発明回路の特性を点線で示している。

【図12】図9の積分回路C'のリミッタのターンオン特性を示す特性図であり、比較のため、図20の従来回路の特性を実線で示し、本発明回路の特性を点線で示している。

【図13】図10の積分回路D'のリミッタのターンオン特性を示す特性図であり、比較のため、図20の従来回路の特性を実線で示し、本発明回路の特性を点線で示している。

【図14】図2の関数演算回路Bを具体化した1例である反転増幅器B''を示す回路図。

【図15】図8の積分回路B'を差動入力/差動出力型に変更したスイッチトキャパシタ型積分回路B'''を示す回路図。

40

【図16】従来のリミッタ回路付き関数演算回路を示す回路図。

【図17】図16の従来回路について、リミット回路（上側のみ図示）のOFF状態における等価回路を示す図。

【図18】図16の従来回路について、リミット回路（上側のみ図示）のOFF-ON遷移状態における等価回路を示す図。

【図19】図16の従来回路について、リミット回路（上側のみ図示）のON状態における等価回路を示す図。

【図20】図16の従来回路構成のスイッチトキャパシタ型積分回路であって、本発明回路と比較するための回路を示す図。

50

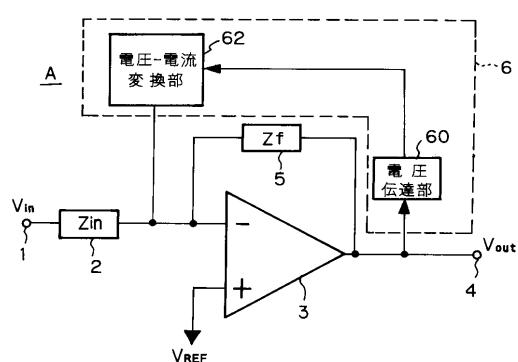
【符号の説明】

【0043】

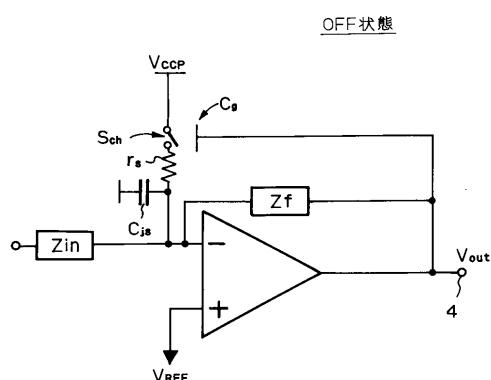
- 1, 1a, 1b: 入力端子
 2: 入回路
 3, 3a: 演算増幅器
 4, 4a, 4b: 入力端子
 5: 帰還回路
 6: 波形整形回路
 6B, 6C, 6D, 6Ba, 6Bb: リミッタ回路
 64, 64C, 64D: 上側リミット回路
 66, 66C, 66D: 下側リミット回路
 V_{in} : 入力電圧
 V_{out} : 出力電圧
 V_{CCP} : 正電源電圧
 V_{CCN} : 負電源電圧
 V_{REF} : 基準電圧
 V_{LM1} : 上側リミットレベル
 V_{LM2} : 下側リミットレベル
 S_C , S_{Ca} , S_{Cb} , S_C' : スイッチトキャパシタ

10

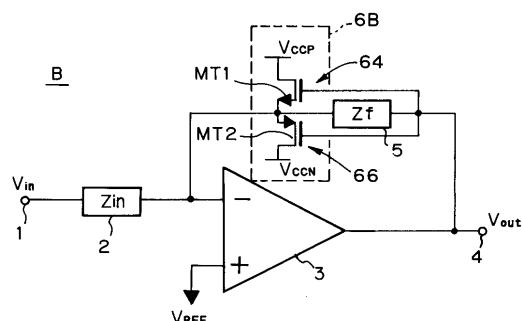
【図1】



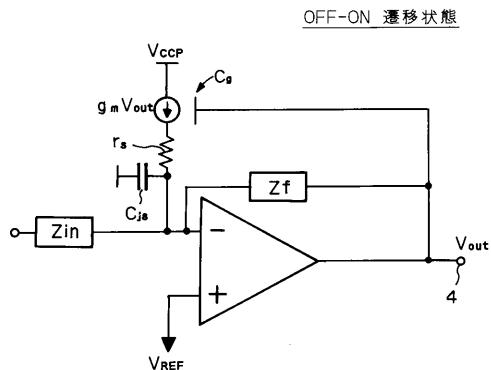
【図3】



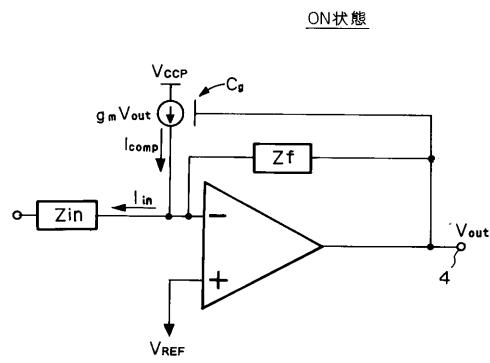
【図2】



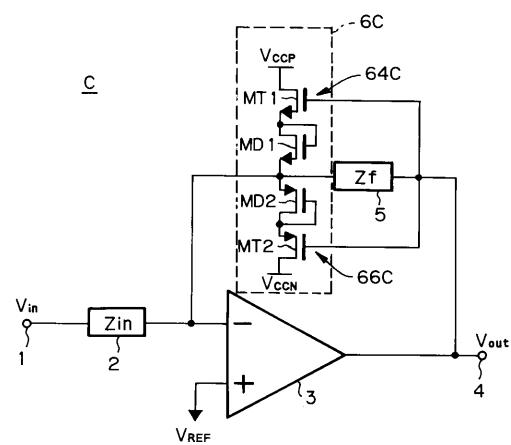
【図4】



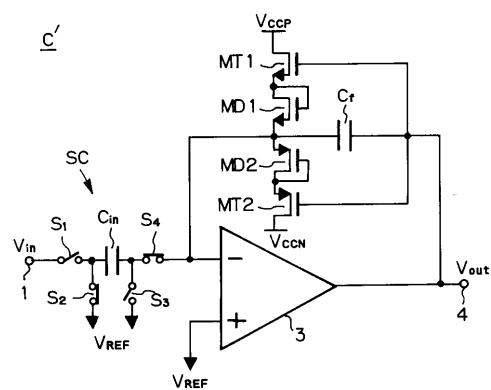
【図5】



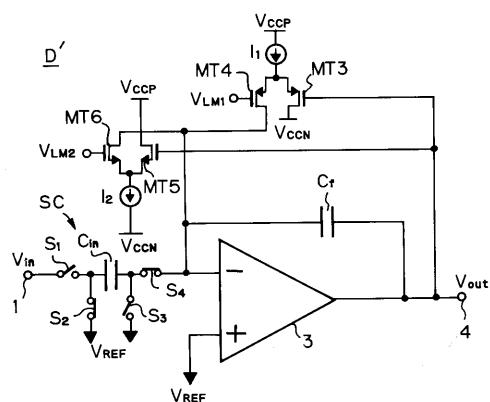
【図6】



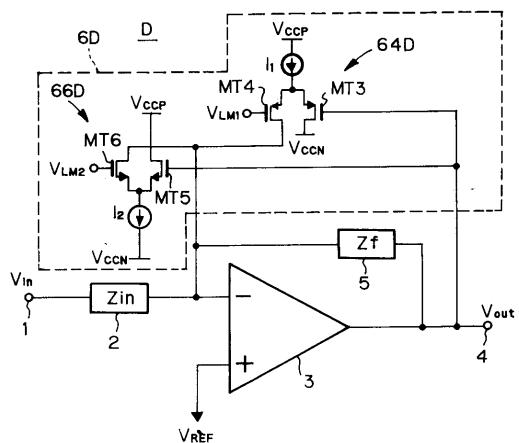
【図9】



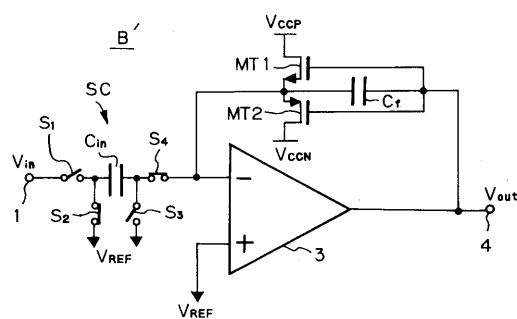
【図10】



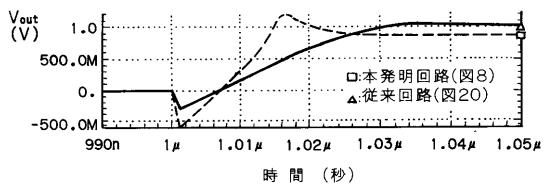
【図7】



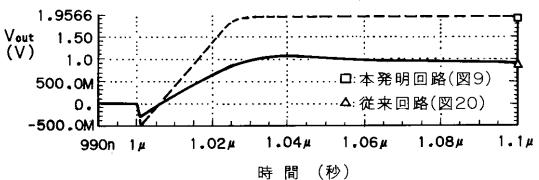
【図8】



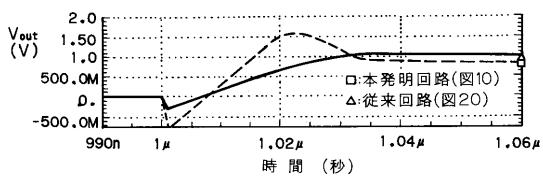
【図11】



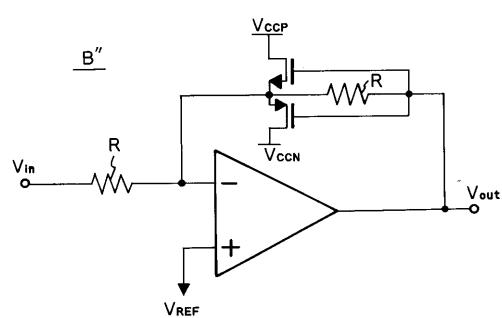
【図12】



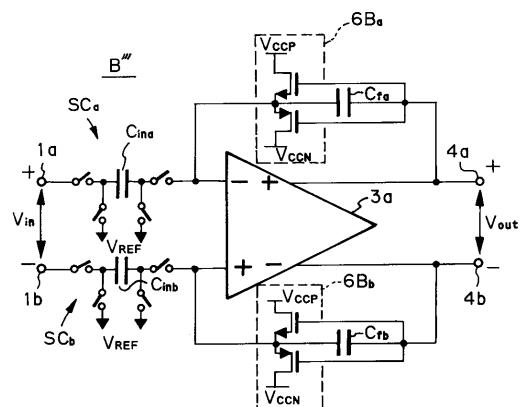
【図13】



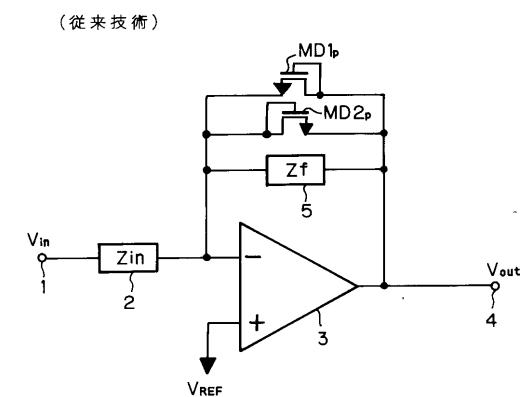
【図14】



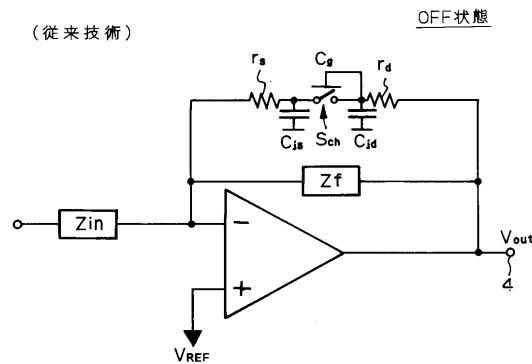
【図15】



【図16】

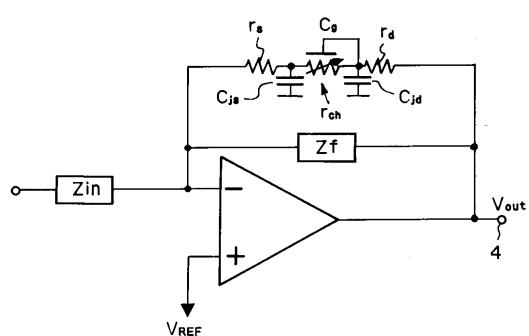


【図17】



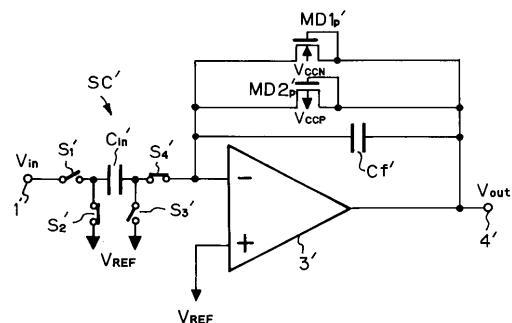
【図18】

(従来技術)
OFF-ON遷移状態



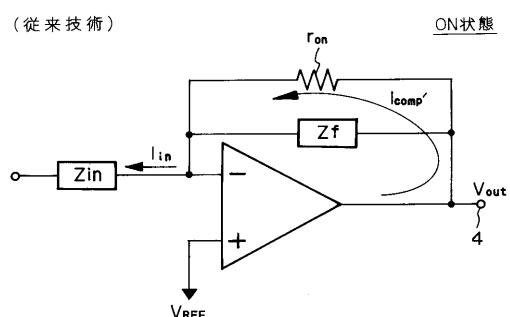
【図20】

(従来回路)



【図19】

(従来技術)
ON状態



フロントページの続き

(72)発明者 室田 敏夫

神奈川県厚木市長谷仲町422-1 日本バー・ブラウン株式会社 厚木テクニカルセンター内

(72)発明者 濱崎 利彦

神奈川県厚木市長谷仲町422-1 日本バー・ブラウン株式会社 厚木テクニカルセンター内

審査官 畑中 博幸

(56)参考文献 特開平08-125462(JP,A)

特開昭58-120311(JP,A)

特表平07-502872(JP,A)

特開平05-347515(JP,A)

実開昭58-003613(JP,U)

(58)調査した分野(Int.Cl., DB名)

H03G 11/00