

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 19 年 8 月 2 日 (2007.8.2)

【公表番号】特表 2006-528430 (P2006-528430A)  
 【公表日】平成 18 年 12 月 14 日 (2006.12.14)  
 【年通号数】公開・登録公報 2006-049  
 【出願番号】特願 2006-521198 (P2006-521198)  
 【国際特許分類】

**H 0 1 L 29/786 (2006.01)**

**H 0 1 L 51/05 (2006.01)**

**H 0 1 L 51/40 (2006.01)**

**H 0 1 L 21/336 (2006.01)**

【F I】

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/28 1 0 0 A

H 0 1 L 29/28 3 1 0 J

H 0 1 L 29/28 3 9 0

H 0 1 L 29/78 6 1 8 A

【手続補正書】  
 【提出日】平成 19 年 6 月 8 日 (2007.6.8)  
 【手続補正 1】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

- a) ドナー基板上に有機半導体を堆積させ、
- b) 前記ドナー基板上の前記有機半導体をレシーバ基板と積層し、
- c) 前記ドナー基板を除去すること、

を含んでなる方法。

【請求項 2】  
 レシーバ基板上に積層された有機半導体を含んでなる、電子デバイス。

【手続補正 2】  
 【補正対象書類名】明細書  
 【補正対象項目名】0 0 1 7  
 【補正方法】変更  
 【補正の内容】  
 【0 0 1 7】

この実施例は、半導体の積層の例であり、半導体ドナーを蒸着によって作製した。マイラー / エルボックス / ラテックスドナーシートを熱蒸発器中に置いた。ペンタセンを、圧力： $1.0 \times 10^{-7}$  トル、速度：約  $0.02 \text{ nm/s}$  で蒸着した。対照として、ゲート / 誘電体 / ソース・ドレイン構造を含む Si チップをこのドナーシートと一緒に置いた。約  $1200 \text{ nm}$  のペンタセンを室温で堆積させた。このドナーシートを、 $85^\circ\text{C}$ 、 $2 \text{ キロポンド}$  で、対照試料と同一の Si チップ上に積層した。ペンタセンはチップ上に転写し、誘電体 (ラテックス) は転写しなかった。積層ペンタセンの結果は、蒸着ペンタセンと比較して、図 6 のように示す。蒸着に比べて積層では移動度が減少した。図 7 に示すように、閾値電圧は増加したが、トランジスタのオン / オフ比は、同じか又は向上した。図 7 において

、蒸着ペンタセンは上側の曲線である。オン/オフ電流比は  $2 \times 10^3$  である。図 7 の下側の曲線は積層ペンタセンである。そのオン/オフ比は、 $10^5$  である。

本発明の好適な実施態様は次のとおりである。

- 1 . a ) ドナー基板上に有機半導体を堆積させ、  
b ) 前記ドナー基板の上の前記有機半導体をレシーバ基板と積層し、  
c ) 前記ドナー基板を除去すること、  
を含んでなる方法。
- 2 . 前記レシーバ基板は可撓性ポリマーである、上記 1 に記載の方法。
- 3 . レシーバ基板上に積層された有機半導体を含んでなる、電子デバイス。
- 4 . 前記デバイスはトランジスタである、上記 3 に記載の電子デバイス。
- 5 . 前記レシーバ基板は可撓性ポリマーである、上記 3 または 4 に記載の電子デバイス。