

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年8月2日(2007.8.2)

【公表番号】特表2006-528430(P2006-528430A)

【公表日】平成18年12月14日(2006.12.14)

【年通号数】公開・登録公報2006-049

【出願番号】特願2006-521198(P2006-521198)

【国際特許分類】

H 01 L 29/786 (2006.01)

H 01 L 51/05 (2006.01)

H 01 L 51/40 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 6 1 8 B

H 01 L 29/28 1 0 0 A

H 01 L 29/28 3 1 0 J

H 01 L 29/28 3 9 0

H 01 L 29/78 6 1 8 A

【手続補正書】

【提出日】平成19年6月8日(2007.6.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

a) ドナー基板上に有機半導体を堆積させ、

b) 前記ドナー基板上の前記有機半導体をレシーバ基板と積層し、

c) 前記ドナー基板を除去すること、

を含んでなる方法。

【請求項2】

レシーバ基板上に積層された有機半導体を含んでなる、電子デバイス。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

この実施例は、半導体の積層の例であり、半導体ドナーを蒸着によって作製した。マイラー／エルバックス／ラテックスドナーシートを熱蒸発器中に置いた。ペンタセンを、圧力：10⁻⁷トル、速度：約0.02nm/secで蒸着した。対照として、ゲート／誘電体／ソース・ドレイン構造を含むSiチップをこのドナーシートと一緒に置いた。約1200nmのペニタセンを室温で堆積させた。このドナーシートを、85、2キロポンドで、対照試料と同一のSiチップ上に積層した。ペニタセンはチップ上に転写し、誘電体（ラテックス）は転写しなかった。積層ペニタセンの結果は、蒸着ペニタセンと比較して、図6のように示す。蒸着に比べて積層では移動度が減少した。図7に示すように、閾値電圧は増加したが、トランジスタのオン／オフ比は、同じか又は向上した。図7において

、蒸着ペンタセンは上側の曲線である。オン／オフ電流比は 2×10^3 である。図7の下側の曲線は積層ペンタセンである。そのオン／オフ比は、 10^5 である。

本発明の好適な実施態様は次のとおりである。

- 1 . a) ドナー基板上有機半導体を堆積させ、
 - b) 前記ドナー基板上の前記有機半導体をレシーバ基板と積層し、
 - c) 前記ドナー基板を除去すること、
- を含んでなる方法。
- 2 . 前記レシーバ基板は可撓性ポリマーである、上記1に記載の方法。
 - 3 . レシーバ基板に積層された有機半導体を含んでなる、電子デバイス。
 - 4 . 前記デバイスはトランジスタである、上記3に記載の電子デバイス。
 - 5 . 前記レシーバ基板は可撓性ポリマーである、上記3または4に記載の電子デバイス。