



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월30일
(11) 등록번호 10-0972786
(24) 등록일자 2010년07월22일

(51) Int. Cl.

H01J 31/12 (2006.01) *H01J 1/30* (2006.01)

(21) 출원번호 10-2009-7016045(분할)

(22) 출원일자(국제출원일자) 2005년12월21일

심사청구일자 2009년07월30일

(85) 번역문제출일자 2009년07월30일

(65) 공개번호 10-2009-0087138

(43) 공개일자 2009년08월14일

(62) 원출원 특허 10-2007-7017243

원출원일자(국제출원일자) 2005년12월21일

심사청구일자 2007년07월26일

(86) 국제출원번호 PCT/JP2005/024013

(87) 국제공개번호 WO 2006/070849

국제공개일자 2006년07월06일

(30) 우선권주장

JP-P-2004-379955 2004년12월28일 일본(JP)

(56) 선행기술조사문헌

JP12251643 A*

KR100252456 B1*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 19 항

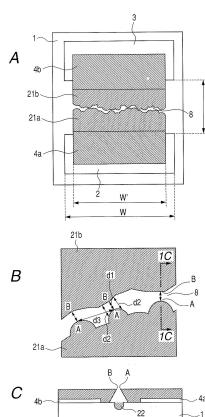
심사관 : 김성훈

(54) 전자방출소자 및 그것을 이용한 전자원 및 화상표시장치 및 정보 표시 재생장치

(57) 요 약

본 발명에 의한 전자방출소자는, 기판 표면 상에 배치된 제1도전막과 제2도전막을 구비하고, 상기 도전막의 단부와 상기 제2도전막의 단부가 간격을 두고서 대향하고 있고, 상기 제2도전막까지의 최단거리(d_1)이 10nm 이하이고, 또한 상기 제2도전막을 향해 있는 볼록부를, 상기 제1도전막의 상기 단부가 구비하고 있는 전자방출소자로서, 상기 제1도전막의 상기 단부의 일부이고 상기 볼록부로부터 상기 최단거리(d_1)만큼 떨어진 부분과, 상기 제2도전막의 상기 단부와의 최단거리를 (d_2)로 하였을 때에, d_2/d_1 이 1.2 이상인 것을 특징으로 한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

기판 표면 상에 배치된 제1도전막과 제2도전막을 구비하고,

상기 제1도전막의 단부와 상기 제2도전막의 단부가 간격을 두고서 대향하고 있고,

상기 제2도전막까지의 최단거리(d_1)가 0nm 초과 10nm 이하이고 상기 제2도전막을 향해 있는 볼록부를, 상기 제1도전막의 단부가 구비하고 있는 전자방출소자로서,

상기 제1도전막의 단부의 일부이고 상기 볼록부로부터 상기 최단거리(d_1)만큼 떨어진 부분과, 상기 제2도전막의 단부와의 최단거리를 (d_2)로 하였을 때에, $d_2/d_1 \geq 1.2$ 이상인 것을 특징으로 하는 전자방출소자.

청구항 2

제 1항에 있어서,

상기 볼록부로부터 상기 최단거리(d_1)만큼 떨어진 부분이 상기 볼록부를 포함하고, 상기 기판표면과 평행한 평면 내에 위치하는 것을 특징으로 하는 전자방출소자.

청구항 3

제 1항에 있어서,

상기 제1도전막의 단부가 상기 볼록부를 복수개 구비하고 있고,

상기 복수개의 볼록부의 각각은, 상기 기판 표면에 대한 수직방향에 있어서 서로 중첩되지 않도록 배치되어 있는 것을 특징으로 하는 전자방출소자.

청구항 4

제 3항에 있어서,

상기 복수의 볼록부의 각각의 간격이 ($3d_1$) 이상인 것을 특징으로 하는 전자방출소자.

청구항 5

제 3항 또는 제 4항에 있어서,

상기 복수개의 볼록부의 각각의 간격이 ($2000d_1$) 이하인 것을 특징으로 하는 전자방출소자.

청구항 6

기판 표면 상에 배치된 제1도전막과 제2도전막을 구비하고,

상기 제1 및 제2도전막의 각각의 단부는 간격을 두고 서로 대향하여 있고,

상기 제2도전막 까지의 최단거리(d_1)가 0nm 초과 10nm 이하인 부분을 상기 제1도전막의 단부가 구비하고 있는 전자방출소자로서,

상기 제1도전막의 단부의 일부이고 상기 제2도전막 까지의 최단거리(d_1)가 0nm 초과 10nm 이하인 상기 부분으로부터 상기 최단거리(d_1)만큼 떨어진 부분과, 상기 제2도전막의 단부와의 최단거리를 (d_2)로 하였을 때, $d_2/d_1 \geq 1.2$ 이상인 것을 특징으로 하는 전자방출소자.

청구항 7

제 1항 또는 제 6항에 있어서, 상기 간격은, 상기 기판표면과 평행한 평면 내를 지그재그방식으로 뻗어 있는 것을 특징으로 하는 전자방출소자.

청구항 8

제 1항 또는 제 6항에 기재된 전자방출소자가 상기 제1도전막의 전위보다도 상기 제2도전막의 전위가 높게 되도록 상기 제1도전막과 상기 제2도전막과의 사이에 전압을 인가하는 것에 의해 전자를 방출시키는 전자방출소자로

서,

상기 제2도전막의 단부는, 제1부분과, 제2부분과, 제3부분을 구비하고 있고,

상기 제1부분이 상기 제2부분과 제3부분과의 사이에 위치하고, 상기 제1부분의 막두께보다도 상기 제2부분과 제3부분의 각각의 막두께가 크고,

상기 제1도전막의 단부이고, 상기 제1부분에 대향하는 부분의 막두께가, 상기 제2부분 및 상기 제3부분의 각각의 막두께 보다도 작은 것을 특징으로 하는 전자방출소자.

청구항 9

제 8항에 있어서,

상기 제1부분에 대향하는 부분의 막두께가 상기 제1부분의 막두께 이상인 것을 특징으로 하는 전자방출소자.

청구항 10

제 8항에 있어서,

상기 제1도전막의 단부는, 상기 제1부분과 대향하는 부분을 사이에 두는 제4부분과 제5부분을 또 구비하고 있고,

상기 제1부분에 대향하는 부분과 상기 제2도전막의 단부와의 거리가, 상기 제4부분 및 상기 제5부분과 상기 제2도전막의 단부와의 거리보다도 작은 것을 특징으로 하는 전자방출소자.

청구항 11

제 8항에 있어서,

상기 제1부분에 대향하는 부분과 상기 제1부분과의 거리를 (d)로 하였을 때,

상기 제2 및 제3부분의 막두께와, 상기 제1부분의 막두께와의 차가 (2d) 이상 (200d) 이하인 것을 특징으로 하는 전자방출소자.

청구항 12

제 8항에 있어서,

상기 제1부분에 대향하는 부분과 상기 제1부분과의 거리를 (d)로 하였을 때에,

상기 제2부분과 상기 제3부분과의 간격이 (2d) 이상 (50d) 이하인 것을 특징으로 하는 전자방출소자.

청구항 13

제 8항에 있어서,

상기 제1부분에 대향하는 부분과 상기 제1부분과의 거리를 (d)로 하였을 때에, 상기 제2부분 및 제3부분의 각각을 지나고, 상기 제1부분과 상기 제1부분에 대향하는 부분이 대향하는 방향과 평행한 직선상에 위치하는, 상기 제2도전막의 길이가 어느 것이나 (200d) 이하인 것을 특징으로 하는 전자방출소자.

청구항 14

제 8항에 있어서,

상기 제1부분과 제1부분에 대향하는 부분과의 거리가, 1nm 이상 10nm 이하인 것을 특징으로 하는 전자방출소자.

청구항 15

제 1항 또는 제 6항에 있어서,

상기 제1 및 제2도전막은, 탄소를 포함하는 막인 것을 특징으로 하는 전자방출소자.

청구항 16

제 1항 또는 제 6항에 있어서,

상기 제1도전막과 제2도전막과의 사이에 있어서, 상기 기판표면은 오목부를 가지는 것을 특징으로 하는 전자방출소자.

청구항 17

복수의 전자방출소자를 가지는 전자원으로서, 각각의 상기 전자방출소자가 제 1항 또는 제 6항에 기재된 전자방출소자인 것을 특징으로 하는 전자원.

청구항 18

전자원과 상기 전자원으로부터 방출된 전자의 조사에 의해 발광하는 발광체를 구비한 화상표시장치로서, 상기 전자원이 제 17항에 기재된 전자원인 것을 특징으로 하는 화상표시장치.

청구항 19

수신한 방송신호에 포함되는 영상정보, 문자정보 및 음성정보의 적어도 하나를 출력하는 수신기와, 상기 수신기에 접속된 화상표시장치를 적어도 구비한 정보표시 재생장치로서,

상기 화상표시장치가 제 18항에 기재된 화상표시장치인 것을 특징으로 하는 정보표시 재생장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 전자방출소자 및 그것을 이용한 전자원(electron source) 및 화상표시장치에 관한 것이다. 또, 본 발명은 텔레비전 방송 등의 방송 신호를 수신해서, 그 방송 신호에 포함되는 영상 정보, 문자 정보, 음성 정보를 표시 및 재생하는 텔레비전 수상기 등의 정보 표시 재생장치에 관한 것이다.

배경기술

[0002] 전자방출소자로는 전계 방출형 전자방출소자나 표면 전도형 전자방출소자 등이 포함된다. 특히 문헌 1 내지 3에 개시되어 있는 바와 같이, "활성화"라고 하는 처리는 표면 전도형 전자방출소자에 대해 수행될 경우가 있다. "활성화" 처리란, 1쌍의 도전성 막(이하, 간단히 "도전막"이라 칭함) 사이의 간극 내 및 간극 근방의 도전막 상에 도전막(전형적으로는 카본막)을 형성하는 공정이다. 도 21은 특히 문헌 3 및 4에 개시된 전자방출소자의 단면 모식도이다. 도 21에 있어서, (1)은 기판, (4a), (4b)는 도전성 박막, (7)은 제1간극, (8)은 제2간극, (21a), (21b)는 카본막, (22)는 기판(1)에 형성된 오목부이다.

[0003] 이러한 전자방출소자를 복수개 배열한 전자원을 갖춘 기판과, 형광체 등으로 이루어진 형광체 막을 갖춘 기판을 대향시켜 내부를 진공으로 유지함으로써 화상표시장치를 구성할 수 있다.

[0004] [특히 문헌 1] 일본국 공개특허 제2000-251642호 공보

[0005] [특히 문헌 2] 일본국 공개특허 제2000-251643호 공보

[0006] [특히 문헌 3] 일본국 공개특허 제2000-231872호 공보

[0007] [특히 문헌 4] 미국특허 제6,380,665호

발명의 내용

해결하고자하는 과제

발명의 개시

[0009] 그러나, 근년의 화상표시장치에 대해서는, 보다 밝은 표시 화상을 장기에 걸쳐 안정적으로 제공할 것이 요구되고 있다. 그 때문에, 보다 높고, 보다 안정된 전자 방출 효율을 실현할 수 있는 전자방출소자가 요망된다. 여기서, 전자 방출 효율이란, 상기 1쌍의 도전막 사이에 전압을 인가했을 때, 상기 1쌍의 도전막 사이에 흐르는

전류(이하, "소자 전류(If)"라 칭함)에 대한 진공에 방출되는 전류(이하, "방출 전류(Ie)"라 칭함)의 비이다. 즉, 소자 전류(If)는 가능한 한 낮고 방출 전류(Ie)는 가능한 한 높은 전자방출소자가 바람직하다. 그러한 높은 전자 방출 효율을 장시간에 걸쳐 안정적으로 얻을 수 있다면, 전술한 화상표시장치는 저전력으로 보다 밝은 화상을 제공하고 고품위의 화상표시장치(예를 들어, 평면 텔레비전 수상기)일 수 있다.

[0010] 따라서, 본 발명의 목적은 전자 방출 효율이 높고, 양호한 전자 방출 특성을 장시간에 걸쳐 실현하는 전자방출 소자, 그리고 그것을 이용한 전자원 및 화상표시장치를 제공하는 데 있다.

과제 해결수단

[0011] 본 발명은 상기 과제를 해결하기 위해 이루어진 것이다. 본 발명에 의하면, 기판; 및 상기 기판 위에 배치되어, 각각의 단부 사이에 간극을 형성하도록 서로 대향하고 있는 제1도전막과 제2도전막을 포함하고, 상기 제1도전막의 단부는 상기 제2도전막을 향해 돌출하고 있는 볼록부를 가지고 있고, 상기 볼록부의 단부와 상기 제2도전막 사이의 거리로서 정의되어 10nm 이하인 최단 거리(d1)와, 상기 볼록부의 단부로부터 (d1)만큼 떨어져 있는 제1도전막의 에지부와 상기 제2도전막 사이의 거리로서 정의된 최단 거리(d2)가 관계식: $d2/d1 \geq 1.2$ 를 만족시키도록 되어 있는 것을 특징으로 하는 전자방출소자를 제공한다.

[0012] 본 발명에 의하면, 전자방출소자는 기판; 및 상기 기판 위에 배치되어, 각각의 단부 사이에 간극을 형성하도록 서로 대향하고 있는 제1도전막과 제2도전막을 포함하고, 상기 제1도전막은 상기 제1도전막과 상기 제2도전막 사이의 최단 거리가 (d1)로 정의된 동시에 10nm 이하인 제1부분을 갖고, 상기 제1도전막은 상기 제1도전막과 상기 제2도전막 사이의 최단 거리가 (d2)로 정의되어 있고, 상기 제1부분으로부터 (d1)만큼 떨어져 있는 제2부분을 가지며, 상기 거리(d1)와 거리(d2)는 관계식: $d2/d1 \geq 1.2$ 를 만족시키도록 되어 있다.

[0013] 또한, 본 발명에 의하면, 전자방출소자는 "상기 제1도전막의 에지부가 상기 볼록부를 포함하는 동시에 상기 기판의 표면과 평행한 평면 내에 있는 것"; "상기 제1도전막이 상기 기판의 표면에 수직인 방향으로 서로 중첩하지 않도록 배치된 복수의 볼록부를 가지고 있는 것"; "상기 복수의 볼록부가 3d1 이상의 간격으로 배치되어 있는 것"; "상기 복수의 볼록부는 2000d1 이하의 간격으로 배치되어 있는 것"; "상기 간격이 지그재그 방식(staggering manner)으로 뻗어 있는 것"; 상기 제1도전막과 상기 제2도전막이 탄소를 함유하는 것"; "상기 기판이 해당 기판의 표면에서 상기 제1도전막과 제2도전막 사이에 오목부를 가지는 것"을 포함한다.

[0014] 본 발명에 의하면, 전자원은 본 발명에 의한 복수의 전자방출소자를 포함하고, 상기 전자원과 형광체를 포함하는 화상표시장치가 제공된다.

[0015] 본 발명에 의하면, 정보 표시 재생장치는 수신한 방송 신호에 포함된 영상 정보, 문자 정보 및 음성 정보의 적어도 하나를 출력하는 수신기; 및 상기 수신기에 접속된 화상표시장치를 포함하되, 상기 화상표시장치는 전술한 본 발명에 의한 화상표시장치인 것을 특징으로 한다.

효과

[0016] 본 발명에 의하면, 전자 방출 효율이 비약적으로 향상된 전자방출소자를 제공할 수 있다. 그 결과, 장기에 걸쳐 표시 품위가 뛰어난 화상표시장치나 정보 표시 재생장치를 제공할 수 있다.

[0017] 또, 본 발명에 의하면, 상기 제1도전막과 제2도전막 사이에 전압을 인가해서 전자를 방출시킨 경우, $d2/d1$ 은 1.2 이상이므로, 상기 제1도전막의 단부 근방에 있어서의 전위 분포가 바뀜으로써, 방출된 전자의 궤도가 변화되어, 결과적으로 애노드에 도달하는 방출 전류(Ie)가 증가한다(효율이 증가한다).

발명의 실시를 위한 구체적인 내용

발명을 실시하기 위한 최선의 형태

[0019] 이하에, 본 발명에 의한 전자방출소자의 실시형태에 대해 설명한다. 우선, 본 발명에 의한 전자방출소자의 기본적인 구성의 일례에 대해 도 30A를 참조해서 설명한다.

[0020] 도 30A는 본 발명에 의한 전자방출소자의 전형적인 구성을 나타낸 모식적인 평면도이다. 유리 등으로 형성된 절연성 기판(1) 위에 제1도전막(21a)과 제2도전막(21b)이 배치된다. 간극(8)을 경계로 제1도전막(21a)의 단부와 제2도전막(21b)의 단부가 서로 대향하고 있다. 즉, 제1도전막(21a)의 제2도전막(21b) 쪽의 단부와 제2도전막(21b)의 제1도전막(21a) 쪽의 단부가 간극(8)의 외주(에지)를 형성하고 있다.

- [0021] 도 30A에 있어서, 참조 부호(A) 및 (B)는 제1도전막(21a)의 단부와 제2도전막(21b)의 단부와의 간극(8)이 다른 부분보다 좁아지고 있는 곳(상기 다른 부분보다 전계가 강한 곳)에서 서로 대향하고 있는 제1도전막(21a)의 단부의 부분과 제2도전막(21b)의 단부의 부분을 각각 나타내고 있다. 따라서, 제1도전막(21a)의 부분(A)은 "볼록부"라 칭할 수도 있다.
- [0022] 도 30A 및 도 30B에 나타낸 바와 같은 전자방출소자가 구동될(전자 방출시킬) 경우, 제2도전막(21b)의 전위가 제1도전막(21a)의 전위보다 높아지도록 제1도전막(21a)과 제2도전막(21b) 사이에 전압을 인가한다. 그 때문에, 전형적으로는 제1도전막(21a)의 부분(A)을 전자 방출부라고 칭할 수도 있다.
- [0023] 제1도전막(21a)의 제2도전막(21b) 쪽의 단부는, 도 30A에 나타낸 바와 같이 방출 전류의 안정성의 관점으로부터, 제2도전막(21b)을 향하여 볼록부(부분(A))를 다수 구비하는 것이 바람직하다. 환언하면, 제1도전막(21a)과 제2도전막(21b) 간의 간극이 다른 부분보다 좁아지고 있는 부분이 다수 배치되어 있는 것이 바람직하다.
- [0024] 그리고, 제2도전막(21b)의 부분(B)은 전형적으로 제2도전막(21b)의 부분으로 칭할 수 있고, 또는 부분(A)에 가장 가까운 제2도전막(21b)의 부분이라고도 칭할 수 있다. 이 부분(A)과 부분(B) 사이의 간격은 "d1"로서 정의될 수 있다. 그리고, 전자를 방출시키기 위해서 필요한 구동 전압을 50V 이하, 바람직하게는 20V 이하로 설정하기 위해서, (d1)은 10mm 이하, 바람직하게는 5mm 이하로 설정된다. 또, 전자방출소자를 구동할 때의 안정성 및 제조의 재현성의 관점으로부터, (d1)은 바람직하게는 1mm 이상, 한층 더 바람직하게는 3mm 이상으로 설정된다.
- [0025] 또, 제1도전막(21a)의 볼록부(부분(A))로부터 거리 "d1"만큼 떨어진 위치에서의 제1도전막(21a)의 제2도전막(21b) 쪽의 단부(부분(C))와 해당 단부(부분(C))와 대향하는 제2도전막(21b)의 제1도전막(21a) 쪽의 단부(부분(D)) 간의 최단 거리가 "d2"로 정의된다. 보다 상세하게는, 기판(1)의 표면에 실질적으로 평행한 평면 내에서 있어서 간극(8)의 외주(예지)를 형성하는 제1도전막(21a)의 단부를 따라 제1도전막(21a)의 볼록부로부터 (d1)만큼 떨어진 위치에 있어서의, 제1도전막(21a)의 제2도전막(21b) 쪽의 단부(부분(C))와 해당 단부(부분(C))와 대향하는 제2도전막(21b)의 제1도전막(21a) 쪽의 단부(부분(D))와의 최단 거리가 "d2"로 정의된다.
- [0026] 또, (d1)은 충분히 작은(10mm 이하) 점에 유의해야 한다. 따라서, 상기 "d1"을 규정하는 부분(A)과 부분(B)을 통과하는 선에 대해서 수직인 방향으로, 상기 "d1"과 같은 거리만큼 떨어진 제1도전막(21a)의 제2도전막(21b) 쪽의 단부(부분(C))와 해당 단부(부분(C))와 대향하는 제2도전막(21b)의 제1도전막(21a) 쪽의 단부(부분(D))와의 최단 거리로서 상술한 "d2"를 정의할 수도 있다. 보다 상세하게는, 기판(1)의 표면에 실질적으로 평행한 평면 내에서 상기 (d1)을 규정하는 부분(A)과 부분(B)을 통과하는 선에 대해서 수직인 방향으로 (d1)과 같은 거리만큼 떨어진 제1도전막(21a)의 제2도전막(21b) 쪽의 단부(부분(C))와 해당 단부(부분(C))와 대향하는 제2도전막(21b)의 제1도전막(21a) 쪽의 단부(부분(D))와의 최단 거리로서 상술한 "d2"를 정의할 수도 있다(도 30B 참조).
- [0027] 단, "d2"는 10mm 이하일 수도 있다. 그러나, 이 "d2"를 정의하는 제1도전막(21a)의 단부(부분(C))는 상기한 볼록부(부분(A))에 상당하는 것은 아니다. 즉, 상기 부분(C)이 상기 볼록부(부분(A))에 있는 것으로 가정했을 경우, 이 부분(C)으로부터 "d2"의 범위 내에 상기 부분(A)이 존재하게 되어, 이 부분(A)으로부터 제2도전막(21b) 까지의 거리는 (d2)보다 짧아지기 때문이다. 그 때문에, 본 발명에 의하면, 어떤 부분이 부분(A)으로 정의된다면, 부분(A)으로부터 (d1)의 범위 내에는 제1도전막(21a)과 제2도전막(21b) 사이의 거리가 (d1)보다 작은 부분이 존재하지 않게 된다.
- [0028] 또, 본 발명의 전자방출소자에 의하면, 전술한 것처럼, 전자방출소자에는 그러한 부분(A)이 다수 존재하는 것이 바람직하다. 그 경우, 부분(A)으로부터 기판(1) 표면까지의 거리(기판(1) 표면으로부터의 부분(A)의 높이)는 서로 차이가 날 수도 있다. 그러나, 전자 방출 특성의 안정성의 관점으로부터, 복수의 부분(A)으로부터 기판(1) 표면까지의 거리의 차이는 실효적으로는 (d1)의 범위 내인 것이 바람직하다. 또, 부분(A)은 바람직하게는 기판(1)의 표면에 대해서 수직으로 배치되는 것은 바람직하지 않다. 즉, 제1도전막(21a)의 막두께 방향으로 복수의 부분(A)이 배열되어 있지 않은 것이 바람직하다.
- [0029] 도전막(21a, 21b)의 막두께는 매우 작고, 특히 $1\mu\text{m}$ 이하 1nm 이상, 바람직하게는 500nm 이하 1nm 이상, 더욱 바람직하게는 200nm 이하 1nm 이상이다. 그 때문에, 수직인 방향에서 이러한 부분(A)이 많이 배열되면 전자 방출 특성의 경시적인 변동을 초래할 경우가 있다. 이것은 부분(A)이 수직인 방향으로 배열되지 않는 것이 바람직하기 때문이다.
- [0030] 본 발명에 의하면, (d1)은 10mm 이하이고, 이와 동시에, 상기 (d2)와 (d1)의 비($d2/d1$)가 1.2 이상으로 설정된

다. 이들 조건 하에, 큰 방출 전류(Ie) 및 높은 전자 방출 효율이 얻어질 수 있다.

[0031] 또, 도 30A 및 도 30B는 제2도전막(21b)의 제1도전막(21a) 쪽의 단부가 직선 형상인 실시형태를 나타내고 있다. 그러나, 본 발명에 의하면, 도 31A 및 도 31B에 나타낸 바와 같이, 제2도전막(21b)의 제1도전막(21a) 쪽의 단부가 불균일(비직선 형상) 상태이어도 무방하다. 이러한 실시형태에 있어서는, 제2도전막(21b)의 제1도전막(21a) 쪽의 단부에 있어서의 볼록부가 전술한 부분(B)에 상당하도록 배치되어 있는 것이 전자 방출 효율을 향상시키는데 있어서 특히 바람직하다. 또, 도 31A는 도 30A의 설명에 대응하는 한편, 도 31B는 도 30B의 설명에 대응한다.

[0032] 또한, 도 30A, 도 30B, 도 31A 및 도 31B에 나타낸 형태에 있어서는, 거시적으로, 간극(또는 간격)(8)은 제1도전막(21a)과 제2도전막(21b)에 대향하는 방향으로 수직으로 뻗는다. 그러나, 간극(8)은, 후술하는 바와 같이, 거시적으로 비직선 형상(전형적으로는 S자형 또는 지그재그 형상)의 형태여도 무방하다. 간극(8)이 비직선 형상인 경우, 제1도전막(21a)의 제2도전막(21b) 쪽의 단부에 다수의 볼록부(부분(A))를 고밀도로 배치할 수 있다. 그 결과, 전자 방출량의 경시적인 변화를 한층 억제할 수 있으므로 바람직하다.

[0033] 또, 부분(A)(볼록부) 사이의 간격(d3)은 3d1 이상 2000d1 이하로 설정되는 것이 바람직하다. 또, 방출 전류(Ie)의 증가 및/또는 전자 방출량의 요동의 억제의 관점으로부터, 간격(d3)은 등간격으로 설정되는 것이 더욱 바람직하다.

[0034] 이러한 전자방출소자를 고정밀 디스플레이에 이용할 경우, 1개의 전자방출소자에 허용되는 면적이 작아진다. 그 때문에, 부분(A)의 수가 큰 전자방출소자와 비교해서 부분(A)(볼록부)의 수가 적은 전자방출소자에 대해서는 방출 전류(Ie)의 변동이 커지는 경향이 있다. 그 결과, 디스플레이에 표시된 화상의 균일성이 낮아진다. 실용적인 범위로서 부분(A)(볼록부) 간의 간격(d3)은 2000d1 이하, 한층 더 바람직하게는 500d1 이하로 설정된다. 거리(d3)가 이 범위이면, 방출 전류(Ie)의 변동을 억제할 수 있다. 단, 부분(A)(볼록부) 사이의 간격(d3)은 일정한 것이 바람직하지만, 어느 정도의 분포를 가지고 있어도 무방하다.

[0035] 다음에, 본 발명에 의한 전자방출소자의 변형예를, 도 1A, 도 1B 및 도 1C를 참조해서 설명한다. 도 1A는 본 발명에 의한 전자방출소자의 변형예의 일례를 모식적으로 나타낸 평면도이다. 도 1B는 간극(8)의 확대도이다. 이 변형예와 도 30 및 도 31에 나타낸 형태 간의 차이는 [1] 간극(8)이 비직선 형상이고, 제1도전막(21a) 및 제2도전막(21b)의 각 단부의 형상의 예각성(직선성)이 낮은 점; [2] 제1도전막(21a)에는 제1전극(4a)이 접속되고, 게다가 제1전극(4a)은 제1보조 전극(2)에 접속되어 있고, 마찬가지로, 제2도전막(21b)에는 제2전극(4b)이 접속되어 있고, 게다가 제2전극(4b)은 제2보조 전극(3)에 접속되어 있는 점이다. 상기 [1] 및 [2] 항이외의 점에 대해서는, 상기 변형예는 기본적으로, 도 30 및 도 31을 참조해서 이미 설명한 형태의 전자방출소자와 마찬가지이다.

[0036] 상기 [1]항과 같은 방식에 있어서, 만일 볼록부(부분(A))를 균일한 피치로 배치했을 경우, 간극(8)이 직선 형상인 경우에 비해 볼록부(부분(A))를 다수 갖출 수 있으므로, 전자 방출 특성을 보다 안정적으로 할 수 있다. 또, 상기 (2)항과 같은 방식에 있어서, 도전막(21a), (21b) 사이에 안정적으로 전압을 인가할 수 있다.

[0037] 또, 이 구성에 있어서, 제1 및 제2보조 전극(2, 3)과 제1 및 제2전극(4a, 4b)을 이용하고 있다. 그러나, 본 발명에 의하면, 도 30 및 도 31을 참조해서 설명한 형태에 있어서와 마찬가지로, 전자방출소자는 제1도전막(21a)과 제2도전막(21b)을 적어도 필요로 한다. 즉, 본 발명에 의하면, 보조 전극(2, 3) 및 전극(4a, 4b)은 전자방출소자의 필수 구성 요건은 아니다.

[0038] 그러나, 본 발명에 의한 전자방출소자를 구동하기 위한 전원(전압공급원)을 매우 얇은 도전막(21a, 21b)에 안정적으로 접속하기 위해서는, 보조 전극(2), (3) 및/또는 전극(4a), (4b)을 이용하는 것이 바람직하다. 그리고, 전원의 단자를 전극(4a), (4b), 또는 보조 전극(2, 3)에 접속함으로써, 도전막(21a, 21b) 사이에 안정적으로 전압을 인가할 수 있다. 따라서, 보조 전극(2, 3) 및/또는 전극(4a, 4b)은 도 30 및 도 31을 참조해서 설명한 형태의 전자방출소자에 대해서도 바람직하게 적용할 수 있다.

[0039] 도 1B는 도 1A의 간극(8)의 모식적 확대도이다. 도 1B의 참조 부호(A), (B), (d1), (d2), (d3)는 도 30 및 도 31을 참조해서 설명한 것과 마찬가지이다.

[0040] 또, 도 1C는 부분(A)과 부분(B) 사이의 부분을 나타낸 단면 모식도이다. 또, 여기에서는 도전막(21a, 21b)의 표면이 기판(1)의 표면과 평행하지만, 후술하는 도 2C 및 도 2D에 나타낸 바와 같이, 반드시 그 표면이 기판 표면에 평행하게 되어 있을 필요는 없다.

- [0041] 본 발명에 의하면, 도 30 및 도 31을 참조해서 설명한 구성을 포함하는 전자방출소자는 제1도전막(21a)과 제2도전막(21b) 사이(간극(8) 내)의 기판(1) 표면에 오목부(22)를 가지는 것이 바람직하다.
- [0042] 이와 같이 오목부(22)를 구비함으로써, 제1도전막(21a)과 제2도전막(21b) 사이에 방출 전류(Ie)가 아닌 무효 전류를 억제하는 것으로 여겨진다. 또, 본 발명에 의하면, 도 1C에 나타낸 것처럼, 기판(1) 표면으로부터 떨어진 제1도전막(21a)과 제2도전막(21b) 사이의 거리는 기판(1) 표면에 대한 것보다 작은 것이 바람직하다. 이러한 구성을 채용함으로써, 부분(A)과 부분(B) 사이의 표면을 따른 거리는 커질 수 있고, 그 결과, 제1도전막(21a)과 제2도전막(21b) 사이의 무효 전류를 한층 더 억제할 수 있는 것으로 여겨진다. 또, 도전막(21a)의 표면에 가까운 부분(기판(1) 표면으로부터 떨어진 위치)으로부터 전자를 방출할 수 있어 전자 방출 전류(Ie)를 증가시킬 수 있는 것으로 여겨진다.
- [0043] 상기 본 발명에 의한 전자방출소자를 구동할 때에는, 예를 들어, 도 3의 개략 구성도에 나타낸 바와 같이, 본 발명에 의한 전자방출소자는 애노드 전극(44)에 대향시켜 배치하여, 진공(대기압보다 낮은 전체 압력을 가진 공간) 중에서 구동된다. 이와 같이 전자방출소자의 위쪽에 거리 H[m]를 두고 애노드 전극을 배치함으로써, 전자 방출 장치가 형성된다. 그리고, 제1도전막(21a)과 제2도전막(21b) 사이에, 제2도전막(21b)의 전위가 제1도전막(21a)보다 높게 되도록 구동 전압(Vf)[V]을 인가한다. 그것과 동시에, 애노드전극(44)의 전위가 제1 및 제2도전막의 전위보다 높아지도록(전형적으로는 제1도전막(21a)의 전위보다 높아지도록), 애노드 전극(44)과 제1도전막(21a) 사이에 전압 Va[V]를 인가한다. 이것은 제1도전막(21a)의 단부와 제2도전막(21b)의 단부 사이(간극(8))에 전계를 발생한다. 상기 전계 강도를 전자의 터널링(양자역학적 터널링)에 충분하게 설정함으로써, 제2도전막(21b)의 단부에 보다 가깝게 배치된 제1도전막(21a)의 단부에서의 부분(도 1A 및 도 1B에 나타낸 부분(A))으로부터의 전자가 우선적으로 터널링하는 것으로 여겨진다. 그리고, 터널링한 전자의 대부분은 부분(B) 근방으로 산란되고, 그 산란된 전자의 적어도 일부가 애노드 전극(44)에 도달하는 것으로 여겨진다. 또, 터널링된 전자 가운데 애노드 전극(44)에 도달하지 않는 전자는 대부분이 제2도전막(21b)에 흡수되어 제1도전막(21a)과 제2도전막(21b) 사이를 흐르는 무효 전류(소자 전류(If))가 되는 것으로 여겨진다.
- [0044] 여기서, 본 발명에 의한 전자방출소자를 구동할 때(전자가 방출될 때)에 이용되는 전계 강도(제1도전막(21a)과 제2도전막(21b) 사이에 인가된 전계 강도)는 실효적으로는 1×10^9 V/m 이상 2×10^{10} V/m 미만이다. 전계 강도가 이 범위보다 작으면, 터널링하는 전자의 수가 현저하게 적게 되고, 전계 강도가 이 범위보다 크면, 제1도전막(21a) 및/또는 제2도전막(21b)이 강한 전계에 의해 변형될 수 있어, 안정적으로 전자가 방출되지 않는 경우가 종종 있다.
- [0045] 본 발명에 의하면, 전술한 바와 같이, d2/d1을 1.2 이상으로 설정함으로써, 전자방출소자는 제2도전막(21b)에 흡수된 전자의 수를 줄일 수 있다. 그 결과, 전자 방출 효율[(애노드에 도달하는 전류)/(제1도전막(21a)과 제2도전막(21b) 사이에 흐르는 전류)]을 향상시킬 수 있다. 그 이유는, 기판(1)의 표면으로부터 멀어지는(애노드로 향하는) 강력한 힘이 d2/d1을 1.2 이상으로 설정함으로써 형성되는 전계로 인해 부분(A)으로부터 부분(B)을 향해 터널링된 전자(부분(B) 근방에서 산란되는 전자를 포함함)에 작용하기 때문이다.
- [0046] 이하, 도 1A 내지 도 1C를 참조해서 설명한 전자방출소자의 변형예에 대해, 도 2A 내지 도 2D를 참조해서 설명한다. 도 2A는 도 1A와 마찬가지로 모식적 평면도이다. 도 2B는 도 1B와 마찬가지로 간극(8) 근방의 확대 평면 모식도이다. 또, 도 2C는 도 1C와 마찬가지로, 부분(A)과 부분(B)을 통과하는 단면 모식도이다. 도 2D는 도 2B의 P-P선을 따라(제2도전막(21b)의 기판(1) 표면에 수직인 방향의 볼록부와 해당 볼록부에 대향하는 제1도전막(21a)의 단부를 통과함) 취한 단면 모식도이다.
- [0047] 이 구성에 의하면, 전자방출소자는 도 1A 내지 도 1C를 참조해서 설명한 전자방출소자의 형태에 가해서, 기판(1)의 표면에 대해서 실질적으로 수직인 방향의 볼록부(부분(35) 및 (36))를 제2도전막(21b)의 일부로서 구비하고 있다. 단, 볼록부(부분(35) 및 (36))는 상기 부분(B)을 샌드위치시킬 때 배치되어 있다. 상기 사항 이외에는, 이 구성은 실질적으로 도 1A 내지 도 1C를 참조해서 설명한 전자방출소자와 같다.
- [0048] 이러한 구성으로 함으로써, 도 1A 내지 도 1C를 참조해서 설명한 전자방출소자에 비해, 전자 방출 효율을 더욱 향상할 수 있다. 또, 볼록부(부분(35), (36))는 제2도전막(21b)의 일부이므로, 볼록부를 구성하는 재료가 볼록부 이외의 부분을 구성하는 재료와 다를 필요는 없다.
- [0049] 부분(B)에서의 제2도전막(21b)의 막두께는 제2도전막(21b)의 부분(35) 및 부분(36)에서의 막두께 미만으로 설정된다(도 2C 및 도 2D 참조). 이 때문에, 제2도전막(21b)의 부분(35) 및 부분(36)은 제2도전막(21b)의 그 이외의 부분(전형적으로는 부분(B))에 비해 기판(1)의 표면으로부터 멀어지고 있으므로, "돌기부" 또는 "돌출부"로

부를 수도 있다.

[0050] 따라서, 제2도전막(21b)의 부분(35) 및 부분(36)의 각각의 표면의 기판(1) 표면으로부터의 높이와 상기 부분(B)의 표면의 기판(1) 표면으로부터의 높이와의 사이에는 차이분 "h"("h"는 돌기부의 높이라고 칭할 경우도 있음)가 존재한다.

[0051] 또, 제2도전막(21b)은 적어도 2개의 "돌기부"를 구비하고, 이 2개의 "돌기부" 사이에는 폭 "w"가 존재한다. 이 폭(w)은 기판의 표면으로부터 가장 면 각각의 "돌기부"의 부분 사이의 간극으로서 정의될 수 있다(각각의 "돌기부"의 점들(정상부 혹은 꼭대기 혹은 정점) 사이의 간극으로서 정의될 수 있다). 또한, 상기 "돌기부"간의 폭(w)은 실효적으로는 $2d_1$ 이상 $50d_1$ 이하로 설정되는 것이 바람직하다. 폭(w)이 이 범위에 있으면, 큰 방출 전류(Ie) 및 높은 전자 방출 효율을 얻을 수 있다. 단, 상기 부분(35)의 점들의 기판(1) 표면으로부터의 높이와 부분(36)의 점들의 기판(1) 표면으로부터의 높이는 서로 다를 수도 있다.

[0052] 또, 상기 "돌기부"의 높이(h)는 실효적으로는 하나의 "돌기부"(전형적으로는 기판(1) 표면으로부터의 높이가 다른 돌기부의 것보다 작은 부분(B)을 샌드위치하고 있는 2개의 돌기부(35, 36) 중 하나의 돌기부)의 기판(1) 표면으로부터 가장 멀리 떨어진 부분과 기판(1) 표면과의 거리로부터 상기 부분(B)과 기판(1) 표면 간의 거리를 빼서 얻어진 값으로 정의될 수 있다. 그리고, "돌기부"의 높이(h)는 $2d_1$ 이상 $200d_1$ 이하로 설정되는 것이 바람직하다.

[0053] 또한, 본 발명에 의하면, 전술한 바와 같이, 부분(A)과 부분(B)은 상기 전자방출소자의 간극(8)의 주변의 일부를 형성한다. 전자방출효율을 향상시키기 위해서는, 제2도전막(21b)의 부분(35, 36)도 간극(8)의 주변부를 형성하는 것이 바람직하다.

[0054] 또, 본 발명에 의하면, 제1도전막(21a)과 제2도전막(21b) 사이의 간극 내에 임의의 다른 부분보다 작은 부분 즉, 도 2C에서의 부분(A)과 부분(B)에 있어서, 제1도전막(21b)의 두께(부분(B)에서의 두께)는 제2도전막(21a)의 두께(부분(A)에서의 두께) 이하로(바람직하게는 부분(A)에서의 두께보다 작게) 설정되는 것이 바람직하다.

[0055] 이에 의해 도 1A 내지 도 1C, 도 30 및 도 31을 참조해서 설명한 전자방출소자의 전자 방출 효율을 향상시킬 수 있다. 게다가, 기판(1)의 표면으로부터 멀어지는 방향(애노드로 향하는 방향)의 강력한 힘이 부분(A)으로부터 부분(B)을 향해 터널링하는 전자(부분(B) 근방에서 산란되는 전자를 포함함)에 대해 상기 "돌기부"에 의해 형성되는 전계로 인해 작용할 수 있다. 그 결과, 제2도전막(21b)에 흡수되는 전자의 수를 줄일 수 있다. 따라서, 도 1A 내지 도 1C, 도 30 및 도 31을 참조해서 설명한 전자방출소자에 비해서, 전자 방출 효율[(애노드에 도달하는 전류(Ie))/(제1도전막(21a)과 제2도전막(21b) 사이에 흐르는 전류(If))]를 비약적으로 향상시킬 수 있다.

[0056] 단, 도 30, 도 31, 도 1A 내지 도 1C 및 도 2A 내지 도 2D에서는 제1도전막(21a)과 제2도전막(21b)은 기판(1) 표면에 평행한 방향으로 서로 대향해서, 간극(8)을 경계로 해서 완전하게 분리된 실시형태를 나타내고 있다. 그러나, 본 발명에 의하면, 전자방출소자의 제1도전막(21a)과 제2도전막(21b)은 그 일부에서 연결되어 있을 수 있다. 즉, 1개의 도전막의 일부에 간극(8)이 형성되어 있을 수도 있다. 즉, 완전하게 분리되어 있는 것이 이상적이지만, 미세한 영역에서 상기 제1도전막(21a)과 제2도전막(21b)이 연결되어 있더라도, 충분한 전자 방출 특성을 얻을 수 있는 것이면 충분하다.

[0057] 도전막(21a, 21b)의 재료로서는 금속이나 Ni, Au, Pd, Pt, C를 비롯한 반도체 등의 도전성 재료를 이용할 수 있다. 예를 들면, 더욱 바람직하게는, 도전막은 높은 전자 방출량, 경시적인 안정성 등의 관점으로부터 탄소를 함유하는 막이다. 또, 실용적으로는 탄소를 주성분으로 하는 막(구체적으로는 탄소를 70 원자% 함유하는 막)을 이용하는 것이 바람직하다. 이와 같이 탄소를 함유하는 막에 의해 도전막(21a, 21b)이 형성되는 경우, 도전막(21a, 21b)은 카본막으로 칭할 경우도 있다.

[0058] 다음에, 본 발명에 의한 전자방출소자의 제조방법에 대해 설명한다.

[0059] 제조방법으로는 여러 가지 방법이 있지만, 예를 들면 이하의 (공정 1) 내지 (공정 5)에 의해 본 발명에 의한 전자방출소자를 제조할 수 있다. 물론, 본 발명에 의한 전자방출소자는 하기 제조방법에 의해 제조되는 것으로 한정되는 것은 아니다.

[0060] 그 일례를 도 4 내지 도 9를 참조해서 설명한다. 이하의 예에서, 전술한 제1도전막(21a) 및 제2도전막(21b)은 각각 제1카본막(21a) 및 제2카본막(21b)으로 형성하고 있다. 또, 이하에서는, 제1카본막(21a)을 제1전극(4a)에 접속하고, 제1전극(4a)을 제1보조 전극(2)에 접속하고 있다. 마찬가지로, 제2카본막(21b)을 제2전극(4b)에 접속하고, 제2전극(4b)을 제2보조 전극(3)에 접속하고 있다.

[0061] (공정 1)

[0062] 기판(1)을 충분히 세정한 후, 보조 전극(2, 3)을 형성하기 위한 재료를 진공증착법, 스퍼터링법 등에 의해 퇴적시키고 나서, 포토리소그래피 기술 등을 이용함으로써, 제1보조 전극(2) 및 제2보조 전극(3)을 형성한다(도 4A).

[0063] 기판(1)의 재료의 예로는 석영 유리, 청판 유리, 유리 기판에 스퍼터링법 등 공지의 성막 방법에 의해 형성한 산화 실리콘(전형적으로는 SiO_2)을 적층한 유리 기판, 알칼리 성분을 줄인 유리 기판을 이용할 수 있다. 이와 같이 해서, 본 발명에 의하면, 기판 재료로는 산화 실리콘(전형적으로는 SiO_2)을 함유하는 재료가 바람직하다.

[0064] 보조 전극(2), (3) 사이의 길이(L)와, 보조 전극(2), (3)의 길이(W)(도 1A 및 도 1C 참조), 두께(t1) 및 형상은, 전자방출소자의 응용 형태 등에 의해 적절하게 설계된다. 예를 들어, 전자방출소자를 후술하는 텔레비전 등의 화상표시장치에 이용하는 경우, 해상도에 대응해서 설계를 행한다. 특히, 고품위(HD) 텔레비전에 대해서는, 화소 사이즈가 작고, 고정밀도가 요구된다. 그 때문에, 전자방출소자의 사이즈가 한정된 상태에서 충분한 휙도를 얻기 위해서, 충분한 방출 전류(Ie)를 얻도록 설계된다. 보조 전극(2), (3) 사이의 길이(L)는 실용적으로는 $5 \mu\text{m}$ 이상 $100 \mu\text{m}$ 이하이다. 보조 전극(2), (3)의 두께(T1)은 실용적으로는 5 nm 이상 $10 \mu\text{m}$ 이하이다.

[0065] (공정 2)

[0066] 기판(1) 위에 설치된 제1보조 전극(2)과 제2보조 전극(3)을 접속하는 도전성 박막(4)을 형성한다(도 4B). 도전성 박막(4)의 제조방법의 예로는, 유기 금속 용액을 도포하고 건조함으로써 유기 금속막을 형성한 후에, 유기 금속막을 가열 소성하고, 리프트 오프, 에칭 등에 의해 패터닝하는 방법을 들 수 있다.

[0067] 도전성 박막(4)의 재료의 예로는 금속이나 반도체 등의 도전성 재료를 이용할 수 있다. 예를 들어, Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd, Ag 등의 금속 혹은 이들의 합금, 및 PdO , RuO_2 등의 금속 산화물, $\text{In}_2\text{O}_3-\text{SnO}_2$ 등의 투명 도전체, 폴리 실리콘 등의 반도체 등을 이용할 수 있다.

[0068] 또한, 유기 금속 용액의 예로는 상기 도전성 막 재료의 Pd, Ni, Au, Pt 등을 주원소로 하는 유기 금속 화합물의 용액을 들 수 있다. 또한, 여기에서는 유기 금속 용액을 도포함으로써 도전성 박막(4)을 형성하는 방법을 설명했지만, 도전성 박막(4)의 형성법은 이것으로 한정되는 것은 아니고, 진공 증착법, 스퍼터링법, CVD법, 분산 도포법, 침지법, 스피닝법, 잉크 제트법 등에 의해 형성할 수도 있다.

[0069] 다음의 공정에 있어서 "포밍"(forming) 처리를 수행할 경우, 도전성 박막(4)의 Rs (시트 저항)는 $10^2 \Omega/\square$ 내지 $10^7 \Omega/\square$ 범위인 것이 바람직하다. 또한, Rs 는 두께가 t , 폭이 w , 길이가 1인 막의 길이 방향에서의 저항을 R 이라 할 경우, $R=Rs(1/w)$ 로 표현되는 것이다. 저항율을 ρ 로 할 경우, $Rs=\rho/t$ 이다. 구체적으로는, 상기 저항 값을 가진 막 두께의 범위는 5 nm 내지 50 nm 이다. 또한, 도전성 박막(4)의 폭(W')(도 1A 및 도 1B 참조)은 바람직하게는 보조 전극의 폭(W)보다 작게 설정된다.

[0070] (공정 3)

[0071] 다음에, "포밍"으로 불리는 처리를 보조 전극(2), (3) 사이에 전압을 인가함으로써 실시한다. 전압의 인가에 의해 도전성 박막(4)의 일부에 제2간극(7)이 형성된다. 그 결과, 제2간극(7)을 사이에 두고 기판(1) 표면에 대해서 횡방향으로 제1전극(4a)과 제2전극(4b)을 서로 대향해서 배치할 수 있다(도 4C).

[0072] "포밍" 처리 이후의 전기적 처리는 예를 들어 전술한 도 3에 나타낸 측정/평가 장치 내에 상기 기판(1)을 배치함으로써 실시할 수 있다. 단, 도 3에 나타낸 측정/평가 장치는 진공설이다. 또, 상기 진공설에는 배기 펌프 및 진공계(도시 생략) 등의 진공설에 필요한 장비가 구비되어 있어 원하는 진공 조건 하에서 각종 측정/평가를 실시할 수 있다. 또한, 배기 펌프는 자기 부상 터보 펌프 또는 드라이 펌프와 같은 오일을 사용하지 않는 펌프를 포함하는 고진공계 및/또는 이온 펌프를 포함하는 초고진공설계로 형성될 수도 있다. 또, 본 측정/평가 장치에는 가스 도입 장치(도시 생략)를 부설함으로써, 원하는 유기물질을 원하는 압력으로 진공실 내에 도입할 수 있다. 또, 기판(1)은 진공실에 설치되고, 이 진공실 내는 히터(도시 생략)에 의해 가열될 수 있다.

[0073] "포밍" 처리는 펄스 높이값이 정전압(일정)인 펄스 전압을 반복해서 인가함으로써 수행될 수 있다. 대안적으로, "포밍" 처리는 펄스 높이값을 서서히 증가시키면서 펄스 전압을 인가함으로써 실시될 수 있다.

[0074] 도 7A는 펄스 높이값이 일정할 경우의 펄스 파의 예를 나타낸다. 도 7A에 있어서, (T1) 및 (T2)는 각각 전압 펄스 파형의 펄스 폭과 펄스 간격(휴지 시간)을 나타낸다. (T1)은 $1 \mu\text{sec}$ 내지 10 msec 일 수 있는 반면, (T

2)는 10 μ sec 내지 100 msec일 수 있다. 인가하는 펄스 파형 자체에 대해서는 삼각파나 사각파를 이용할 수 있다.

[0075] 다음에, 도 7B는 펄스 높이값을 증가시키면서, 펄스 전압을 인가한 경우의 펄스 파형의 예를 나타낸다. 도 7B에 있어서, (T1) 및 (T2)는 각각 전압 파형의 펄스 폭과 펄스 간격(휴지 시간)을 나타낸다. (T1)은 1 μ sec 내지 10 msec일 수 있는 반면, (T2)는 10 μ sec 내지 100 msec일 수 있다. 인가하는 펄스 파형 자체에 대해서는 삼각파나 사각파를 이용할 수 있다. 인가하는 펄스 전압의 펄스 높이 값은 예를 들어 약 0.1V씩 단계적으로 증가시킨다.

[0076] 이상 설명한 예에 대해서는 간극(7)이 형성될 경우, 보조 전극(2), (3) 사이에 삼각파 펄스를 인가해서 "포밍" 처리를 실시하고 있다. 그러나, 보조 전극(2), (3) 사이에 인가하는 펄스의 파형은 삼각파로 제한되지 않고, 사각파 등 원하는 파형을 이용할 수 있다. 또, 그 펄스 높이 값, 펄스폭, 펄스 간격 등을 전술한 값으로 제한되지 않는다. 간극(7)이 양호하게 형성되도록 도전막(4)의 저항값 등에 따라 적절한 값을 선택할 수 있다.

[0077] 또, 여기에서는 제1전극(4a)과 제2전극(4b)은 도전성 박막(4)에 대해서 "포밍" 처리를 실시함으로써 수행되는 방법을 나타내고 있다. 그러나, 본 발명에 의하면, 포토리소그래피 등의 공자의 패터닝 수법을 이용해서 제1전극(4a)과 제2전극(4b)을 형성할 수도 있다. 또, 후술하는 "활성화" 처리를 이용해서 제1카본막(21a)과 제2카본막(21b)을 형성하는 경우에는 제1전극(4a)과 제2전극(4b) 사이의 간극(7)은 좁은 것이 바람직하기 때문에, 전술한 "포밍" 처리를 채용하는 것이 바람직하다. 그러나, 도전성 박막(4)에 접속 이온 베(FIB: focused ion beam)을 조사함으로써 도전성 박막(4)에 간극(7)을 형성하는 방법이나, 전자빔 리소그래피법 등을 이용해서, 간극(7)이 좁은 제1전극(4a)과 제2전극(4b)을 형성할 수도 있다. 또, 제1보조 전극(2)과 제2보조 전극(3) 사이의 간극(L)을 전술한 각종 수법에 의해 좁게(간극(7)에 비해서) 형성할 수 있으면, 제1전극(4a)과 제2전극(4b)은 반드시 필요하지 않다. 그러나, 저비용으로 본 발명에 의한 전자방출소자를 작성하기 위해서는, 후술하는 "활성화" 처리에 의해 형성하는 카본막(21a, 21b)에 전위를 안정적으로 공급하기 위한 전극으로서의 전술한 보조 전극(2), (3)을 이용하는 것이 바람직하고, 또한 "활성화" 처리의 초기에 있어서의 카본막(21a, 21b)을 안정적으로 고속으로 퇴적시키기 위한 전극으로서의 제1전극(4a) 및 제2전극(4b)을 이용하는 것이 바람직하다.

[0078] (공정 4)

[0079] 다음에, "활성화" 처리를 수행한다(도 4D). "활성화" 처리는 예를 들어 도 3에 나타낸 진공실 내에 탄소 함유 가스를 도입해서, 탄소함유 가스를 함유하는 분위기하에서 보조 전극(2), (3) 사이에 양극성의 전압을 인가(쌍극성의 전압을 인가)함으로써 실시할 수 있다. 이 처리에 의하면, 탄소 함유 펄름(카본 펄름)으로 이루어진 도전막(21a, 21b)을 제1전극(4a)과 제2전극(4b) 사이의 기판(1) 위(간극(7) 내에 위치된 기판(1) 위) 및 그 기판(1) 근방(간극(7) 근방)의 제1전극(4a) 및 제2전극(4b) 위에 퇴적시킬 수 있다.

[0080] 상기 탄소 함유 가스로서는 유기물질가스를 이용할 수 있다. 유기물질로서는 알칸, 알켄 또는 알킨으로 이루어진 지방족 탄화수소류; 방향족 탄화수소류; 알코올류, 알데하이드류, 케톤류, 아민류, 페놀, 카복시산, 셀프산 등의 유기산류 등을 들 수 있다. 구체적으로는, 메탄, 에탄, 프로판 등의 C_nH_{2n+2} 로 표시되는 포화 탄화수소; 에틸렌, 프로필렌 등의 C_nH_{2n} 으로 표시되는 불포화 탄화수소; 벤젠; 틀루엔; 메탄올; 에탄올; 품알데하이드; 아세트알데하이드; 아세톤; 메틸에틸케톤; 메틸아민; 에틸아민; 페놀; 품산; 아세트산; 프로피온산 등을 사용할 수 있다.

[0081] 또, 전술한 탄소 함유 가스는 진공실 내를 일단 10^{-6} Pa대로 감압한 후에, 진공실 내로 도입하는 것이 바람직하다. 이때의 바람직한 탄소 함유 가스의 분압은 전자방출소자의 형태, 진공실의 형상, 이용하는 탄소 함유 가스 등에 따라 다르므로, 적당히 설정된다.

[0082] 상기 "활성화" 처리중에 보조 전극(2, 3) 사이에 인가하는 전압의 파형으로서는 예를 들어 도 8A 또는 도 8B에 나타낸 양극성(쌍극성 전압 파형)을 가진 펄스 파형을 이용하는 것이 바람직하다. 단, 이러한 펄스가 인가될 경우, 한쪽 보조 전극은 바람직하게는 접지되어 있는 한편, 도 8A 또는 도 8B에 나타낸 펄스 전압은 다른 쪽 보조 전극에 인가된다. 인가되는 최대 전압(절대값)은 10V 내지 25V의 범위에서 적절하게 선택되는 것이 바람직하다. 도 8A에 있어서, (T1)은 인가되는 펄스 전압의 펄스폭을 나타내고, (T2)는 펄스 간격을 나타낸다. 이 예에서는 양전압과 음전압의 절대값은 서로 동일하지만, 이들은 서로 상이할 수도 있다. 또, 도 8B에 있어서, (T1)은 양전압인 펄스 전압의 펄스 폭을 나타내고, (T1')은 음전압인 펄스 전압의 펄스 폭을 나타낸다. (T2)는 펄스 간격이다. 또, 이 예에 있어서는 T1>T1'를 설정하고, 양전압과 음전압의 절대값은 서로 동일하

지만, 그 절대값은 서로 상이할 수도 있다.

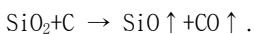
[0083] 도 9는 "활성화" 처리 중에 보조전극(2)과 (3) 사이의 소자 전류(If)의 프로파일을 나타낸다. "활성화" 처리는 소자 전류의 상승이 완만하게 된 후(그래프가 도 9의 점선의 오른쪽 상의 영역으로 들어간 후)에 종료하는 것이 바람직하다.

[0084] 또한, "활성화" 처리 중에, 도 8A에 나타낸 파형을 가진 전압을 보조 전극(2), (3) 사이에 인가함으로써, 도 1C 및 도 2C에 나타낸 것 같은 제1카본막(21a)의 두께가 제2카본막(21b)의 두께와 거의 동일하게 되는 형상을 형성 할 수 있다. 이와 같이 해서 형성된 카본막은 도 1A 내지 도 1C에 나타낸 전자방출소자의 실시형태의 형성에 바람직하게 적용될 수 있다.

[0085] 한편, "활성화" 처리 중에, 도 8B에 나타낸 비대칭 파형을 가진 전압을 보조 전극(2), (3) 사이에 인가함으로써, 도 2D, 도 6A 및 도 6B에 나타낸 바와 같이 간극(8)의 외주(예지)를 형성하는 제2카본막(21b)의 단부의 두께가 간극(8)의 외주를 형성하는 제1카본막(21a)의 단부의 두께보다 두껍게 될 수 있다. 또, 도 6B는 도 6A의 6B-6B선을 따라 취한 모식적 단면도이다. 명확하게 할 목적으로, 도 2D, 도 6A 및 도 6B에서는, 이해를 용이하게 하기 위해서, 제1카본막(21a)의 단부보다 두꺼운 부분을 가진 제2카본막(21b)의 일부 및 제2카본막(21b)의 다른 부분은 구별될 수 있도록 나타낸다. 그러나, 재료나 구조의 실제적인 차이가 있는 것을 의미하는 것은 아니다. 이와 같이 해서 형성된 카본막은 도 2에 나타낸 전자방출소자의 형성에 적절하게 이용될 수 있다

[0086] 또, 도 8A에 나타낸 파형 또는 도 8B에 나타낸 파형을 이용해서, 예를 들어 그래프가 도 9중의 점선의 오른쪽 영역에 들어오고 점선으로부터 충분히 멀어질 때까지 "활성화" 처리를 실시함으로써, 기판의 변형부(오목부)(22)를 형성할 수 있다. 또, 그래프가 도 9중의 점선의 오른쪽 영역에 들어올 때까지 "활성화" 처리를 실시 함으로써, 제1카본막(21a)의 단부와 제2카본막(21b)의 단부 간의 기판(1) 표면으로부터 떨어진 거리가 기판(1) 표면에서보다 좁게 될 수 있다. 또, 기판의 변형부(오목부)(22)에 대해서는 다음과 같이 고려된다.

[0087] 탄소 근처에 SiO₂(기판의 재료)의 존재 하에 기판의 온도가 상승하면, Si가 소비된다:



[0089] 이 화학 반응은 기판 중의 Si가 소비되어 기판 표면이 깎인 형상(오목부)을 형성하는 것으로 여겨진다.

[0090] 상기 기판의 변형부(오목부)(22)는 제1카본막(21a)과 제2카본막(21b) 사이의 기판 표면을 따른 거리를 늘릴 수 있다. 그 때문에, 제1카본막(21a)과 제2카본막(21b) 사이에 소자의 구동시 인가되는 강한 전계로 인한 방전 및 과잉의 소자 전류(If)가 억제될 수 있다.

[0091] 이하, 본 발명에 의한 탄소를 함유하는 막인 제1카본막(21a)과 제2카본막(21b)의 탄소에 대해 설명한다. 카본막(21a, 21b)에 함유되는 탄소는 흑연 형상 탄소인 것이 바람직하다. 본 발명에 의한 흑연형상 탄소는 흑연의 완전 결정 구조를 가지는 탄소(이른바 HOPG), 알갱이 크기가 20nm 정도로 약간 불규칙한 탄소(PG), 알갱이 크기가 약 2nm인 불규칙성이 큰 탄소(GC), 비정질 카본(아몰퍼스(amorphous) 카본 및/혹은 아몰퍼스 카본과 전술한 흑연의 미세결정의 혼합물)을 포함한다. 즉, 흑연 형상 카본 중의 흑연 입자 간의 입계 등의 층에 불규칙성이 있더라도, 안정적으로 이용될 수 있다.

[0092] (공정 5)

[0093] 다음에, 제1카본막(21a)과 제2카본막(21b)을 도 1A 내지 도 1C 및 도 2A 내지 도 2D에 나타낸 형상으로 형상화하기 위한 가공 처리를 수행한다.

[0094] 구체적으로는, 예를 들어 도 10A, 도 10B, 도 11A, 도 11B 및 도 11C에 나타낸 AFM(원자간력 현미경: atomic force microscope)을 이용하는 방법에 의해, 카본막은 도 1A 내지 도 1C 또는 도 2A 내지 도 2D에 나타낸 형상으로 형상화할 수 있다. 여기에서는 제1카본막(21a)과 제2카본막(21b)을 형상화하기 위한 가공 처리 방법에서 AFM을 이용하고 있지만, 가공 처리 방법은 AFM의 프로브를 이용하는 것으로 제한되는 것은 아니다.

[0095] 상기 AFM을 이용하는 가공 처리는 예를 들면 이하와 같이 실시할 수 있다.

[0096] 우선, 도 1A 및 도 1B에 나타낸 전자방출소자를 형성하는 경우에 대해 설명한다.

[0097] 전술한 것처럼, 도 1A 및 도 1B에 나타낸 전자방출소자를 형성하는 경우, 전술한 (공정 4)("활성화" 처리)에 있어서, 동일한 전압치 또는 동일한 웨尔斯폭을 가진 양극성의 웨尔斯 전압을 반복해서 인가하는 방법을 이용하는 것이 바람직하다. 그 결과, 제2카본막(21b)의 두께는 제1카본막(21a)의 두께와 대략 같게 될 수 있다. 이어서,

AFM의 프로브를 제1카본막(21a)과 위치 맞춤을 실시한다(도 10A). 그리고 나서, AFM의 프로브를 제1카본막(21a)의 단부(간극(8))의 외주를 형성하는 부분에 접촉시켜 카본막(21a)의 단부를 절삭한다(도 10B). 카본막(21a)의 단부를 절삭할 경우, AFM은 컨택트 모드(접촉압을 전압에 의해 제어함)로 실시할 수 있다. 이것에 의해, 도 1A 및 도 1B에 나타낸 부분(A)(볼록부)을 형성할 수 있다. 이 처리를 간극(8)을 따라 제1카본막(21a)의 단부(간극(8))의 외주를 형성하는 카본막(21a)의 단부)의 복수 개소에서 간격(d3)을 두고 실시한다. 이것에 의해, 도 1A 및 도 1B에 나타낸 구조를 가진 전자방출소자를 제작할 수 있다.

[0098] 다음에, 도 2A 내지 도 2D에 나타낸 형태의 전자방출소자를 형성하는 경우에 대해 설명한다.

[0099] 전술한 것처럼, 도 2A 내지 도 2D에 나타낸 전자방출소자를 전술한 (공정 4)("활성화" 처리)에서 형성할 경우, 비대칭 전압치 및/또는 비대칭 펠스폭을 가진 양 극성의 펠스 전압을 반복해서 인가하는 방법을 이용하는 것이 바람직하다. 전형적으로는, 다른 쪽 카본막보다 두껍게 형성되는 카본 막에 접속된 보조전극(도 2A 내지 도 2D에 나타낸 경우에 있어서의 보조전극(3))의 전위가 상기 다른 쪽 카본막에 접속된 보조전극(도 2A 내지 도 2D에 나타낸 경우에 있어서의 보조전극(2))의 전위보다 높게 설정되는 펠스 높이값(전압값) 및/또는 펠스폭이 상기 전위와 역상 관계가 설정되는 펠스 높이값(전압값) 및/또는 펠스폭보다 크게 설정되면 충분하다. 단, 볼록부(부분(35), (36))는 제2도전막(21b)의 일부이기 때문에, 상기 돌기부를 형성하는 재료는 상기 돌기부 이외의 부분을 형성하는 재료와 다를 필요는 없다. 그 결과, 도 6A 및 도 6B에 나타낸 바와 같이, 제2카본막(21b)의 두께를 제1카본막(21a)의 두께보다 두껍게 할 수 있다. 그리고 나서, AFM의 프로브를 제1카본막(21a)과 위치 맞춤을 실시한다(도 11B). 다음에, AFM의 프로브를 제1카본막(21a)의 단부(간극(8))의 외주를 형성하는 부분에 접촉시켜 카본막(21a)의 단부를 절삭한다(도 11A). 이것에 의해, 도 2A 내지 도 2D에 나타낸 부분(A)(볼록부)을 형성할 수 있다. 그 후, AFM의 프로브를 제2카본막(21b)의 단부에 위치 맞춤을 실시한다. 그리고 나서, AFM의 브로브를 제2카본막(21b)의 단부(간극(8))의 외주를 형성하는 부분에 접촉시켜 카본막(21b)의 단부를 절삭한다(도 11C). 이것에 의해, 부분(35), (36)(돌기부)을 부분(B)(부분(A)에 대향함)을 사이에 두고 형성할 수 있다. 이상의 처리를, 간극(8)을 따라 제2카본막(21b)의 단부(간극(8))의 외주를 형성하는 카본막(21b)의 단부)의 복수 개소에서 간격(d3)을 두어 실시한다. 이것에 의해, 도 2A 내지 도 2D에 나타낸 구조를 가진 전자방출소자를 제작할 수 있다(도 11C).

[0100] 또, 도 1A 내지 도 1C 또는 도 2A 내지 도 2D에 나타낸 구조를 가진 본 발명에 의한 전자방출소자는 상기 가공처리(공정 5)를 이용하지 않고도 제조할 수 있다. 이하에서는, 이러한 경우의 일례로서, 전자선을 이용해서 도 1A 내지 도 1C 또는 도 2A 내지 도 2D에 나타낸 전자방출소자를 형성하는 방법(이하 "전자선 처리"라고 칭함)을 설명한다.

[0101] (공정 1) 내지 (공정 3)은 전술한 경우와 마찬가지이다. 또, (공정 4)에서의 "활성화" 처리는 유사한 탄소 함유 가스를 이용할 수 있다. 이 방법은 도 8A에 나타낸 대칭 펠스 파형을 이용하는 점 이외에는 상기 공정 4와 마찬가지이다. 여기서 설명하는 방법에서는, "활성화" 처리에 있어서, 그래프가 소자 전류(IF)의 상승이 완만하게 되는 영역(도 9중의 접선의 오른쪽의 영역)에 들어간 후에, 탄소 함유 가스를 포함하는 분위기 하에서 전자선을 조사하면서 전압 펠스를 인가한다.

[0102] 이하, 이 방법에 대해 도 23을 참조해서 설명한다.

[0103] 전자 방출 수단(41)으로부터 방출된 전자선의 직경은 간극(8) 내에서 좁아질 필요는 없고, 보조 전극(2), (3) 사이에 인가하는 전압, "활성화" 처리 동안의 탄소함유 가스의 분압 등을 고려해서, 간극(8)을 중심으로 해서 1 μm 이상의 범위를 갖는 것이 바람직하다. 그러나, 전자선에 의한 조사 범위가 너무 넓으면, 필요로 하지 않는 영역에까지 탄소화합물이 퇴적될 수도 있다. 그 때문에, 전자 방출 수단(41)으로부터 방출된 전자선을, 전자선 차폐 수단(42)에 의해 차폐하여 전자선의 확대를 억제하는 것이 바람직하다. 전자선 조사는 바람직하게는 연속적(DC적)으로 조사하면서, 보조 전극 사이에 인가하는 전압을 펠스 형상으로 하는 것이 바람직하다. 보조 전극(2), (3) 사이에 인가하는 펠스 전압으로서는 전자선 조사 전과 같은 도 8A에 나타낸 파형 및 전압값을 경시적으로 제어하는 것이 바람직하다. 전자선을 조사하는 시간은, 상기 소자 전류의 상승이 완만하게 되는 영역(도 9중의 접선의 오른쪽의 영역)의 전류가 실질적으로 유지되는 영역 내이면 충분하며, 그 시간은 10분 내지 60분이 바람직하다.

[0104] 이것에 의해, 도 1A 및 도 1B에 나타낸 구조를 가진 전자방출소자를 제작할 수 있다.

[0105] 또, 도 1A 내지 도 1C 또는 도 2A 내지 도 2D에 나타낸 전자방출소자를 전자선의 조사를 통해 제작하는 다른 방법의 예를 이하에 도 26A, 도 26B 및 도 26C를 참조해서 설명한다. 또한, 여기에서는 상기 전극(4a), (4b)을

이용하지 않는 예를 나타내었지만, 물론, 전극(4a), (4b)을 이용할 수도 있다.

[0106] (공정 1')

전술한 (공정 1)과 같은 방법으로 보조 전극(2), (3)을 기판(1) 위에 형성한다(도 26A).

[0108] (공정 2')

[0109] 다음에, 제1보조 전극(2)과 제2보조 전극(3) 사이에 제1카본막(21a)과 제2카본막(21b)을 전자선의 조사를 통해서 원하는 형상으로 형성한다(도 26B 및 도 26C).

[0110] 카본막(21a, 21b)은, 예를 들면, 도 3에 나타낸 상기 측정/평가 장치 내에 상기 기판(1)을 배치한 상태로 형성될 수 있다. 또, 장치 내에는 도 26B에 나타낸 전자 방출 수단(41)과 전자선 차폐/편향 수단(42)이 설치된다. 그리고, 탄소 함유 가스를 장치 내에 도입한 상태에서 전자 방출 수단(41)으로부터 전자선을 원하는 위치에 조사함으로써, 원하는 형상의 카본막(21a, 21b)을 퇴적시킬 수 있다.

[0111] 탄소 함유 가스로서는 전술한(공정 4) 탄소 함유 가스와 같은 가스를 이용할 수 있다. 카본막(21a, 21b)을 형성할 경우, 보조 전극(2), (3) 간에는 전압을 인가하지 않고, 이들 보조 전극(2, 3)을 접지 전위로 설정한다. 전자선 차폐/편향 수단(42)에 의해 좁혀져서 편향된 전자선을 제1보조 전극(2) 및 제2보조 전극(3)의 각각의 표면과 보조 전극(2), (3) 간의 기판(1)의 표면에 조사함으로써, 도 1A 내지 도 1C 또는 도 2A 내지 도 2D에 나타낸 형상의 카본막(21a, 21b)을 퇴적시킬 수 있다(도 26B 및 도 26C).

[0112] 카본막(21a, 21b)이 퇴적되는 이유로서는 분위기 중에 존재하는 탄소 함유 가스 혹은 전극(2), (3) 위 및 기판(1) 위에 탄소 함유 가스의 흡착으로 인해 전극(2), (3) 및 기판(1)에 부착된 탄소 화합물이 전자선을 조사함으로써 분해되어, 결과적으로 카본이 퇴적되는 것으로 생각된다.

[0113] 전자선의 가속 전압은 약 1kV 내지 20 kV로 설정되는 것이 바람직하다. 전자선 조사는 바람직하게는 연속적(DC 적)이다. 또, 전자선의 전류치로서는 0.1 μ A 내지 100 μ A의 범위 내에 있는 것이 바람직하다.

[0114] 이와 같이 해서, 본 발명에 의한 전자방출소자는 작성될 수 있다.

[0115] 단, 도 1A 내지 도 1C 및 도 2A 내지 도 2D 등을 참조해서 설명한 본 발명에 의한 전자방출소자를 제조하는 방법은 상기 가공 처리나 전자선 조사로 한정되는 것은 아니다. 여기서 설명한 방법을 이용하지 않고, 예를 들어 (I) 탄소 함유 가스의 종류, (II) 탄소함유 가스의 분압, (III) 인가되는 전압의 과형, (IV) 탄소 함유 가스를 배기하는 타이밍과 전압 인가를 정지시키는 타이밍 간의 관계, (V) "활성화"시의 온도 등을 적절하게 조어함으로써, "활성화" 처리만으로, 도 1A 내지 도 1C 및 도 2A 내지 도 2D 등을 참조해서 설명한 구조를 가진 전자방출소자를 형성할 수도 있다. 그 때문에, 이러한 "활성화" 처리를 이용해서, 도 1A 내지 도 1C 및 도 2A 내지 도 2D에 나타낸 도전막(21a, 21b)을 형성하는 방법은 본 발명에 의해 배제되는 것은 아니다.

[0116] 이상과 같이 제작된 본 발명의 전자방출소자를 실용적으로 구동하기 전(화상표시장치에 적용하는 경우, 형광체에 전자선을 조사하기 전)에, 바람직하게는 진공 중에서 가열하는 처리인 "안정화" 처리를 실시함으로써, 전술한 "활성화" 처리 등으로 인해 기판(1) 표면이나, 상기 본 발명의 전자방출소자의 그 외의 장소에 부착된 여분의 탄소 및 유기물을 제거하는 것이 바람직하다.

[0117] 구체적으로는 진공용기 내에서, 여분의 탄소나 유기물질을 배기한다. 진공용기 내의 유기물질은 가능한 한 배출하는 것이 바람직하지만, 유기물질의 분압이 1×10^{-8} Pa 이하가 되도록 제거하는 것이 바람직하다. 또, 유기물질 이외의 다른 가스도 포함한 진공용기 내의 전체 압력은 3×10^{-6} Pa 이하가 바람직하고, 한층 더 1×10^{-7} Pa 이하가 바람직하다. 또한, 진공 용기 내로부터 배기를 수행할 경우에는 진공용기 전체를 가열하는 것이 바람직하다.

[0118] "안정화" 처리를 실시한 후에, 전자방출소자를 구동할 경우, "안정화" 처리가 완료된 경우의 분위기가 유지되는 것이 바람직하지만, 이것으로 한정되는 것은 아니다. 유기물질이 충분히 제거되는 한, 압력 자체가 높아져도, 충분히 안정한 특성을 유지할 수 있다.

[0119] 다음에, 본 발명에 의한 전자방출소자의 기본 특성에 대해, 도 3 및 도 12를 참조해서 설명한다.

[0120] 도 12는 도 3에 나타낸 측정/평가 장치를 이용해서 측정된, 전술한 "안정화" 처리 후의 전자방출소자의 방출 전류(Ie)와 소자 전류(If), 그리고 소자 전류(If)와 소자 전압(Vf) 간의 관계의 전형적인 예를 나타낸다.

- [0121] 따라서, 방출 전류(Ie)는 소자 전류(If)에 비해 현저하게 작기 때문에, 전류의 각각의 척도는 도 12에서 선택된다. 도 12로부터도 분명한 바와 같이, 본 발명에 의한 전자방출소자는 방출 전류(Ie)에 대해서 3개의 성질을 가진다.
- [0122] 첫번째로, 본 발명에 의한 전자방출소자의 방출 전류(Ie)는 인가된 소자 전압이 소정 레벨(도 12에서는 (Vth)로 임계 전압이라 칭함)에 도달한 경우 갑자기 증가하기 시작한다. 한편, 방출 전류(Ie)는 소자 전압이 임계 전압(Vth) 이하일 경우에는 거의 겹출되지 않는다. 즉, 본 발명에 의한 전자방출소자는 방출 전류(Ie)에 대해서 명확한 임계 전압(Vth)을 가진 비선형 소자이다.
- [0123] 두번째로, 방출 전류(Ie)가 소자 전압(Vf)에 의존하기 때문에, 방출 전류(Ie)는 소자 전압(Vf)에 의해 제어될 수 있다.
- [0124] 세번째로, 애노드 전극(44)에 포착되는 방출 전하는 소자 전압(Vf)을 인가하는 시간에 의존한다. 즉, 애노드 전극(44)에 포착되는 전기량은 소자 전압(Vf)을 인가하는 동안 시간에 의해 제어될 수 있다.
- [0125] 이상과 같은 전자방출소자의 특성을 이용함으로써, 입력 신호에 응해 전자 방출 특성을 용이하게 제어할 수 있게 된다.
- [0126] 여기서는 전자방출소자가 판형상 기판(1) 위에 배치된 경우를 설명하였으나, 본 발명에 의한 전자방출소자는 기판 위에 제조된 소정 형상(예를 들어, 입방체 형상 또는 다면체 형상)의 절연부재의 상부면 혹은 측면에 배치될 수도 있다. 특히, 애노드 전극(44)의 평면에 대해서 소정 각도를 형성하도록 상기 절연 부재의 측면을 배치하고 또한 본 발명에 의한 전자방출소자를 측면에 배치함으로써(도전막(21a), (21b) 사이의 대향 방향을 애노드에 선두를 향하는 방향으로 설정함으로써), 전자방출효율을 향상시킬 수 있다. 예를 들어, 도 1A 내지 도 1C 및 도 2A 내지 도 2D에 예시된 구조를 가진 전자방출소자를 사용할 경우, 해당 전자방출소자는 보조 전극(2), (3)을 통과하는 선이 애노드 전극(44)을 교차하도록 배치되고, 여기서, 카본막(21b)은 카본막(21a)보다는 애노드 전극(44)에 가깝게 배치되도록 배치되는 것이 바람직하다. 보조 전극(3)의 전위를 보조 전극(2)의 전위보다 높게 함으로써, 특히 만족스러운 전자 방출 효율을 실현할 수 있다.
- [0127] 다음에, 도 1B, 도 2B, 도 11C 등에 나타낸 본 발명에 의한 전자방출소자의 간극(8) 근방의 관찰 방법을 도 22A 및 도 22B를 참조해서 설명한다.
- [0128] 관찰 방법으로서는 평면 SEM, 단면 SEM, 단면 TEM, 3D-TEM(토모그래피) 등을 이용할 수 있다. 본 발명에 의한 전자방출소자의 것과 같은 미세구조를 관찰할 경우, 3D-TEM(토모그래피)을 이용하는 것이 바람직하다.
- [0129] 3D-TEM상을 얻기 위해서는, 우선, 전자방출소자가 배치되어 있는 표면과는 반대쪽으로부터 기판(1)을 절삭(에칭)한다(도 22A). 구체적으로는, 전자방출소자(간극(8) 근방)의 바로 아래에 있는 기판(1)의 두께가 100 nm 이하가 되도록 기판을 절삭한다. 다음에, 투과형 전자현미경(TEM)을 이용해서, 투과 각도를 바꾸면서, 간극(8) 근방의 TEM상 관찰을 실시한다(도 22B). 여기서, 필요에 따라서, 간극 근방을 보호막(보호막은 예를 들어 금을 전자방출소자 전체에 중착함으로써 형성할 수 있다)으로 가리는 것이 바람직하다. 그 후, 촬영한 복수의 TEM상을 3차원 화상으로 구축함으로써, 3D-TEM(토모그래피)상을 얻을 수 있다. 이러한 3D-TEM을 이용해서, 10 nm 이하의 간극(8)의 구조를 3 차원적으로 상세하게 관찰할 수 있다.
- [0130] 다음에, 본 발명에 의한 전자방출소자의 응용예에 대해 이하에 설명한다.
- [0131] 본 발명에 의한 전자방출소자를 복수개 기판 위에 배열해서, 예를 들어 전자원 혹은 플랫 패널 텔레비전 수상기 등의 화상표시장치를 구성할 수 있다.
- [0132] 기판 위의 전자방출소자의 배열 형태로서는, 예를 들어 m개의 X방향 배선과 n개의 Y방향 배선을 준비해서, 본 발명에 의한 전자방출소자의 제1도전막(21a)(전형적으로는 제1보조 전극(2))을 m개의 X방향 배선 가운데 하나에 접속하는 한편, 제2도전막(21b)(전형적으로는 보조 전극(3))을 n개의 Y방향 배선 가운데 하나에 전기적으로 접속하는 배열("매트릭스형 배열"이라 칭함)을 들 수 있다(m 및 n은 각각 양의 정수임).
- [0133] 다음에, 이 매트릭스형 배열에 대해 상세히 설명한다.
- [0134] 본 발명에 의한 전자방출소자의 전술한 3개의 기본적 특성에 의하면, 전자방출소자는, 전압이 임계 전압 이상인 경우, 제1도전막(21a)과 제2도전막(21b) 사이에 인가하는 펄스 형상 전압의 폭과 펄스 높이값에 의해 제어될 수 있다. 한편, 상기 전압이 임계 전압보다 낮을 경우에는, 실질적으로 전자는 방출되지 않는다. 이 특성에 의하면, 다수의 전자방출소자를 배치했을 경우에도, 각각의 전자방출소자에 상기 펄스 형상 전압을 적절히 인가함으

로써, 입력 신호에 의거해서, 선택한 전자방출소자로부터의 전자 방출량을 제어할 수 있다.

[0135] 이하, 이 원리에 의거해서 구성된 매트릭스형 배열의 전자원 기판의 구성에 대해 도 13을 참조해서 설명한다.

[0136] m개의 X방향 배선(72)(Dx1, Dx2, ..., Dxm)은 절연성 기판(71) 위에 전공 증착법, 인쇄법, 스퍼터링법 등을 이용해서 형성된다. X방향 배선(72)은 금속 등의 도전성 재료로 이루어진다. n개의 Y방향 배선(73)(Dyn1, Dyn2, ..., Dyn)은 X방향 배선(72)과 같은 방법에 의해 형성되고, 같은 재료로 형성될 수 있다. 이들 m개의 X방향 배선(72)과 n개의 Y방향 배선(73) 사이에는 절연층(도시 생략)이 배치된다. 절연층은 전공 증착법, 인쇄법, 스퍼터링법 등으로 형성될 수 있다.

[0137] 또, 상기 X방향 배선(72)에는 주사 신호를 인가하는 주사 신호 인가 수단(도시 생략)이 전기적으로 접속된다. 한편, Y방향 배선(73)에는 주사 신호와 동기해서 선택된 각 전자방출소자로부터 방출되는 전자를 변조하기 위한 변조 신호를 인가하는 변조 신호 발생 수단(도시 생략)이 전기적으로 접속된다. 각 전자방출소자에 인가되는 구동 전압(Vf)은 인가되는 주사 신호와 변조 신호와의 차이 전압으로서 공급된다.

[0138] 다음에, 상기와 같은 매트릭스 배열의 전자원 기판을 이용한 전자원의 일례 및 화상표시장치의 일례에 대해 도 14, 도 15A 및 도 15B를 참조해서 설명한다. 도 14는 화상표시장치를 구성하는 외위기(外圍器)(디스플레이 패널)(88)의 기본 구성을 나타낸 모식도이고, 도 15A 및 도 15B는 형광체막의 구성을 나타낸 모식도이다.

[0139] 도 14에 있어서, (71)은 본 발명에 의한 전자방출소자(74)를 복수 배치한 전자원 기판, (81)은 전자원 기판(71)을 고정한 리어 플레이트, (86)은 유리 등의 투명 기판(83)의 내면에 형광체 막(84), 도전막(85) 등이 형성된 페이스 플레이트이다. (82)는 지지 프레임이다. 리어 플레이트(81), 지지 프레임(82) 및 페이스 플레이트(86)는 접합부에 프럿 유리나 인듭 등의 접착제를 도포해서 가열함으로써 서로 밀봉 접착되어 있다. 이 밀봉 접착된 구조체는 외위기(88)를 구성한다. 단, 상기 도전막(85)은 도 3을 참조해서 설명한 애노드 전극(44)에 대응하는 부재이다.

[0140] 외위기(디스플레이 패널)(88)는 페이스 플레이트(86), 지지 프레임(82) 및 리어 플레이트(81)로 형성될 수 있다. 그러나, 리어 플레이트(81)를 설치하는 주목적은 기판(71)을 보강하기 위한 것이다. 그 때문에, 기판(71) 자체가 충분한 강력하다면, 리어 플레이트(81)는 필요하지 않다. 그 경우에는, 페이스 플레이트(86), 지지 프레임(82) 및 기판(71)이 외위기(디스플레이 패널)(88)를 형성할 수 있도록 기판(71)에 직접 지지 프레임(82)을 밀봉 접착할 수 있다.

[0141] 또, 페이스 플레이트(86)와 기판(71) 사이에 스페이서(도시 생략)라 불리는 지지체를 설치함으로써, 외위기(88)는 대기압에 대해서 충분히 강력하게 할 수 있다.

[0142] 도 15A 및 도 15B는 각각 도 14에 나타낸 형광체 막(84)의 구체적인 구성의 일례이다. 형광체 막(84)은 모노크롬의 경우 단색의 형광체(92)만으로 형성된다. 그러나, 컬러 화상표시장치를 구성할 경우에는, 형광체 막(84)은 3원색(RGB)의 형광체(92)와 각 색 사이에 배치된 광흡수 부재(91)를 포함한다. 광흡수 부재(91)는 바람직하게는 흑색의 부재이다. 도 15A는 광흡수 부재(91)가 스트라이프를 형성하도록 배열된 형태를 나타내고 있다. 도 15B는 광흡수 부재(91)가 매트릭스를 형성하도록 배열된 형태를 나타내고 있다. 일반적으로, 도 15A의 형태는 "블랙 스트라이프"라고 불리는 한편, 도 15B의 형태는 "블랙 매트릭스"라고 불린다. 광흡수 부재(91)는 컬러 표시에서 필요한 3 원색 형광체의 각 형광체(92)간에 색이 변화하는 부분에 있어서의 혼합색 등을 눈에 띠지 않게 함으로써, 형광체 막(84)에 있어서의 외광 반사로 인한 콘트라스트의 저하를 억제하기 위해서 설치되어 있다. 광흡수 부재(91)의 재료로서는 통상 이용되고 있는 흑연을 주성분으로 하는 재료로 한정되지 않고, 광의 투과 및 반사를 과도하게 하용하지 않는 재료이면 어느 것이라도 무방하다. 또, 상기 재료는 도전성 또는 절연성이어야도 무방하다.

[0143] 또, 형광체 막(84)의 내면측(전자방출소자(74) 쪽)에는 "메탈 백"으로 불리는 도전막(85)이 설치된다. 이 도전막(85)은, 형광체(92)로부터 발광된 광 가운데, 전자방출소자(74) 쪽으로 향하는 광을 페이스 플레이트(86) 쪽으로 경면 반사시킴으로써 휘도를 향상시키기 위해서, 전자빔을 가속시키기 위한 전압을 인가하기 위한 전극으로서 작용시키기 위해서, 외위기(88) 내에서 발생한 음이온의 충돌에 의한 형광체의 손상을 억제하는 것 등을 위해서 설치되어 있다.

[0144] 도전막(85)은 바람직하게는 알루미늄막으로 형성된다. 도전막(85)은 형광체 막(84) 형성 후, 형광체 막(84)의 표면의 평활화 처리(통상, "필름инг"(filming)이라 칭함)를 실시하고, 그 후 A1을 전공 증착 등으로 퇴적함으로써 제작할 수 있다.

- [0145] 페이스 플레이트(86)에는 더욱 형광체 막(84)의 도전성을 높이기 위해서 형광체 막(84)과 투명 기판(83) 사이에 ITO 등으로 이루어진 투명 전극(도시 생략)을 설치해도 무방하다.
- [0146] 상기 외위기(88) 내의 각 전자방출소자(74)에는 각각의 전자방출소자에 순차 접속되는 도 13을 이용해서 전술한 X방향 배선 및 Y방향 배선에 접속되는 단자들(Dox1~Doxm, Doy1~Doyn)을 통해서 전압을 인가함으로써, 바람직한 전자방출소자에 의해 전자를 방출시킬 수 있다. 여기서, 고압 단자(87)를 통해, 도전막(85)에 5 kV 이상 30 kV 이하, 바람직하게는 10kV 이상 25 kV 이하의 전압을 인가한다. 또, 페이스 플레이트(86)와 기판(71)과의 간격은 1mm 이상 5 mm 이하, 더욱 바람직하게는 1mm 이상 3 mm 이하로 설정된다. 이것에 의해, 선택된 전자방출소자로부터 방출된 전자는 도전막(85)을 투과해서, 형광체 막(84)에 충돌한다. 형광체(92)를 여기시켜 발광시킴으로써, 화상을 표시하는 것이다.
- [0147] 또, 전술한 구성에 있어서의 각 부재의 재료 등의 상세한 부분은 상기한 내용에 한정되는 것은 아니고, 목적에 따라 적절히 변경된다.
- [0148] 도 14를 참조해서 설명한 본 발명에 의한 외위기(디스플레이 패널)(88)를 이용해서 정보 표시 재생장치를 구성할 수 있다.
- [0149] 구체적으로는, 텔레비전 방송 등의 방송 신호를 수신하는 수신장치, 수신한 신호를 선택하는 튜너 및 선택한 신호에 포함되는 영상 정보, 문자 정보 및 음성 정보의 적어도 1개를 디스플레이 패널(88)에 출력하고, 그 정보를 스크린에 표시 및/또는 재생시킨다. 또, 여기서 말하는 "스크린"은, 도 14에 나타낸 디스플레이 패널(88)의 형광체 막(84)에 상당한다고 말할 수 있다. 이와 같이 해서, 텔레비전 수상기 등의 정보 표시 재생장치를 구성할 수 있다. 물론, 방송 신호가 부호화되는 경우, 본 발명에 의한 정보 표시 재생장치는 디코더를 포함할 수도 있다. 또, 음성 신호에 관해서는, 별도로 설치된 스피커 등의 음성 재생 수단에 출력해서, 디스플레이 패널(88)에 표시되는 영상 정보 또는 문자 정보와 동기시켜 재생한다.
- [0150] 또한, 영상 정보 또는 문자 정보를 디스플레이 패널(88)에 출력해서 스크린에 표시 및/또는 재생시키는 방법은 다음과 같이 실시될 수 있다. 예를 들어, 우선, 수신한 영상 정보나 문자 정보로부터, 디스플레이 패널(88)의 각 화소에 대응한 화상 신호를 생성한다. 다음에 생성한 화상 신호를, 디스플레이 패널(88)의 구동 회로에 입력한다. 그리고, 구동 회로에 입력된 화상 신호에 근거해서, 구동 회로로부터 디스플레이 패널(88) 내의 각 전자방출소자에 인가하는 전압을 제어해서, 화상을 표시한다.
- [0151] 도 32는 본 발명에 의한 텔레비전 장치의 블록도이다. 수신 회로(C20)는 튜너나 디코더 등을 포함하고, 위성방송이나 지상파 등의 텔레비전 신호, 네트워크를 개입시킨 데이터 방송 등을 수신해서, 복호화한 영상 데이터를 I/F부(C30)(인터페이스부)에 출력한다. I/F부(C30)는 영상 데이터를 화상표시장치의 표시 포맷으로 변환해서 상기 디스플레이 패널(88)에 화상 데이터를 출력한다. 화상표시장치(C10)는 디스플레이 패널(88), 구동 회로(C12) 및 제어 회로(C13)를 포함한다. 제어 회로(C13)는 입력한 화상 데이터에 대해서 디스플레이 패널(88)에 적절한 보정 처리 등의 화상 처리를 수행하고, 구동 회로(C12)에 화상 데이터 및 각종 제어 신호를 출력한다. 구동 회로(C12)는 입력된 화상 데이터에 근거해서 디스플레이 패널(88)의 각 배선(도 14의 (Dox1~Doxm) 및 (Doy1~Doyn) 참조)에 구동 신호를 출력하여, 텔레비전 영상이 표시된다. 수신 회로(C20)와 I/F부(C30)는 셋-톱 박스(STB)로서 화상표시장치(C10)와는 다른 케이스에 수용될 수 있고, 또는 화상표시장치(C10)를 수용하는 것과 동일한 케이스에 수용될 수도 있다.
- [0152] 또, I/F부(C30)에는 프린터, 디지털 비디오 카메라, 디지털 카메라, 하드 디스크 드라이브(HDD), 디지털 비디오 디스크(DVD) 등의 화상 기록 장치나 화상 출력장치에 접속될 수 있는 구성으로 할 수도 있다. 이것에 의해 화상 기록 장치에 기록된 화상을 디스플레이 패널(88)에 표시시킬 수도 있고, 또, 디스플레이 패널(88)에 표시시킨 화상을 필요에 따라서 처리해서 화상 출력장치에 출력시킬 수도 있는 정보 표시 재생장치(또는 텔레비전 수상기)를 구성할 수 있다.
- [0153] 정보 표시 재생장치의 구성은 단지 일례이며, 본 발명의 기술 사상에 근거해서 여러 가지의 변형이 가능하다. 또, 본 발명에 의한 정보 표시 재생장치는 화상회의 시스템이나 컴퓨터 시스템 등과 접속함으로써, 각종 정보 표시 재생장치를 구성할 수 있다.
- [0154] [실시예]
- [0155] 이하에, 실시예를 참조해서 본 발명을 더욱 상세히 설명한다.
- [0156] (실시예 1)

- [0157] 본 실시예에 의한 전자방출소자의 기본적인 구성은 도 1A 내지 도 1C에 예시된 것과 마찬가지이다. 이하, 도 1A 내지 도 1C, 도 3 및 도 4A 내지 도 4D를 참조해서, 본 실시예에 의한 전자방출소자의 기본적인 구성 및 그 제조방법을 다음과 같이 설명한다.
- [0158] (공정 a)
- [0159] 최초로, 청정화한 석영 기판(1) 위에, 보조 전극(2), (3)의 패턴에 대응해서 형상화된 포토레지스트를 형성한다. 다음에, 전자빔 중착법에 의해, 두께 5 nm의 Ti와 두께 45 nm의 Pt를 이 순서로 퇴적하였다. 포토레지스트 패턴을 유기용제로 용해시키고, Pt/Ti 퇴적막을 리프트 오프시켜, 20 μm의 간격(L)을 두고 서로 대향하는 제1보조 전극(2)과 제2보조 전극(3)을 형성하였다. 또, 보조 전극(2), (3)의 폭(W)(도 1A 내지 도 1C 참조)은 500 μm로 하였다(도 4A).
- [0160] (공정 b)
- [0161] 제1보조 전극(2)과 제2보조 전극(3)을 접속하도록 유기 팔라듐 화합물 용액을 스피너에 의해 회전 도포한 후에, 소성처리를 행하였다. 이와 같이 해서, Pd를 주 성분으로 하는 도전성 박막이 형성되었다.
- [0162] (공정 c)
- [0163] 다음에, 도전성 박막을 패터닝해서, 폭(W')(도 1A 내지 도 1C 참조)이 100 μm인 도전성 박막(4)을 형성하였다(도 4B).
- [0164] 이상의 공정에 의해, 기판(1) 위에 소자 전극(2), (3) 및 도전성 박막(4)을 형성하였다.
- [0165] (공정 d)
- [0166] 다음에, 도 3에 나타낸 측정/평가 장치에 상기 기판(1)을 배치하고, 이 측정/평가 장치를 진공펌프에 의해 배기하여, 1×10^{-6} Pa의 진공도에 도달한 후, 보조전극(2)과 (3) 사이에 전원(41)을 이용해서 전압을 인가하여, "포밍"을 수행하여, 상기 도전성 박막(4)에 제2간극(7)을 형성하고, 전극(4a), (4b)을 형성하였다(도 4C). "포밍" 처리에 사용된 전압은 도 7B에 나타낸 과형을 지녔다.
- [0167] 도 7B에 있어서, (T1) 및 (T2)는 전압 과형의 펄스폭과 펄스 간격을 나타낸다. 본 실시예에서는, (T1)은 1 msec, (T2)는 16.7 msec이고, 삼각파의 펄스높이값은 0.1V씩 단계적으로 승압시켜, "포밍" 처리를 실시하였다. 또, "포밍" 처리 동안, 간헐적으로, 0.1 V의 전압의 저항 측정 펄스를 보조 전극(2), (3) 사이에 인가해서, 저항을 측정하였다. 또, "포밍" 처리는 저항 측정 펄스를 이용한 측정치가 약 1 mΩ 이상이 되었을 때 종료하였다.
- [0168] (공정 e)
- [0169] 다음에, "활성화" 처리를 실시하기 위해서, 아크릴로니트릴을 슬로우 리크 밸브를 통해 진공실 내에 도입하여, 1.3×10^{-4} Pa을 유지하였다. 다음에, 도 8A에 나타낸 과형을 가진 펄스 전압을, (T1)이 2 msec, (T2)가 7 msec인 조건으로, 보조 전극(2), (3) 사이에 인가하였다. 또, "활성화" 처리에 대해서는, 제1보조 전극(2)은 항상 접지 전위에 고정하고, 도 8A에 나타낸 과형을 가진 펄스 전압을 제2보조 전극(3)에 인가하였다.
- [0170] "활성화" 처리의 개시로부터 100분 경과한 후, 도 9에 나타낸 점선보다 우측의 영역에 충분히 깊이 들어간 것을 확인하고, 전압의 인가를 정지해서, 슬로우 리크 밸브를 닫아 "활성화" 처리를 종료하였다. 그 결과, 제1카본막(21a) 및 제2카본막(21b)을 형성하였다(도 4D).
- [0171] 또, 본 공정에 있어서는, 최고 전압치를 ±14V로 해서 "활성화" 처리를 실시한 전자방출소자 A와 최고 전압치를 ±16V로 해서 "활성화" 처리를 실시한 전자방출소자 B와 최고 전압치를 ±18V로 "활성화" 처리를 실시한 전자방출소자 C를 각각 제작하였다. 또한, 상기한 제조방법과 같은 제조방법에 의해 합계 8개의 전자방출소자(A1 내지 A8)를 작성하였다. 또, 상기한 제조방법과 같은 제조방법에 의해 합계 6개의 전자방출소자(B1 내지 B6)를 작성하였다. 또한, 상기한 제조방법과 같은 제조방법에 의해 합계 4개의 전자방출소자(C1 내지 C4)를 작성하였다.
- [0172] 이상의 (공정 a) 내지 (공정 e)와 같은 제조방법으로 작성한 전자방출소자(A', B' 및 C')의 SEM 평면상 및 SEM 단면상을 관찰한 바, "활성화" 처리에 있어서의 인가 전압에 관계없이, 제1카본막(21a)의 단부의 두께(간극(8))의 외주를 형성하는 부분)와 제2카본막(21b)의 각각의 단부의 두께(간극(8)의 외주를 형성하고 있는 부분)는 거의 동일하고, 간극(8)은 지그재그로 뻗고 있었다. 또, 모든 전자방출소자에 있어서, 제1도전막(21a)과 제2도전

막(21b) 사이의 간극이 다른 부분보다 좁아지고 있는 부분(부분(A)과 부분(B))이 다수 존재하였다.

[0173] 그리고, 상기 전자방출소자 A, B 및 C의 각각과 같은 제조방법으로 작성한 전자방출소자(A', B' 및 C')의 간극(8) 근방의 3D-TEM상을 관찰하였다. 제1카본막(21a)의 부분(A)과 제2카본막(21b)의 부분(B) 사이의 거리(d1)는 전자방출소자 A'에 대해서 평균 2.3nm, 전자방출소자 B'에 대해서는 평균 2.8nm, 전자방출소자 C'에 대해서는 평균 3.3nm였다.

[0174] 또, 부분(A)으로부터 간극(8)의 주변을 따라 (d1)과 같은 거리만큼 떨어진 제1도전막(21a)의 부분과 해당 부분과 대향하는 제2도전막(21b)의 부분 간의 최단거리(d2)를 3D-TEM상을 이용해서 측정한 바, 전자방출소자 A'에 대해서는 평균 2.5nm(d2/d1은 전자방출소자 A' 모두에 대해서 1.1 이하), 전자방출소자 B'에 대해서는 평균 3.0 nm(d2/d1은 전자방출소자 B' 모두에 대해서 1.1 이하), 전자방출소자 C'에 대해서는 평균 3.5nm(d2/d1은 전자방출소자 C' 모두에 대해서 1.1 이하)였다.

[0175] (공정 f)

[0176] 다음에, (공정 e) 후의 본 실시예에 의한 전자방출소자(A, B, C)를 도 3에 나타낸 측정/평가장치로부터 대기 중에 꺼내, 실시 형태를 참조해서 설명한 바와 같이, AFM을 이용해서 제1카본막(21a)을 가공 처리하였다(도 10A 및 도 10B 참조).

[0177] 본 실시예에서는, 우선, 제1카본막(21a)의 단부를 AFM으로 절삭함으로써, 부분(A)과 부분(B) 사이의 거리(d1)를 전자방출소자 A(A1 내지 A8)에 대해서는 모두 2.5nm, 전자방출소자 B(B1 내지 B6)에 대해서는 모두 3.0nm, 전자방출소자 C(C1 내지 C4)에 대해서는 모두 3.5nm로 설정하였다.

[0178] 또, 전자방출소자 A1의 (d2)가 2.8nm, 전자방출소자 A2의 (d2)가 3.0nm, 전자방출소자 A3의 (d2)가 3.3nm, 전자방출소자 A4의 (d2)가 3.6nm, 전자방출소자 A5의 (d2)가 4.0nm, 전자방출소자 A6의 (d2)가 4.2nm, 전자방출소자 A7의 (d2)가 5.0nm, 전자방출소자 A8의 (d2)가 10nm가 되도록, 제1카본막(21a)의 각 단부를 AFM을 이용해서 가공 처리하였다. 단, 전자방출소자 A1에 대해서는 d2/d1이 1.1, 전자방출소자 A2 내지 A8에 대해서는 d2/d1이 모두 1.2 이상인 것을 알 수 있다.

[0179] 또한, 전자방출소자 B1의 (d2)가 3.3nm, 전자방출소자 B2의 (d2)가 3.6nm, 전자방출소자 B3의 (d2)가 4.0nm, 전자방출소자 B4의 (d2)가 4.2nm, 전자방출소자 B5의 (d2)가 5.0nm, 전자방출소자 B6의 (d2)가 10nm가 되도록, 각각의 제1카본막(21a)의 단부를 AFM을 이용해서 가공 처리하였다. 단, 전자방출소자 B1에 대해서는 d2/d1이 1.1이며, 전자방출소자 B2 내지 B6에 대해서는 d2/d1이 모두 1.2 이상인 것을 알 수 있다.

[0180] 또, 전자방출소자 C1의 (d2)가 4.0nm, 전자방출소자 C2의 (d2)가 4.2nm, 전자방출소자 C3의 (d2)가 5.0nm, 전자방출소자 C4의 (d2)가 10nm가 되도록, 각각의 제1카본막(21a)의 단부를 AFM을 이용해서 가공 처리하였다. 단, 전자방출소자 C1에 대해서는 d2/d1이 1.1, 전자방출소자 C2 내지 C4에 대해서는 d2/d1이 모두 1.2 이상인 것을 알 수 있다.

[0181] 또한, 상기(공정 a) 내지 (공정 e)와 같은 방법으로 비교예 1의 전자방출소자를 3 종류 작성하였다. 비교예 1의 전자방출소자의 각각은 활성화 공정에 있어서의 인가 전압과는 다르다. 활성화 공정에 있어서, 최고 전압치는 첫번째 소자에 대해서는 ±14V, 두번째 소자에 대해서는 ±16V, 세번째의 소자에 대해서는 ±18 V였다. 또, 비교예 1의 전자방출소자에 대해서는 상기 (공정 f)는 수행하지 않았다.

[0182] (공정 g)

[0183] 다음에, (공정 f) 후의 본 실시예에 따라 작성한 전자방출소자 및 비교예 1의 전자방출소자를 도 3에 나타낸 측정/평가장치에 배치하였다. 상기 측정/평가장치를 배기한 후, "안정화" 처리를 실시하였다.

[0184] 구체적으로는, 진공실 및 전자방출소자를 히터에 의해 가열해서 약 250°C에서 유지하면서 진공실의 배기를 행하였다. 20시간의 경과 후, 히터에 의한 가열을 멈추고 실온에 도달하게 하였다. 진공실 내의 압력은 1×10^{-8} Pa 정도에 이르렀다. 이어서, 전자 방출 특성을 측정하였다.

[0185] 전자 방출 특성의 측정에 있어서는, 애노드 전극(44)과 전자방출소자 사이의 거리(H)를 2mm로 하고, 고압 전원(43)에 의해 애노드 전극(44)에 1kV의 전위를 부여하였다. 이 상태를 유지한 채, 전원(41)을 이용해서 각 전자방출소자의 보조 전극(2), (3) 사이에 제1보조 전극(2)의 전위가 제2보조전극(3)의 전위보다 낮아지도록 구동 전압을 인가하였다. 또, 전자방출소자 A1 내지 A8 및 비교예 1의 첫번째의 소자에는 펄스 높이값 12V의 사각펄스 전압을 인가하고, 전자방출소자 B1 내지 B6 및 비교예 1의 두번째의 소자에는 펄스 높이값 14V의 사각펄스

전압을 인가하였으며, 전자방출소자 C1 내지 C4 및 비교예 1의 세번째의 소자에는 펄스 높이값 16V의 사각펄스 전압을 인가하였다.

[0186] 또, 이 측정 시에는, 전류계(40) 및 전류계(42)에 의해 본 실시예의 전자방출소자 및 비교예 1의 전자방출소자의 소자 전류(I_f) 및 방출 전류(I_e)를 각각 측정해서, 전자 방출 효율(I_e/I_f)을 산출하였다.

[0187] 산출된 전자 방출 효율을 이하의 표 1에 나타내고, 방출 전류(I_e)를 표 2에 나타내었다. 또, 소자 전류(I_f)는 모든 전자방출소자에 대해서 1.0 mA 정도였다.

표 1

		d2 [nm]								
	비교예 1	2.8	3	3.3	3.6	4	4.2	5	10	
구동전압 12V (d1=2.5nm)	0.05%	0.06% (A1)	0.09% (A2)	0.10% (A3)	0.11% (A4)	0.12% (A5)	0.13% (A6)	0.14% (A7)	0.14% (A8)	
구동전압 14V (d1=3.0nm)	0.08%			0.09% (B1)	0.14% (B2)	0.14% (B3)	0.15% (B4)	0.16% (B5)	0.16% (B6)	
구동전압 16V (d1=3.5nm)	0.12%					0.13% (C1)	0.16% (C2)	0.18% (C3)	0.19% (C4)	

[0188]

표 2

		d2 [nm]								
	비교예 1	2.8	3	3.3	3.6	4	4.2	5	10	
구동전압 12V (d1=2.5nm)	0.5μA (A1)	0.6μA (A2)	0.9μA (A3)	0.9μA (A4)	1.1μA (A5)	1.1μA (A6)	1.1μA (A7)	1.2μA (A8)	1.4μA (A9)	
구동전압 14V (d1=3.0nm)	0.8μA			0.9μA (B1)	1.3μA (B2)	1.3μA (B3)	1.4μA (B4)	1.5μA (B5)	1.6μA (B6)	
구동전압 16V (d1=3.5nm)	1.1μA					1.3μA (C1)	1.7μA (C2)	1.7μA (C3)	1.9μA (C4)	

[0189]

[0190] 이 결과로부터, 본 실시예의 전자방출소자는 비교예 1의 전자방출소자와 비교해서, $d2/d1$ 이 1.2 이상인 경우에, 방출 전류(I_e)가 크고, 전자 방출 효율이 우수한 것을 알 수 있다. 또, 상기 특성 평가 후, 본 실시예의 전자방출소자를 상기 특성 평가시 인가한 펄스 전압과 같은 펄스 전압을 인가해서 장시간 구동한 바, 장시간 동안 상기 표 1 및 표 2에 표시된 특성을 경시에 따른 많은 변동 없이 유지할 수 있었다.

[0191]

상기 특성 평가 후, 본 실시예에서 제작한 각 전자방출소자(A, B 및 C)의 간극(8) 근방을 전술한 3D-TEM으로 관찰한 바, 제1카본막(21a)의 부분(A)과 제2카본막(21b)의 부분(B) 사이의 거리($d1$)는 전자방출소자 A에 대해서는 2.5nm, 전자방출소자 B에 대해서는 3.0nm, 전자방출소자 C에 대해서는 3.5nm인 것으로 확인되었다. 마찬가지로, 거리($d2$)는 전자방출소자 A1에 대해서는 2.8nm, 전자방출소자 A2에 대해서는 3.0nm, 전자방출소자 A3에 대해서는 3.3nm, 전자방출소자 A4에 대해서는 3.5nm, 전자방출소자 A5에 대해서는 4.0nm, 전자방출소자 A6에 대해서는 4.2nm, 전자방출소자 A7에 대해서는 5.0nm, 전자방출소자 A8에 대해서는 10nm, 전자방출소자 B1에 대해서는 3.3nm, 전자방출소자 B2에 대해서는 3.5nm, 전자방출소자 B3에 대해서는 4.0nm, 전자방출소자 B4에 대해서는 4.2nm, 전자방출소자 B5에 대해서는 5.0nm, 전자방출소자 B6에 대해서는 10nm, 전자방출소자 C1에 대해서는 4.0nm, 전자방출소자 C2에 대해서는 4.2nm, 전자방출소자 C3에서는 5.0nm, 전자방출소자 C4에 대해서는 10nm인 것으로 확인되었다.

[0192]

또, 모든 전자방출소자에 대해서는, 기판의 변형부(오목부)(22)가 제1카본막(21a)과 제2카본막(21b) 사이의 기판(1) 표면에 형성되어 있는 것도 확인되었다.

[0193]

또한, SEM 평면도를 이용해서, 각각의 볼록부 간의 거리($d3$)를 측정해서, 그 분포를 조사하였다. 도 24는 그 분포의 개략 그래프를 나타낸다.

[0194]

모든 전자방출소자에 관해서, 거리($d3$)의 분포는 30d1 내지 40d1에 피크를 지닌 3d1 내지 500d1이었다. 또, 본 실시예의 전자방출소자 A 내지 C에 대해서는 거리($d3$)의 분포가 상기 설명한 바와 같았지만, 본 발명은 이것으로 한정되는 것은 아니고, 거리($d3$)는 보다 넓은 분포를 가지고 있어도 무방하다. 그러나, 실용 범위 내의 방

출 전류(Ie)를 얻기 위해서는, 그 범위는 2000d1 이내인 것이 바람직하다.

[0195] 또, 보다 큰 방출 전류(Ie)를 얻기 위해서는, (d3)이 3d1 내지 40d1이고 모든 (d3)이 동일한(분포를 집중시키는) 것이 가장 바람직하다.

[0196] (실시예 2)

[0197] 본 실시예는 본 발명의 한층 더 바람직한 실시예이다.

[0198] 본 실시예에서는, 실시예 1의 (공정 e) 및 (공정 f)를 이하에 설명한 바와 같이 변경한 이외에는 실시예 1과 마찬가지로 방식으로 제조했으므로, 여기서는 (공정 e) 및 (공정 f)에 대해서 설명한다.

[0199] (공정 e)

[0200] 공정 d에 이어, 활성화 공정을 실시하기 위해서, 아크릴로니트릴을 슬로우 리크 밸브를 통해 진공실 내에 도입하였다. 다음에, 도 8B에 나타낸 과형의 펄스 전압을, (T1)이 1 msec, (T1')가 0.3 msec, (T2)가 5 msec인 조건으로, 보조 전극(2), (3) 사이에 인가하였다. 또, "활성화" 처리는, 접지 전위에 고정된 제1보조 전극(2)에 의해 수행되었고, 도 8B에 나타낸 과형의 펄스 전압을 제2보조 전극(3)에 인가하였다.

[0201] 활성화 처리로부터 120분 경과한 후, 그래프는 도 9에 있어서의 점선보다 우측의 영역에 충분히 깊이 들어간 것을 확인하고, 전압의 인가를 정지하고, 슬로우 리크 밸브를 폐쇄하여, "활성화" 처리를 종료하였다. 그 결과, 제1카본막(21a)과 제2카본막(21b)을 형성하였다(도 4D).

[0202] 또, 본 공정에 있어서는 최고 전압치를 $\pm 14V$ 로 해서 "활성화" 처리를 실시한 전자방출소자 D와 최고 전압치를 $\pm 16V$ 로 해서 "활성화" 처리를 실시한 전자방출소자 E와 최고 전압치를 $\pm 18 V$ 로 해서 "활성화" 처리를 실시한 전자방출소자 F를 각각 제작하였다. 또한, 상기 설명한 바와 같은 제조방법에 의해 합계 8개의 전자방출소자(D1 내지 D8)를 작성하였다. 또, 상기 설명한 바와 같은 제조방법에 의해 합계 6개의 전자방출소자(E1 내지 E6)를 작성하였다. 또한, 상기 설명한 바와 같은 제조방법에 의해 합계 4개의 전자방출소자(F1 내지 F4)를 작성하였다.

[0203] 이상의 (공정 a) 내지 (공정 e)와 같은 제조방법으로 작성한 전자방출소자의 SEM 평면도와 SEM 단면도를 관찰한 바, "활성화" 처리에 있어서의 인가 전압에 관계없이, 제1카본막(21a)의 단부의 두께와 제2카본막(21b)의 단부(간극(8)의 외주를 형성하고 있는 부분)의 두께가 비대칭이고, 간극(8)은 지그재그로 뻗어 있는 것으로 판정되었다. 또, 모든 전자방출소자에 있어서, 제1도전막(21a)과 제2도전막(21b) 간의 간극이 다른 곳보다 좁은 부분(부분(A)과 부분(B))이 다수 존재하였다.

[0204] 그리고, 상기 각각의 전자방출소자(D, E 및 F)와 같은 제조방법으로 작성한 전자방출소자(D', E' 및 F')의 간극(8) 근방의 3D-TEM 상 관찰을 행하였다. 제1카본막(21a)의 부분(A)과 제2카본막(21b)의 부분(B) 사이의 거리(d1)는, 전자방출소자 D'에 대해서는 평균 2.3nm, 전자방출소자 E'에 대해서는 평균 2.8nm, 전자방출소자 F'에 대해서는 평균 3.3nm였다.

[0205] 또, 부분(A)으로부터 간극(8)의 외주를 따라 (d1)과 같은 거리만큼 떨어진 제1도전막(21a)의 부분과 해당 부분과 대향하는 제2도전막(21b)의 부분 간의 최단 거리(d2)를 3D-TEM 상을 이용해서 측정한 바, 전자방출소자 D'에 대해서는 평균 2.5nm(전자방출소자 D' 모두에 대해서 d2/d1은 1.1 이하), 전자방출소자 E'에 대해서는 평균 3.0 nm(전자방출소자 E' 모두에 대해서 d2/d1은 1.1 이하), 전자방출소자 F'에 대해서는 평균 3.5nm(전자방출소자 F' 모두에 대해서 d2/d1은 1.1 이하)였다.

[0206] 그리고, 전자방출소자 D'의 간극(8) 근방을 SEM 단면도를 이용해서 관찰한 바, 제1카본막(21a)의 단부의 막두께는 20nm, 제2카본막(21b)의 단부의 막두께는 75 nm였다. 또, 제1카본막(21a)의 부분(A)과 제2카본막(21b)의 부분(B)이 대향하는 방향(전자의 방출 방향)으로 연장된 선상에 존재하는 제2카본막(21b)의 두께는 100 nm였다.

[0207] (공정 f)

[0208] 다음에, (공정 e) 후의 본 실시예의 전자방출소자(D, E 및 F)를 도 3에 표시한 측정/평가장치로부터 대기로 꺼내어, 실시형태를 참조해서 설명한 것처럼, AFM을 이용해서 제1카본막(21a)을 가공 처리하였다(도 11A, 도 11B 및 도 11C 참조).

[0209] 카본막(21a)의 단부를 절삭함으로써, 제1카본막(21a)의 부분(A)과 제2카본막(21b)의 부분(B) 사이의 거리(d1)를, 전자방출소자 D(D1 내지 D8)에서는 모두 2.5nm, 전자방출소자 E(E1 내지 E6)에서는 모두 3.0nm, 전

자방출소자 F(F1 내지 F4)에서는 모두 3.5nm로 설정하였다.

[0210] 또, 전자방출소자 D1의 (d2)가 2.8nm, 전자방출소자 D2의 d2나 3.0nm, 전자방출소자 D3의 (d2)가 3.3nm, 전자방출소자 D4의 (d2)가 3.6nm, 전자방출소자 D5의 (d2)가 4.0nm, 전자방출소자 D6의 (d2)가 4.2nm, 전자방출소자 D7의 (d2)가 5.0nm, 전자방출소자 D8의 (d2)가 10nm가 되도록, 각각의 제1카본막(21a)의 단부를 AFM을 이용해서 가공 처리하였다. 단, 전자방출소자 D1에 있어서의 d2/d1은 1.1, 전자방출소자 D2 내지 D8에 있어서의 d2/d1은 1.2 이상이었다.

[0211] 또한, 전자방출소자 E1의 (d2)가 3.3nm, 전자방출소자 E2의 (d2)가 3.6nm, 전자방출소자 E3의 (d2)가 4.0nm, 전자방출소자 E4의 (d2)가 4.2nm, 전자방출소자 E5의 (d2)가 5.0nm, 전자방출소자 E6의 (d2)가 10nm가 되도록, 각각의 제1카본막(21a)의 단부를 AFM을 이용해서 가공 처리하였다. 단, 전자방출소자 E1에 있어서의 d2/d1은 1.1, 전자방출소자 E2 내지 E6에 있어서의 d2/d1은 1.2 이상이었다.

[0212] 또, 전자방출소자 F1의 (d2)가 4.0nm, 전자방출소자 F2의 (d2)가 4.2nm, 전자방출소자 F3의 (d2)가 5.0nm, 전자방출소자 F4의 (d2)가 10nm가 되도록, 각각의 제1카본막(21a)의 단부를 AFM을 이용해서 가공 처리하였다. 단, 전자방출소자 F1에 있어서의 d2/d1은 1.1, 전자방출소자 F2 내지 F4에 있어서의 d2/d1은 1.2 이상이었다.

[0213] 또한, 각각의 전자방출소자에 대해서, 제2도전막(21b)의 부분(B)의 두께가 제1도전막(21a)의 부분(A)의 두께와 동일해지도록 절삭을 수행하여, 제2도전막(21b)의 부분(B)과 부분(35), (36)과의 두께차(h)(*"돌기부"*의 높이(h)(도 2C 및 도 2D 참조))가 50 nm로 되도록 하였다. 더욱이, 부분(35)과 부분(36)과의 간격(w)(*"돌기부"*의 간격(w))이 전자방출소자 D에 대해서는 5 nm, 전자방출소자 E에 대해서는 6 nm, 전자방출소자 F에 대해서는 7 nm로 하였다.

[0214] 또, 제1카본막(21a)의 부분(A)과 제2카본막(21b)의 부분(B)이 대향하는 방향(전자의 방출 방향)으로 연장된 선상에 존재하는 제2카본막(21b)의 두께는 100 nm였다.

[0215] 또한, 상기 (공정 a) 내지 (공정 e)와 같은 방법으로, 비교예 2의 전자방출소자를 3종류 작성하였다. 비교예 2의 전자방출소자의 각각은, 활성화 공정에 있어서의 인가 전압이 다르다. 활성화 공정에 있어서, 최고 전압치는, 첫번째 소자에 대해서는 $\pm 14V$, 두번째 소자에 대해서는 $\pm 16V$, 세번째 소자에 대해서는 $\pm 18V$ 였다. 또, 비교예 2의 전자방출소자에 대해서는 상기 (공정 f)는 수행하지 않았다.

[0216] (공정 g)

[0217] 다음에, (공정 f) 후의 본 실시예의 전자방출소자와 비교예 2의 전자방출소자를, 도 3에 나타낸 측정/평가 장치에 배치하고, 그 측정/평가장치를 배기한 후, *"안정화"* 처리를 실시하였다.

[0218] 구체적으로는, 진공실 및 전자방출소자를 히터에 의해 가열해서 약 250°C에서 유지하면서 진공실내의 배기를 행하였다. 20시간 경과 후, 히터에 의한 가열을 멈추어 실온에 이르도록 허용한 바, 진공실내의 압력은 1×10^{-8} Pa정도에 이르렀다. 다음에, 전자 방출 특성의 측정을 실시하였다.

[0219] 전자 방출 특성의 측정에 있어서는, 애노드 전극(44)과 전자방출소자 사이의 거리(H)를 2mm로 하고, 고압 전원(43)에 의해 애노드 전극(44)에 1 kV의 전위를 부여하였다. 이 상태를 유지한 채로, 전원(41)을 이용해서, 각 전자방출소자의 보조 전극(2), (3) 사이에 제1보조 전극(2)의 전위가 제2보조 전극(3)의 전위보다 낮아지도록 구동 전압을 인가하였다. 또, 전자방출소자 D1 내지 D8 및 비교예 2의 첫번째의 소자에는 펄스 높이값 12V의 사각펄스 전압을 인가하고, 전자방출소자 E1 내지 E6 및 비교예 2의 두번째의 소자에는 펄스 높이값 14V의 사각펄스 전압을 인가하고, 전자방출소자 F1 내지 F4 및 비교예 2의 세번째의 소자에는 펄스 높이값 16V의 사각펄스 전압을 인가하였다.

[0220] 또, 이 측정 시에는, 전류계(40) 및 전류계(42)에 의해 본 실시예 및 비교예 2의 전자방출소자의 소자 전류(I_f) 및 방출 전류(I_e)를 각각 측정해서, 전자 방출 효율(I_e/I_f)을 산출하였다.

[0221] 산출된 전자 방출 효율을 이하의 표 3에 나타내고, 방출 전류(I_e)의 결과를 표 4에 나타낸다. 또, 소자 전류(I_f)는 모든 전자방출소자에 대해서 1.0 mA 정도였다.

표 3

		d2 [nm]								
	비교예 2	2.8	3	3.3	3.6	4	4.2	5	10	
구동전압 12V (d1=2.5nm)	0.08%	0.13% (D1)	0.18% (D2)	0.19% (D3)	0.20% (D4)	0.21% (D5)	0.22% (D6)	0.24% (D7)	0.25% (D8)	
구동전압 14V (d1=3.0nm)	0.11%			0.18% (E1)	0.23% (E2)	0.24% (E3)	0.26% (E4)	0.28% (E5)	0.29% (E6)	
구동전압 16V (d1=3.5nm)	0.16%					0.23% (F1)	0.32% (F2)	0.34% (F3)	0.34% (F4)	

[0222]

표 4

		d2 [nm]								
	비교예 2	2.8	3	3.3	3.6	4	4.2	5	10	
구동전압 12V (d1=2.5nm)	0.9μA	1.2μA (D1)	1.6μA (D2)	1.6μA (D3)	1.8μA (D4)	1.9μA (D5)	1.9μA (D6)	2.0μA (D7)	2.2μA (D8)	
구동전압 14V (d1=3.0nm)	1.2μA			1.6μA (E1)	2.0μA (E2)	2.1μA (E3)	2.4μA (E4)	2.5μA (E5)	2.7μA (E6)	
구동전압 16V (d1=3.5nm)	1.9μA					2.2μA (F1)	2.8μA (F2)	3.0μA (F3)	3.2μA (F4)	

[0223]

[0224]

이 결과로부터, 본 실시예의 전자방출소자는 비교예 2의 전자방출소자와 비교해서, d2/d1이 1.2 이상인 경우에, 방출 전류(Ie)가 크고, 전자 방출 효율이 우수한 것을 알 수 있다. 또, 상기 특성 평가 후, 본 실시예의 전자방출소자를 상기 특성 평가시에 인가한 펠스 전압과 같은 펠스 전압을 인가해서 장시간 구동한 바, 장시간에 걸쳐 상기 표 3 및 표 4에 나타낸 특성이 시간에 따른 많은 변동 없이 유지되었다.

[0225]

상기 특성 평가 후, 본 실시예에서 작성한 각 전자 방출소자(D, E 및 F)의 간극(8) 근방을 전술한 3D-TEM을 이용해서 관찰한 바, 제1카본막(21a)의 부분(A)과 제2카본막(21b)의 부분(B) 사이의 거리(d1)는 전자방출소자 D(D1 내지 D8)에 대해서는 2.5nm, 전자방출소자 E(E1 내지 E6)에 대해서는 3.0nm, 전자방출소자 F(F1 내지 F4)에 대해서는 3.5nm인 것이 확인되었다. 마찬가지로, 거리(d2)는 전자방출소자 D1에 대해서는 2.8nm, 전자방출소자 D2에 대해서는 3.0nm, 전자방출소자 D3에 대해서는 3.3nm, 전자방출소자 D4에 대해서는 3.6nm, 전자방출소자 D5에 대해서는 4.0nm, 전자방출소자 D6에 대해서는 4.2nm, 전자방출소자 D7에 대해서는 5.0nm, 전자방출소자 D8에 대해서는 10nm, 전자방출소자 E1에 대해서는 3.3nm, 전자방출소자 E2에 대해서는 3.6nm, 전자방출소자 E3에 대해서는 4.0nm, 전자방출소자 E4에 대해서는 4.2nm, 전자방출소자 E5에 대해서는 5.0nm, 전자방출소자 E6에 대해서는 10nm, 전자방출소자 F1에 대해서는 4.0nm, 전자방출소자 F2에 대해서는 4.2nm, 전자방출소자 F3에 대해서는 5.0nm, 전자방출소자 F4에 대해서는 10nm인 것이 확인되었다.

[0226]

또, 모든 전자방출소자에 대해서, 기판의 변형부(오목부)(22)가 제1카본막(21a)과 제2카본막(21b) 사이의 기판(1) 표면에 형성되어 있는 것도 확인되었다. 또, 제2도전막(21b)의 부분(B)의 두께가 제1도전막(21a)의 부분(A)의 두께와 동등하고, 제2도전막(21b)의 부분(B)과 부분(35), (36)과의 두께차(h)("돌기부"의 높이(h))가 50nm인 것으로 확인되었다.

[0227]

게다가, 부분(35)과 부분(36)과의 폭(w)("돌기부" 사이의 폭(w))이 전자방출소자 D에 대해서는 5 nm, 전자방출소자 E에 대해서는 6 nm, 전자방출소자 F에 대해서는 7 nm인 것이 확인되었다. 이들 값(폭(w))은 각각의 전자방출소자의 (d1)의 2배의 값이었다.

[0228]

또, SEM 평면도를 이용해서, 상기 볼록부(부분(A)) 사이의 거리(d3)를 측정하고, 그 분포를 조사하였다. 그 분포는 도 24에 나타낸 것과 마찬가지였다. 모든 전자방출소자에 대해서는, 상기 볼록부 사이의 거리(d3)의 분포가 3d1 내지 45d1에 피크를 가지는 약 3d1 내지 500d1이었다. 또, 본 실시예의 전자방출소자 D 내지 F에 대해서는 거리(d3)의 분포가 상기 설명한 바와 같지만, 본 발명은 이것으로 한정되는 것은 아니고, 거리(d3)는 보다 넓은 분포를 가지고 있어도 무방하다. 그러나, 실용 범위 내의 방출 전류(Ie)를 얻기 위해서는, 상기 분포는 바람직하게는 2000d1 이내인 것이 바람직하다. 또, (d3)이 3d1 미만으로 설정된 경우, 전자 방출 전류의 경시적인 변동은 (d3)이 3d1 이상인 전자 방출 소자와 비교해서 커지는 것을 알 수 있었다. 이것은 전자 방출에 기

여하는 것으로 생각되는 볼록부(부분(A))가 서로 너무 가깝게 되어, 서로 간섭하기 때문인 것으로 여겨진다.

[0229] 또, 보다 큰 방출 전류(Ie)를 얻기 위해서, (d3)이 3d1 내지 45d1이고 모든 (d3)을 동일하게 하는(분포가 집중되는) 것이 가장 바람직하다.

[0230] 또한, 전자방출소자 E3와 같은 제조방법으로 작성한 전자방출소자에 대해서, 폭(w)의 값을 달리해서 7종류의 전자방출소자(E3-1 내지 E3-7)를 작성하고, 그 각 소자의 특성을 평가하였다. 상기 폭(w)은 전자방출소자 E3-1에 대해서는 3 nm, 전자방출소자 E3-2에 대해서는 5 nm, 전자방출소자 E3-3에 대해서는 6 nm, 전자방출소자 E3-4에 대해서는 15nm, 전자방출소자 E3-5에 대해서는 50 nm, 전자방출소자 E3-6에 대해서는 150nm, 전자방출소자 E3-7에 대해서는 300 nm였다. 이들 전자방출소자를 전압 14V를 인가해서 구동시킨 바, E3-1에 비해서 E3-2는 전자방출 효율 η 및 방출 전류(Ie)가 거의 동일하였다. E3-2에 비해서 E3-3은 방출 전류(Ie)가 거의 동일하였지만 전자방출 효율 η 가 약 1.1배 향상되었다. E3-3에 비해서 E3-4는 방출 전류(Ie) 및 전자방출 효율 η 가 약 1.2배 향상되었다. E3-4에 비해서 E3-5는 전자방출 효율 η 가 약 1.1배 향상되었다. E3-5에 비해서 E3-6은 전자방출 효율 η 및 방출 전류(Ie)가 거의 동등하였다. E3-6에 비해서 E3-7은 전자방출 효율 η 및 방출 전류(Ie)가 감소하였다. 이러한 경향은 본 실시예의 다른 전자방출소자(D, E 및 F)에 대해 마찬가지로 관찰되었다. 이상의 결과로부터, (w)는 (d1)의 2배 이상으로 설정함으로써 방출 전류(Ie) 및 전자방출 효율 η 를 향상시키는 효과를 가지는 것을 알 수 있었다. 또, (w)가 d1의 50배를 넘는 경우, 그 효과는 감소되기 시작하는 것을 명백히 알 수 있었다.

[0231] 또, 상기 두께차(h)(“돌기부”의 높이(h))에 대해서도, 상기 전자방출소자 E3과 같은 제조방법으로, 두께차(h)의 값을 달리하면서 5 종류의 전자방출소자(E3-8 내지 E3-12)의 특성을 평가하였다. 두께차(h)는 전자방출소자 E3-8에 대해서는 3 nm, 전자방출소자 E3-9에 대해서는 4 nm, 전자방출소자 E3-10에 대해서는 6 nm, 전자방출소자 E3-11에 대해서는 10nm, 전자방출소자 E3-12에 대해서는 70 nm로 하였다.

[0232] 이들 전자방출소자에 전압 14 V를 인가해서 구동시킨 경우, E3-8에 비해 E3-9는 전자방출 효율 η 및 방출 전류(Ie)는 거의 동일하였다. E3-9에 비해서 E3-10은, 방출 전류(Ie)가 약 1.2배 향상하고, 전자방출 효율 η 는 거의 동일하였다. E3-10에 비해 E3-11의 전자방출 효율 η 는 약 1.2배 향상하였다. E3-11에 비해 E3-12는 전자방출 효율 η 가 약 1.1배 향상했지만, 방출 전류(Ie)는 동일하였다.

[0233] 이상의 결과로부터, (h)는 (d1)의 2배 이상으로 설정함으로써 방출 전류(Ie) 및 전자방출 효율 η 를 향상시키는 효과를 가지는 것을 알 수 있었다. 이러한 경향은, 본 실시예의 다른 전자방출소자(D, E 및 F)에 대해서도 마찬가지로 관찰되었다. 또, 두께차(h)가 70 nm 이상인 경우에도, 방출 전류(Ie)는 보다 커지고, 전자방출 효율 η 은 더욱 높아지는 것이 발명자들의 계산에 의해 명백하게 되었으므로, 두께차(h)의 상한은 제한되지 않는다. 그러나, 제조비 및 품질상의 문제(방전 등)를 감안해서, 실효적으로는 두께차(h)는 (d1)의 200배 미만으로 설정하는 것이 바람직하다.

[0234] (실시예 3)

[0235] 본 실시예에서, 도 27A 내지 도 27C에 나타낸 전자방출소자는 전자선 조사용을 이용해서 제작하였다. 또, (공정a)는 실시예 1의 (공정 a)와 동일하므로, 이하에서 그 설명은 생략하였다.

[0236] (공정 b)

[0237] 다음에, 보조 전극(2), (3)이 형성된 기판(1)을 도 3의 측정/평가 장치(전자선 조사 수단(도시 생략)을 배치)에 설치하였다. 다음에, 이 측정/평가 장치를 진공도가 1×10^{-6} Pa에 도달할 때까지 진공 펌프로 배기하였다. 그 후, 아크릴로니트릴을 슬로우 리크 멜브를 통해 진공실 내에 도입하였다. 다음에, 전극(2), (3)을 접지 전위로 설정하고, 전자선 조사를 행하여, 도 27A 내지 도 27C에 나타낸 바와 같은 제1카본막(21a) 및 제2카본막(21b)을 형성하였다. 전자선의 가속 전압을 5 kV, 전류를 10 μ A로 하였다. 카본막(21a), (21b)의 폭(W')은 100 μ m였다.

[0238] 여기서, 제1카본막(21a)의 단부의 두께와 제2카본막(21b)의 단부(간극(8)의 외주를 형성하고 있는 부분)의 두께를 대칭 구성을 형성하도록 설정하고(도 27C 참조), 간극(8)은 지그재그로 뻗게 하였다. 또, 전자선의 조사 시간을 제어함으로써, 제1카본막(21a)의 부분(A)과 제2카본막(21b)의 부분(B) 사이의 거리(d1)는 3.5nm가 되도록 하였다.

[0239] 이러한 방법을 이용함으로써, (d2)의 값을 달리해서 전자방출소자 G1 내지 G5를 형성하였다. 전자방출소자 G1에 대해서는 (d2)가 3.7 nm, 전자방출소자 G2에 대해서는 (d2)가 4.0nm, 전자방출소자 G3에 대해서는 (d2)가

4.2nm, 전자방출소자 G4에 대해서는 (d2)가 5.0nm, 전자방출소자 G5에 대해서는 (d2)가 10nm였다. 또, 각 전자방출소자에 있어서의 거리(d3)를 30d1로 설정하였다. 단, 전자방출소자 G1, G2에 있어서의 d2/d1은 1.1이고, G3 내지 G5에 있어서의 d2/d1은 모두 1.2 이상이었다.

[0240] (공정 c)

[0241] 다음에, (공정 b) 후의 본 실시예의 전자방출소자는 진공실을 배기한 채, 가열하고, 이들에 전압을 인가하였다. 20시간의 경과 후, 히터에 의한 가열을 멈추어 실온에 이르도록 하였다. 또, 진공실 내의 압력은 약 1×10^{-8} Pa에 이르렀다. 다음에, 전자 방출 특성의 측정을 실시하였다.

[0242] 전자 방출 특성의 측정에 있어서는, 애노드 전극(44)과 전자방출소자 사이의 거리(H)를 2mm로 하고, 고압 전원(43)에 의해 애노드 전극(44)에 1kV의 전위를 부여하였다. 이 상태를 유지한 채로, 전원(41)을 이용해서, 보조전극(2), (3) 사이에 제1보조 전극(2)의 전위가 제2보조 전극(3)의 전위보다 낮아지도록 펄스 높이값이 16V인 사각펄스 전압을 인가하였다.

[0243] 또, 이 측정 시에는, 전류계(40) 및 전류계(42)에 의해 본 실시예의 전자방출소자의 소자 전류(If) 및 방출 전류(Ie)를 각각 측정해서, 전자 방출 효율을 산출하였다.

[0244] 산출된 전자 방출 효율과 방출 전류(Ie)의 결과를 표 5에 나타낸다. 또, 소자 전류(If)는 모든 전자방출소자에 대해서 2.5 mA 정도였다.

표 5

	d2 [nm]	효율 [%]	Ie [μ A]
G1	3.7	0.12	3
G2	4	0.12	3
G3	4.2	0.16	4
G4	5	0.18	4.25
G5	10	0.19	4.75

[0245]

[0246] 이 결과로부터, 본 실시예의 전자방출소자는, d2/d1이 1.2 이상인 경우에, 방출 전류(Ie)가 커짐과 동시에 전자방출 효율 η 이 상승한 것을 알 수 있었다. 또, 상기 특성 평가 후, 본 실시예의 전자방출소자에 상기 특성 평가시에 인가한 펄스 전압과 같은 펄스 전압을 인가해서 장시간 구동한 바, 실시예 1에서 작성한 전자방출소자와 비교해서, 장시간에 걸쳐 상기 표 5의 특성이 경시에 따른 변동 없이 유지되었다.

[0247] 특성 평가 후, 본 실시예에서 작성한 각 전자방출소자의 간극(8) 근방의 3D-TEM상을 관찰한 바, 그 구조는 대체로 도 25에 모식적으로 나타낸 것과 같았다. 한층 더 상세한 관찰에 의하면, 간극(8)을 따라 다른 부분에 비해 간극이 좁아지고 있는 부분이 많았고, 거리(d1)는 10nm 이하인 것으로 확인되었다. 그리고, 거리(d1)는 3.5 nm였다. 또한, 오목부(22)는 실시예 2에서 형성된 오목부보다 작은 깊이로 기판(1) 표면에 형성되었다.

[0248] 또, 전자방출소자 G1에 대해서는 거리(d2)가 3.7 nm, 전자방출소자 G2에 대해서는 거리(d2)가 4.0nm, 전자방출소자 G3에 대해서는 (d2)가 4.2nm, 전자방출소자 G4에 대해서는 (d2)가 5.0nm, 전자방출소자 G5에 대해서는 (d2)가 10nm였다.

[0249] 또한, SEM 평면도를 이용해서 거리(d3)의 분포를 조사하였다. 도 29에 그 분포의 개략 그래프를 나타낸다. 모든 전자방출소자에 대해서, 상기 간극(8)의 방향을 따른 상기 볼록부 간의 간격(d3)의 분포가 30d1에 샤프한 피크를 갖고 있었다.

[0250] (실시예 4)

[0251] 본 실시예에서는 도 28A 내지 도 28D에 나타낸 제1카본막(21a) 및 제2카본막(21b)을 가진 전자방출소자를 전자선 조사를 이용해서 제작하였다. 본 실시예에서는, 실시예 3의 전자방출소자(G1 내지 G5)의 제조방법에 있어서의 (공정 b)에 있어서, 이하에 나타낸 변경을 가해 전자방출소자(G1' 내지 G5')를 작성하였다. 그 이외에는 기본적으로 실시예 3과 같은 제조방법에 의해 작성하였다.

[0252] 실시예 3의 전자방출소자의 (공정 b)에 대해 이하의 4가지 변경을 행하였다: [1] 전자방출소자(G1 내지 G5)에 대해서, 제2카본막(21b)의 부분(B)의 두께가 제1카본막(21a)의 부분(A)의 두께와 동일하도록, 전자선의 조사를

이용하였다(도 28C 참조); [2] 제2도전막(21b)의 부분(B)과 부분(35), (36)과의 두께차(h)(“돌기부”의 높이 h)가 50 nm가 되도록 전자선의 조사를 이용하였다(도 28D 참조); [3] 부분(35)과 부분(36)간의 폭(w)(“돌기부”의 간격 w)이 7 nm가 되도록 전자선의 조사를 이용하였다(도 28B); [4] 제1카본막(21a)의 부분(A)과 제2카본막(21b)의 부분(B)이 대향하는 방향(전자 방출 방향)으로 존재하는 제2카본막(21b)의 두께는 100 nm로 하였다(도 28D 참조).

[0253] 본 실시예에서 작성한 전자 방출 특성의 측정에 대해서는 애노드 전극(44)과 전자방출소자 사이의 거리(H)를 2mm로 하고, 고압 전원(43)에 의해 애노드 전극(44)에 1kV의 전위를 부여하였다. 이 상태를 유지한 채, 전원(41)을 이용해서, 보조 전극(2), (3) 사이에 제1보조 전극(2)의 전위가 제2보조 전극(3)의 전위보다 낮아지도록 펄스 높이값이 16 V인 사각펄스 전압을 인가하였다.

[0254] 또, 이 측정 시에는 전류계(40) 및 전류계(42)에 의해, 본 실시예의 전자방출소자의 소자 전류(IF) 및 방출 전류(Ie)를 각각 측정하여, 전자 방출 효율을 산출하였다.

[0255] 산출된 전자 방출 효율과 방출 전류(Ie)의 결과를 표 6에 나타낸다. 또, 소자 전류(IF)는 모든 전자방출소자에 대해서 2.5 mA 정도였다.

표 6

	d2 [nm]	효율 [%]	Ie [μ A]
G1'	3.7	0.2	5
G2'	4	0.2	5
G3'	4.2	0.27	7
G4'	5	0.29	7.3
G5'	10	0.32	8

[0256]

[0257] 이 결과로부터, 본 실시예의 전자방출소자(G1' 내지 G5')는 d2/d1이 1.2 이상인 경우에, 방출 전류(Ie)가 크고, 전자 방출 효율 %이 우수한 것을 알 수 있었다. 또, 상기 특성의 평가 후, 본 실시예의 전자방출소자를 상기 특성 평가시 인가한 펄스 전압과 같은 펄스 전압을 인가해서 장시간 구동한 바, 실시예 2에서 작성한 전자방출 소자와 비교해서, 장시간에 걸쳐 상기 표 6에 나타낸 특성이 시간경과에 따른 변동없이 유지되었다.

[0258] 특성 평가 후, 본 실시예에서 작성한 각 전자방출소자를 3D-TEM으로 관찰한 바, (d1)의 값은 3.5nm였다. 또, (d2)의 값은 전자방출소자 G1'에 대해서는 3.7 nm, 전자방출소자 G2'에 대해서는 4.0nm, 전자방출소자 G3'에 대해서는 4.2nm, 전자방출소자 G4'에 대해서는 5.0nm, 전자방출소자 G5'에 대해서는 10nm였다.

[0259] 또, 제2카본막(21b)의 부분(B)의 두께는 제1카본막(21a)의 부분(A)의 두께와 동일하고, 제2카본막(21b)의 부분(B)과 부분(35) 및 부분(36)과의 두께차(h)(“돌기부”의 높이(h))는 50 nm였다. 또한, 부분(35)과 부분(36)간의 폭(w)(“돌기부”의 폭(w))이 7 nm였다.

[0260] 게다가, SEM 평면도를 이용해서 각각의 볼록부간의 거리(d3)를 측정하고, 그 분포를 조사한 바, 도 27A 내지 도 27C에 나타낸 분포와 마찬가지로, 모든 전자방출소자에 대해서, 거리(d3)의 분포는 30d1에 샤프한 피크를 가지고 있었다.

[0261] (실시예 5)

[0262] 본 실시예에서는 본 발명의 실시예 1에서 작성한 전자방출소자 C3과 같은 제조방법에 따라 형성한 전자방출소자를 다수 기판 위에 매트릭스 형상으로 배열해서 전자원을 형성하고, 이 전자원을 이용해서 도 14에 나타낸 화상 표시장치를 작성하였다. 이하에, 본 실시예에서 작성한 화상표시장치의 제조 공정을 설명한다.

[0263] <보조 전극 작성 공정>

[0264] 유리 기판(71) 상에 SiO₂막을 형성하였다. 또, 상기 기판(71) 위에 제1 및 제2보조 전극(2), (3)을 다수 형성하였다(도 16). 구체적으로는, 티타늄(Ti)과 백금(Pt)의 다수층을 40nm의 두께로 기판(71) 상에 형성한 후, 상기 다수층을 포토리소그래피법을 이용해서 패터닝하였다. 본 실시예에서는, 제1보조 전극(2)과 제2보조 전극(3)간의 길이(L)를 10 μ m로 하고, 이를 보조전극(2), (3) 간의 폭(W)을 100 μ m로 하였다.

[0265] <Y방향 배선 형성 공정>

- [0266] 다음에, 도 17에 나타낸 바와 같이, 은을 주성분으로 하는 Y방향 배선(73)을 보조 전극(3)에 접속하도록 형성하였다. 이 Y방향 배선(73)은 변조 신호가 인가되는 배선으로서 기능한다.
- [0267] <절연층 형성 공정>
- [0268] 다음에, 도 18에 나타낸 바와 같이, 다음의 공정에서 형성되는 X방향 배선(72)과 전술한 Y방향 배선(73)을 절연하기 위해서, 산화 실리콘으로 이루어진 절연층(75)을 설치하였다. 후술하는 X방향 배선(72) 밑에, 미리 형성한 Y방향 배선(73)을 가리도록 절연층(75)을 배치한다. X방향 배선(72)과 보조 전극(2)과의 전기적 접속이 가능하도록 절연층(75)에 컨택트홀을 형성하였다.
- [0269] <X방향 배선 형성 공정>
- [0270] 도 19에 나타낸 바와 같이, 은을 주성분으로 하는 X방향 배선(72)을, 미리 형성한 절연층(75) 위에 형성하였다. X방향 배선(72)은 절연층(75)을 사이에 두고 Y방향 배선(24)과 교차하고 있어, 절연층(75)의 컨택트홀을 통해서 보조 전극(2)에 접속된다. X방향 배선(72)은 주사 신호가 인가되는 배선으로서 기능한다. 이와 같이 해서, 매트릭스 배선을 가지는 기판(71)이 형성되었다.
- [0271] <제1전극 및 제2전극 형성 공정>
- [0272] 상기 매트릭스 배선이 형성된 기판(71) 상의 보조 전극(2), (3) 사이에 잉크젯법에 의해, 도전성 박막(4)을 형성하였다(도 20).
- [0273] 본 실시예에서는, 잉크젯법에 이용하는 잉크로서 유기 팔라듐 착체 용액을 이용하였다. 이 유기 팔라듐 착체 용액을 보조 전극(2), (3) 사이에 부여하였다. 그 후, 이 기판(71)을 공기 중에서 가열·소성처리하여, 산화 팔라듐(PdO)으로 이루어진 도전성 박막(4)을 형성하였다.
- [0274] <포밍 공정 및 활성화 공정>
- [0275] 다음에, 보조 전극(2), (3)과, 이들 보조 전극(2), (3)을 접속하기 위한 도전성 박막(4)에 의해 형성된 복수의 유닛이 형성된 기판(71)을 진공실 안에 배치하였다. 이 진공실을 배기한 후, "포밍" 처리와 "활성화" 처리를 실시하였다. "포밍" 처리와 "활성화" 처리의 각각 동안, 각 유닛에 인가하는 전압의 파형은 실시예 1의 전자방출소자 C3의 작성 방법에 기재된 바와 마찬가지이다.
- [0276] 또, "포밍" 처리는 복수의 X방향 배선(72) 중에서 1개씩 순차 선택된 X방향 배선에 1 펄스씩 인가하는 방법으로 행하였다. 즉, "복수의 X방향 배선(72) 중에서 선택한 1개의 X방향 배선에 1 펄스 인가한 후에, 다른 1개의 X방향 배선을 선택해서 1 펄스 인가한다"라고 하는 공정을 반복하였다.
- [0277] 이와 같이 해서, 복수의 전자방출소자가 형성된 기판(71)을 작성할 수 있었다.
- [0278] <가공 처리>
- [0279] 다음에, "활성화" 처리가 종료된 전자방출소자를 상부에 다수 형성한 상기 두 종류의 기판(1)을 진공실로부터 대기중으로 꺼내, 실시예 1의 전자방출소자 C3의 작성 방법에서 설명한 바와 같이, AFM을 이용해서 카본을 형상화하는 가공처리를 실시하였다.
- [0280] 또, 모든 전자방출소자에 대해서, (d1)을 3.5nm로 설정하고, (d2)를 5.0nm(d2/d1=1.4)로 설정하였다.
- [0281] 이와 같이 해서, 본 실시예의 전자원(복수의 전자방출소자)이 형성된 기판(71)이 작성되었다.
- [0282] 그 다음에, 도 14에 나타낸 바와 같이, 상기 기판(71)의 2mm 위쪽에서, 내면에 형광체 막(84)과 메탈 백(85)이 적층되어 있는 페이스 플레이트(86)를 지지 프레임(82)을 통해 배치하였다.
- [0283] 또, 도 14에서는 리어 플레이트(81)를 기판(71)의 보강 부재로서 설치한 경우를 나타내고 있지만, 본 실시예에서는 이 리어 플레이트를 생략하고 있다. 그리고, 페이스 플레이트(86), 지지 프레임(82) 및 기판(1)의 접합부를 저용점 금속인 인듐(In)을 가열하고 냉각함으로 밀봉결합시켰다. 또, 이 밀봉결합 공정은 진공실 중에서 실시했기 때문에, 배기관을 이용하는 일없이, 밀봉결합과 밀봉이 동시에 수행되었다.
- [0284] 본 실시예에서는, 화상 형성 부재인 형광체 막(84)은 컬러 표시를 실현하기 위해서 스트라이프 형상(도 15A 참조)의 형광체였다. 먼저, 블랙 스트라이프(91)를 형성하고, 그 블랙 스트라이프(91) 사이의 공간에 슬러리법에 의해 각 색의 형광체(92)를 도포해서 형광막(84)을 제작하였다. 블랙 스트라이프(91)의 재료로서는 통상 흑연을 주성분으로 하는 재료를 이용하였다.

- [0285] 또, 형광막(84)의 내면 쪽(전자방출소자 쪽)에는 알루미늄으로 이루어진 메탈 백(85)을 마련하였다. 메탈 백(85)은 형광체 막(84)의 내면 쪽에 AI을 전공 증착함으로써 형성하였다.
- [0286] 이상과 같이 해서 완성한 화상표시장치의 X방향 배선 및 Y방향 배선을 통해서, 원하는 전자방출소자를 선택하고, 선택한 전자방출소자의 제2보조 전극 쪽의 전위가 제1보조 전극 쪽의 것보다 높아지도록, + 18V의 펄스 전압을 인가하였다. 그와 동시에, 고압 단자(Hv)를 통해서 메탈 백(73)에 10kV의 전압을 인가한 바, 장시간에 걸쳐서 밝고 양호한 화상을 표시할 수 있었다.
- [0287] 이상 설명한 본 발명에 의한 실시형태에 및 실시예는 일례에 지나지 않고, 상기한 각 재질, 크기 등에 대한 형태인 변형예는 본 발명에 의해 제외되는 것은 아니다.
- [0288] 본 출원은 2004년 12월 28일자 출원된 일본 특허 출원 제2004-379955호로부터의 우선권을 주장하며, 이 출원은 참조로 본원에 원용된다.

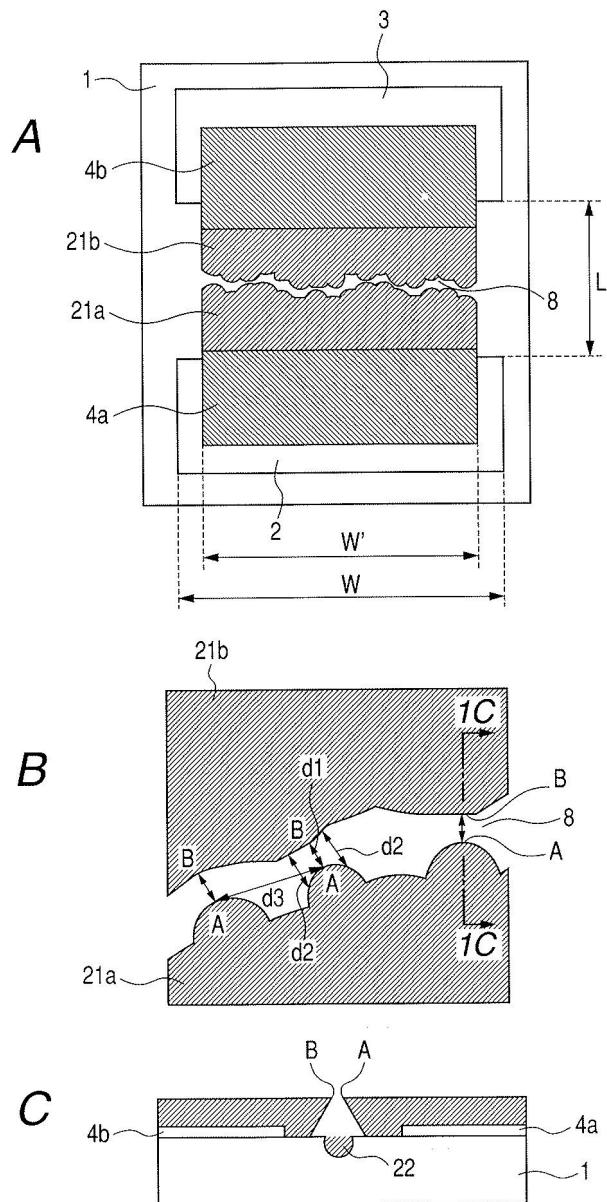
도면의 간단한 설명

- [0289] 도 1A, 도 1B 및 도 1C는 각각 본 발명에 의한 전자방출소자의 구성예를 모식적으로 나타낸 평면도, 평면도 및 단면도;
- [0290] 도 2A, 도 2B, 도 2C 및 도 2D는 각각 본 발명에 의한 전자방출소자의 다른 구성예를 모식적으로 나타낸 평면도, 평면도, 단면도 및 단면도;
- [0291] 도 3은 전자방출소자의 측정 및 평가 기능을 갖춘 진공실의 일례를 나타낸 모식도;
- [0292] 도 4A, 도 4B, 도 4C 및 도 4D는 본 발명에 의한 전자방출소자의 제조방법을 나타낸 모식도;
- [0293] 도 5A 및 도 5B는 각각 본 발명의 실시예 1에 의한 "활성화" 처리 후의 전자방출소자를 모식적으로 나타낸 평면도 및 단면도;
- [0294] 도 6A 및 도 6B는 각각 본 발명의 실시예 2에 의한 "활성화" 처리 후의 전자방출소자를 모식적으로 나타낸 평면도 및 단면도;
- [0295] 도 7A 및 도 7B는 본 발명에 의한 전자방출소자를 제조할 경우의 포밍 펄스의 일례를 나타낸 모식도;
- [0296] 도 8A 및 도 8B는 본 발명에 의한 전자방출소자를 제조할 경우의 활성화 펄스의 일례를 나타낸 모식도;
- [0297] 도 9는 본 발명에 의한 전자방출소자의 "활성화" 처리에 있어서의 전류를 나타낸 모식도;
- [0298] 도 10A 및 도 10B는 본 발명에 의한 전자방출소자의 카본막을 절삭하는 처리의 일례를 나타낸 모식도;
- [0299] 도 11A, 도 11B 및 도 11C는 본 발명에 의한 전자방출소자의 카본막을 절삭하는 처리의 다른 예를 나타낸 모식도;
- [0300] 도 12는 본 발명에 의한 전자방출소자의 전자 방출 특성을 나타낸 모식도;
- [0301] 도 13은 본 발명에 의한 전자방출소자를 이용한 전자원 기판을 설명하기 위한 모식도;
- [0302] 도 14는 본 발명에 의한 전자방출소자를 이용한 화상표시장치의 구성의 일례를 설명하기 위한 모식도;
- [0303] 도 15A 및 도 15B는 형광체막을 설명하기 위한 모식도;
- [0304] 도 16은 본 발명에 의한 전자원 및 화상표시장치의 제조 공정의 일례를 나타낸 모식도;
- [0305] 도 17은 본 발명에 의한 전자원 및 화상표시장치의 제조 공정의 일례를 나타낸 모식도;
- [0306] 도 18은 본 발명에 의한 전자원 및 화상표시장치의 제조 공정의 일례를 나타낸 모식도;
- [0307] 도 19는 본 발명에 의한 전자원 및 화상표시장치의 제조 공정의 일례를 나타낸 모식도;
- [0308] 도 20은 본 발명에 의한 전자원 및 화상표시장치의 제조 공정의 일례를 나타낸 모식도;
- [0309] 도 21은 종래의 전자방출소자의 일례를 나타낸 단면 모식도;
- [0310] 도 22A 및 도 22B는 본 발명에 의한 전자방출소자를 관찰하는 방법의 일례를 설명하기 위한 모식도;
- [0311] 도 23은 전자선 처리를 설명하기 위한 모식도;

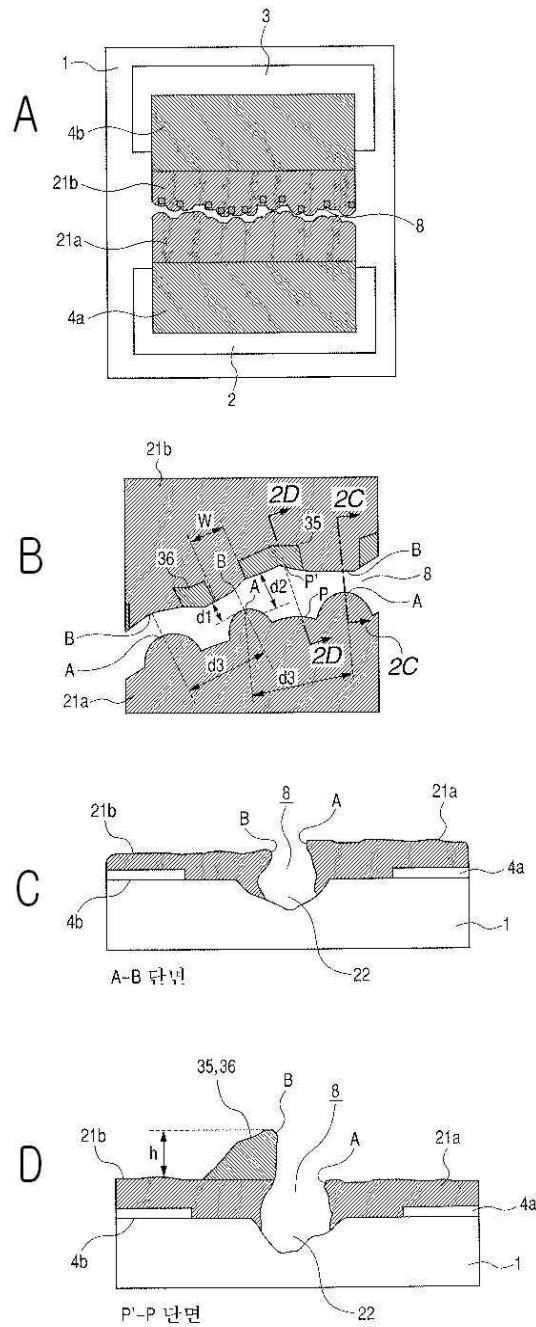
- [0312] 도 24는 본 발명에 의한 전자방출소자에 있어서의 볼록부 사이의 간격의 분포를 설명하기 위한 모식도;
- [0313] 도 25는 본 발명에 의한 전자방출소자의 3D-TEM 관찰상의 일례를 나타낸 모식도;
- [0314] 도 26A, 도 26B 및 도 26C는 본 발명의 실시예에 의한 전자선 조사에 의한 카본막 형성 방법을 설명하기 위한 모식도;
- [0315] 도 27A, 도 27B 및 도 27C는 각각 본 발명에 의한 전자방출소자의 구성예를 모식적으로 나타낸 평면도, 평면도 및 단면도;
- [0316] 도 28A, 도 28B, 도 28C 및 도 28D는 각각 본 발명에 의한 전자방출소자의 다른 구성예를 모식적으로 나타낸 평면도, 평면도, 단면도 및 단면도;
- [0317] 도 29는 본 발명에 의한 전자방출소자에 있어서의 볼록부 사이의 간격의 이상적인 분포를 설명하기 위한 모식도;
- [0318] 도 30A 및 도 30B는 본 발명에 의한 전자방출소자의 구성예를 모식적으로 나타낸 평면도;
- [0319] 도 31A 및 도 31B는 본 발명에 의한 전자방출소자의 다른 구성예를 모식적으로 나타낸 평면도;
- [0320] 도 32는 본 발명에 의한 텔레비전 수상기의 블록도.
- [0321] <도면의 주요부분에 대한 부호의 설명>
- [0322] 1, 71 : 기판 2,3 : 보조전극 4 : 도전성 박막
- [0323] 4a : 제1전극 4b : 제2전극 8 : 간극
- [0324] 21a : 제1카본막(제1도전막) 21b : 제2카본막(제2도전막)
- [0325] 35,36 : 볼록부 41 : 전자방출수단
- [0326] 44 : 애노드전극
- [0327] 74,B1~B6,C1~C4,D1~D8,E1~E6,F1~F4,G1~G5,G1'~G5' : 전자방출소자
- [0328] C10 : 화상표시장치 d1,d2,d3 : 간격

도면

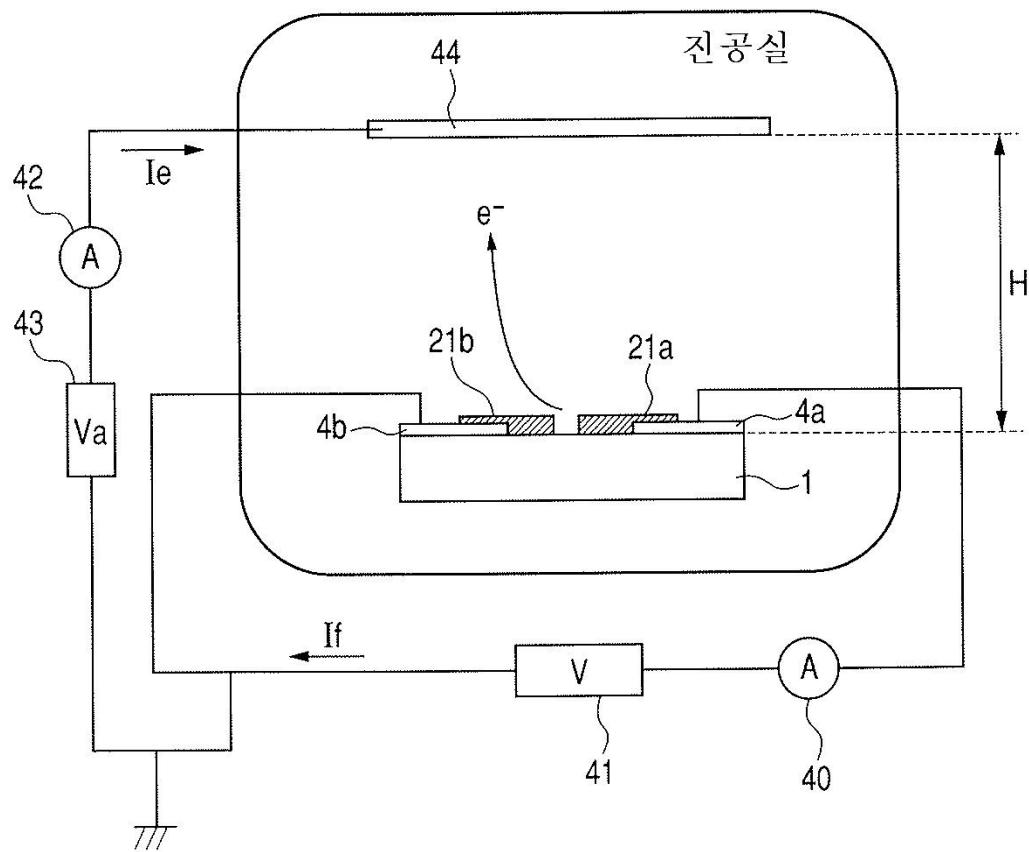
도면1



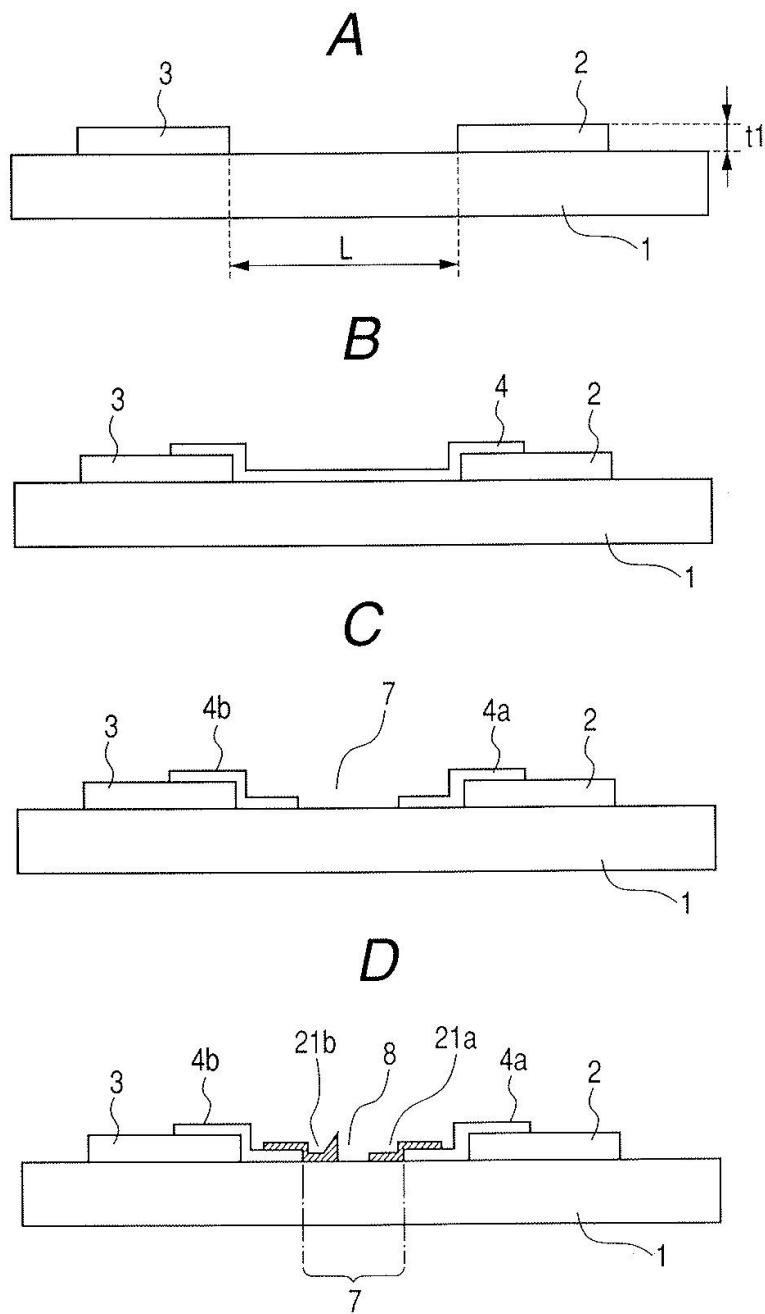
도면2



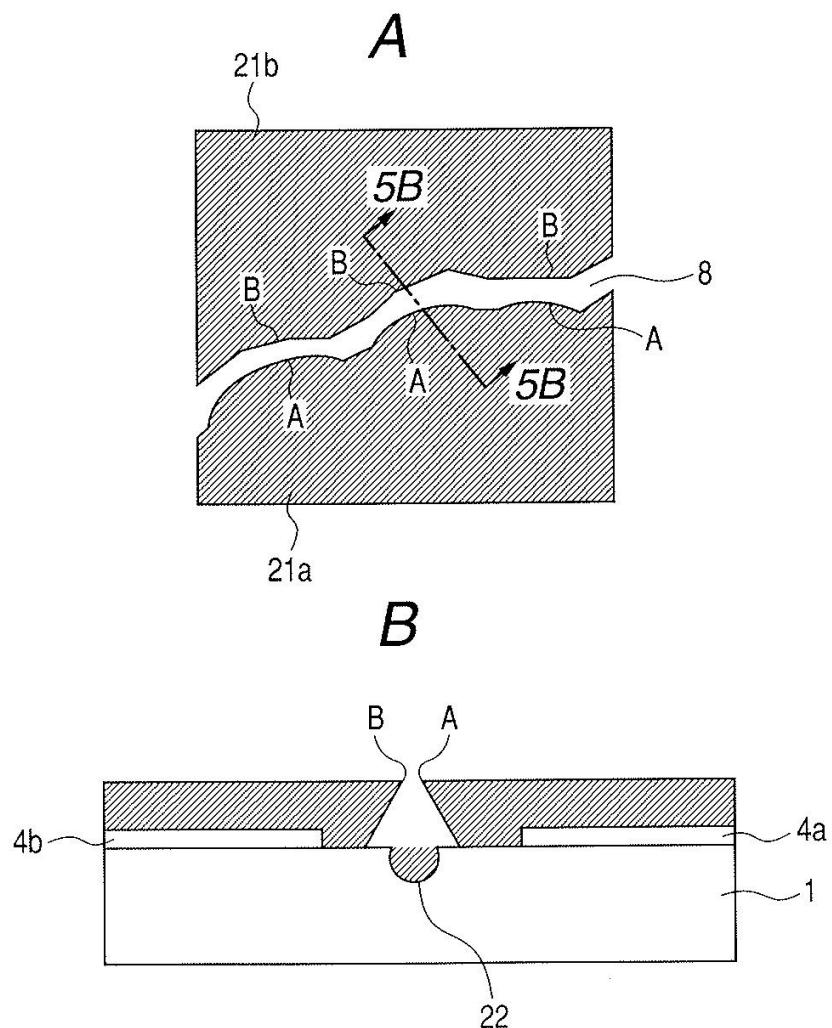
도면3



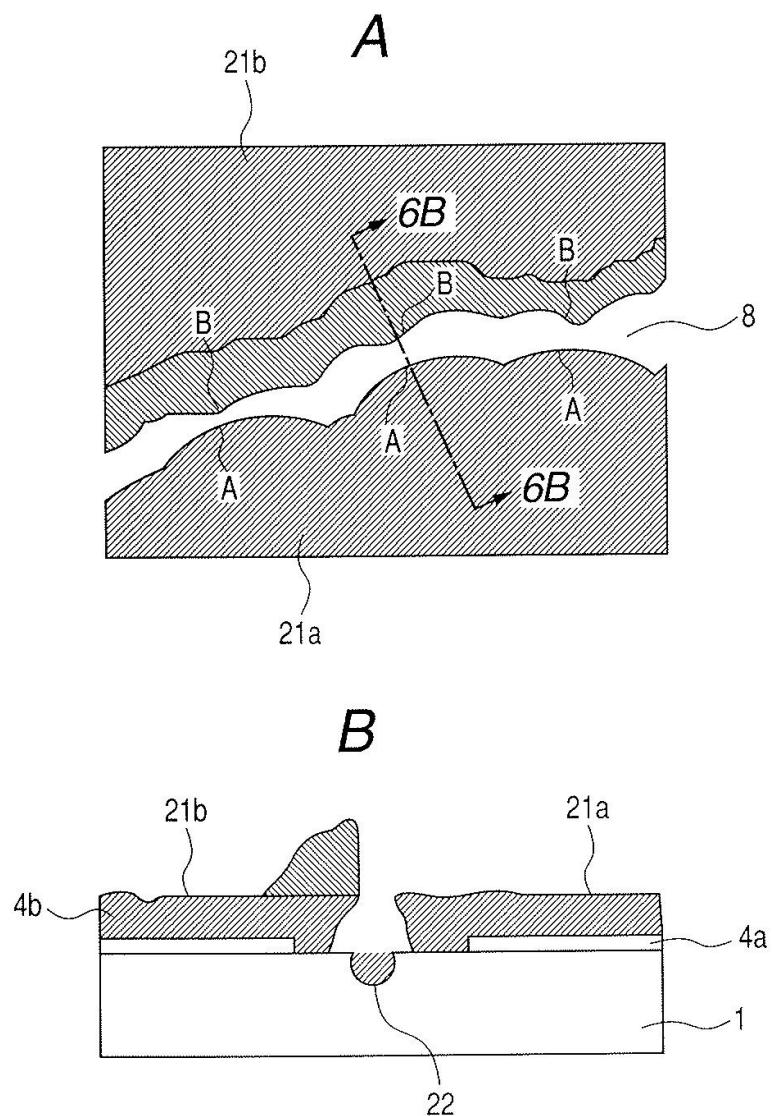
도면4



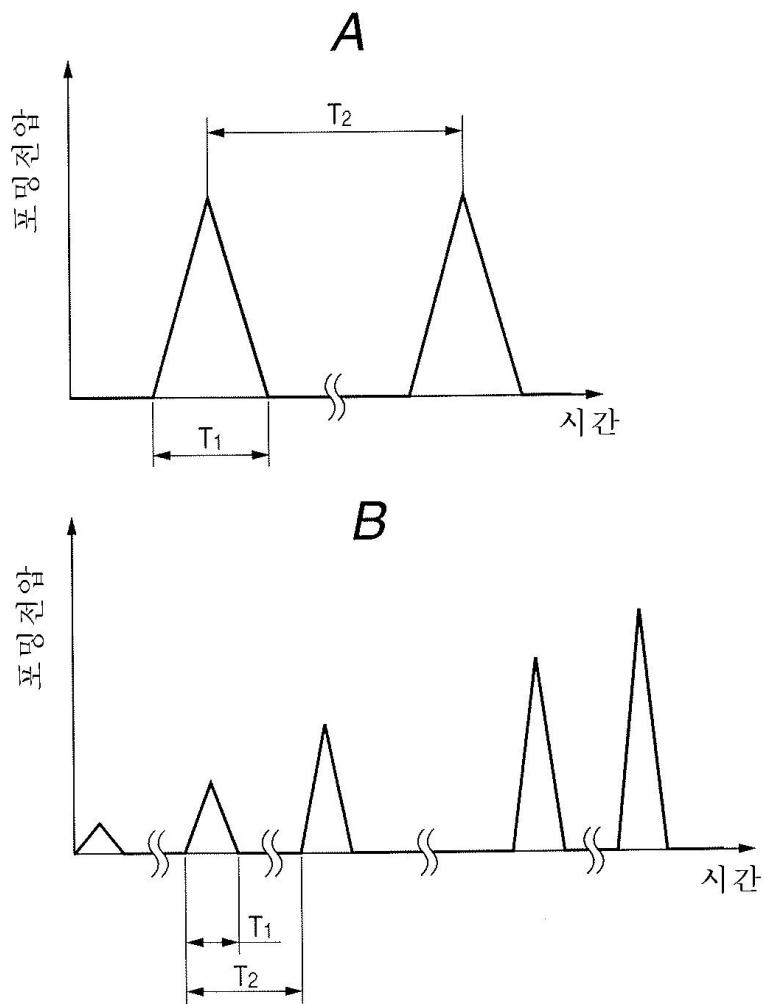
도면5



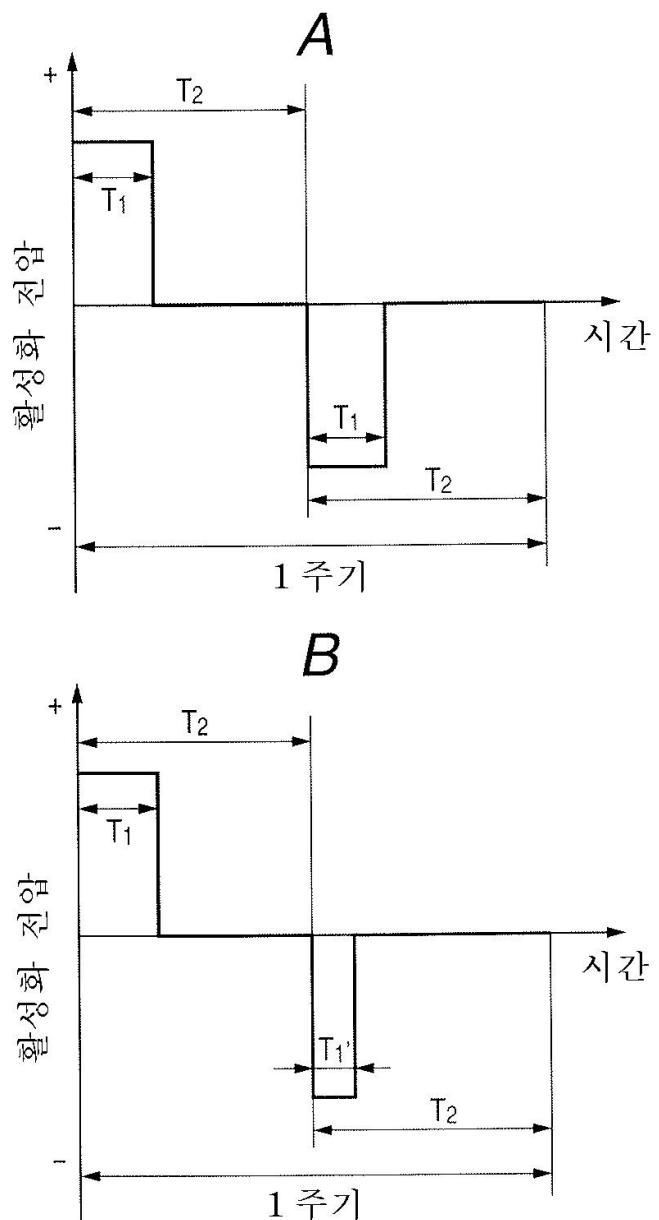
도면6



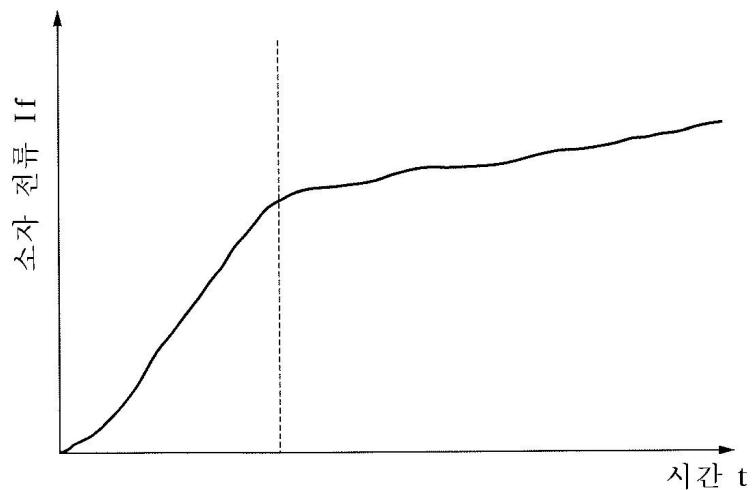
도면7



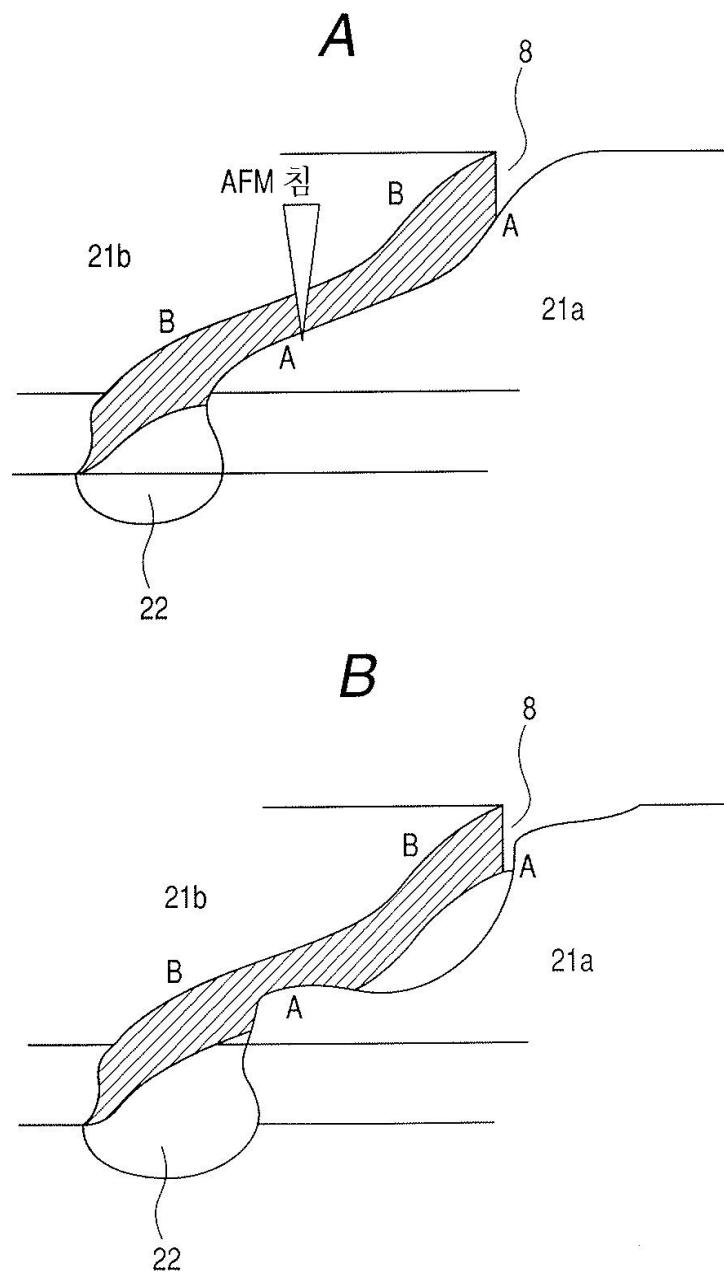
도면8



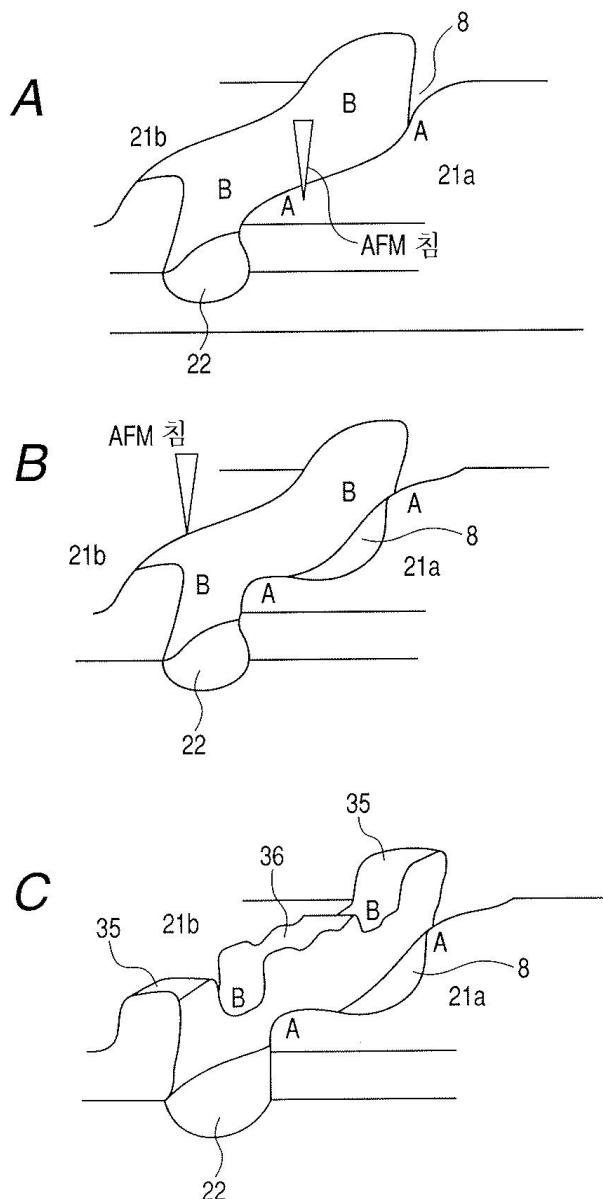
도면9



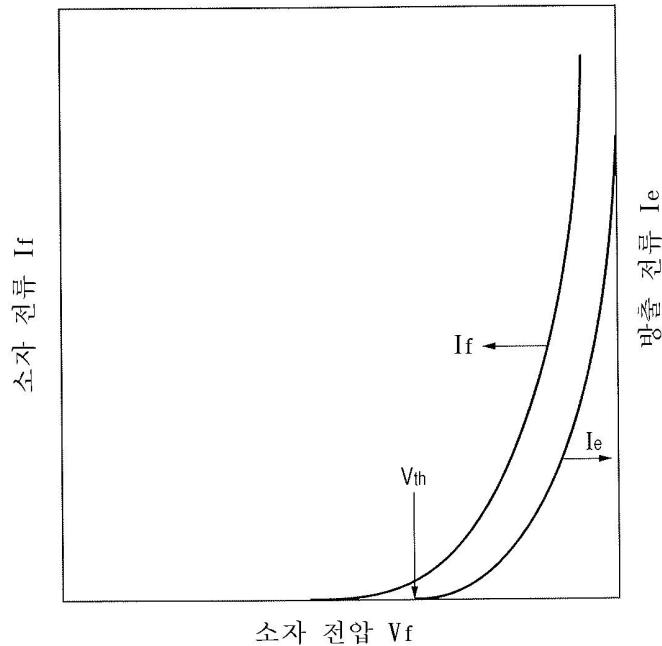
도면10



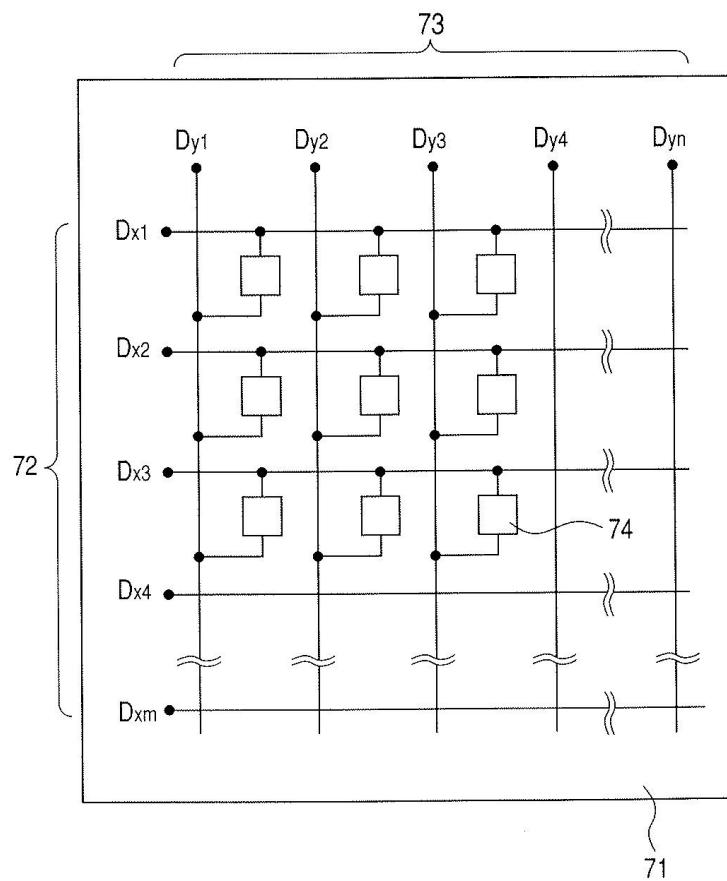
도면11



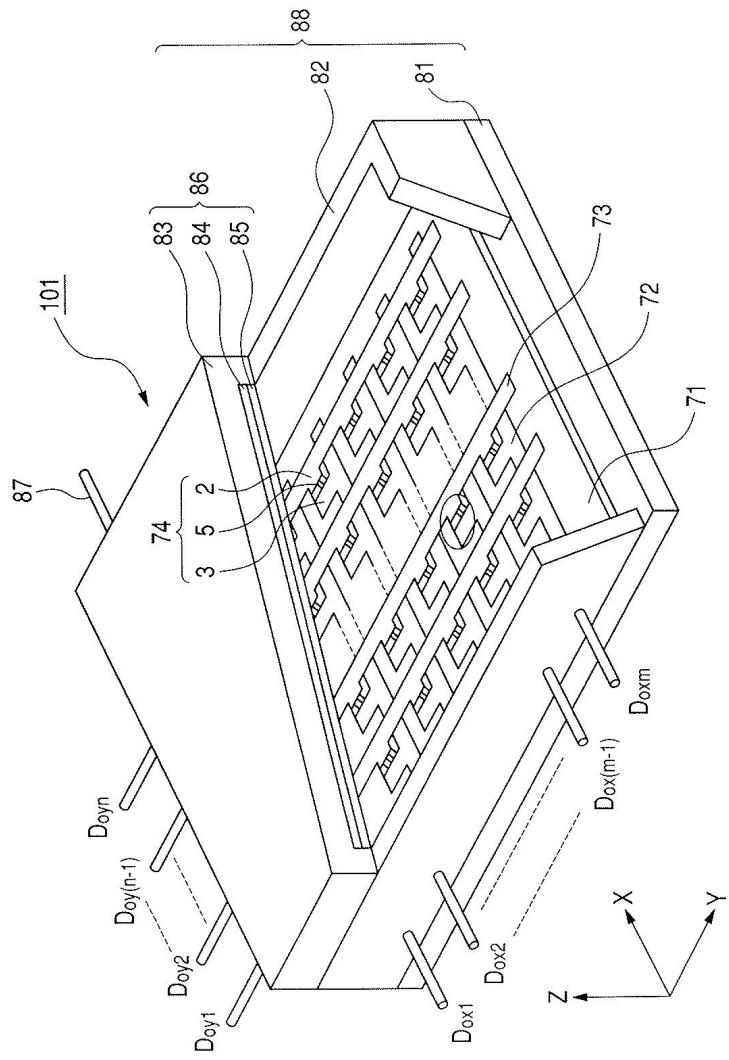
도면12



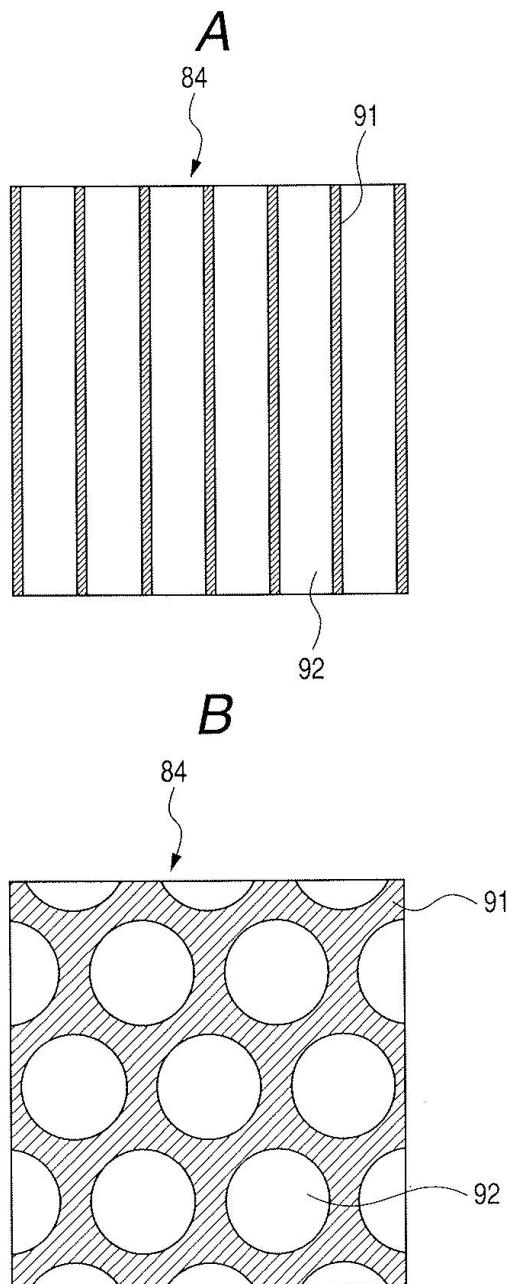
도면13



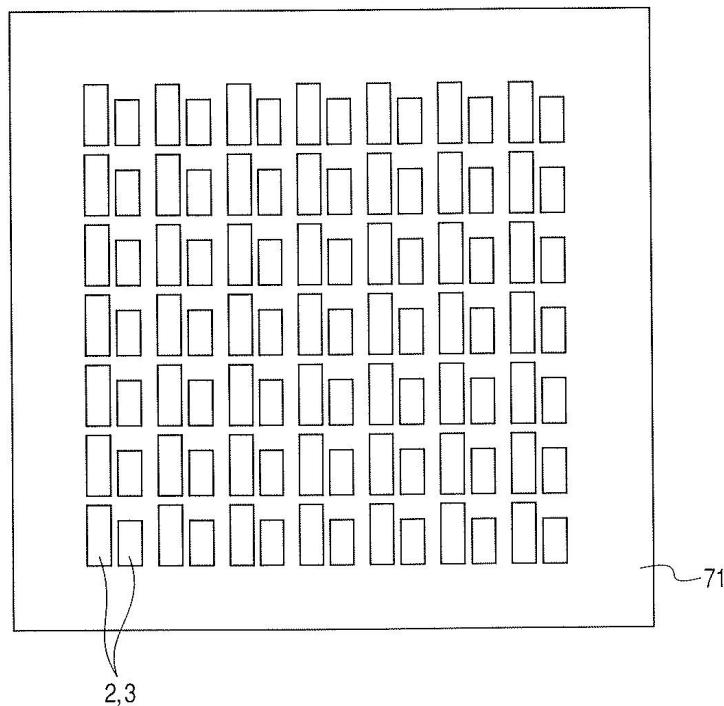
도면14



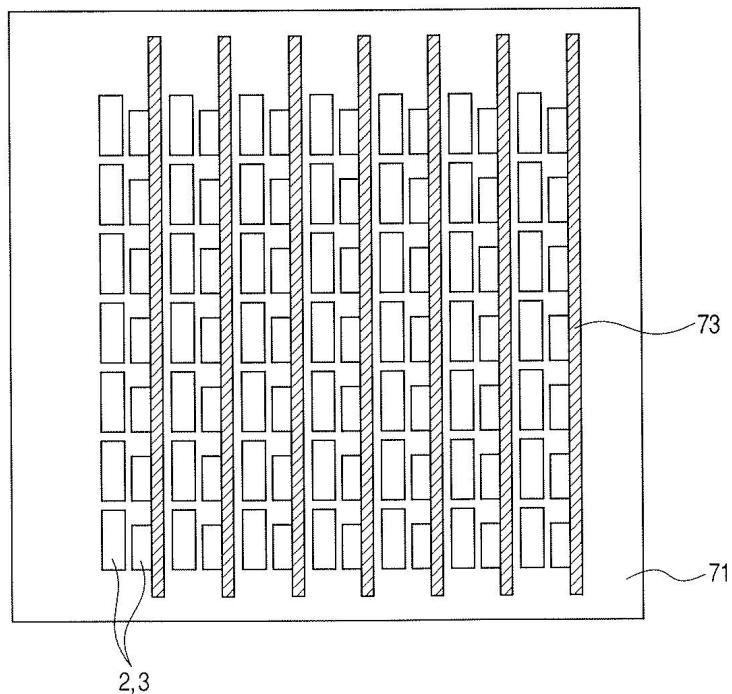
도면15



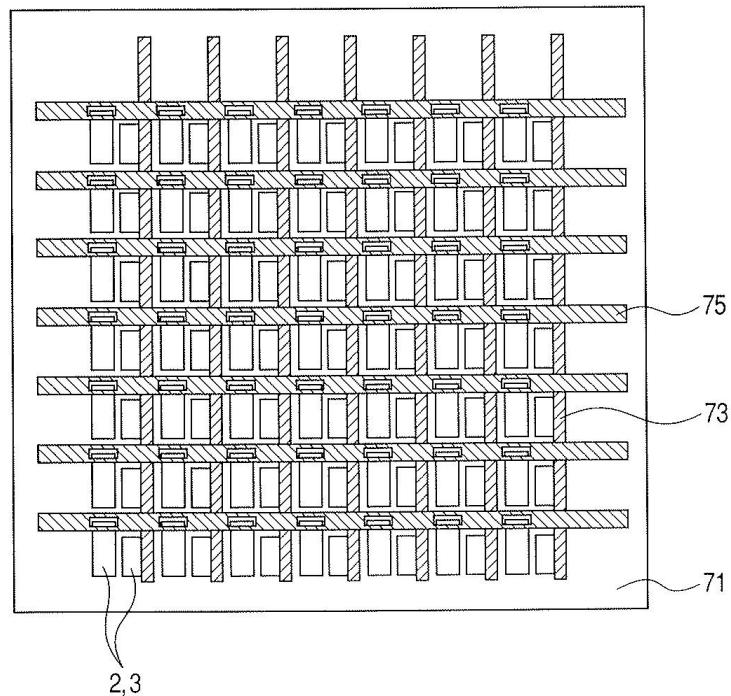
도면16



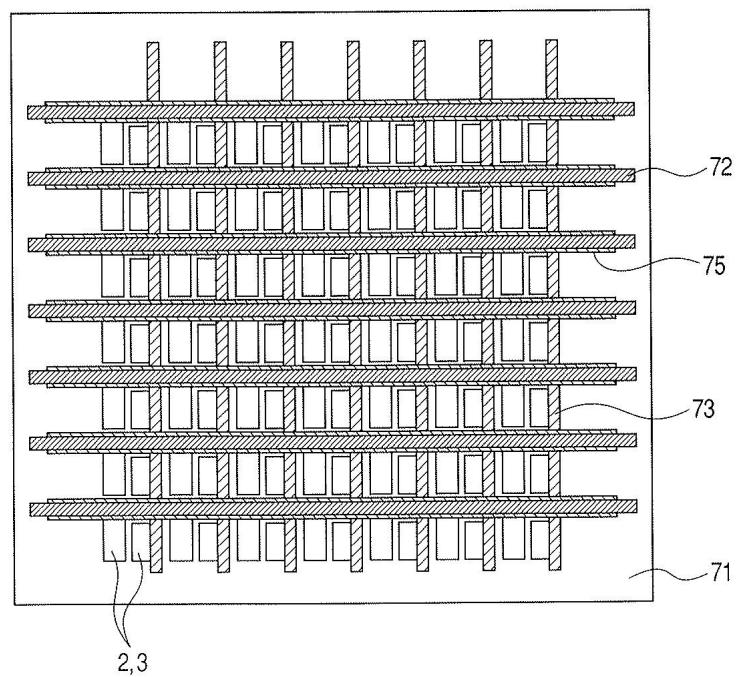
도면17



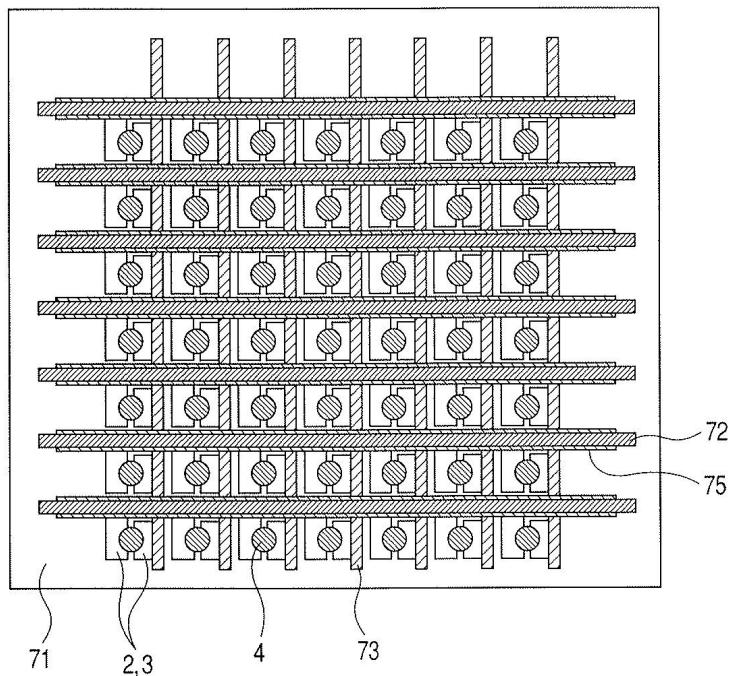
도면18



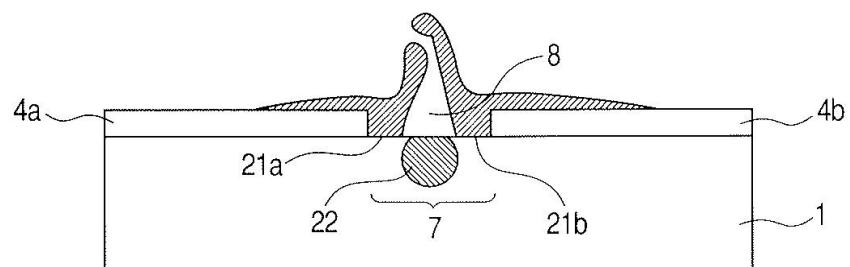
도면19



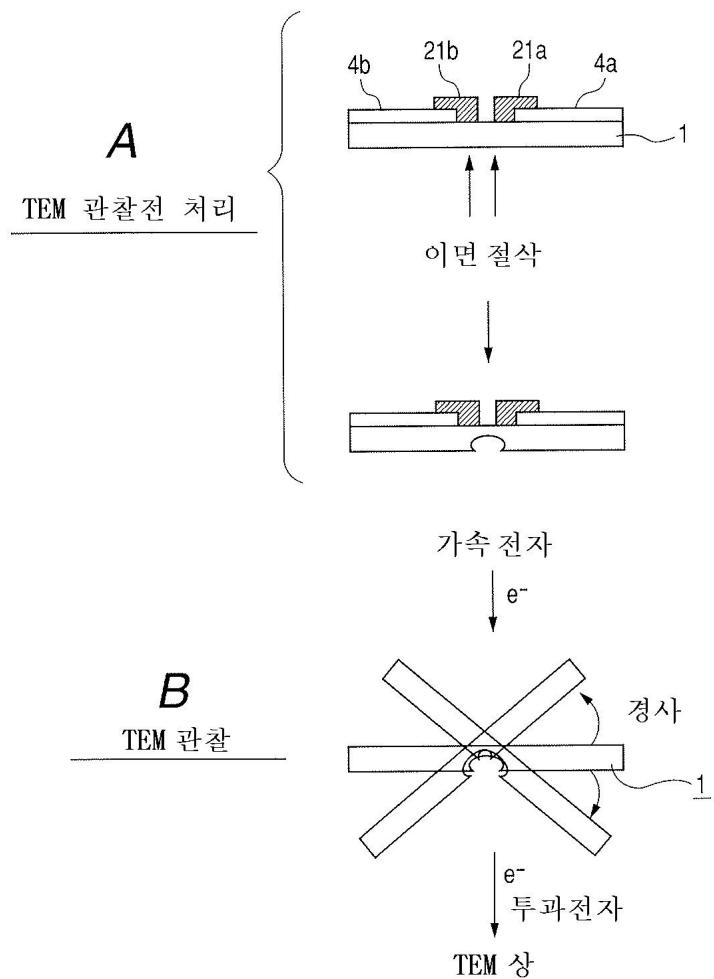
도면20



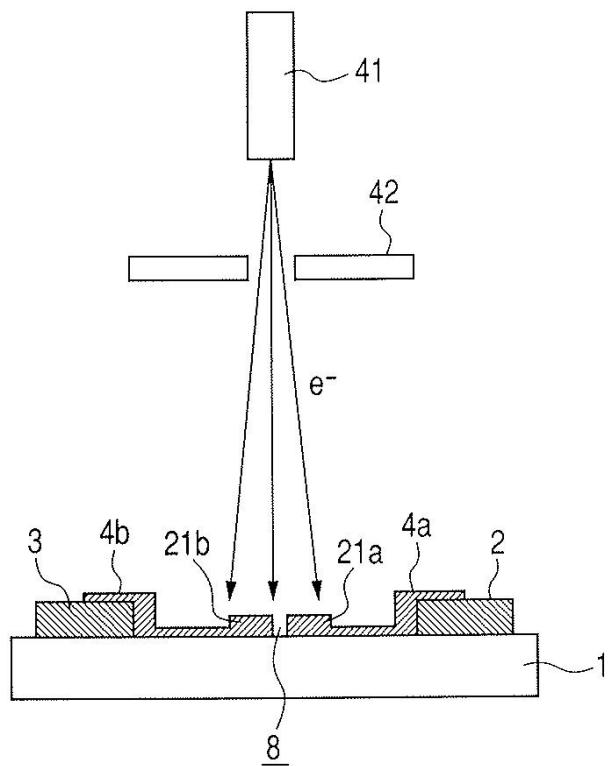
도면21



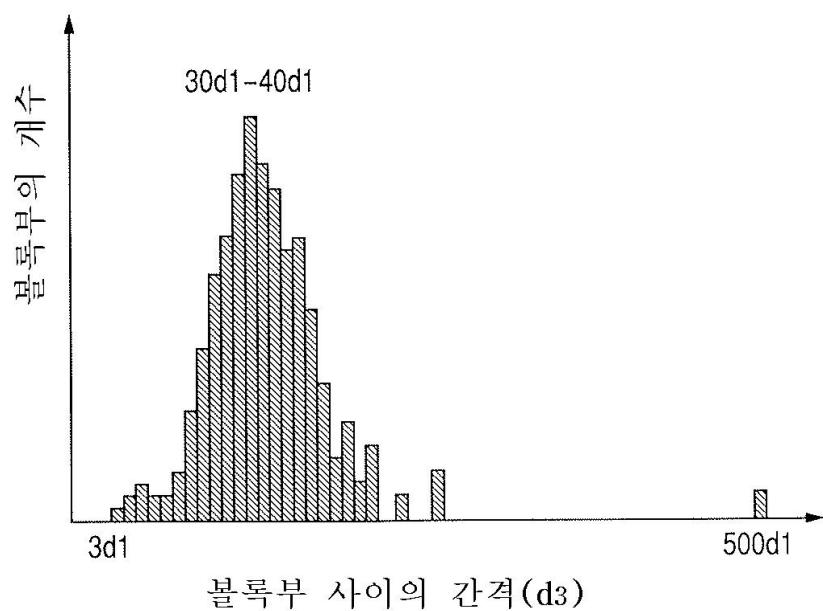
도면22



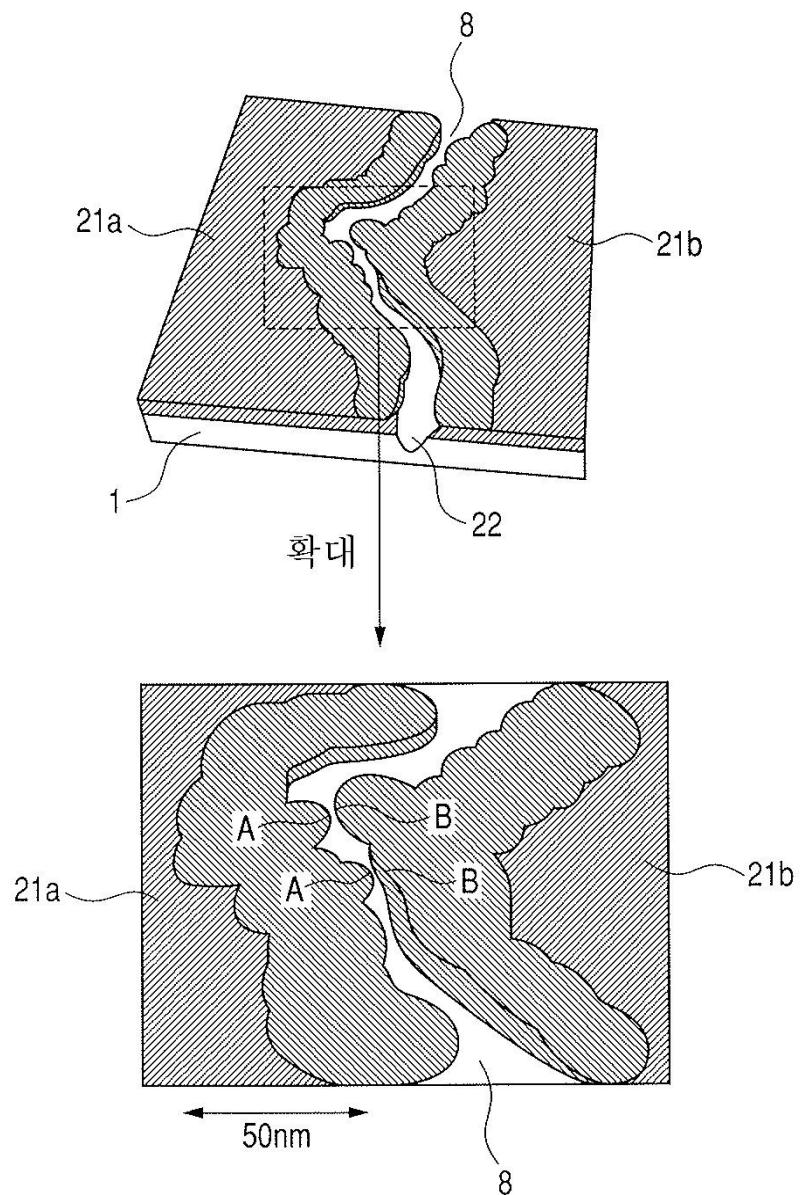
도면23



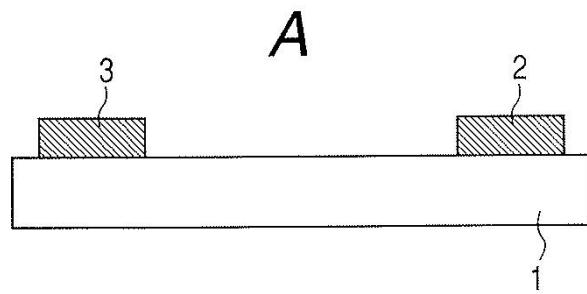
도면24



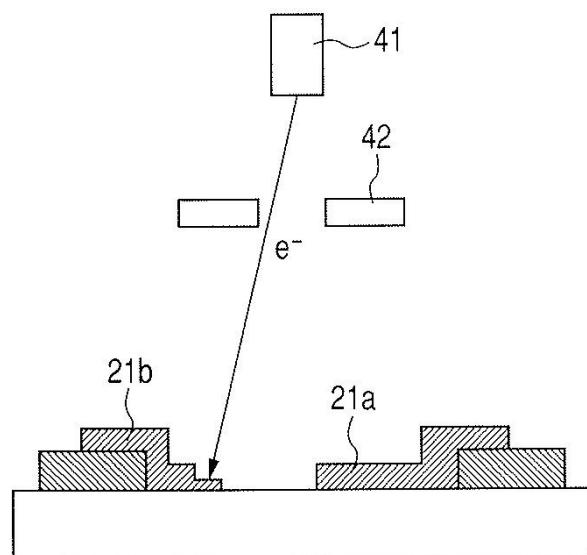
도면25



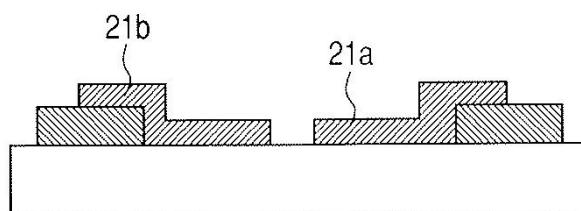
도면26



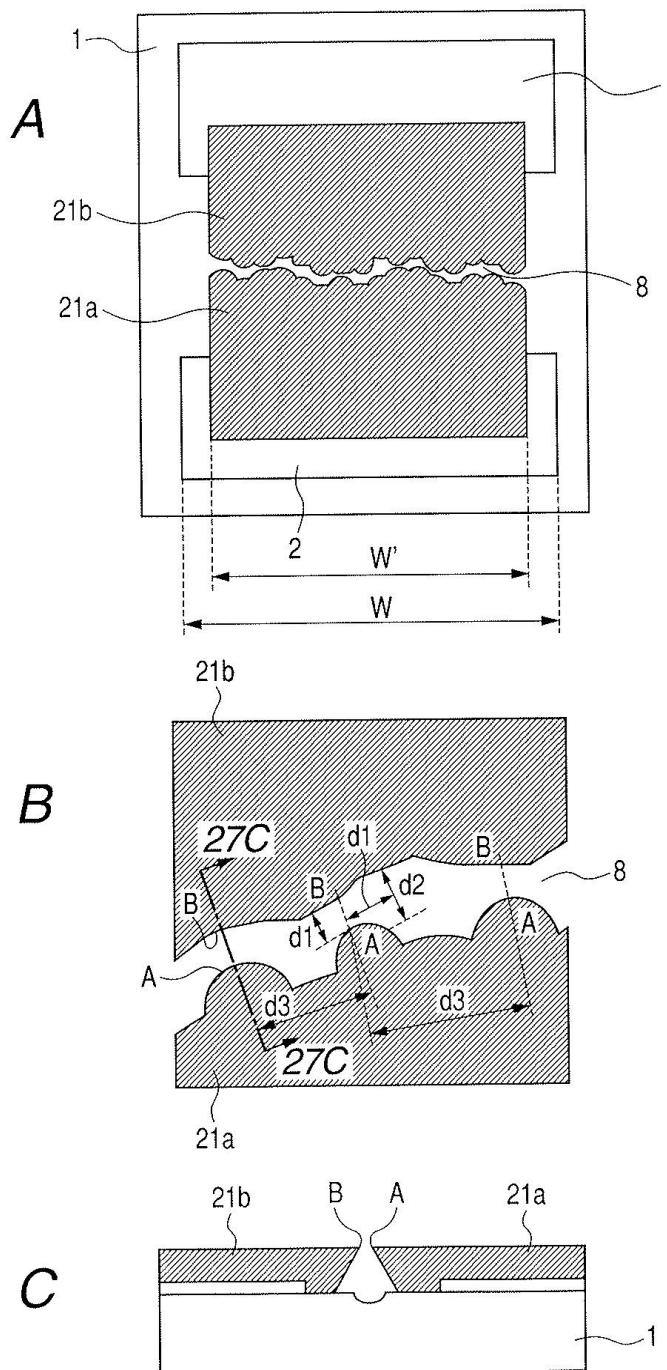
B



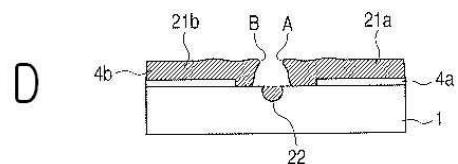
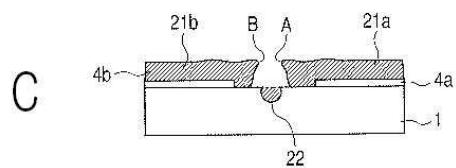
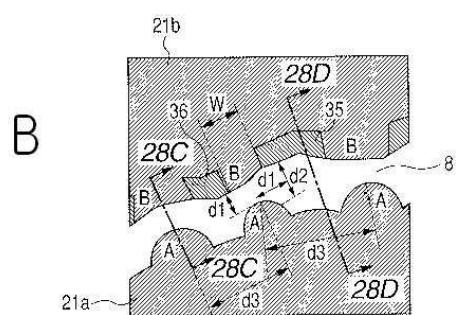
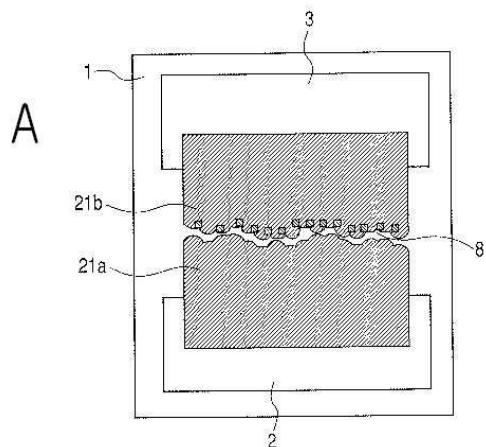
C



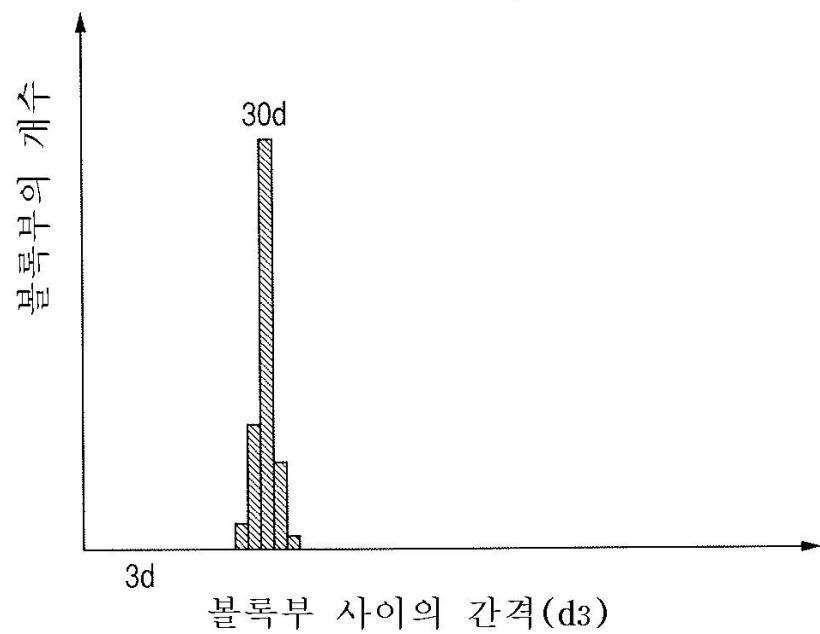
도면27



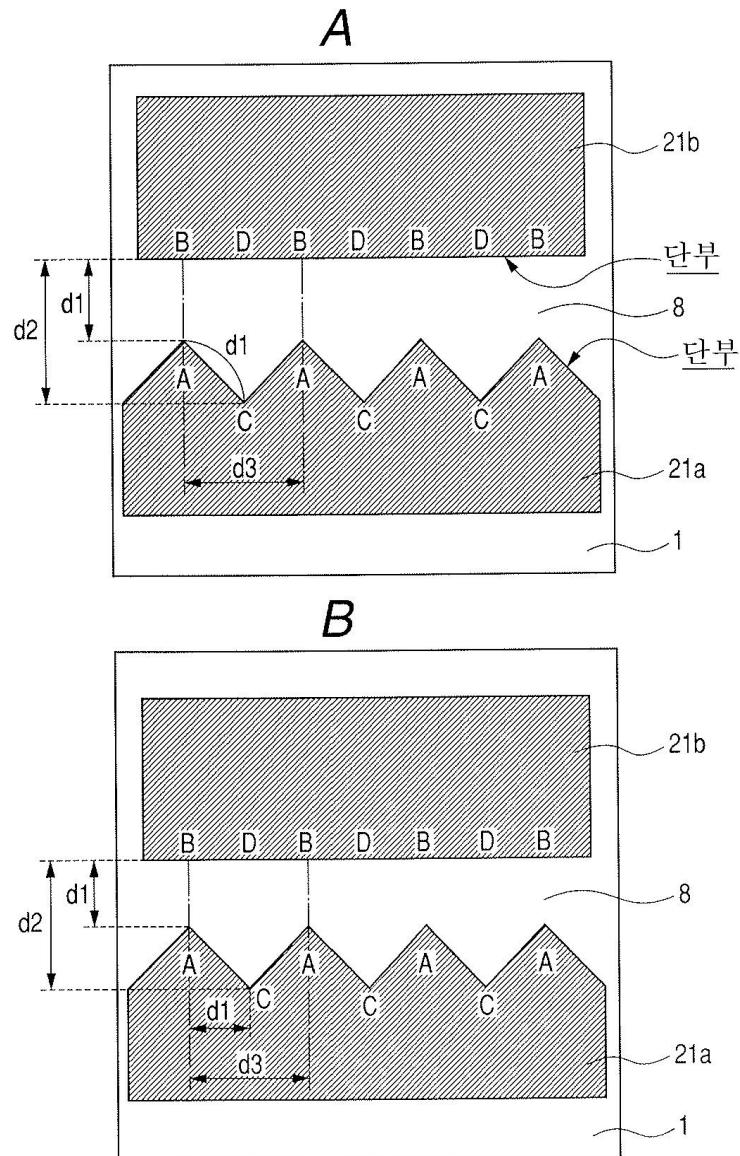
도면28



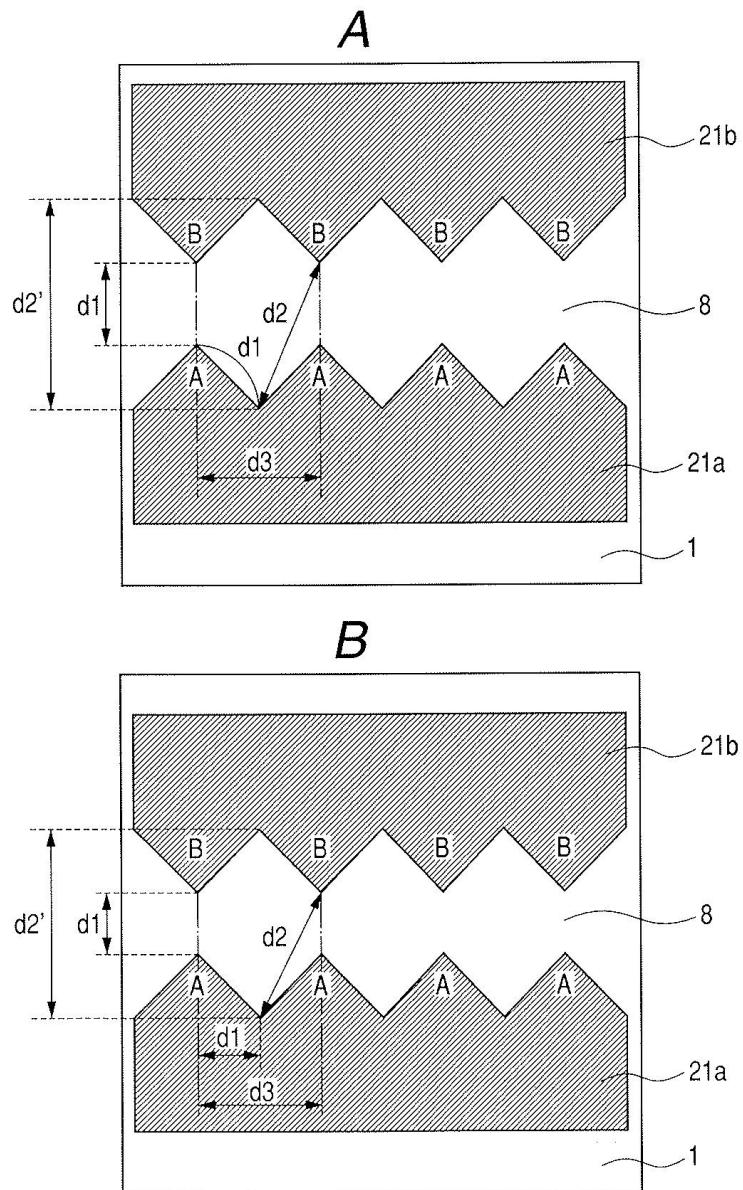
도면29



도면30



도면31



도면32

