



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0080216
(43) 공개일자 2009년07월24일

(51) Int. Cl.

H01L 33/00 (2006.01)

(21) 출원번호 10-2008-0006071

(22) 출원일자 2008년01월21일

심사청구일자 없음

(71) 출원인

엘지이노텍 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

조성룡

서울 서초구 우면동 16번지 LG전자 전자기술원

(74) 대리인

서교준

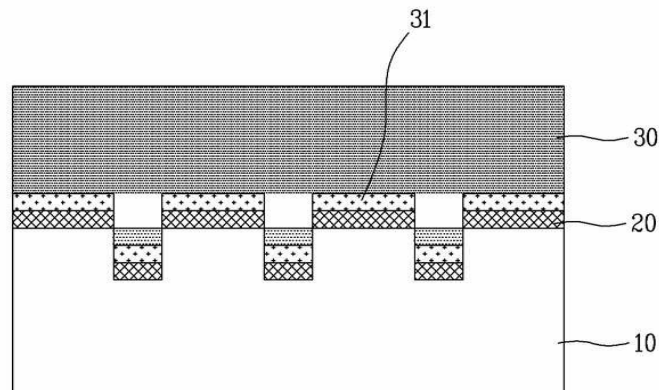
전체 청구항 수 : 총 12 항

(54) 질화물 반도체 및 수직형 발광 소자의 제조방법

(57) 요약

본 발명은 질화물 반도체 및 수직형 발광 소자의 그 제조방법에 관한 것으로 특히, 발광 소자의 발광 효율과 신뢰성 및 양산성을 향상시킬 수 있는 질화물 반도체 및 수직형 발광 소자의 그 제조방법에 관한 것이다. 이러한 본 발명은, 질화물 반도체의 제조방법에 있어서, 기판 상에 상기 기판의 적어도 일부를 노출시키는 금속성 버퍼층을 형성하는 단계와; 상기 금속성 버퍼층 상에 반도체층을 형성하는 단계와; 상기 금속성 버퍼층을 식각하여 상기 기판으로부터 반도체층을 분리하는 단계를 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도9



특허청구의 범위

청구항 1

질화물 반도체의 제조방법에 있어서,

기판 상에 상기 기판의 적어도 일부를 노출시키는 금속성 버퍼층을 형성하는 단계와;

상기 금속성 버퍼층 상에 반도체층을 형성하는 단계와;

상기 금속성 버퍼층을 식각하여 상기 기판으로부터 반도체층을 분리하는 단계를 포함하여 구성되는 것을 특징으로 하는 질화물 반도체의 제조방법.

청구항 2

제 1항에 있어서, 상기 기판은, 결정 성장면이 a-면 또는 m-면을 갖는 비극성 기판인 것을 특징으로 하는 질화물 반도체의 제조방법.

청구항 3

제 1항에 있어서, 상기 금속성 버퍼층은, 금속, 금속 질화물, 금속 탄화물, 및 금속 산화물 중 어느 하나를 포함하는 것을 특징으로 하는 질화물 반도체의 제조방법.

청구항 4

제 1항에 있어서, 상기 금속성 버퍼층은, Ti, Cr, W, Ni, Mo, Ta, Zr, TiN, CrN, WN, NiN, MoN, TaN, ZrN, TiC, CrC, WC, NiC, MoC, TaC, ZrC, TiO, CrO, WO, NiO, MoO, TaO, ZrO 중 어느 하나를 포함하는 것을 특징으로 하는 질화물 반도체의 제조방법.

청구항 5

제 1항에 있어서, 상기 금속성 버퍼층이 위치하는 기판의 상면에는 패턴이 형성된 것을 특징으로 하는 질화물 반도체의 제조방법.

청구항 6

제 5항에 있어서, 상기 패턴은, 다수의 평행한 스트라이프 패턴, 다수의 사각 또는 원형의 우물 형상의 패턴 중 어느 하나인 것을 특징으로 하는 질화물 반도체의 제조방법.

청구항 7

제 1항에 있어서, 상기 금속성 버퍼층 상에 반도체층을 형성하는 단계 이후에는,

상기 반도체층 상에 제1전극을 형성하는 단계와;

상기 제1전극 상에 지지기판을 형성하는 단계를 더 포함하는 것을 특징으로 하는 질화물 반도체의 제조방법.

청구항 8

제 1항에 있어서, 상기 금속성 버퍼층 상에 반도체층을 형성하는 단계 이후에는, 상기 반도체층을 단위 소자 구분 영역으로 식각하는 단계를 더 포함하는 것을 특징으로 하는 질화물 반도체의 제조방법.

청구항 9

제 8항에 있어서, 상기 식각하는 단계에 의하여 드러난 반도체층의 노출면 중 적어도 일부면에 패시베이션층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 질화물 반도체의 제조방법.

청구항 10

수직형 발광 소자의 제조방법에 있어서,

상면에 금속성 버퍼층이 형성되며, 패턴을 가지는 기판을 준비하는 단계와;

상기 금속성 버퍼층 상에 반도체층을 형성하는 단계와;

상기 반도체층 상에 제1전극을 형성하는 단계와;

상기 제1전극 상에 지지기판을 형성하는 단계와;

상기 금속성 버퍼층을 식각하여 상기 기판으로부터 반도체층을 분리하는 단계와;

상기 기판을 분리하여 드러난 반도체층 상에 제2전극을 형성하는 단계를 포함하여 구성되는 것을 특징으로 하는 수직형 발광 소자의 제조방법.

청구항 11

제 10항에 있어서, 상기 반도체층을 형성하는 단계 이후에는, 상기 반도체층을 단위 소자 구분 영역으로 식각하여 트렌치를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 발광 소자의 제조방법.

청구항 12

제 11항에 있어서, 상기 트렌치는 상기 기판 상에 형성된 패턴과 적어도 일부분이 일치하는 것을 특징으로 하는 수직형 발광 소자의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 질화물 반도체 및 수직형 발광 소자의 제조방법에 관한 것으로 특히, 발광 소자의 발광 효율과 신뢰성 및 양산성을 향상시킬 수 있는 질화물 반도체 및 수직형 발광 소자의 제조방법에 관한 것이다.

배경기술

<2> 발광 다이오드(Light Emitting Diode: LED)는 전류를 빛으로 변환시키는 잘 알려진 반도체 발광 소자로서, 1962년 GaAsP 화합물 반도체를 이용한 적색 LED가 상품화 된 것을 시작으로 GaP:N 계열의 녹색 LED와 함께 정보 통신기기를 비롯한 전자장치의 표시 화상용 광원으로 이용되어 왔다.

<3> 이러한 LED에 의해 방출되는 광의 파장은 LED를 제조하는데 사용되는 반도체 재료에 따른다. 이는 방출된 광의 파장이 가전자대(valence band) 전자들과 전도대(conduction band) 전자들 사이의 에너지 차를 나타내는 반도체 재료의 밴드갭(band-gap)에 따르기 때문이다.

<4> 질화 갈륨 화합물 반도체(Gallium Nitride: GaN)는 높은 열적 안정성과 폭넓은 밴드갭(0.8 ~ 6.2eV)을 가지고 있어, LED를 포함한 고출력 전자부품 소자 개발 분야에서 많은 주목을 받아왔다.

<5> 이에 대한 이유 중 하나는 GaN이 타 원소들(인듐(In), 알루미늄(Al) 등)과 조합되어 녹색, 청색 및 백색광을 방출하는 반도체 층들을 제조할 수 있기 때문이다.

<6> 이와 같이 방출 파장을 조절할 수 있기 때문에 특정 장치 특성에 맞추어 재료의 특징들에 맞출 수 있다. 예를 들어, GaN를 이용하여 광기록에 유익한 청색 LED와 백열등을 대체할 수 있는 백색 LED를 만들 수 있다.

<7> 이러한 GaN 계열 물질의 이점들로 인해, GaN 계열의 LED 시장이 급속히 성장하고 있다. 따라서, 1994년에 상업적으로 도입한 이래로 GaN 계열의 광전자장치 기술도 급격히 발달하였다.

<8> 상술한 바와 같은 GaN 계열 물질을 이용한 LED의 휘도 또는 출력은 크게, 활성층의 구조, 빛을 외부로 추출할 수 있는 광추출 효율, LED 칩의 크기, 램프 패키지 조립 시 몰드(mold)의 종류 및 각도, 형광물질 등에 의해서 좌우된다.

<9> 한편, 이러한 GaN 계열 반도체 성장이 다른 III-V족 화합물 반도체보다 어려운 이유 중에 하나는 고품질의 기판, 즉, GaN, InN, AlN 등의 물질의 웨이퍼가 존재하지 않기 때문이다.

<10> 따라서 사파이어와 같은 이종 기판 위에 LED 구조를 성장하게 되며, 이때 많은 결함이 발생하게 되고, 이러한 결함들은 LED 성능에 큰 영향을 미치게 된다.

발명의 내용

해결 하고자하는 과제

<11> 본 발명이 이루고자 하는 기술적 과제는, 고품질의 질화물 반도체를 형성할 수 있고, 식각에 의하여 기판을 분리하여 수직형 발광 소자를 제작할 수 있는 질화물 반도체 및 수직형 발광 소자의 제조방법을 제공하는 데 있다.

과제 해결수단

<12> 상기 기술적 과제를 이루기 위한 제1관점으로서, 본 발명은, 질화물 반도체의 제조방법에 있어서, 기판 상에 상기 기판의 적어도 일부를 노출시키는 금속성 버퍼층을 형성하는 단계와; 상기 금속성 버퍼층 상에 반도체층을 형성하는 단계와; 상기 금속성 버퍼층을 식각하여 상기 기판으로부터 반도체층을 분리하는 단계를 포함하여 구성되는 것을 특징으로 한다.

<13> 상기 기술적 과제를 이루기 위한 제2관점으로서, 본 발명은, 수직형 발광 소자의 제조방법에 있어서, 상면에 금속성 버퍼층이 형성되며, 패턴을 가지는 기판을 준비하는 단계와; 상기 금속성 버퍼층 상에 반도체층을 형성하는 단계와; 상기 반도체층 상에 제1전극을 형성하는 단계와; 상기 제1전극 상에 지지기판을 형성하는 단계와; 상기 금속성 버퍼층을 식각하여 상기 기판으로부터 반도체층을 분리하는 단계와; 상기 기판을 분리하여 드러난 반도체층 상에 제2전극을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

효과

<14> 본 발명은 반도체의 측면 성장법을 이용하고 비극성 기판 상에 비극성을 가지도록 반도체층을 형성할 수 있어 고품질의 질화물 반도체를 형성할 수 있고, 식각에 의하여 충격 및 스트레스 없이 안정적으로 기판을 분리할 수 있어, 고품질의 질화물 반도체 기판을 제공하는 것이 가능하고, 이러한 고품질의 질화물 반도체를 이용하여 수직형 발광 소자를 형성하는 경우에 발광 효율, 신뢰성, 및 양산성을 향상시킬 수 있는 효과가 있는 것이다.

발명의 실시를 위한 구체적인 내용

<15> 이하, 첨부된 도면을 참고하여 본 발명에 의한 실시예를 상세히 설명하면 다음과 같다.

<16> 본 발명이 여러 가지 수정 및 변형을 허용하면서도, 그 특정 실시예들이 도면들로 예시되어 나타내어지며, 이하에서 상세히 설명될 것이다. 그러나 본 발명을 개시된 특별한 형태로 한정하려는 의도는 아니며, 오히려 본 발명은 청구항들에 의해 정의된 본 발명의 사상과 합치되는 모든 수정, 균등 및 대용을 포함한다.

<17> 층, 영역 또는 기판과 같은 요소가 다른 구성요소 "상(on)"에 존재하는 것으로 언급될 때, 이것은 직접적으로 다른 요소 상에 존재하거나 또는 그 사이에 중간 요소가 존재할 수도 있다는 것을 이해할 수 있을 것이다. 표면과 같은 구성 요소의 일부가 '내부(inner)'라고 표현된다면 이것은 그 요소의 다른 부분들 보다도 소자의 외측으로부터 더 멀리 있다는 것을 의미한다고 이해할 수 있을 것이다.

<18> 나아가 '아래(beneath)' 또는 '중첩(overlies)'과 같은 상대적인 용어는 여기에서는 도면에서 도시된 바와 같이 기판 또는 기준층과 관련하여 한 층 또는 영역과 다른 층 또는 영역에 대한 한 층 또는 영역의 관계를 설명하기 위해 사용될 수 있다.

<19> 이러한 용어들은 도면들에서 묘사된 방향에 더하여 소자의 다른 방향들을 포함하려는 의도라는 것을 이해할 수 있을 것이다. 마지막으로 '직접(directly)'라는 용어는 중간에 개입되는 어떠한 요소가 없다는 것을 의미한다. 여기에서 사용되는 바와 같이 '및/또는'이라는 용어는 기록된 관련 항목 중의 하나 또는 그 이상의 어느 조합 및 모든 조합을 포함한다.

<20> 비록 제1, 제2 등의 용어가 여러 가지 요소들, 성분들, 영역들, 층들 및/또는 지역들을 설명하기 위해 사용될 수 있지만, 이러한 요소들, 성분들, 영역들, 층들 및/또는 지역들은 이러한 용어에 의해 한정되어서는 안 되는 것을 이해할 것이다.

<21> 본 발명의 실시예들은 예를 들어, 사파이어(Al_2O_3)계 기판과 같은 비도전성 기판상에 형성된 질화갈륨(GaN)계 발광 소자를 참조하여 설명될 것이다. 그러나 본 발명은 이러한 구조에 한정되는 것은 아니다.

<22> 본 발명의 실시예들은 도전성 기판을 포함하여 다른 기판을 사용할 수 있다. 따라서 GaP 기판상의 AlGaInP 다이

오드, SiC 기판상의 GaN 다이오드, SiC 기판상의 SiC 다이오드, 사파이어 기판상의 SiC 다이오드, 및/또는 GaN, SiC, AlN, ZnO 및/또는 다른 기판상의 질화물계 다이오드 등의 조합이 포함될 수 있다. 더구나 본 발명은 활성 영역은 다이오드 영역의 사용에 한정되는 것은 아니다. 또한 활성영역의 다른 형태들이 본 발명의 일부 실시예들에 따라서 사용될 수도 있다.

- <23> 이러한 사파이어 기판 상에 성장되는 GaN 계열의 소자들은 다음과 같은 이유 때문에 내재적인 문제점들을 안고 있다. 즉, 사파이어와 GaN 사이의 격자 불일치(lattice mismatch; ~ 16% (in-plane)와 열팽창 계수의 불일치 때문이다($1.2 \times 10^{-6}/K$ at 300K). 특히, 이러한 열팽창 계수의 불일치 때문에 전위 밀도(dislocation density)가 $10^8/cm^2$ 보다 크게 된다. 따라서, 이러한 격자 결함을 줄이기 위한 방안이 요구된다.
- <24> GaN 및 그의 합금들은 육방정계 우르차이트(hexagonal wurtzite) 결정 구조에서 가장 안정적이다. 이러한 결정 구조는 서로에 대하여 120° 회전 대칭을 가지고, 수직방향인 c-축에 대하여 모두 수직인 세 개의 동등한 기저면 축들(basal plane axes; a_1, a_2, a_3)로 표시된다.
- <25> III족 및 질소 원자들은 결정의 c-축을 따라 교대로 c-면(0001)들을 점유한다. 이러한 우르차이트 구조 내에 포함된 대칭 요소들은 III족 질화물들이 c-축을 따라서 벌크 자발 분극(bulk spontaneous polarization)을 가지는 것을 나타낸다.
- <26> 더욱이, 이러한 우르차이트 결정구조는 비-중심대칭(noncentrosymmetric)이므로, 우르차이트 질화물들은 결정의 c-축을 따라서 압전 분극(piezoelectric polarization)을 추가적으로 보일 수 있다.
- <27> 전자 및 광전자 소자들을 위한 현재의 질화물 기술은 극성의 c-방향을 따라서 성장한 질화물 박막들을 이용한다. 그러나, 강한 압전 및 자발적 분극의 존재로 인하여, III족 질화물계 광전자 및 전자 소자들 내의 통상적인 c-면 양자우물 구조들(quantum well structures)은 바람직하지 않은 양자 구속 스타크 효과(quantum-confined Stark effect, QCSE)의 영향을 받는다.
- <28> 따라서, c-방향을 따른 강한 내부 전기장(built-in electric fields)은 에너지 밴드를 휘게 하여 전자 및 홀들을 공간적으로 분리하며, 이에 따라 캐리어 재결합 효율(recombination efficiency)을 제한하고, 진동자 강도를 감소시킬 수 있으며, 또한 적색 편이(red shift) 발광을 야기한다.
- <29> GaN 광전자 소자들에서 상기 자발 및 압전 분극 효과를 제거하기 위한 하나의 가능한 방법은 상기 결정의 비극성 면(non-polar plane)들 상에 소자들을 성장시키는 것이다. 이러한 면들은 동일한 수의 Ga와 N 원자들을 포함하며, 전하-중성(charge-neutral)이다.
- <30> 더욱이, 계속되는 비극성 면들은 서로 균등하여 전체 결정은 성장방향으로 분극되지 않는다. GaN 결정 구조 내에서 대칭-등가 비극성 면들(symmetry-equivalent non-polar planes)의 두 족들(families)은 집합적으로 a-면들로 알려진 균과 집합적으로 m-면들로 알려진 균이다.
- <31> 이와 같은 비극성 성장 방향인 a-방향 또는 m-방향을 채용하는 GaN 계열(AlGaInN) 양자 우물 구조들은 우르차이트 질화물 구조들 내에 분극-유발 전기장 효과(polarization-induced electric fields)를 제거하기 위한 효율적인 수단이 될 수 있다.
- <32> 왜냐하면, 상기 극성 측은 필름의 성장면 내에 놓여져 있고, 이에 따라 양자 우물들의 이종 계면(heterointerfaces)에 평행하기 때문이다.
- <33> 이와 같은 비극성을 갖는 a-면 또는 m-면 GaN 계열 반도체 박막은 a-면 또는 m-면을 갖는 비극성 기판(non-polar substrate) 상에서 효율적으로 성장될 수 있다.
- <34> 따라서, 비극성을 갖는 사파이어, SiC 등의 기판 상에 GaN 계열 반도체 박막을 성장시킴으로써, 효율적으로 비극성 GaN 계열 반도체 소자를 제조할 수 있는 것이다.
- <35> 한편, 질화물계 발광 소자 구조는 사파이어, SiC, Si 등의 기판 상에 GaN 반도체층을 성장하여 제작된다. 그러나 여전히 기판과 성장된 GaN 반도체의 격자 상수 및 열팽창계수의 차이로 인한 결함밀도가 크며, $10^8 cm^{-2}$ 이상의 결함밀도를 소자 내의 박막에 포함하고 있으며, 이는 발광 소자의 발광 효율 저하와 더불어 낮은 정전기적 특성, 높은 누설 전류 등으로 인해 전기적 특성이 저하될 수 있다.
- <36> 또한 전기적으로 절연성 기판인 사파이어 기판을 이용할 경우, 기판 하층에 전극을 형성하는 것이 불가능하므로

전극 형성을 위하여 반도체 박막을 식각해야 하는 복잡한 공정이 요구된다.

- <37> 최근 HVPE(hydride vapor phase epitaxy) 법을 이용하여 GaN 기판을 제작하여, 이를 발광 소자에 적용하는 사례가 발표되고 있으나 GaN 기판의 가격이 너무 고가이므로 실용화되지 못하고 있는 실정이다.
- <38> 또한, 수직형 발광 소자를 제작하기 위하여 사파이어 기판을 제거하는 레이저 리프트 오프(laser lift-off) 방법은 공정이 복잡하고 많은 공정 비용과 고가의 장비가 필요하고, 이러한 기판의 제거 과정에서 주변 반도체층에 손상을 가져오게 되어 보다 간편하면서 저비용의 공정 개발이 요구되고 있다.
- <39> 이러한 기판 제거 공정의 하나로써, 패턴이 형성된 기판 상에 금속성 버퍼층을 형성하고, 이 금속성 버퍼층 상에 반도체 박막을 성장한 후, 금속성 버퍼층을 식각하는 화학적 식각 방법을 이용하여 기판을 효율적으로 분리할 수 있다. 또한, 이러한 과정에서 반도체 박막의 측면 성장이 활성화되어 반도체 박막의 품질도 크게 향상될 수 있다.
- <40> <제1실시예>
- <41> 도 1에서 도시하는 바와 같이, 사파이어, SiC와 같은 기판(10) 상에는 금속성 버퍼(metallic buffer)층(20)이 형성되고, 이 금속성 버퍼층(20) 상에 GaN 반도체층(30)이 성장된다.
- <42> 이때, 기판(10)은 a-면 또는 m-면을 갖는 비극성 기판(non-polar substrate)이 이용될 수 있는데, 상술한 장점을 가지는 a-면 또는 m-면 비극성 GaN 반도체층(30)은 비극성 기판 상에서 효율적으로 성장될 수 있기 때문이다.
- <43> 또한, 금속성 버퍼층(20)은 금속, 금속들의 합금, 금속 산화물, 또는 금속 질화물과 같은 금속성 물질이 이용될 수 있다. 이러한 금속성 버퍼층(20)은 추후 수직형 발광 소자 구조를 제작하기 위하여 기판(10)을 제거하는 과정에서 기판(10)이 화학적 식각 방법 또는 자발적 분리 방법으로 분리될 수 있도록 한다.
- <44> 이러한 금속성 버퍼층(20)에는 규칙적 또는 불규칙적 홈(21)이 위치할 수 있으며, 반도체층(30)은 이러한 홈(21) 상에서 주로 성장이 시작되어, 측면 성장에 의하여 서로 합쳐져 층을 이루게 된다. 이러한 과정에서 관통 전위(threading dislocation)와 같은 결정 결함들이 감소될 수 있다.
- <45> 금속성 버퍼층(20)은, 일례로 TiN으로 이루어질 수 있으며, 상술한 바와 같이, 마스크층으로 작용할 수 있어서, 반도체층의 측면 성장을 돕게 된다.
- <46> 이와 같이, 금속성 버퍼층(20) 상에 성장된 반도체층(30)을 기판(10)으로부터 분리하는 경우에는, 도 2에서와 같이, 화학적 식각 방법 또는 자발적 분리 방법으로 분리할 수 있다.
- <47> 이때, 금속성 버퍼층(20)에 형성된 홈(21)은 식각시 식각 용액이 계면에 고르게 흘러들어갈 수 있도록 하여, 식각 과정을 촉진시킬 수 있고, 이러한 화학적 식각에 의한 기판(10)의 분리과정은 레이저 리프트 오프 공정에 비하여 반도체층(30) 및 계면에 스트레스를 크게 감소시킬 수 있어, 반도체층(30)의 손상을 방지할 수 있다.
- <48> <제2실시예>
- <49> 도 3에서 도시하는 바와 같이, 사파이어, Si, 또는 SiC 등으로 이루어지는 기판(10) 상에 패턴(11)을 형성한다. 이때, 이러한 패턴(11)은 기판(10) 상에 성장되는 반도체층의 측면 성장을 통하여 반도체층의 품질을 향상시킬 수 있고, 식각에 의하여 기판(10)을 분리하는 경우에 식각 용액이 고르게 흘러들어갈 수 있도록 도울 수 있다.
- <50> 이러한 패턴(11)의 형상은 도 4에서와 같이, 스트라이프 형태의 홈을 가지는 패턴(11)을 형성할 수 있고, 도 5와 같이 사각형 홈을 가지는 패턴(12)을 형성할 수도 있다.
- <51> 또한, 도 6과 같이, 원형 패턴(13)을 형성할 수도 있는데, 이때, 이 원형 패턴(13)은 도 7에서와 같이, 단면이 원형인 렌즈형 형상을 이룰 수도 있다. 한편, 사각형 홈을 가지는 패턴(12) 및 원형 패턴(13)의 단면은 사각 형상을 이룰 수 있음은 물론이다. 즉, 사각형 또는 원형의 우물 형상의 패턴을 가질 수 있다.
- <52> 이와 같이 패턴이 형성된 기판(10) 상에, 도 8에서와 같이, 금속성 버퍼층(20)을 형성한다. 이러한 금속성 버퍼층(20)은 Ti, Cr, W, Ni, Mo, Ta, 또는 Zr과 같은 금속, TiN, CrN, WN, NiN, MoN, TaN, 또는 ZrN과 같은 금속 질화물, TiC, CrC, WC, NiC, MoC, TaC, 또는 ZrC와 같은 금속 탄화물, 또는 TiO, CrO, WO, NiO, MoO, TaO, 또는 ZrO와 같은 금속 산화물 등이 이용될 수 있다.
- <53> 이와 같은 금속성 버퍼층(20)은 50 내지 5000 Å의 두께로 스퍼터(sputter) 또는 e-빔 증착법(electron beam

evaporation)을 이용하여 기판 상에 증착시킬 수 있다.

- <54> 다음에는, 도 9에서 도시하는 바와 같이, 금속성 버퍼층(20)이 형성된 기판(10) 상에 GaN 반도체층(30)을 성장시킨다. 이때, 이러한 GaN 반도체층(30)은 먼저, 저온에서 버퍼층(31)을 성장시킨 후에 고온으로 성장시킬 수 있다.
- <55> 이때, 패턴(11)이 형성된 부분에서는 반도체가 느리게 성장되거나 성장이 거의 이루어지지 않고, 패턴(11)이 형성되지 않은 평탄한 부분에서 반도체가 성장되고, 이와 같이 성장된 반도체는 측면 성장에 의하여 서로 만나게 되어, 평탄한 GaN 반도체층(30)을 이루게 된다. 이와 같이 성장된 GaN 반도체층(30)의 측면 성장된 부분은 관통 전위(threading dislocation)가 소멸되어 결정질 특성이 향상될 수 있다.
- <56> 이와 같이 성장된 GaN 반도체층(30)은 기판(10)을 분리하여 GaN 기판으로 이용될 수 있다. 이때, 기판(10)의 분리는 금속성 버퍼층(20)을 식각하여 이루어질 수 있으며, 상술한 바와 같이, 기판(10) 상의 홈 패턴(11)은 이러한 식각 과정이 원활히 진행되도록 도울 수 있다.
- <57> 이때, 식각 용액은, 예를 들어, 200 내지 300 °C의 고온의 인산 황산 혼합액이나, 왕수, 또는 BOE를 이용할 수 있다.
- <58> <제3실시예>
- <59> 도 10에서와 같이, 금속성 버퍼층(20)이 형성된 기판(10) 상에 GaN 반도체층(30)을 성장하여 발광 소자를 제작할 수 있다. 이때, 이러한 GaN 반도체층(30)은 n-형 반도체층(32), 활성층(33), 및 p-형 반도체층(34)을 포함하여 이루어질 수 있고, 이러한 GaN 반도체층(30)은 저온 버퍼층(31) 상에 성장될 수 있다.
- <60> 이후, 도 11에서와 같이, 각 단위 소자 분리 영역을 식각하여 추후 칩 분리가 용이하게 이루어질 수 있도록 할 수 있다. 이때, 단위 소자 분리 영역은 상술한 패턴(11)과 일치할 수 있다. 이와 같이 분리 영역이 패턴(11)과 일치하는 경우에는 수직형 구조를 이루기 위한 기판 분리 및 칩 분리 과정이 보다 원활히 이루어질 수 있다.
- <61> 다음에 반도체층(30)의 p-형 반도체층(34) 상에는 p-형 전극(40)이 형성될 수 있다. 이러한 p-형 전극(40)은 오믹전극이며, 별도의 반사형 전극이 추가될 수도 있고, 반사형 오믹전극이 형성될 수도 있다.
- <62> 다음에는, 도 12에서 도시하는 바와 같이, p-형 전극(40) 상에 지지기판(50)을 형성하거나 부착시킨다. 이러한 지지기판(50)은 기판(10) 분리 과정에서 발광 소자 구조를 지지하는 역할을 수행할 수 있다.
- <63> 이러한 지지기판(50)은 p-형 전극(40) 상에 도금 또는 본딩에 의하여 형성될 수 있다. 이때, 경우에 따라 p-형 전극(40)과 지지기판(50) 사이에 별도의 결합금속층(도시되지 않음)이 위치할 수도 있다. 이러한 지지기판(50)은 금속 또는 반도체 웨이퍼를 포함할 수 있다.
- <64> 이후, 지지기판(50)으로 지지되는 상태에서 기판(10)을 제거한다. 이러한 기판(10)의 제거는 금속성 버퍼층(20)을 식각하여 제거할 수 있으며, 이러한 기판(10) 분리 과정은 상술한 제2실시예와 동일한 과정을 거칠 수 있다.
- <65> 다음에, 도 13과 같이, 기판(10)이 분리되어 드러난 버퍼층(31)을 추가로 식각하여 제거하고, n-형 반도체층(32) 상에 n-형 전극(60)을 형성한다.
- <66> 이후, 여러 개의 단위 소자를 지지하는 지지기판(50)을 각 소자 구분 영역을 분리하여 지지기판(50)을 가지는 단위 발광 소자가 제작될 수 있고, 경우에 따라, 이러한 지지기판(50)을 제거하면 도 14에서와 같은 지지기판(50)이 없는 단위 발광 소자가 제작될 수도 있다.
- <67> <제4실시예>
- <68> 도 15에서와 같이, 제3실시예와 달리, 기판(10)에 패턴(11)을 형성하기 이전에 금속성 버퍼층(20)을 먼저 형성할 수 있다.
- <69> 다음에, 도 16에서와 같이, 이러한 금속성 버퍼층(20)이 형성된 기판(10)에 패턴(11)을 형성한다. 이러한 패턴(11)은 제3실시예에서 설명한 도 4 내지 도 7에서 도시하는 패턴(11)과 동일할 수 있다.
- <70> 이후에, 도 17에서와 같이, 저온에서 GaN 반도체 버퍼층(31)을 형성하고, 이어서 고온에서 GaN 반도체층(30)을 형성할 수 있다. 이와 같은 패턴(11) 상에 성장되는 반도체층(30)은 측면 성장에 의하여 그 품질이 향상될 수 있다.

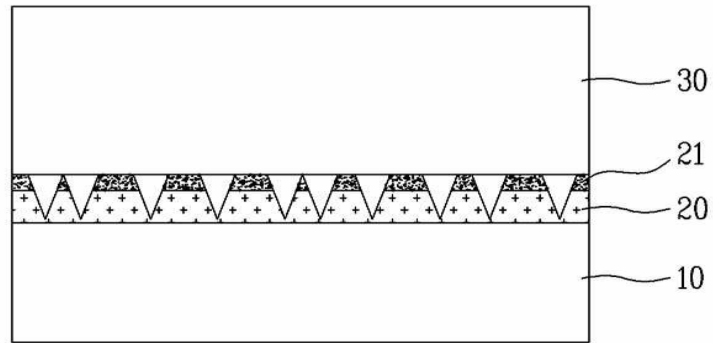
- <71> 이후, 기판(10)을 분리하여 GaN 기판으로 이용될 수도 있고, 발광 소자 구조를 형성할 수도 있다. 이러한 과정은 제3실시예와 동일할 수 있다.
- <72> <제5실시예>
- <73> 도 18에서 도시하는 바와 같이, 패턴(110)이 형성된 기판(100) 상에 GaN 반도체층(300)을 성장한다. 이때, 패턴(110) 중 다수개의 단위 패턴에 걸쳐서 하나의 단위 발광 소자 구조가 위치할 수 있다. 즉, 패턴(110)의 단위 구조를 발광 소자 면적보다 매우 조밀하게 형성할 수 있다.
- <74> 이와 같이, 조밀한 패턴(110)을 가지는 기판(100) 상에 금속성 버퍼층(200)이 형성되고, 이러한 금속성 버퍼층(200) 상에는 n-형 반도체층(310), 활성층(320), 및 p-형 반도체층(330)으로 이루어지는 GaN 반도체층(300)이 형성된다.
- <75> 이후, 도 18에서와 같이, 단위 소자 구분 영역을 식각하여 추후 칩 분리가 용이하도록 할 수 있다. 다음에, p-형 반도체층(330) 상에는 p-형 전극(400)을 형성한다.
- <76> 다음, 도 19에서와 같이, 단위 소자 구분 영역을 식각하여 드러난 반도체층(300)의 측면을 포함한 노출면에 패시베이션층(500)을 형성할 수 있다. 이러한 패시베이션층(500)은 발광 소자 구동시 누설 전류를 방지하여 전기적 특성을 향상시키는 동시에 반도체층(300)을 보호할 수 있다.
- <77> 또한, 이러한 패시베이션층(500)은 기판(100) 제거 과정에서 반도체층(300)이 식각되지 않도록 보호하는 역할을 수행할 수 있다.
- <78> 다음에, p-형 전극(400) 상에는 지지기판(600)이 위치할 수 있고, 이후, 금속성 버퍼층(200)을 식각함으로써 기판(100)이 제거된 후에, 이 기판(100)이 제거되어 드러난 n-형 반도체층(310) 상에 n-형 전극(700)을 형성하면 도 20과 같은 최종 소자가 완성된다.
- <79> 이외에 설명되지 않은 부분은 상술한 제1 내지 제4실시예와 동일한 사항이 적용될 수 있다.
- <80> 상기 실시예는 본 발명의 기술적 사상을 구체적으로 설명하기 위한 일례로서, 본 발명은 상기 실시예에 한정되지 않으며, 다양한 형태의 변형이 가능하고, 이러한 기술적 사상의 여러 실시 형태는 모두 본 발명의 보호범위에 속함은 당연하다.

도면의 간단한 설명

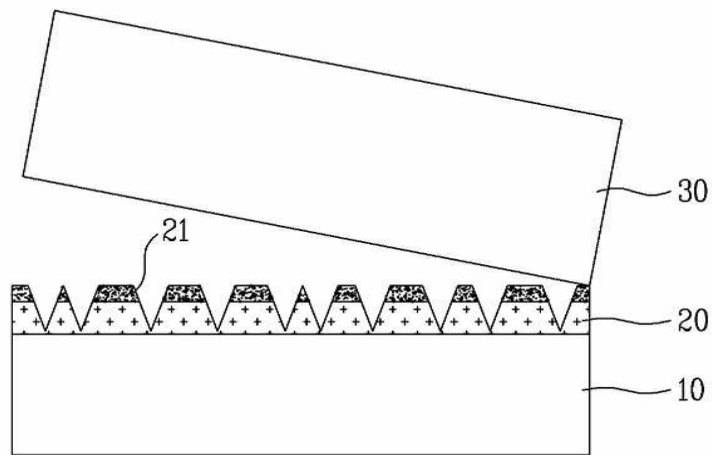
- <81> 도 1 및 도 2는 본 발명의 제1실시예를 도시하는 단면도이다.
- <82> 도 3 내지 도 9는 본 발명의 제2실시예를 도시하는 도이다.
- <83> 도 10 내지 도 14는 본 발명의 제3실시예를 도시하는 도이다.
- <84> 도 15 내지 도 17은 본 발명의 제4실시예를 도시하는 단면도이다.
- <85> 도 18 내지 도 20은 본 발명의 제5실시예를 도시하는 단면도이다.

도면

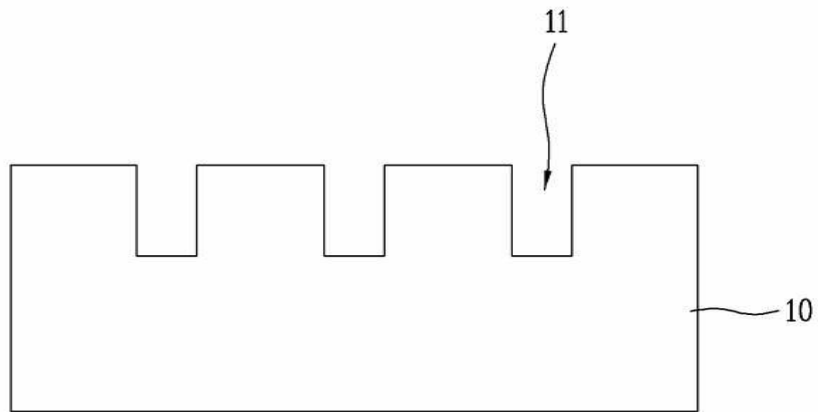
도면1



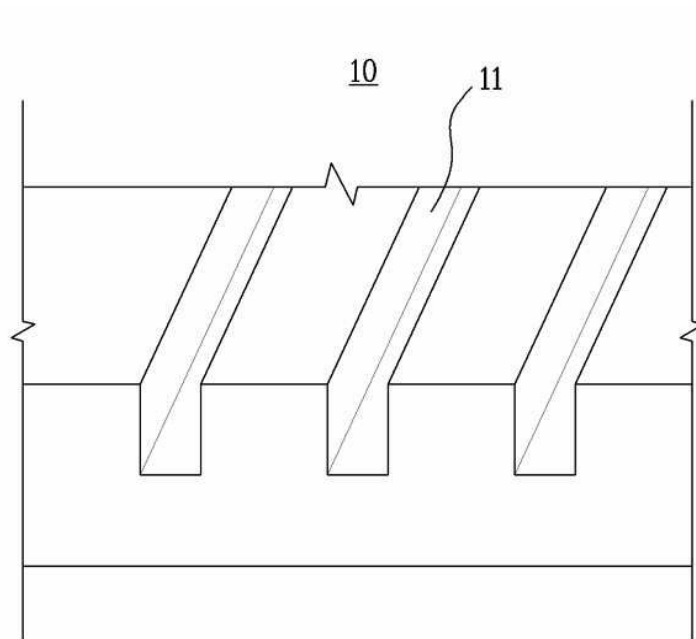
도면2



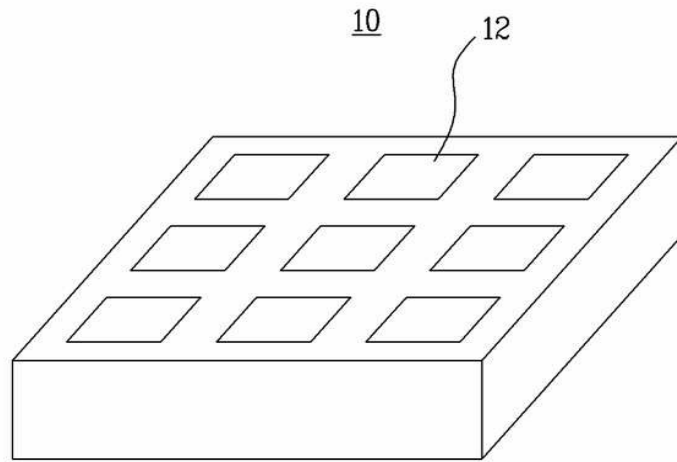
도면3



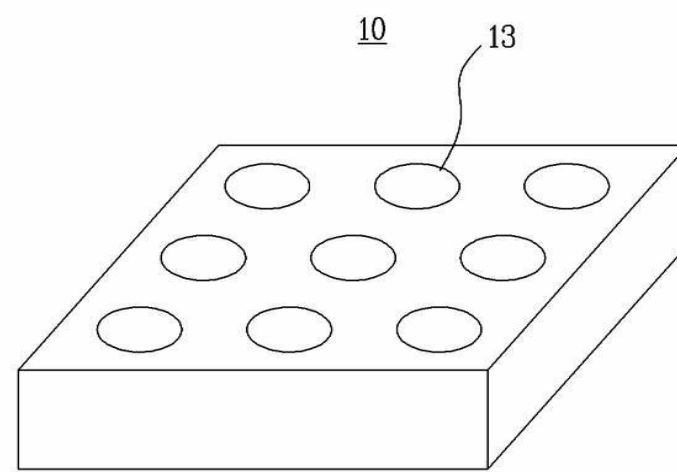
도면4



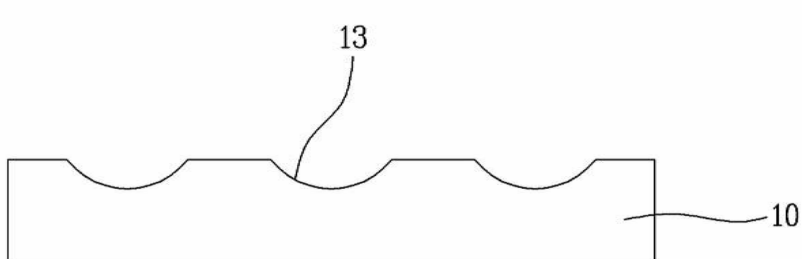
도면5



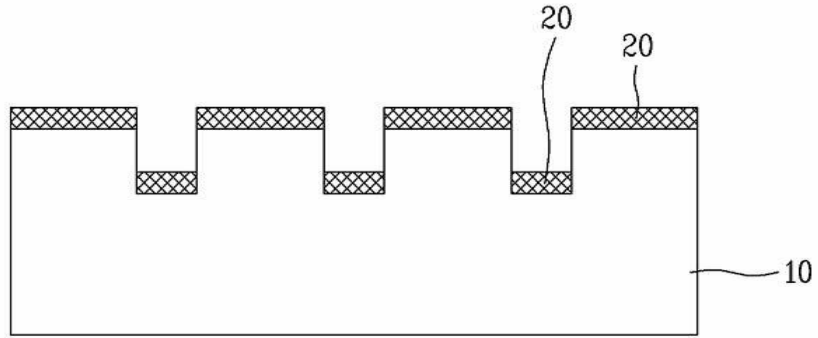
도면6



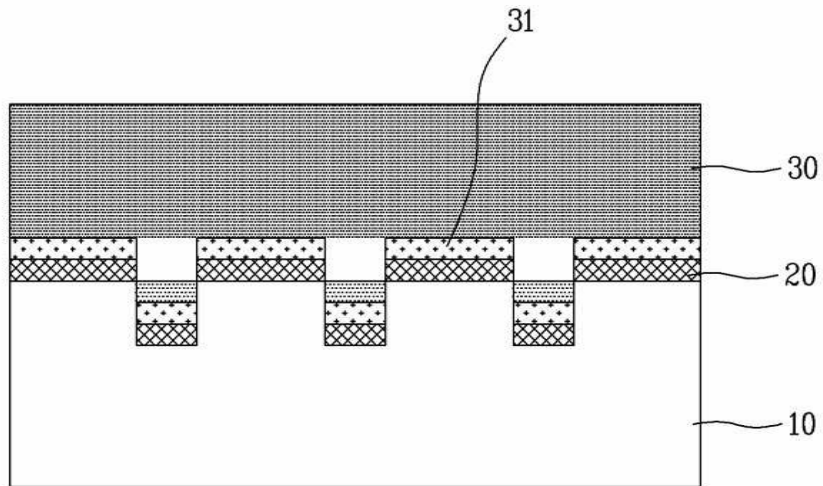
도면7



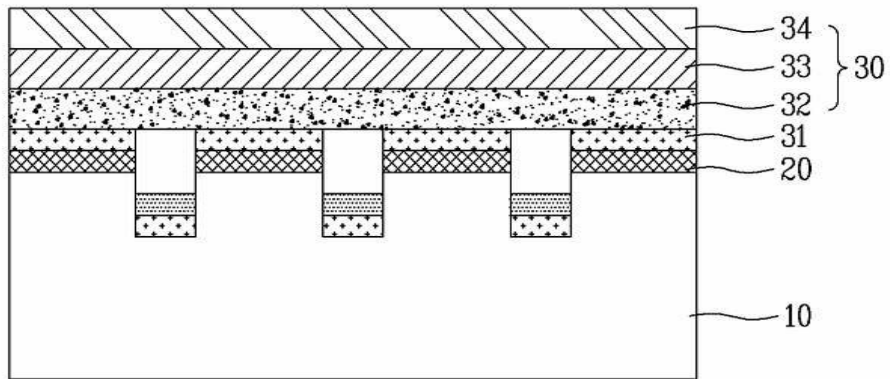
도면8



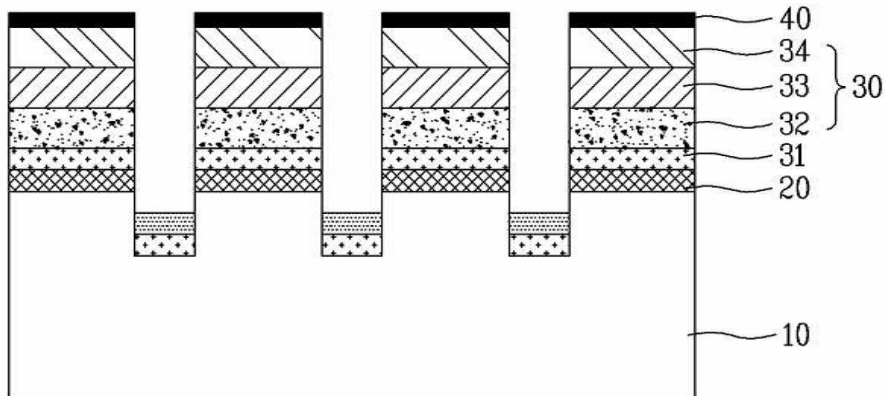
도면9



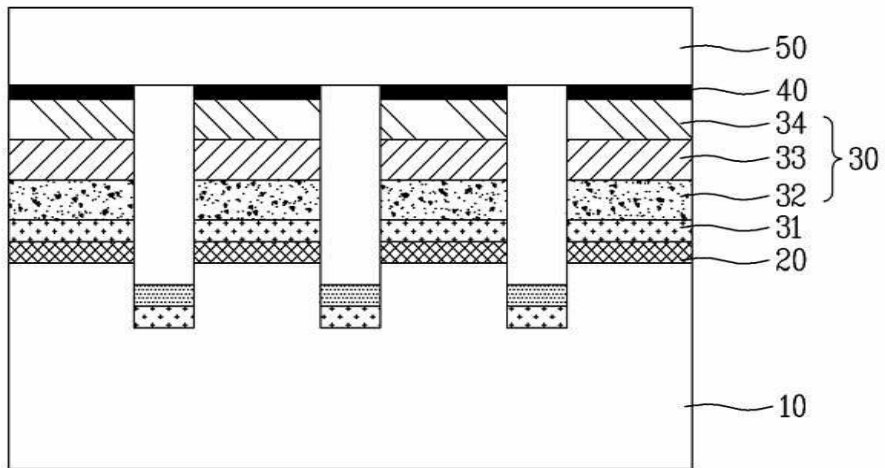
도면10



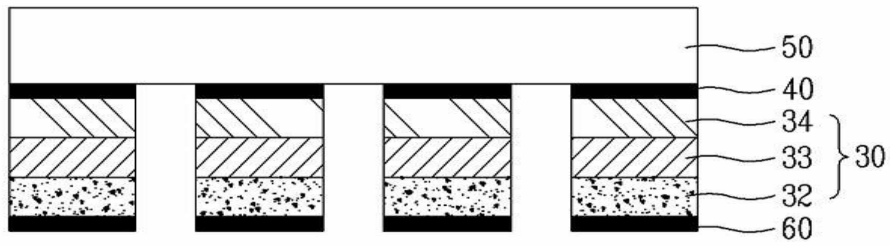
도면11



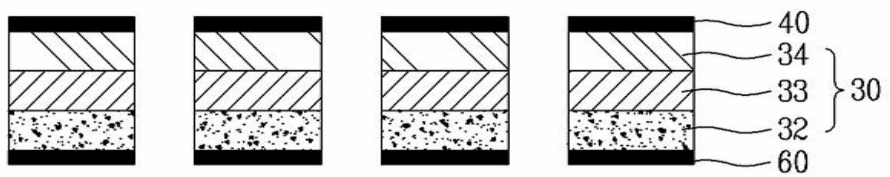
도면12



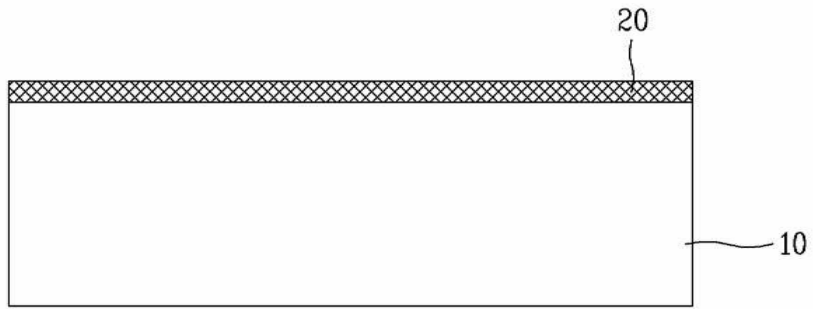
도면13



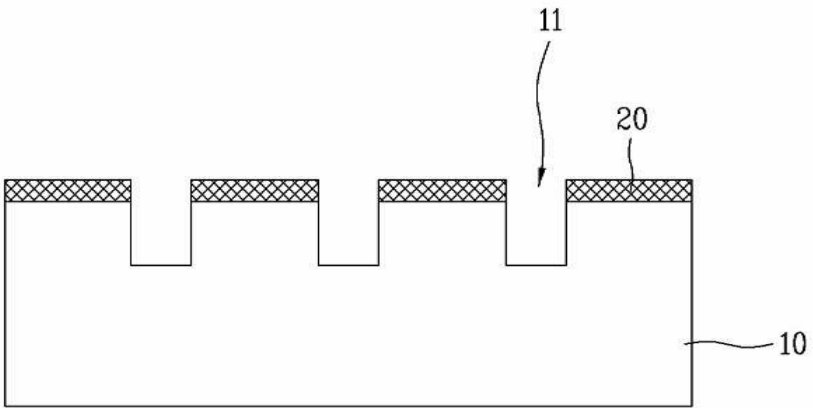
도면14



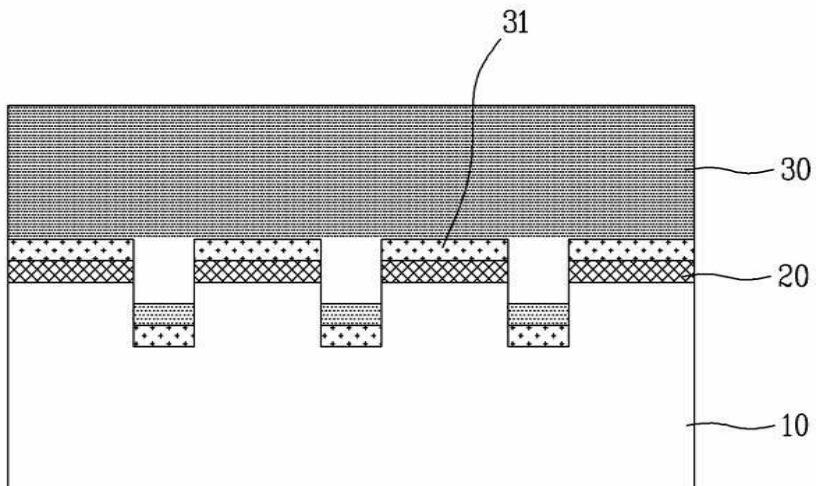
도면15



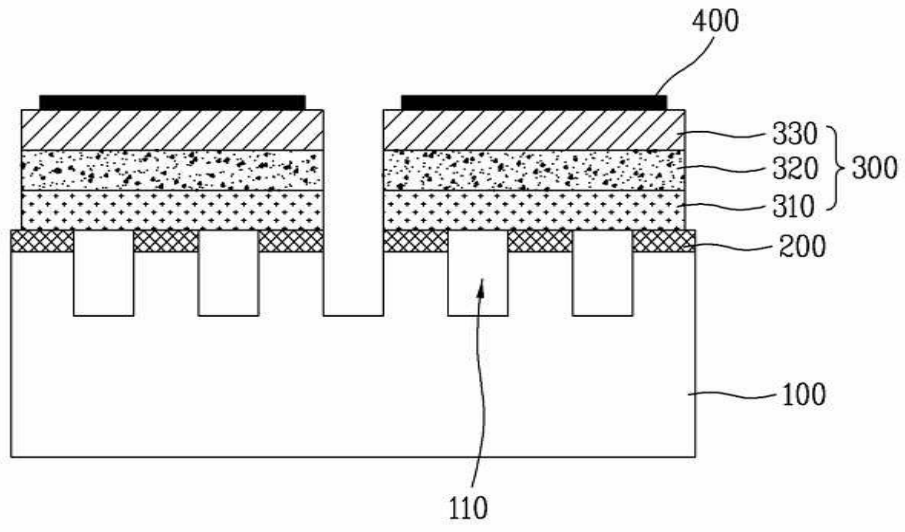
도면16



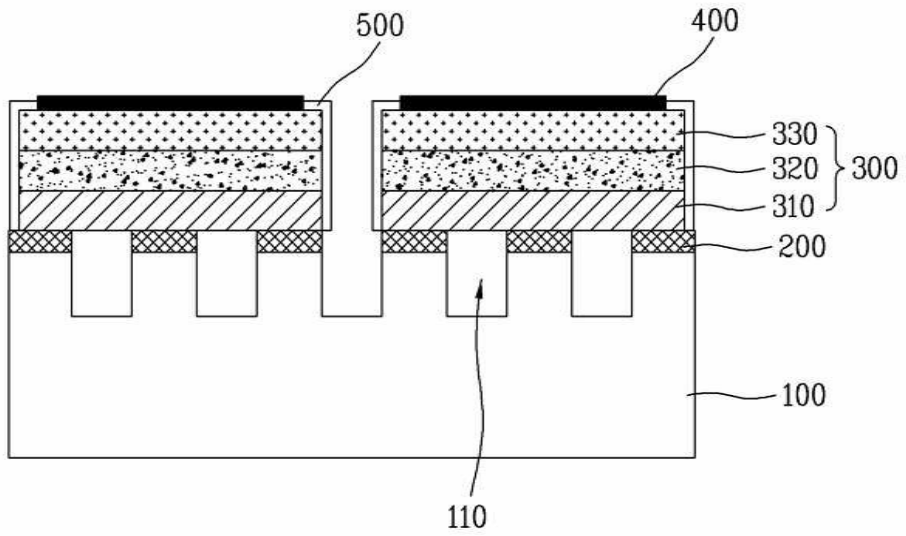
도면17



도면18



도면19



도면20

