



(12) 发明专利

(10) 授权公告号 CN 109547028 B

(45) 授权公告日 2023. 05. 23

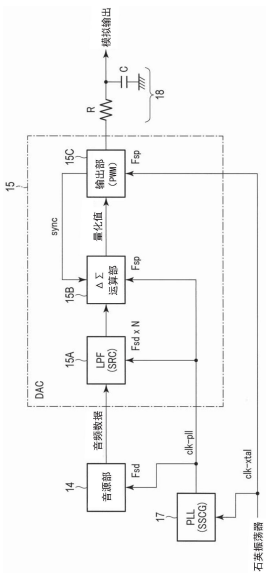
(21) 申请号 201811048881.9
(22) 申请日 2018.09.10
(65) 同一申请的已公布的文献号
 申请公布号 CN 109547028 A
(43) 申请公布日 2019.03.29
(30) 优先权数据
 2017-182591 2017.09.22 JP
(73) 专利权人 卡西欧计算机株式会社
 地址 日本东京都
(72) 发明人 坂田吾朗
(74) 专利代理机构 永新专利商标代理有限公司
 72002
 专利代理师 蒋巍

(51) Int.Cl.
 H03M 3/00 (2006.01)
 G10H 1/00 (2006.01)
(56) 对比文件
 JP 2009239700 A, 2009.10.15
 AU 2496899 A, 2000.07.12
 CN 1653696 A, 2005.08.10
审查员 李硕

权利要求书3页 说明书10页 附图15页

(54) 发明名称
 数模转换装置、电子乐器、信息处理装置及
 数模转换方法
(57) 摘要

数模转换装置、电子乐器、信息处理装置和方法,无论在成为基准的第1时钟和频率比第1时钟高的第2时钟成为怎样频率的组合的情况下,都执行处理。对比时钟clk-xtal高的频率的时钟clk-p11进行计数,根据该计数值判别 $\Delta\Sigma$ 运算是否在执行中,在接收控制信号sync时,在判别为不是执行中的情况下, $\Delta\Sigma$ 运算部(15B)对每个输入的数字数据基于时钟clkp11而开始 $\Delta\Sigma$ 运算;在判别为正在执行的情况下,控制部(61)进行控制从而不开始对输入的数字数据的 $\Delta\Sigma$ 运算;在与PWM信号的整数倍的周期对应的定时,输出部(15C)按照时钟clk-xtal发送控制信号sync,将 $\Delta\Sigma$ 运算部的运算结果转换为PWM信号并输出。



1. 一种数模转换装置, 将所输入的数字信号表示的乐音的数字数据转换为模拟信号, 其特征在于,

执行以下处理:

信号输出处理, 在第1时钟信号中的第1周期的整数倍的第2周期输出控制信号;

计数处理, 对时钟频率高于上述第1时钟信号的第2时钟信号进行计数并存储计数值;

判别处理, 对应于通过上述计数处理存储的计数值, 判别对所输入的数字信号表示的乐音的数字数据的 $\Delta \Sigma$ 运算是否正在执行中;

$\Delta \Sigma$ 运算处理, 在通过上述信号输出处理输出了上述控制信号时, 在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算不是正在执行中的情况下, 针对所输入的数字信号表示的乐音的数字数据, 开始基于上述第2时钟信号的上述 $\Delta \Sigma$ 运算;

控制处理, 在通过上述信号输出处理输出了上述控制信号时, 在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算正在执行中的情况下, 进行控制, 使得在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算不是正在执行中之前, 对所输入的数字信号表示的乐音的数字数据不开始基于上述第2时钟信号的上述 $\Delta \Sigma$ 运算; 以及

输出处理, 将上述 $\Delta \Sigma$ 运算处理中的运算结果转换为模拟信号并输出。

2. 一种电子乐器, 其特征在于,

包含:

演奏操作件;

数模转换装置, 将输入的数字信号表示的乐音的数字数据转换为模拟信号; 以及

扬声器, 根据上述演奏操作件的操作, 输出由上述数模转换装置转换为上述模拟信号的乐音,

上述数模转换装置执行以下处理:

信号输出处理, 在第1时钟信号中的第1周期的整数倍的第2周期输出控制信号;

计数处理, 对时钟频率高于上述第1时钟信号的第2时钟信号进行计数并存储计数值;

判别处理, 对应于通过上述计数处理存储的计数值, 判别对所输入的数字信号表示的乐音的数字数据的 $\Delta \Sigma$ 运算是否正在执行中;

$\Delta \Sigma$ 运算处理, 在通过上述信号输出处理输出了上述控制信号时, 在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算不是正在执行中的情况下, 针对所输入的数字信号表示的乐音的数字数据, 开始基于上述第2时钟信号的上述 $\Delta \Sigma$ 运算;

控制处理, 在通过上述信号输出处理输出了上述控制信号时, 在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算正在执行中的情况下, 进行控制, 使得在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算不是正在执行中之前, 对所输入的数字信号表示的乐音的数字数据不开始基于上述第2时钟信号的上述 $\Delta \Sigma$ 运算; 以及

输出处理, 将上述 $\Delta \Sigma$ 运算处理中的运算结果转换为模拟信号并输出。

3. 根据权利要求2所述的电子乐器, 其特征在于,

上述第2时钟信号由基于频谱扩展时钟振荡器的相位同步电路产生。

4. 根据权利要求2所述的电子乐器, 其特征在于,

执行放大处理, 上述放大处理对在上述输出处理中输出的模拟信号中的模拟连续量进行差动放大。

5. 一种信息处理装置, 其特征在于,

包含:

处理器; 以及

数模转换装置, 将输入的数字信号表示的乐音的数字数据转换为模拟信号,

上述数模转换装置执行以下处理:

信号输出处理, 在第1时钟信号中的第1周期的整数倍的第2周期输出控制信号;

计数处理, 对时钟频率高于上述第1时钟信号的第2时钟信号进行计数并存储计数值;

判别处理, 对应于通过上述计数处理存储的计数值, 判别对所输入的数字信号表示的乐音的数字数据的 $\Delta \Sigma$ 运算是否正在执行中;

$\Delta \Sigma$ 运算处理, 在通过上述信号输出处理输出了上述控制信号时, 在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算不是正在执行中的情况下, 针对所输入的数字信号表示的乐音的数字数据, 开始基于上述第2时钟信号的上述 $\Delta \Sigma$ 运算;

控制处理, 在通过上述信号输出处理输出了上述控制信号时, 在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算正在执行中的情况下, 进行控制, 使得在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算不是正在执行中之前, 对所输入的数字信号表示的乐音的数字数据不开始基于上述第2时钟信号的上述 $\Delta \Sigma$ 运算; 以及

输出处理, 将上述 $\Delta \Sigma$ 运算处理中的运算结果转换为模拟信号并输出。

6. 根据权利要求5所述的信息处理装置, 其特征在于,

上述第2时钟信号由基于频谱扩展时钟振荡器的相位同步电路产生。

7. 根据权利要求5所述的信息处理装置, 其特征在于,

执行放大处理, 上述放大处理对在上述输出处理中输出的模拟信号中的模拟连续量进行差动放大。

8. 一种使电子乐器的计算机执行处理的数模转换方法, 其特征在于,

上述电子乐器包含:

演奏操作件;

数模转换装置, 将所输入的数字信号表示的乐音的数字数据转换为模拟信号; 以及

扬声器, 根据上述演奏操作件的操作, 输出由上述数模转换装置转换为上述模拟信号的乐音,

上述数模转换方法使上述电子乐器的计算机执行以下处理:

信号输出处理, 在第1时钟信号中的第1周期的整数倍的第2周期输出控制信号;

计数处理, 对时钟频率高于上述第1时钟信号的第2时钟信号进行计数并存储计数值;

判别处理, 对应于通过上述计数处理存储的计数值, 判别对所输入的数字信号表示的乐音的数字数据的 $\Delta \Sigma$ 运算是否正在执行中;

$\Delta \Sigma$ 运算处理, 在通过上述信号输出处理输出了上述控制信号时, 在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算不是正在执行中的情况下, 针对所输入的数字信号表示的乐音的数字数据, 开始基于上述第2时钟信号的上述 $\Delta \Sigma$ 运算;

控制处理, 在通过上述信号输出处理输出了上述控制信号时, 在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算正在执行中的情况下, 进行控制, 使得在通过上述判别处理判别为上述 $\Delta \Sigma$ 运算不是正在执行中之前, 对所输入的数字信号表示的乐音的数字数据不开始基于上

述第2时钟信号的上述 $\Delta \Sigma$ 运算;以及

输出处理,将上述 $\Delta \Sigma$ 运算处理中的运算结果转换为模拟信号并输出。

数模转换装置、电子乐器、信息处理装置及数模转换方法

[0001] 相关申请的参照

[0002] 本申请主张以2017年9月22日申请的日本专利申请特愿2017-182591为基础的优先权,将该基础申请的内容全部纳入本申请中。

技术领域

[0003] 本发明涉及数模转换装置、电子乐器、信息处理装置以及数模转换方法。

背景技术

[0004] 提出有与数模转换装置相关的技术,该数模转换装置能够容易地搭载于上位系统,而且不会导致装置结构的复杂化地避免抖动(jitter)的影响(例如,专利文献1)。

[0005] 专利文献1:日本特开2009-239700号公报

[0006] 来自以使用了SSCG(频谱扩展时钟振荡器)的PLL(相位同步电路)的时钟为基础的 $\Delta\Sigma$ 装置的信号,由于信号的变化点始终变动,所以包括上述专利文献1记载的技术在内,不能基于作为稳定的周期信号的石英振荡器的高精度的信号直接进行闩锁或者使通过逻辑门。

[0007] 另外,也可以考虑用FIFO存储器等吸收由SSCG的时钟的周期变动引起的数字音频数据的波动的方法,但如果在带有SSCG的PLL产生的中心时钟频率与石英振荡器的时钟频率的关系不构成整数倍的情况下,则有可能在FIFO中发生数据溢出或数据的缺损等。

[0008] 另外,在SSCG中的调制类型中,在以最高频率为中心的向下扩频类型的带SSCG的PLL的情况下,难以将PLL时钟的中心频率调整为石英振荡器的频率的整数倍,要求调制的深度和高精度的倍乘数。

发明内容

[0009] 本发明是鉴于这样的实际情况而完成的,其优点在于,无论成为基准的第1时钟和频率比上述第1时钟高的第2时钟是怎样的频率的组合,都能够执行处理。

[0010] 本发明的一个方式是一种数模转换装置,将所输入的数字信号表示的乐音的数字数据转换为模拟信号,其特征在于,执行以下处理:信号输出处理,在第1时钟信号中的第1周期的整数倍的第2周期输出控制信号;计数处理,对时钟频率高于上述第1时钟信号的第2时钟信号进行计数并存储计数值;判别处理,对应于通过上述计数处理存储的计数值,判别对所输入的数字信号表示的乐音的数字数据的 $\Delta\Sigma$ 运算是否正在执行中; $\Delta\Sigma$ 运算处理,在通过上述信号输出处理输出了上述控制信号时,在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算不是正在执行中的情况下,针对所输入的数字信号表示的乐音的数字数据,开始基于上述第2时钟信号的上述 $\Delta\Sigma$ 运算;控制处理,在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算正在执行中的情况下,进行控制,使得在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算不是正在执行中之前,对所输入的数字信号表示的乐音的数字数据不开始基于上述第2时钟信号的上述 $\Delta\Sigma$ 运算;以及输出处理,将上述 $\Delta\Sigma$ 运算处理中的运算结果转换为模拟信号并输出。

[0011] 本发明的另一个方式是一种电子乐器,其特征在于,包含:演奏操作件;数模转换装置,将输入的数字信号表示的乐音的数字数据转换为模拟信号;以及扬声器,根据上述演奏操作件的操作,输出由上述数模转换装置转换为上述模拟信号的乐音,上述数模转换装置执行以下处理:信号输出处理,在第1时钟信号中的第1周期的整数倍的第2周期输出控制信号;计数处理,对时钟频率高于上述第1时钟信号的第2时钟信号进行计数并存储计数值;判别处理,对应于通过上述计数处理存储的计数值,判别对所输入的数字信号表示的乐音的数字数据的 $\Delta\Sigma$ 运算是否正在执行中; $\Delta\Sigma$ 运算处理,在通过上述信号输出处理输出了上述控制信号时,在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算不是正在执行中的情况下,针对所输入的数字信号表示的乐音的数字数据,开始基于上述第2时钟信号的上述 $\Delta\Sigma$ 运算;控制处理,在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算正在执行中的情况下,进行控制,使得在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算不是正在执行中之前,对所输入的数字信号表示的乐音的数字数据不开始基于上述第2时钟信号的上述 $\Delta\Sigma$ 运算;以及输出处理,将上述 $\Delta\Sigma$ 运算处理中的运算结果转换为模拟信号并输出。

[0012] 本发明的另一个方式是一种信息处理装置,其特征在于,包含:处理器;以及

[0013] 数模转换装置,将输入的数字信号表示的乐音的数字数据转换为模拟信号,上述数模转换装置执行以下处理:信号输出处理,在第1时钟信号中的第1周期的整数倍的第2周期输出控制信号;计数处理,对时钟频率高于上述第1时钟信号的第2时钟信号进行计数并存储计数值;判别处理,对应于通过上述计数处理存储的计数值,判别对所输入的数字信号表示的乐音的数字数据的 $\Delta\Sigma$ 运算是否正在执行中; $\Delta\Sigma$ 运算处理,在通过上述信号输出处理输出了上述控制信号时,在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算不是正在执行中的情况下,针对所输入的数字信号表示的乐音的数字数据,开始基于上述第2时钟信号的上述 $\Delta\Sigma$ 运算;控制处理,在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算正在执行中的情况下,进行控制,使得在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算不是正在执行中之前,对所输入的数字信号表示的乐音的数字数据不开始基于上述第2时钟信号的上述 $\Delta\Sigma$ 运算;以及输出处理,将上述 $\Delta\Sigma$ 运算处理中的运算结果转换为模拟信号并输出。

[0014] 本发明的另一个方式是一种使电子乐器的计算机执行处理的数模转换方法,其特征在于,上述电子乐器包含:演奏操作件;数模转换装置,将所输入的数字信号表示的乐音的数字数据转换为模拟信号;以及输入的数字信号表示的乐音的数字数据转换为模拟信号;以及扬声器,根据上述演奏操作件的操作,输出由上述数模转换装置转换为上述模拟信号的乐音,上述数模转换方法使上述电子乐器的计算机执行以下处理:信号输出处理,在第1时钟信号中的第1周期的整数倍的第2周期输出控制信号;计数处理,对时钟频率高于上述第1时钟信号的第2时钟信号进行计数并存储计数值;判别处理,对应于通过上述计数处理存储的计数值,判别对所输入的数字信号表示的乐音的数字数据的 $\Delta\Sigma$ 运算是否正在执行中; $\Delta\Sigma$ 运算处理,在通过上述信号输出处理输出了上述控制信号时,在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算不是正在执行中的情况下,针对所输入的数字信号表示的乐音的数字数据,开始基于上述第2时钟信号的上述 $\Delta\Sigma$ 运算;控制处理,在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算正在执行中的情况下,在通过上述判别处理判别为上述 $\Delta\Sigma$ 运算不是正在执行中之前,进行控制,使得对所输入的数字信号表示的乐音的数字数据不开始基于上述第2时钟信号的上述 $\Delta\Sigma$ 运算;以及输出处理,将上述 $\Delta\Sigma$ 运算处理中的运算结果转换为模拟

信号并输出。

附图说明

[0015] 如果结合以下的附图考虑以下的详细说明,则能够更深入地理解本申请。

[0016] 图1是表示使用了本发明的一个实施方式的数模转换装置的电子乐器整体的结构的框图。

[0017] 图2是表示使用了该实施方式的数模转换装置的其他装置的结构变形例的框图。

[0018] 图3是表示该实施方式的各时钟和PWM信号的波形例的时序图。

[0019] 图4是与该实施方式相关的主要表示 $\Delta\Sigma$ 调制器的结构的框图。

[0020] 图5是表示设置于该实施方式的 $\Delta\Sigma$ 运算部及输出部的、用于产生各种定时信号的电路结构的图。

[0021] 图6是表示该实施方式的 $\Delta\Sigma$ 运算部的电路结构的图。

[0022] 图7是示出该实施方式的噪声整形频率特性的图。

[0023] 图8是表示执行该实施方式的 $\Delta\Sigma$ 运算部的具体的运算处理的硬件电路的结构的框图。

[0024] 图9是表示在该实施方式的图8的硬件电路中执行的运算处理的图。

[0025] 图10是表示执行该实施方式的输出(PWM)部的具体的运算处理的硬件电路的结构的框图。

[0026] 图11表示将该实施方式的平衡型的PWM信号进行模拟信号化的模拟化电路的结构的图。

[0027] 图12是与该实施方式的PWM信号的周期对应的区间比较长的情况下的主要例示 $\Delta\Sigma$ 运算部内的动作定时的时序图。

[0028] 图13是与该实施方式的PWM信号的周期对应的区间比较长的情况下的主要例示 $\Delta\Sigma$ 运算部内的动作定时的时序图。

[0029] 图14是表示从该实施方式的 $\Delta\Sigma$ 运算到PWM信号的输出为止的连续的动作定时的时序图。

[0030] 图15是表示该实施方式的 $\Delta\Sigma$ 调制器前级的声源部输出的数字音频数据的一个采样周期Fsd波动的情况的时序图。

具体实施方式

[0031] 以下,参照附图详细说明本发明的一实施方式。

[0032] 图1是表示使用了本实施方式的数模转换装置(DAC)的电子乐器整体的结构的框图。在该图中,例如由键盘等构成的操作部11中的操作信号被输入到LSI芯片CH1的CPU12。上述CPU12在LSI芯片CH1内经由总线B1与存储有该电子乐器用的动作程序、定型数据等的ROM13、产生与所操作的内容对应的数字音频数据的音源部14以及 $\Delta\Sigma$ 调制器15连接。

[0033] 此外,石英振荡器(Xtal)16和PLL 17设置在LSI芯片CH1中。石英振荡器16向外设于LSI芯片CH1的石英振荡件CU1施加一定电压,使成为基准的第1时钟即时钟clk-xtal振荡,提供给上述LSI芯片CH1中的每个电路和PLL 17。

[0034] PLL 17接收上述时钟clk-xtal,使具有更高频率的第2时钟即时钟clk-p11震荡,并且提供给上述LSI芯片CH1中的每个电路。

[0035] CPU12根据从操作部11接收到的操作信号向音源部14发送音程、音量等参数。接收到该参数的音源部14向 $\Delta\Sigma$ 调制器15输出对应的数字音频数据。

[0036] $\Delta\Sigma$ 调制器15是成为本实施方式的数模转换装置(DAC)的主体的电路,产生与从音源部14输入的数字音频数据相应的PWM信号,并向LSI芯片CH1外部的低通滤波器18输出。

[0037] 例如,在从音源部14输入的数字音频数据为32比特的情况下,在 $\Delta\Sigma$ 调制器15中,为了输出5级的PWM信号,执行转换为3比特的数字数据的 $\Delta\Sigma$ 运算处理,因此,需要作为上述第2时钟的时钟clk-p11的15个周期量(15步骤)。

[0038] 低通滤波器18包含于本实施方式的数模转换装置(DAC)中,例如使用如图所示的串联RC电路,将所提供的PWM信号转换为模拟音频信号并向放大器(amp)19输出。如后所述,上述放大器19优选使用差动放大器。

[0039] 通过由上述放大器19以适当的放大率放大的模拟音频信号,扬声器20被扩音驱动而放音。

[0040] 图2是表示使用本发明的数模转换装置来代替上述图1的电子乐器的其他装置的结构变形例的框图。这里,例如,符合标准的I2S(Inter-IC Sound)规格的串行音频数据DATA、用于区分音频信号的L声道和R声道的时钟LRCK、以及位时钟BCK被提供给LSI芯片CH2中的移位寄存器(SFR)21。由上述移位寄存器21保存的音频数据根据上述时钟被作为并行数据读出到 $\Delta\Sigma$ 调制器22。

[0041] 此外,石英振荡器(Xtal)23和PLL 24设置在LSI芯片CH2中。石英振荡器16向外设于LSI芯片CH2的石英谐振件CU2施加一定电压,并且使成为基准的第1时钟即时钟clk-xtal振荡,并且提供给上述LSI芯片CH2中的各个电路和PLL 24。

[0042] PLL 24接收上述时钟clk-xtal,并且振荡时钟clk-p11并且提供给上述 $\Delta\Sigma$ 调制器22,时钟clk-p11是具有更高频率的第2时钟。

[0043] $\Delta\Sigma$ 调制器22是成为本实施方式的数模转换装置(DAC)的主体的电路,产生与从移位寄存器21读出的数字音频数据相应的PWM信号,并向LSI芯片CH2外部的低通滤波器25输出。

[0044] 低通滤波器25包含于本实施方式的数模转换装置(DAC)中,例如使用如图所示的串联RC电路,将被提供的PWM信号转换为模拟音频信号并向放大器(amp)26输出。如后所述,上述放大器26优选使用差动放大器。

[0045] 通过由上述放大器26以适当放大率放大后的模拟音频信号,扬声器27被扩音驱动而放音。

[0046] 图3是例示由上述石英振荡器16(23)振荡的、作为基准的第1时钟即时钟clk-xtal(图3(B))、PLL 17(24)振荡的、作为第2时钟的时钟clk-p11(图3(A))、以及由 $\Delta\Sigma$ 调制器15(22)生成的PWM信号的关系的图。

[0047] 在该图中,与时钟clk-xtal相比,时钟clk-p11对应于4倍的频率。

[0048] 在将使用时钟clk-p11通过 $\Delta\Sigma$ 调制器15(22)进行 $\Delta\Sigma$ 运算而得到的PWM信号基于时钟clk-xtal进行闩锁的情况下,时钟clk-p11的频率需要是时钟clk-xtal的频率的整数倍。

[0049] 在图3 (C) ~图3 (E) 中例示了上述 $\Delta \Sigma$ 调制器15 (22) 产生的PWM信号。

[0050] 图3 (C) 表示PWM信号的“H”区间具有时钟clk-xtal的8周期量的时间宽度的情况。

[0051] 同样,图3 (D)、图3 (E) 表示PWM信号的“H”区间具有时钟clk-xtal的6周期量、4周期量的时间宽度的情况。

[0052] 如这些所示,PWM信号以其最小变化宽度在其接触上升定时、下降定时都以时钟clk-xtal的一个周期量为单位而被输出。

[0053] 根据图4,主要对表示上述 $\Delta \Sigma$ 调制器15的结构框图进行说明。

[0054] 从声源部14输出的数字音频数据(音频数据)被输入到 $\Delta \Sigma$ 调制器15的低通滤波器(LPF) 15A。上述低通滤波器15A使用采样率转换器(SRC),根据来自PLL 17的时钟clk-p11,以输入的数字音频数据的频率Fsd的M倍(M:整数)的频率动作,输出到 $\Delta \Sigma$ 运算部15B。

[0055] $\Delta \Sigma$ 运算部15B按照从后述的输出部15C输入的、与PWM信号的周期同步的信号sync的定时,以上述频率Fsd的N倍(N:任意的数、动态地变动)的频率对低通滤波器15A的输出进行采样。

[0056] 上述N的值可以动态地变化为非整数的值,也可以由上述PLL 17中使用的频谱扩展时钟振荡器(SSCG)的时钟驱动。但是,应该根据噪声整形的性能、所需的频带在大致的范围内设定,通常选定16以上的值。

[0057] $\Delta \Sigma$ 运算部15B基于时钟clk-p11,以按照上述时钟clk-xtal的周期Fsp高速地执行 $\Delta \Sigma$ 运算,将与数字音频数据对应的量化值的信号向输出部15C输出。

[0058] 输出部15C以按照从上述石英振荡器16提供的时钟clk-xtal的周期Fsp,产生与来自 $\Delta \Sigma$ 运算部15B的量化信号相应的PWM信号,向下一级的低通滤波器18输出,另一方面,向上述 $\Delta \Sigma$ 运算部15B输出用于控制输入定时的信号sync。

[0059] 图5是表示设于上述 $\Delta \Sigma$ 运算部15B以及输出部15C的用于产生各种定时信号的电路的图。输出部15C具有计数器31以及多输入与电路32。计数器31对上述时钟clk-xtal进行计数,在该计数值的各位为“H”电平的情况下,即在每一个采样的处理期间的开始定时,作为多输入与电路32的输出而输出上述信号sync。

[0060] $\Delta \Sigma$ 运算部15B具有两级的触发器(FF) 33、34以及与电路35,来自上述输出部15C的信号sync被输入到第1级的触发器33。触发器33、34都通过上述时钟clk-p11动作,第1级的触发器33的移位输出ff1被输入到第2级的触发器34,并且被反转而输入到上述与电路35。

[0061] 作为第2级的触发器34的移位输出的信号clr_en被输入到与电路35。并且,与电路35的逻辑和输出作为用于开始后述的 $\Delta \Sigma$ 运算的执行的定时信号sg_start被使用。

[0062] 图6是表示上述 $\Delta \Sigma$ 运算部15B中的具体的运算电路的结构图。在该图中, $\Delta \Sigma$ 运算部15B包含减法器(-) 41、加法器(+) 42、44、46、47、51、延迟器(Z-1) 43、48、52、54、乘法器45、49、50以及量化器53。

[0063] 从前级的低通滤波器15A输入的数字音频数据被减法器41减去延迟量化器53的输出延迟器54的输出量,其差分输出到加法器42。加法器42对使自身的输出延迟的延迟器43的输出z0进行加法运算,并将其和输出到该延迟器43、加法器44以及乘法器45。

[0064] 乘法器45将加法器42的输出与系数k0相乘,将其积输出到加法器46。加法器46将乘法器45的输出与乘法器49的输出相加,并将其和输出到加法器47。

[0065] 加法器47将加法器46的输出与使自身的输出延迟的延迟器48的输出z1相加,将其和输出到该延迟器48、上述加法器44以及乘法器50。乘法器50将加法器47的输出与系数k1相乘,将其积输出到加法器51。

[0066] 加法器51将乘法器50的输出与延迟自身的输出的延迟器52的输出z2相加,将其和输出到该延迟器52、上述加法器44以及上述乘法器49。乘法器49将加法器51的输出与系数a0相乘,将其积输出到加法器51。

[0067] 上述加法器44将加法器42、47、51的各输出相加,并且将其和输出到量化器53以进行量化。然后,量化器53的输出作为上述 $\Delta\Sigma$ 运算部15B的输出而向下一级的输出部15C输出,并且向上述延迟器54输出。延迟器54延迟量化器53的输出,将其输出z3作为减数提供给上述减法器41,由此对输入施加负反馈。

[0068] 在将e作为量化噪声的情况下,量化器53的输出y中的量化e的特性如以下的式子所示。

[0069] [式1]

$$[0070] \quad e = \frac{(-1 + z^{-1})(-1 + 2z^{-1} + a0 \times k1 \times z^{-1} - z^{-2})}{1 - 2 \times z^{-1} + k0 \times z^{-1} + a0 \times k1 \times z^{-1} + k0 \times k1 \times z^{-1} + z^{-2} + k0 \times z^{-1}}$$

[0071] 图7是表示将上述式的e(噪声)图表化后的噪声整形频率特性的图。在该图中,横轴为角速度,纵轴为噪声的信号电平(Quantization Noise,量化噪声)[dB]。在该图中,在将必要的噪声整形量设为-100[dB]的情况下,可听频带成为角速度0.06(=1/16)左右的范围。

[0072] 即,相对于数字音频数据的采样频率Fsd,噪声整形器的采样率Fsp需要大约16倍左右。

[0073] 图8是例示通过具体的硬件电路执行上述图6所示的运算处理的情况的框图。

[0074] 上述图4、图5所示的信号sync以及时钟clk-pll被输入到控制部61。上述控制部61在内部具备用于对时钟clk-pll进行计数的m计数器(mcnt)61A,进行以下的各电路的控制,具体而言,进行寄存器的门锁使能、选择器的选择、参数的选择。

[0075] m计数器61A的计数值通过在内部延迟上述信号sync而产生的信号clr_en进行复位,对时钟clk-pll进行计数。

[0076] 除了上述控制部61之外, $\Delta\Sigma$ 运算部15B还具有寄存器62、63、选择器64~66、乘法器(MUL)67、加法器(ADD)68、参数常数发生器69、量化器70以及延迟用的寄存器71A~71D。

[0077] 作为前一级的低通滤波器15A的输出的数字音频数据被输入到选择器66。选择器65和乘法器67的各输出被输入到上述选择器66,并且将根据上述控制器61选择的一个值输出到加法器68。

[0078] 向加法器68还输入寄存器(AC)62的保存值,将根据控制部61相加的和输出到在上述图6的延迟器43、48、52、54中使用的寄存器(z0~z3)71A~71D、以及选择器64。

[0079] 寄存器71A~71D的保存值被输入到选择器65。选择器65根据控制部61从寄存器71A~71D的各保存值中选择一个,并将所选择的值输出到选择器66及乘法器67。

[0080] 乘法器67将选择器65的输出与从参数常数发生器69提供的参数常数k0、k1、a0中的任意一个相乘,将其积输出到上述选择器66。

[0081] 上述选择器64根据控制器61选择加法器68的输出和量化器70(53)的输出中的一

个,并将其保存在寄存器 (AC) 62中。上述寄存器62的保存值被读出到上述量化器70和加法器68。

[0082] 然后,量化器70输出的上述 $\Delta \Sigma$ 运算部15B的运算结果被发送到上述选择器64,另一方面,保存在寄存器 (DR) 63中,其保存值被读出并输出到下一级的输出部15C。

[0083] 图9将这样在图8的硬件电路中执行的运算处理的内容与控制部61的m计数器61A的计数值对应起来表示。m计数器61A是控制 $\Delta \Sigma$ 运算部15B的動作的基本计数器,能够采用“0”~“16”的计数值。

[0084] 即,m计数器61A通过来自上述输出部15C的信号sync被复位而成为“0”,以后通过时钟clk-pll每次“+1”计数完,在成为最大值“16”之后,在到被复位为止的期间保存计数值“16”。

[0085] 在上述m计数器61A的计数值为“16”的期间,成为基于上述信号sync的复位动作的待机状态。

[0086] 在上述m计数器61A的计数值为“16”的期间,表示能够执行针对所输入的第1采样的下一个第2采样的 $\Delta \Sigma$ 运算的状态、即不执行针对第1采样的 $\Delta \Sigma$ 运算的状态。

[0087] 另外,上述m计数器61A的计数值为“0”~“15”表示不能执行针对所输入的第1采样的下一个第2采样的 $\Delta \Sigma$ 运算的状态,即,正在执行针对第1采样的 $\Delta \Sigma$ 运算的状态。在上述m计数器61A的计数值为“0”~“15”时,即使接收到sync信号,m计数器61A也被控制为不被复位为“0”。由此,当上述m计数器61A的计数值为“0”~“15”时,不执行第2采样的 $\Delta \Sigma$ 运算。

[0088] 即,DAC15根据上述m计数器61A的计数值,判断是否能够对下一个采样执行 $\Delta \Sigma$ 运算。换言之,DAC15执行用于判别是否正在执行 $\Delta \Sigma$ 计算的判别处理。

[0089] 简单说明与m计数器61A的计数值“0”~“15”对应的、在 $\Delta \Sigma$ 运算部15B内的控制部61的运算内容。

[0090] 0:通过信号sync将m计数器61A复位而设为“0”时,由选择器65选择寄存器71D所保存的延迟值z3,通过选择器66依次选择上述选择器65的选择结果和来自低通滤波器15A的输入数据。将各选择结果用加法器68相加,由选择器64选择其和输出,保存在寄存器62中。

[0091] 1:由选择器65选择寄存器71A保存的延迟值z0,由选择器66选择上述选择器65的选择结果。由加法器68将选择器66的选择结果与寄存器62的保存值相加,并且将和输出保存在上述寄存器71A中。

[0092] 2:用选择器65选择寄存器71C保存的延迟值z2,并且使参数常数产生器69输出参数常数a0,用乘法器67将这两个值相乘。将得到的积经由选择器66、加法器68、选择器64保存在上述寄存器62中。

[0093] 3:由选择器65选择寄存器71A保存的延迟值z0,并且使参数常数产生器69输出参数常数k0,用乘法器67将这两个值相乘。由选择器66选择得到的积,并且读出寄存器62的保存值并向加法器68输出。由加法器68将这两个值相加,并将其和经由选择器64重新保存在寄存器62中。

[0094] 4:由选择器65、66选择寄存器71B所保存的延迟值z1并输出到加法器68,并且读出寄存器62的保存值并输出到加法器68。加法器68将这两个值相加,并将其和重新保存在寄存器71B中。

[0095] 5:由选择器65选择寄存器71B所保存的延迟值z1,并且使参数常数产生器69输出

参数常数k1,用乘法器67将这两个值相乘。将得到的积经由选择器66、加法器68、选择器64保存在上述寄存器62中。

[0096] 6:由选择器65、66选择寄存器71C保存的延迟值z2并输出到加法器68,并且读出寄存器62的保存值并输出到加法器68。加法器68将这两个值相加,并将其和重新保存在寄存器71C中。

[0097] 7:依次由选择器65、66选择寄存器71A~71C保存的延迟值z0~z2,并串行输出到加法器68。由加法器68将这三个值相加,并且通过经由选择器64将其和保存在寄存器62中。

[0098] 8:读出寄存器62的保存值并输出到量化器70进行量化处理,将其输出经由寄存器63输出到下一级的输出部15C。

[0099] 9:将量化器70的输出经由选择器64、寄存器62、加法器68保存在寄存器71D中。

[0100] 10~15:不做任何处理而待机。

[0101] 这样,与按每个PWM周期(Fsp)产生的信号sync同步,根据通过时钟clk-pll进行计数动作的上述m计数器61A的计数值mcnt,如上所述执行 $\Delta\Sigma$ 运算处理。

[0102] 接着,根据图10,说明位于 $\Delta\Sigma$ 运算部15B的后级的输出(PWM)部15C的具体的硬件电路的结构。

[0103] 输出部15C使用通过时钟clk-xtal进行计数动作的n计数器81、对上述n计数器81的计数值进行解码的解码器82、83、85A~85E、寄存器(PR)84、选择器86以及触发器(DFF)87、88。

[0104] 解码器82检测n计数器81的值为“0”的状态,产生上述信号sync。另外,解码器83检测n计数器81的值为“15”的状态,并向寄存器84输出开锁使能信号LE。

[0105] 寄存器84根据来自解码器83的开锁使能信号LE,开锁从前级的上述 $\Delta\Sigma$ 运算部15B的寄存器(DR)63输出的量化后的结果,并将其值输出到选择器86。

[0106] 解码器85A~85E基于n计数器81的计数值,分别向选择器86输出脉冲宽度为0[%]、25[%]、50[%]、75[%]、100[%]的脉冲信号。

[0107] 选择器86根据从寄存器84得到的量化信号,选择上述解码器85A~85E输出的脉冲信号中的某一个,将该正转信号输出到触发器87,将反转信号输出到触发器88。

[0108] 触发器87、88为了得到平衡型的输出而被两级化,同时在上述时钟clk-xtal开锁选择器86的输出,作为正极信号以及负极信号输出。

[0109] 图11是例示将上述图10所示的平衡型的PWM信号进行模拟信号化的模拟化电路90的图。相当于上述图1的低通滤波器18及放大器19。

[0110] 在该图中,上述触发器87输出的正极性信号经由电阻R11及电容C11构成的串联RC电路被提供给差动放大器(op.amp.)91的+输入。

[0111] 另一方面,从上述触发器88输出的负极信号经由电阻R12和电容C12构成的串联RC电路被提供给上述差动放大器91的-输入。

[0112] 通过在差动放大器91的输出及+输入间连接电阻R13,施加正反馈。并且,作为差动放大器91的输出被模拟化的音频信号,由上述图1的扬声器20等放音。

[0113] 接着,对上述实施方式的动作进行说明。

[0114] 图12是主要例示与PWM信号的周期对应的区间比较长的情况下的 $\Delta\Sigma$ 运算部15B内的动作定时的时序图。

[0115] 如图12 (B) 所示的信号sync, 如上述图5、图10中说明的那样, 按照图12 (A) 所示的时钟clk-xtal的每个整数倍周期产生。PWM周期也相同, 成为时钟clk-xtal的整数倍周期。

[0116] 上述信号sync是对 $\Delta \Sigma$ 运算部15B中的运算的开始进行支援的信号。 $\Delta \Sigma$ 运算部15B执行的 $\Delta \Sigma$ 运算本身以比时钟clk-xtal高速且与时钟clk-xtal不同步的、图12 (F) 所示的时钟clk-p11为基准来执行。

[0117] 在接收到信号sync的 $\Delta \Sigma$ 运算部15B中, 为了实现同步器动作, 通过两级化的触发器33、34, 产生图12 (C) 所示的延迟信号ff1以及进一步延迟的信号clr_en。

[0118] 通过上述信号clr_en, 作为 $\Delta \Sigma$ 运算的基本动作计数即图12 (G) 中表示计数值的m计数器61A的清零使能信号 (clear enable signal), 在图中的定时t14复位为“0”, 之后开始 $\Delta \Sigma$ 运算, 如在上述图8、图9中说明的那样执行 $\Delta \Sigma$ 运算。图12 (H) 示出了上述 $\Delta \Sigma$ 计算的执行反馈。

[0119] 而且, 如图12 (I) 所示, 设定了设置在 $\Delta \Sigma$ 运算部15B的输出段的寄存器 (DR) 63中的存储期间, 在其期间, 为了开始下一个 $\Delta \Sigma$ 运算, 运算电路侧成为待机状态。

[0120] 在该期间, 成为在输出部15C侧的寄存器 (PR) 84中接收运算结果的期间, 建立时间Ts、以及保存时间Th充分, 因此尽管是非同步的交接, 也能够进行无同步器的数据的交接。

[0121] 另外, 上述时间Ts、Th由时钟clk-xtal和时钟clk-p11的频率的关系决定, 但在保存运算结果的寄存器 (DR) 63的保存时间比较长, 上述时间Ts、Th被补偿的范围内, 能够在宽的范围内选择时钟clk-xtal和时钟clk-p11的频率。

[0122] 图13是主要例示与PWM信号的周期对应的区间比较短的情况下的 $\Delta \Sigma$ 运算部15B内的动作定时的时序图。在此, 相对于时钟clk-p11, 时钟clk-xtal的周期相对变短, 其结果是, 尽管在 $\Delta \Sigma$ 运算中, 也产生如图13 (B) 所示的持续的信号sync。

[0123] 但是, 在 $\Delta \Sigma$ 运算的执行中, 在m计数器61A的计数值为“0”~“15”的期间, 不受理信号sync的接收, 因此不中断 $\Delta \Sigma$ 运算而继续进行。

[0124] 虽然上述 $\Delta \Sigma$ 运算的结果如图13 (I) 所示保存于寄存器 (DR) 63, 但在此周期Fsp短, 因此在输出 (PWM) 部15C中, 对应于在短周期中输入的信号sync, 寄存器 (PR) 84也可能持续2次读出并保存相同的运算结果, 可能产生相同的PWM信号, 但在性能上不会产生问题。

[0125] 即, 除了设置时间Ts和保存时间Th都非常短的时间、时钟clk-xtal和时钟clk-p11的频率的倍率以外, 时钟clk-xtal和时钟clk-p11的频率的比率能够在较宽的范围内选择, 另外也能够应对连续的调制。

[0126] 图14是表示与上述图12、图13对应的 $\Delta \Sigma$ 运算部15B中的 $\Delta \Sigma$ 运算与 $\Delta \Sigma$ 运算部15B以及输出部15C之间的运算结果的发送接收以及输出部15C中的PWM信号的输出定时的时序图。

[0127] 如图14 (A) 所示, 在 $\Delta \Sigma$ 运算部15B中, 从信号sync的时刻t31起隔开信号clr_en间的第1等待时间a而执行第1 $\Delta \Sigma$ 运算直到成为时刻t32为止。

[0128] 包括从上述定时t32到基于下一个信号sync的定时t33之间的第1等待时间b、和从上述定时t33到开始下一个 $\Delta \Sigma$ 运算为止的时间的延迟量在内, 并且在执行第2 $\Delta \Sigma$ 运算的期间内, 如图14 (B) 所示, $\Delta \Sigma$ 运算部15B的输出侧的寄存器 (DR) 63中以足够的时间宽度保存 $\Delta \Sigma$ 运算的运算结果。

[0129] 因此, 如图14 (C) 所示, 在输出部15C中, 能够有效地使用PWM周期, 在具有足够余量

地对应的周期中,输出PWM信号,通过后级的低通滤波器进行模拟化并输出。

[0130] 图15表示 $\Delta\Sigma$ 调制器15的前级的音源部14输出的数字音频数据的一个采样周期Fsd变动的情况。

[0131] 例如,考虑由于PLL 17的SSCG或抖动等,如数字音频数据的一个采样周期Fsd较长的情况(图15(A))、标准的情况(图15(B))、较短的情况(图15(C))所示,产生如图中所示的摆动F的情况。

[0132] 图15(D)所示的 $\Delta\Sigma$ 运算的周期、即 $\Delta\Sigma$ 调制器15的 $\Delta\Sigma$ 运算部15B以及输出部15C的处理以将周期不变化的时钟clk-xtal作为基础的PWM周期进行动作,但如上所述,通过 $\Delta\Sigma$ 运算部15B以及输出部15C间的 $\Delta\Sigma$ 运算的发送接收,吸收上述摆动F导致的变动量,能够不使输出精度恶化地执行数模转换。

[0133] 如上所述,根据本实施方式,无论在成为基准的石英振荡的第1时钟和基于频率比上述第1时钟高的PLL的第2时钟成为怎样的频率的组合的情况下,都能够执行处理。

[0134] 另外,在上述实施方式中,PLL 17使用SSCG(频谱扩展时钟振荡器),因此能够大幅削减放射电磁噪声。

[0135] 进而,在上述实施方式中,通过差动放大器对在输出级从PWM信号得到的模拟信号进行放大,因此能够除去在一般的数字处理或布线传送路径中产生的双极性的噪声,进一步降低噪声。

[0136] 如果将采用上述那样的数模转换电路的音源内置于各种电子乐器或个人计算机等信息处理装置中,则能够实现兼顾宽动态范围和低噪声性的高音质的声音输出。

[0137] 以上,对本发明的具体实施方式进行了说明,但本发明并不限于上述的实施方式,在不脱离本发明的主旨的范围内能够进行各种变更。对于本领域技术人员来说,能够在不脱离本发明的精神或范围的情况下对本发明进行各种变更和变形。因此,本发明包括权利要求书及其等同范围内的改变和变形。特别是,显然可以将上述的实施方式及其变形中的任意的2个以上的任意的一部分或全部组合而认为是本发明的范围。

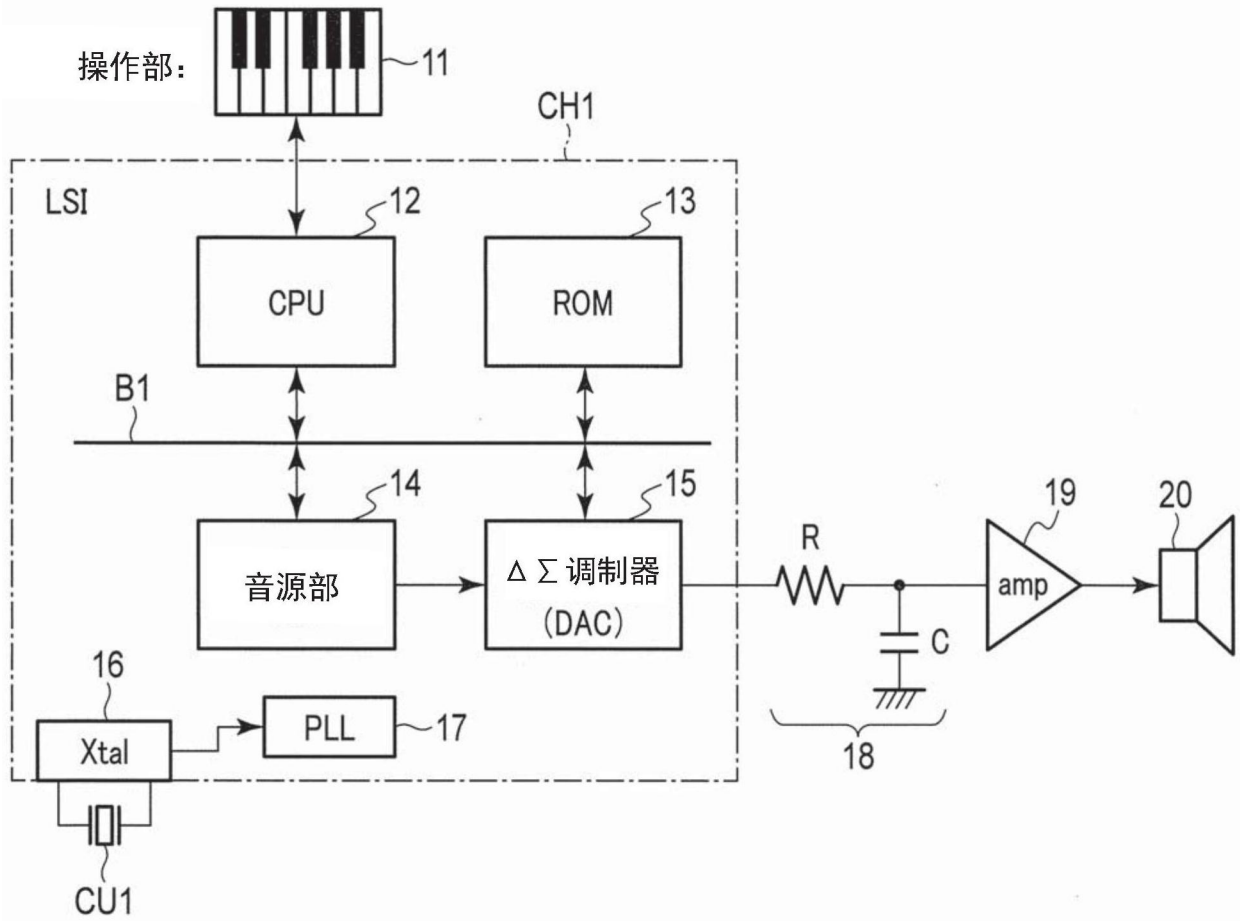


图1

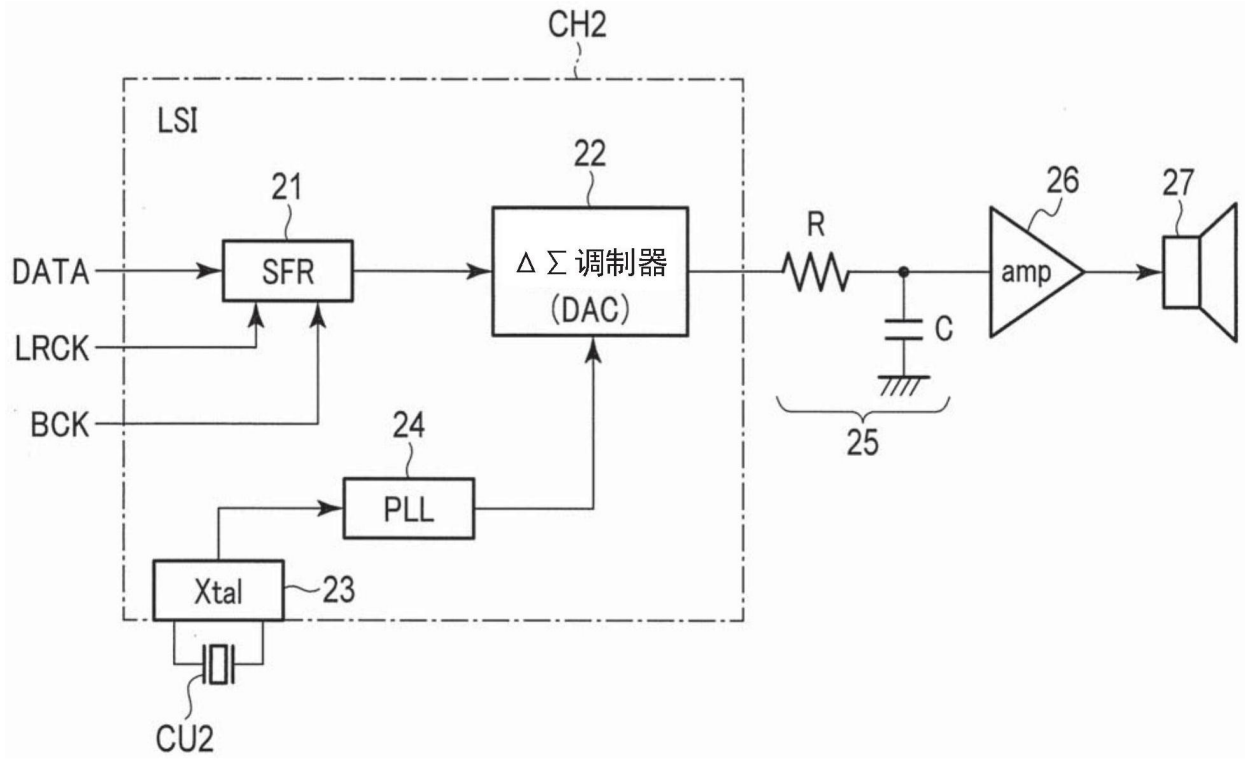


图2

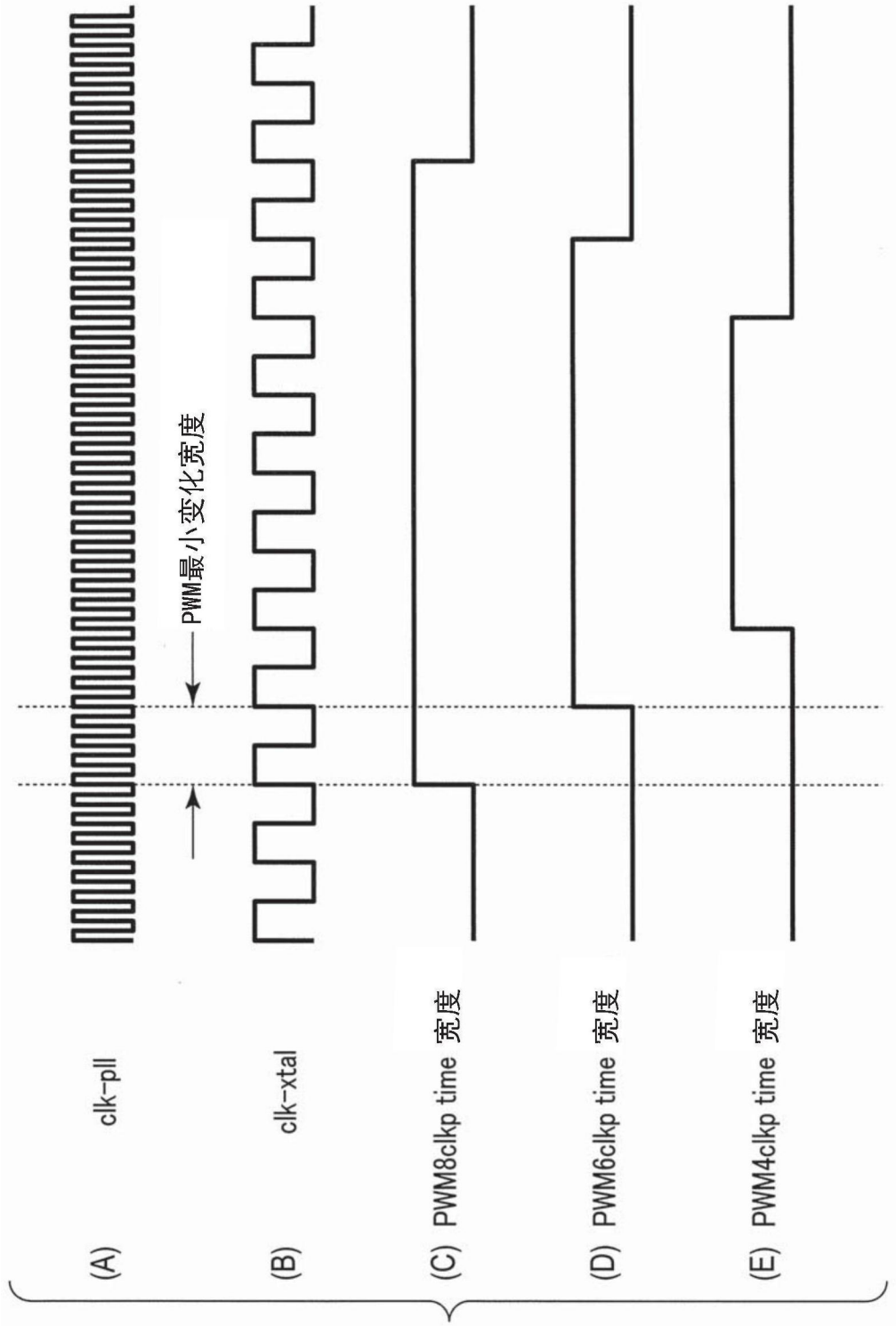


图3

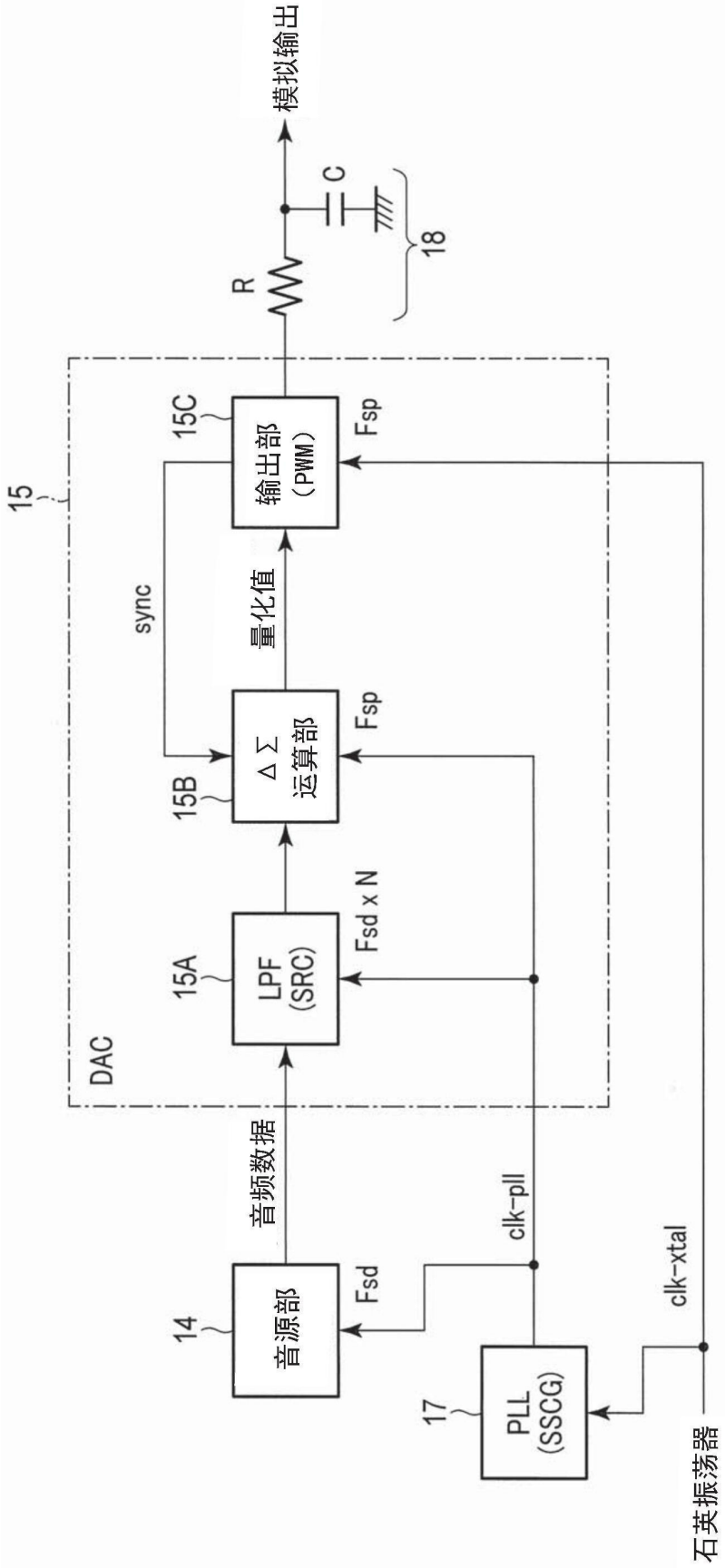


图4

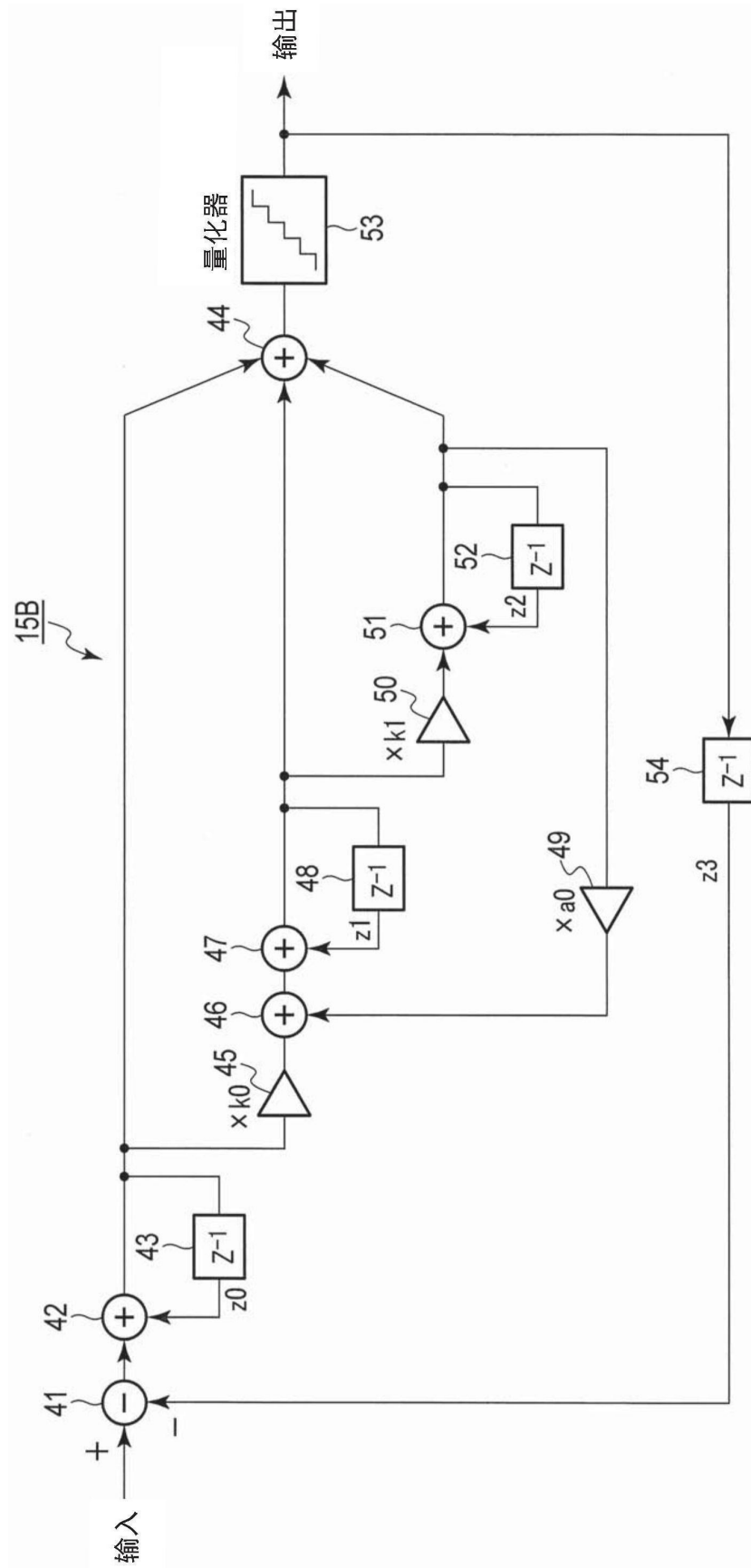


图6

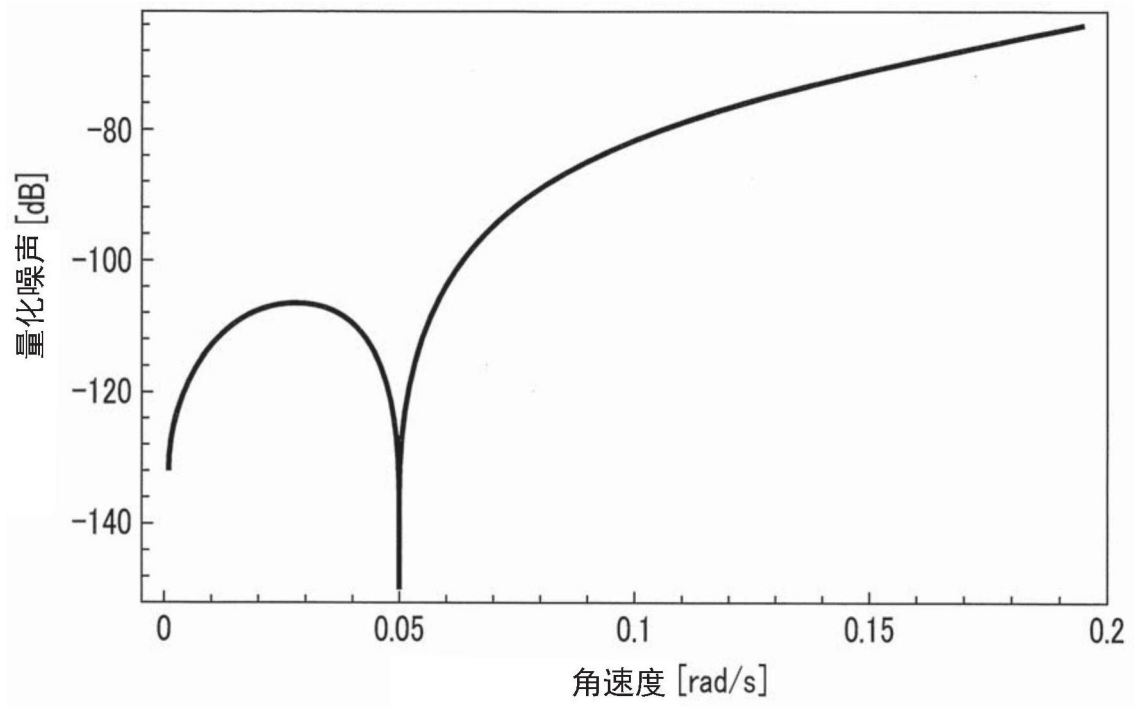
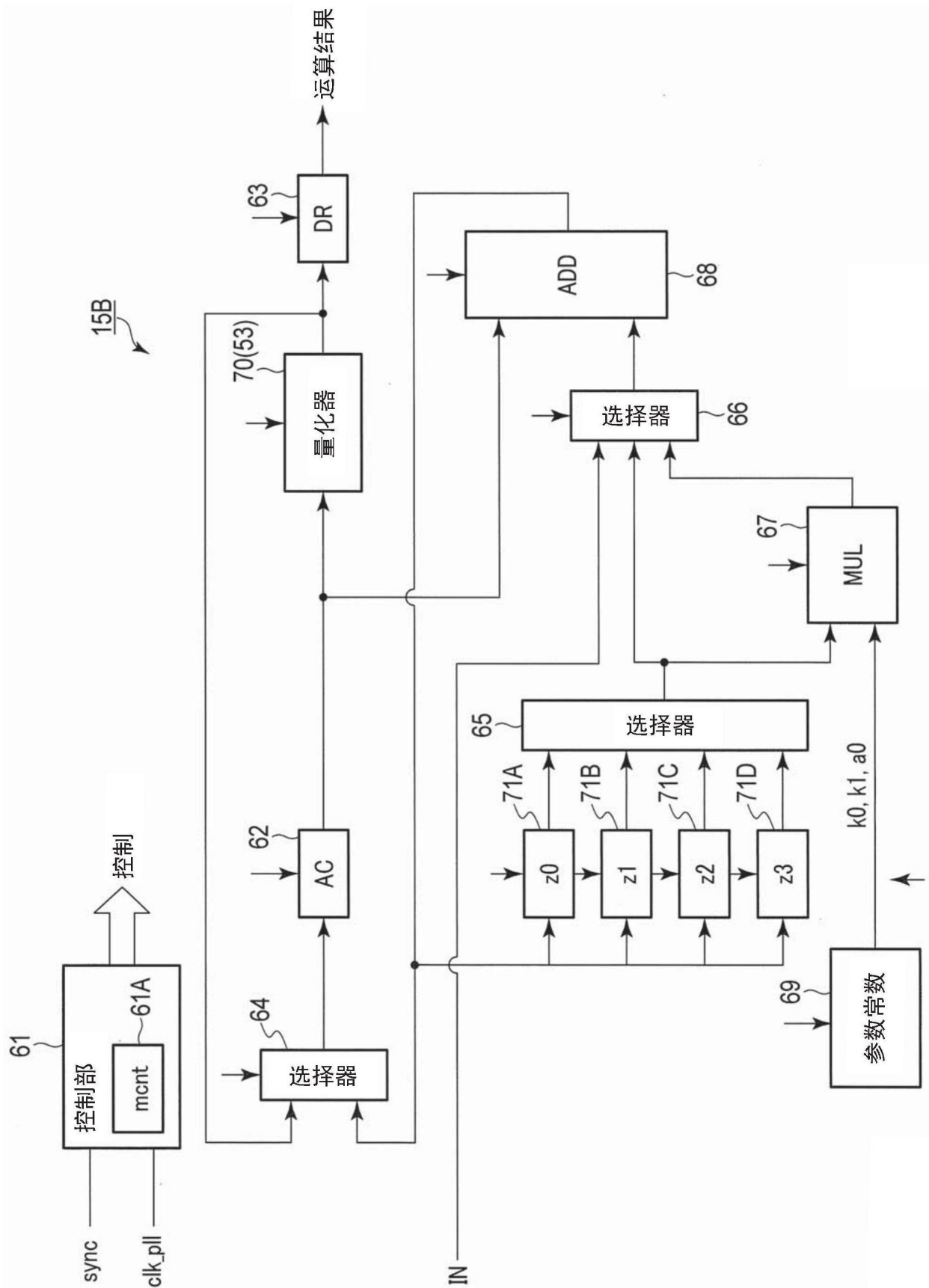


图7



| mcnt | $\Delta \Sigma$ 运算处理 |
|------|-----------------------------|
| 16 | sync等待 |
| 0 | $AC \leq z3 + IN$ |
| 1 | $Z0 \leq AC + Z0$ |
| 2 | $AC \leq Z2 \times a0$ |
| 3 | $AC \leq Z0 \times k0 + AC$ |
| 4 | $Z1 \leq AC + Z1$ |
| 5 | $AC \leq Z1 \times k1$ |
| 6 | $Z2 = Z2 + AC$ |
| 7 | $AC \leq Z0 + Z1 + Z2$ |
| 8 | 量化器 $\leq AC$ |
| 9 | $Z3 \leq$ 量化器输出 |
| 10 | nop |
| 11 | nop |
| 12 | nop |
| 13 | nop |
| 14 | nop |
| 15 | nop |
| 16 | sync等待 |
| 16 | sync等待 |
| 16 | sync等待 |
| 16 | sync等待 |
| 16 | sync等待 |

图9

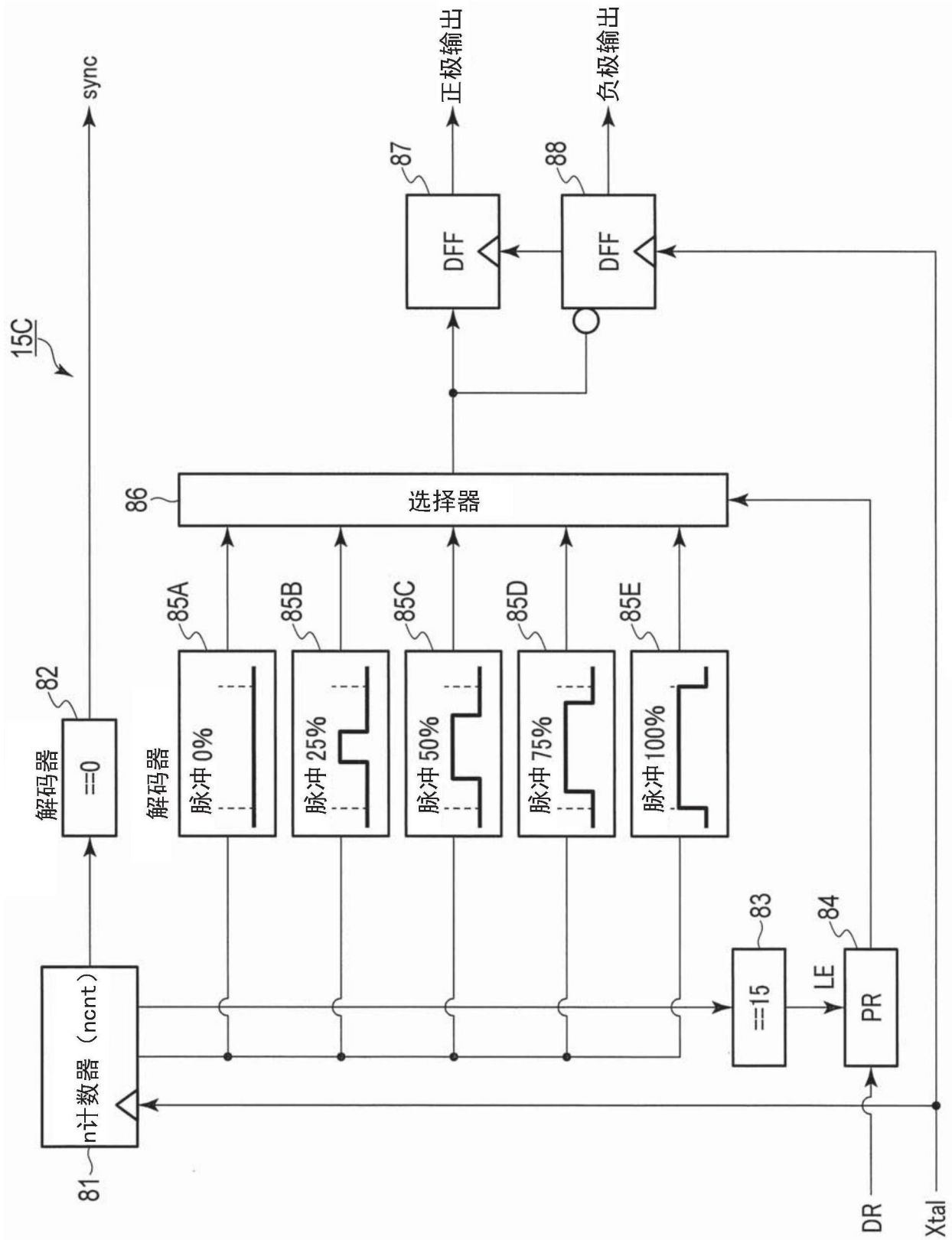


图10

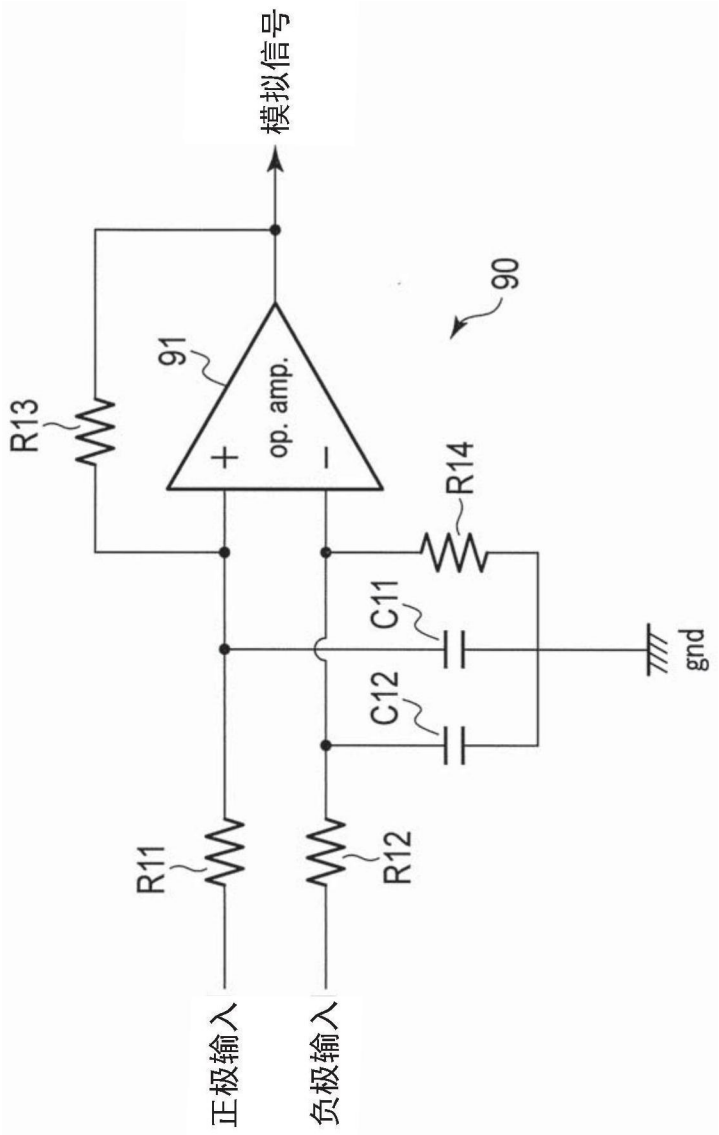


图11

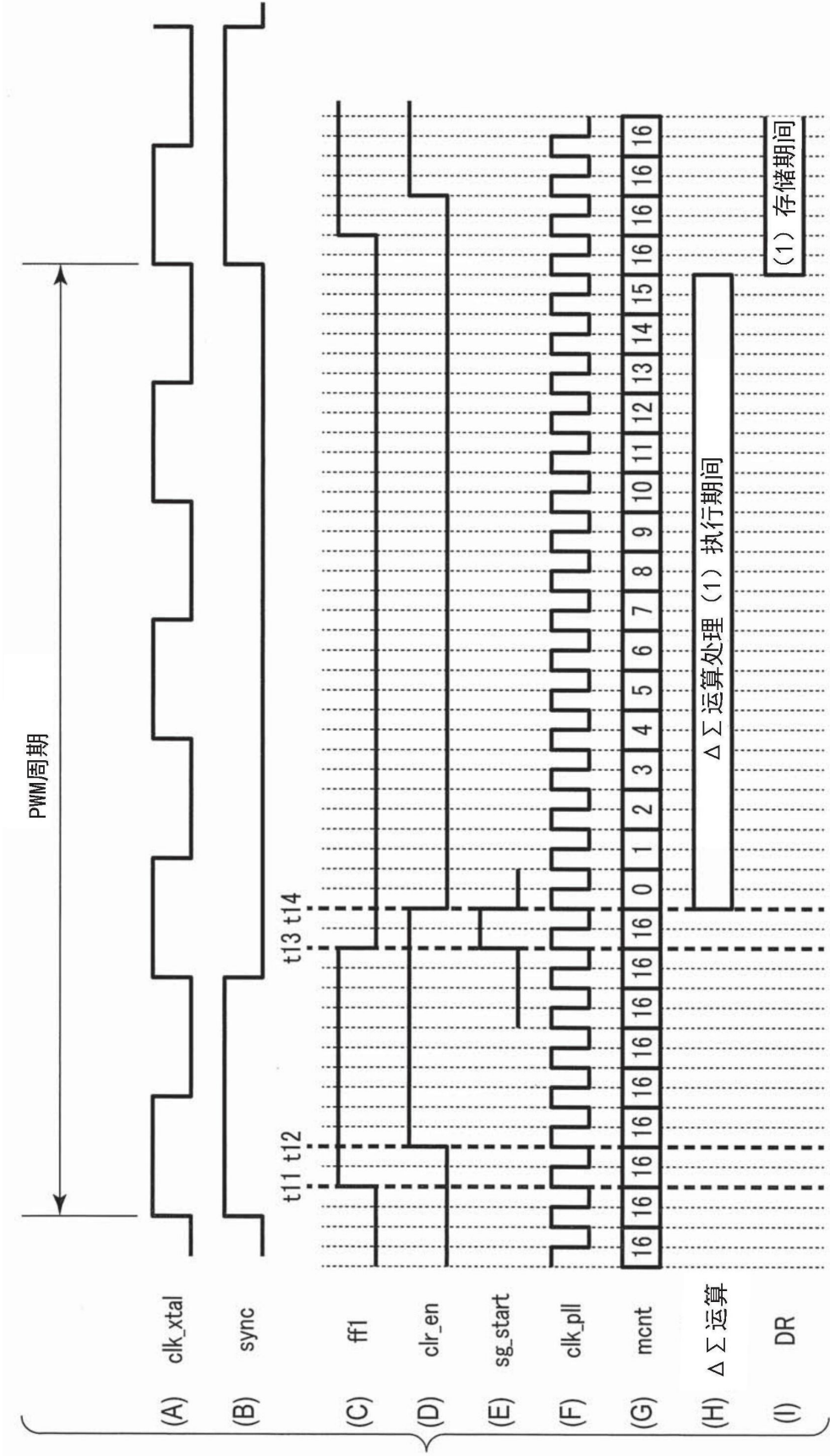


图12

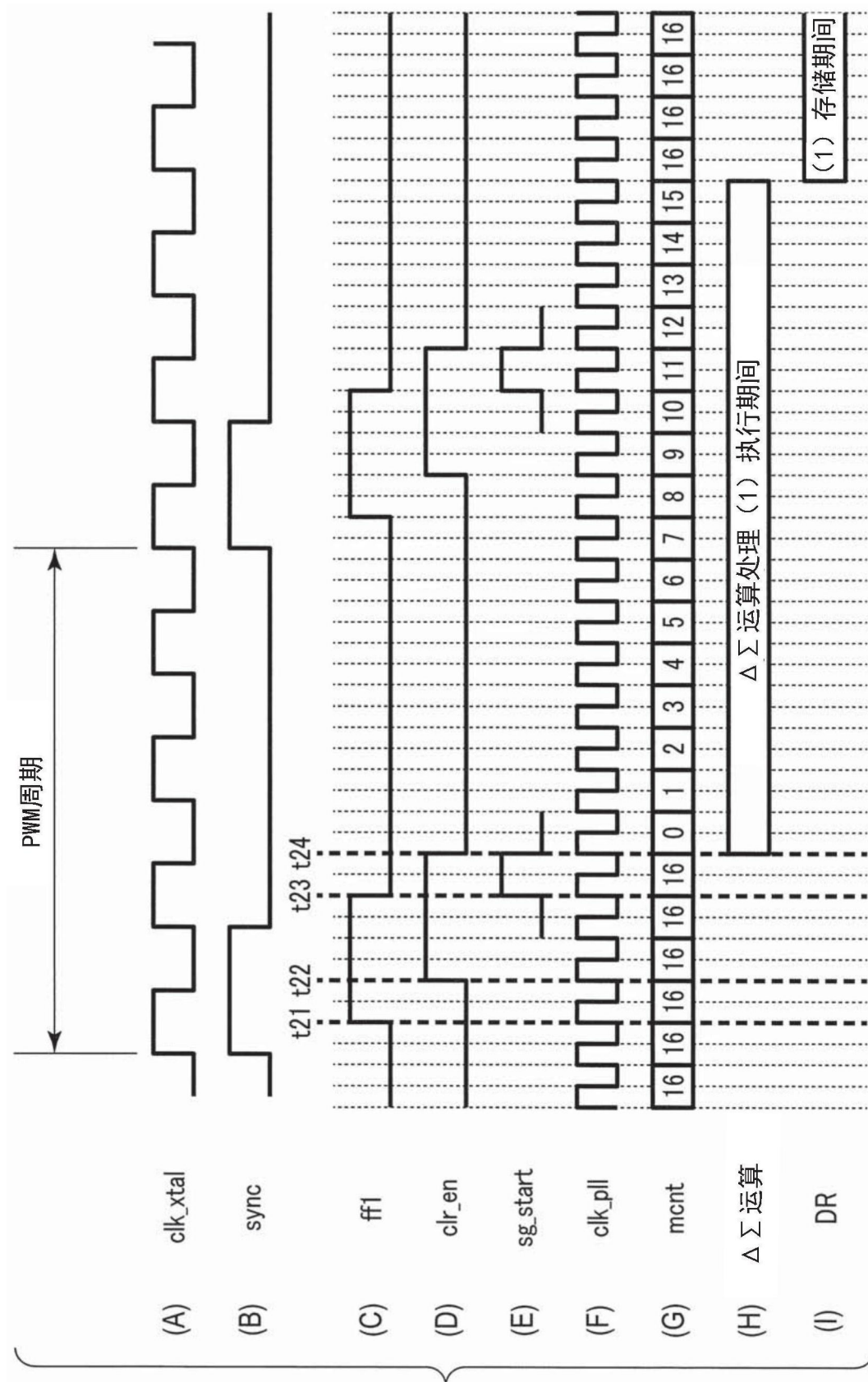


图13

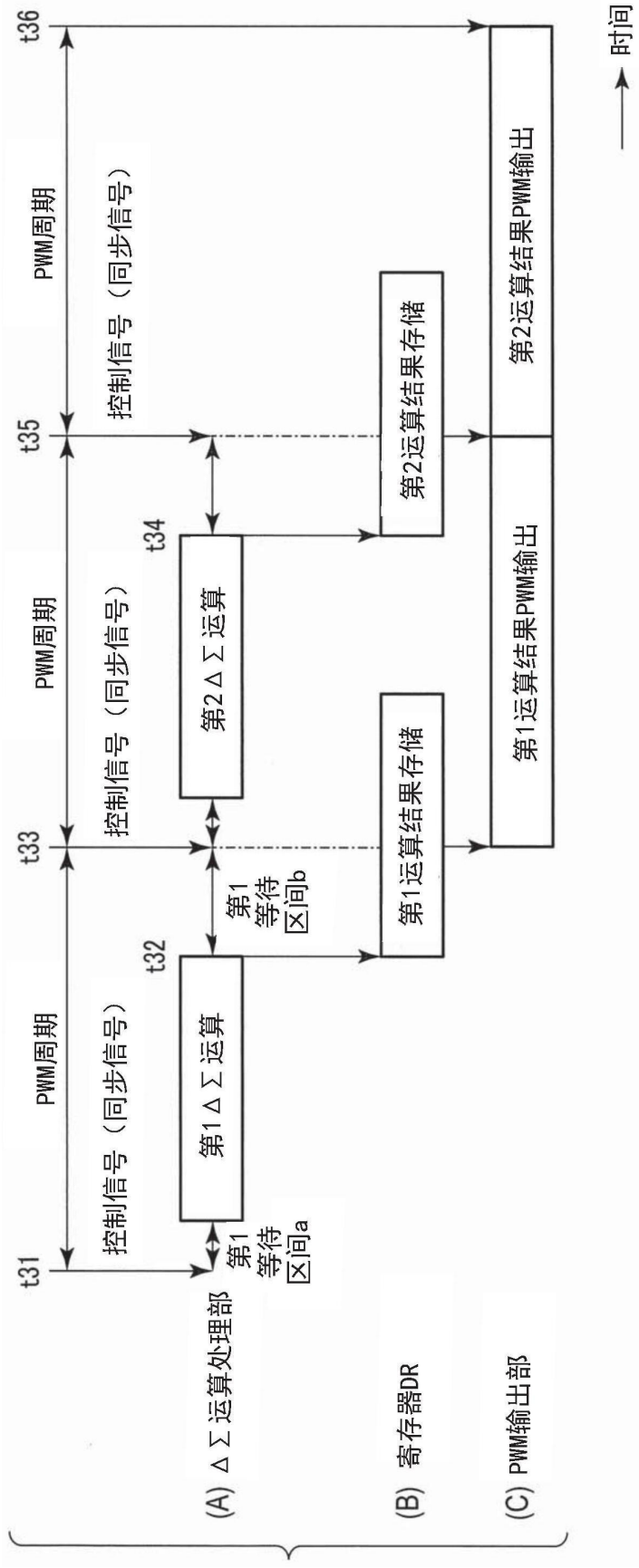


图14

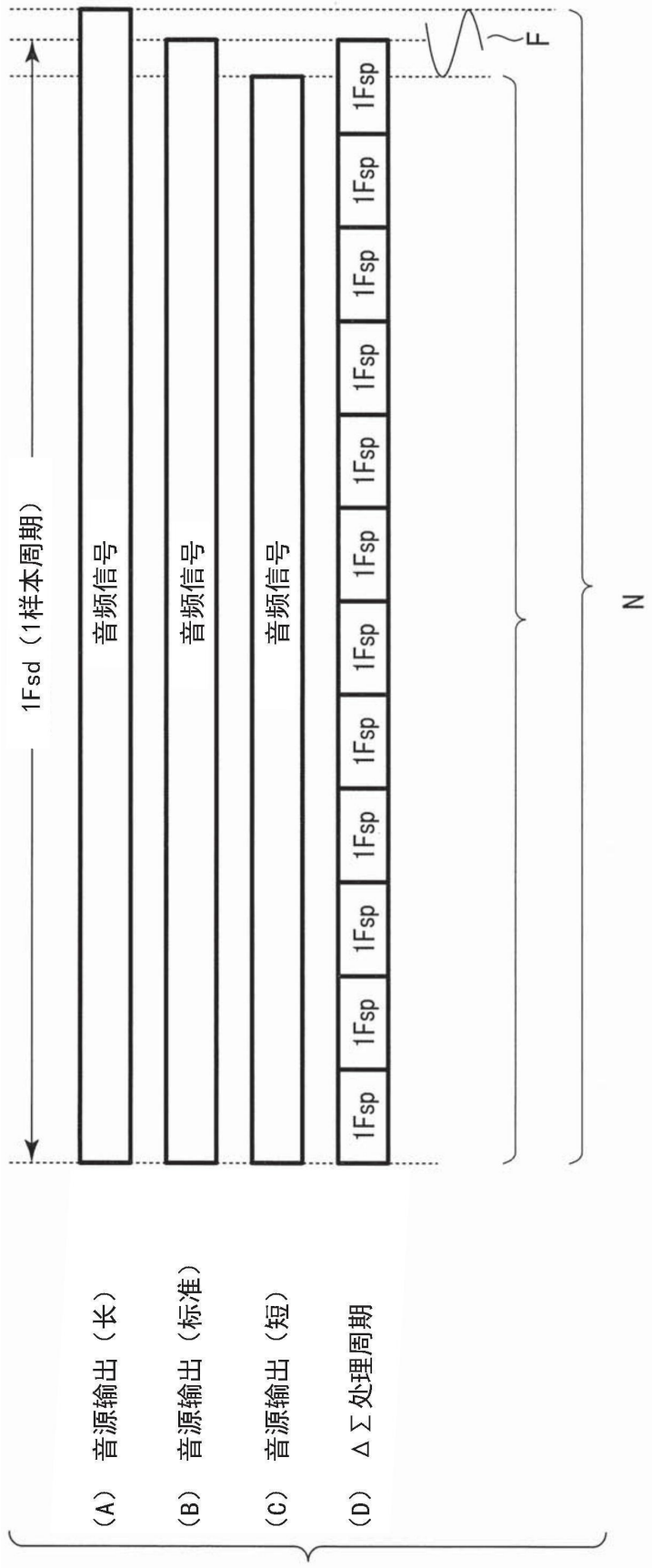


图15