



(12) 发明专利

(10) 授权公告号 CN 101958320 B

(45) 授权公告日 2012.06.13

(21) 申请号 200910139944.6

US 5981322 A, 1999.11.09, 全文.

(22) 申请日 2009.07.15

审查员 赵星

(73) 专利权人 奕力科技股份有限公司

地址 中国台湾新竹县

(72) 发明人 余锦旗 吕育伦

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

H01L 27/082(2006.01)

H01L 29/872(2006.01)

H01L 29/06(2006.01)

H01L 29/73(2006.01)

(56) 对比文件

JP 1931517 C, 1995.05.12, 全文.

CN 101060122 A, 2007.10.24, 全文.

US 6445044 B1, 2002.09.03, 全文.

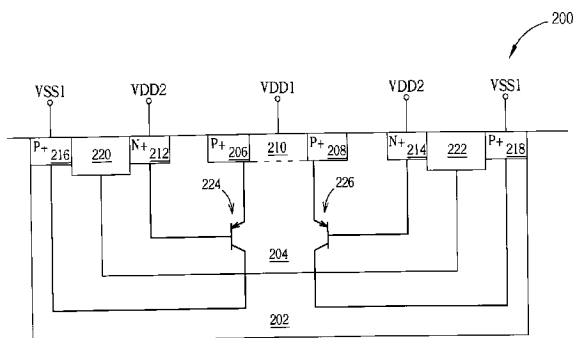
权利要求书 2 页 说明书 5 页 附图 6 页

(54) 发明名称

半导体装置

(57) 摘要

本发明公开了一种半导体装置,其包含有:P型半导体基底、N型阱区、第一P+扩散区域、第二P+扩散区域、肖特基二极管、第一N+扩散区域、第二N+扩散区域、第三P+扩散区域、第四P+扩散区域、第一绝缘层、第二绝缘层、第一寄生双极性结型晶体管以及第二寄生双极性结型晶体管。肖特基二极管耦接于输入信号。第一N+扩散区域以及第二N+扩散区域分别耦接于电压源。当输入信号的电压电平大于电压源的电压电平时,该肖特基二极管导通电荷来使得该第一寄生双极性结型晶体管与该第二寄生双极性结型晶体管均不导通。



1. 一种半导体装置,包含有:

P 型半导体基底;

N 型阱区,设置于该 P 型半导体基底中;

第一 P+ 扩散区域以及第二 P+ 扩散区域,设置于该 N 型阱区内;

肖特基二极管,设置于该 N 型阱区内,用以耦接于输入信号;

第一 N+ 扩散区域以及第二 N+ 扩散区域,设置于该 N 型阱区内,用以分别耦接于电压源;

第三 P+ 扩散区域以及第四 P+ 扩散区域,设置于该 P 型半导体基底中;

第一绝缘层,设置于该第一 N+ 扩散区域以及该第三 P+ 扩散区域之间;

第二绝缘层,设置于该第二 N+ 扩散区域以及该第四 P+ 扩散区域之间;

第一寄生双极性结型晶体管,其具有发射极、基极以及集电极,其中该第一寄生双极性结型晶体管的该发射极是由该第一 P+ 扩散区域所构成,该第一寄生双极性结型晶体管的该基极是由该 N 型阱区串接至该第一 N+ 扩散区域所构成,以及该第一寄生双极性结型晶体管的该集电极是由该 P 型半导体基底串接至该第三 P+ 扩散区域所构成;以及

第二寄生双极性结型晶体管,其具有发射极、基极以及集电极,其中该第二寄生双极性结型晶体管的该发射极是由该第二 P+ 扩散区域所构成,该第二寄生双极性结型晶体管的该基极是由该 N 型阱区串接至该第二 N+ 扩散区域所构成,以及该第二寄生双极性结型晶体管的该集电极是由该 P 型半导体基底串接至该第四 P+ 扩散区域所构成,

其中当该输入信号的电压电平大于该电压源的电压电平时,该肖特基二极管导通电荷来使得该第一寄生双极性结型晶体管与该第二寄生双极性结型晶体管均不导通。

2. 如权利要求 1 所述的半导体装置,其中该半导体装置使用逻辑工艺所制作而成。

3. 如权利要求 1 所述的半导体装置,其中该半导体装置使用高压工艺所制作而成。

4. 如权利要求 1 所述的半导体装置,其中该肖特基二极管设置于该第一 P+ 扩散区域以及该第二 P+ 扩散区域之间。

5. 一种半导体装置,包含有:

N 型半导体基底;

P 型阱区,设置于该 N 型半导体基底中;

第一 N+ 扩散区域以及第二 N+ 扩散区域,设置于该 P 型阱区内;

肖特基二极管,设置于该 P 型阱区内,用以耦接于输入信号;

第一 P+ 扩散区域以及第二 P+ 扩散区域,设置于该 P 型阱区内,用以分别耦接于电压源;

第三 N+ 扩散区域以及第四 N+ 扩散区域,设置于该 N 型半导体基底中;

第一绝缘层,设置于该第一 P+ 扩散区域以及该第三 N+ 扩散区域之间;

第二绝缘层,设置于该第二 P+ 扩散区域以及该第四 N+ 扩散区域之间;

第一寄生双极性结型晶体管,其具有发射极、基极以及集电极,其中该第一寄生双极性结型晶体管的该发射极是由该第一 N+ 扩散区域所构成,该第一寄生双极性结型晶体管的该基极是由该 P 型阱区串接至该第一 P+ 扩散区域所构成,以及该第一寄生双极性结型晶体管的该集电极是由该 N 型半导体基底串接至该第三 N+ 扩散区域所构成;以及

第二寄生双极性结型晶体管,其具有发射极、基极以及集电极,其中该第二寄生双极性

结型晶体管的该发射极是由该第二 N+ 扩散区域所构成,该第二寄生双极性结型晶体管的该基极是由该 P 型阱区串接至该第二 P+ 扩散区域所构成,以及该第二寄生双极性结型晶体管的该集电极是由该 N 型半导体基底串接至该第四 N+ 扩散区域所构成,

其中当该输入信号的电压电平小于该电压源的电压电平时,该肖特基二极管导通电荷来使得该第一寄生双极性结型晶体管与该第二寄生双极性结型晶体管均不导通。

6. 如权利要求 5 所述的半导体装置,其中该半导体装置使用逻辑工艺所制作而成。

7. 如权利要求 5 所述的半导体装置,其中该半导体装置使用高压工艺所制作而成。

8. 如权利要求 5 所述的半导体装置,其中该肖特基二极管设置于该第一 N+ 扩散区域以及该第二 N+ 扩散区域之间。

## 半导体装置

### 技术领域

[0001] 本发明涉及一种半导体装置,尤指一种可以避免产生闩锁(latch-up)现象的半导体装置。

### 背景技术

[0002] 请参考图 1,图 1 所绘示的为传统的半导体装置 100 的简化示意图。如图 1 所示,半导体装置 100 包含有:P 型半导体基底 102、N 型阱区 104、第一 P+ 扩散区域 106、第一 N+ 扩散区域 108、第二 N+ 扩散区域 110、第二 P+ 扩散区域 112、第三 P+ 扩散区域 114、第一绝缘层 116、第二绝缘层 118、第一寄生双极性结型晶体管(Bipolar Junction Transistor, BJT)120 以及第二寄生双极性结型晶体管 122。N 型阱区 104 设置于 P 型半导体基底 102 中,并且第一 P+ 扩散区域 106 设置于 N 型阱区 104 内。第一 P+ 扩散区域 106 用以耦接于输入信号 VDD1。第一 N+ 扩散区域 108 以及第二 N+ 扩散区域 110 设置于 N 型阱区 104 内,并且用以分别耦接于半导体装置 100 本身的电压源 VDD2。第二 P+ 扩散区域 112 以及第三 P+ 扩散区域 114 设置于 P 型半导体基底 102 中,并且用以分别耦接于电压电平 VSS1,而第一绝缘层 116 设置于第一 N+ 扩散区域 108 以及第二 P+ 扩散区域 112 之间,并且第二绝缘层 118 设置于第二 N+ 扩散区域 110 以及第三 P+ 扩散区域 114 之间。第一寄生双极性结型晶体管 120 具有发射极、基极以及集电极,其中第一寄生双极性结型晶体管 120 的发射极是由第一 P+ 扩散区域 106 所构成,第一寄生双极性结型晶体管 120 的基极是由 N 型阱区 104 串接至第一 N+ 扩散区域 108 所构成,以及第一寄生双极性结型晶体管 120 的集电极是由 P 型半导体基底 102 串接至第二 P+ 扩散区域 112 所构成。第二寄生双极性结型晶体管 122 具有发射极、基极以及集电极,其中第二寄生双极性结型晶体管 122 的发射极是由第二 P+ 扩散区域 106 所构成,第二寄生双极性结型晶体管 122 的基极是由 N 型阱区 104 串接至第二 N+ 扩散区域 110 所构成,以及第二寄生双极性结型晶体管 122 的集电极是由 P 型半导体基底 102 串接至第三 P+ 扩散区域 114 所构成。

[0003] 请参考图 2,图 2 绘示图 1 中的电压电平 VSS1、输入信号 VDD1 及电压源 VDD2 的时序图,如图 2 所示,输入信号 VDD1 的电压电平的升高速度比电压源 VDD2 的电压电平的升高速度快,因此,当输入信号 VDD1 的电压电平高于电压源 VDD2 的电压电平时,半导体装置 100 中的第一寄生双极性结型晶体管 120 以及第二寄生双极性结型晶体管 122 均会被导通,以致于产生闩锁现象,如此就会产生大电流,使得半导体装置 100 容易遭到损坏。

### 发明内容

[0004] 有鉴于此,本发明的目的之一在于提供一种可以避免产生闩锁现象的半导体装置,以解决上述的问题。

[0005] 依据本发明的权利要求,其披露一种半导体装置,该半导体装置包含有:P 型半导体基底、N 型阱区、第一 P+ 扩散区域、第二 P+ 扩散区域、肖特基二极管(Schottky diode)、第一 N+ 扩散区域、第二 N+ 扩散区域、第三 P+ 扩散区域、第四 P+ 扩散区域、第一绝缘层、第

二绝缘层、第一寄生双极性结型晶体管以及第二寄生双极性结型晶体管。该 N 型阱区设置于该 P 型半导体基底中,并且该第一 P+ 扩散区域以及该第二 P+ 扩散区域设置于该 N 型阱区内。该肖特基二极管设置于该 N 型阱区内,并且用以耦接于输入信号。该第一 N+ 扩散区域以及该第二 N+ 扩散区域设置于该 N 型阱区内,并且用以分别耦接于电压源。该第三 P+ 扩散区域以及该第四 P+ 扩散区域设置于该 P 型半导体基底中,而该第一绝缘层设置于该第一 N+ 扩散区域以及该第三 P+ 扩散区域之间,并且该第二绝缘层设置于该第二 N+ 扩散区域以及该第四 P+ 扩散区域之间。该第一寄生双极性结型晶体管具有发射极、基极以及集电极,其中该第一寄生双极性结型晶体管的该发射极是由该第一 P+ 扩散区域所构成,该第一寄生双极性结型晶体管的该基极是由该 N 型阱区串接至该第一 N+ 扩散区域所构成,以及该第一寄生双极性结型晶体管的该集电极是由该 P 型半导体基底串接至该第三 P+ 扩散区域所构成。该第二寄生双极性结型晶体管具有发射极、基极以及集电极,其中该第二寄生双极性结型晶体管的该发射极是由该第二 P+ 扩散区域所构成,该第二寄生双极性结型晶体管的该基极是由该 N 型阱区串接至该第二 N+ 扩散区域所构成,以及该第二寄生双极性结型晶体管的该集电极是由该 P 型半导体基底串接至该第四 P+ 扩散区域所构成。其中,当该输入信号的电压电平大于该电压源的电压电平时,该肖特基二极管导通电荷来使得该第一寄生双极性结型晶体管与该第二寄生双极性结型晶体管均不导通。

[0006] 依据本发明的权利要求,其另披露一种半导体装置,该半导体装置包含有:N 型半导体基底、P 型阱区、第一 N+ 扩散区域、第二 N+ 扩散区域、肖特基二极管、第一 P+ 扩散区域、第二 P+ 扩散区域、第三 N+ 扩散区域、第四 N+ 扩散区域、第一绝缘层、第二绝缘层、第一寄生双极性结型晶体管以及第二寄生双极性结型晶体管。该 P 型阱区设置于该 N 型半导体基底中,并且该第一 N+ 扩散区域以及该第二 N+ 扩散区域设置于该 P 型阱区内,该肖特基二极管设置于该 P 型阱区内,并且用以耦接于输入信号。该第一 P+ 扩散区域以及该第二 P+ 扩散区域设置于该 P 型阱区内,并且用以分别耦接于电压源。该第三 N+ 扩散区域以及该第四 N+ 扩散区域设置于该 N 型半导体基底中,而该第一绝缘层设置于该第一 P+ 扩散区域以及该第三 N+ 扩散区域之间,并且该第二绝缘层设置于该第二 P+ 扩散区域以及该第四 N+ 扩散区域之间。该第一寄生双极性结型晶体管具有发射极、基极以及集电极,其中该第一寄生双极性结型晶体管的该发射极是由该第一 N+ 扩散区域所构成,该第一寄生双极性结型晶体管的该基极是由该 P 型阱区串接至该第一 P+ 扩散区域所构成,以及该第一寄生双极性结型晶体管的该集电极是由该 N 型半导体基底串接至该第三 N+ 扩散区域所构成。该第二寄生双极性结型晶体管具有发射极、基极以及集电极,其中该第二寄生双极性结型晶体管的该发射极是由该第二 N+ 扩散区域所构成,该第二寄生双极性结型晶体管的该基极是由该 P 型阱区串接至该第二 P+ 扩散区域所构成,以及该第二寄生双极性结型晶体管的该集电极是由该 N 型半导体基底串接至该第四 N+ 扩散区域所构成。其中,当该输入信号的电压电平小于该电压源的电压电平时,该肖特基二极管导通电荷来使得该第一寄生双极性结型晶体管与该第二寄生双极性结型晶体管均不导通。

[0007] 综上所述,本发明所披露的半导体装置可以避免产生闩锁现象,因此,本发明的半导体装置不容易遭到损坏,并且具有较长的使用寿命。

## 附图说明

- [0008] 图 1 所绘示的为传统的半导体装置的简化示意图。
- [0009] 图 2 所绘示的为图 1 中的电压电平 VSS1、输入信号 VDD1 以及电压源 VDD2 的时序图。
- [0010] 图 3 所绘示的为依据本发明的第一实施例的半导体装置的简化示意图。
- [0011] 图 4 所绘示的为本发明的第一实施例中的电压电平 VSS1、输入信号 VDD1 以及电压源 VDD2 的时序图。
- [0012] 图 5 所绘示的为依据本发明的第二实施例的半导体装置的简化示意图。
- [0013] 图 6 所绘示的为本发明的第二实施例中的电压电平 VSS1、输入信号 VDD1 以及电压源 VDD2 的时序图。

#### [0014] 附图标记说明

- |                          |                   |
|--------------------------|-------------------|
| [0015] 100 :半导体装置        | 102 :P 型半导体基底     |
| [0016] 104 :N 型阱区        | 106 :第一 P+ 扩散区域   |
| [0017] 108 :第一 N+ 扩散区域   | 110 :第二 N+ 扩散区域   |
| [0018] 112 :第二 P+ 扩散区域   | 114 :第三 P+ 扩散区域   |
| [0019] 116 :第一绝缘层        | 118 :第二绝缘层        |
| [0020] 120 :第一寄生双极性结型晶体管 | 120 :第二寄生双极性结型晶体管 |
| [0021] VDD1 :输入信号        | VDD2 :电压源         |
| [0022] VSS1 :电压电平        | 200 :半导体装置        |
| [0023] 202 :P 型半导体基底     | 204 :N 型阱区        |
| [0024] 206 :第一 P+ 扩散区域   | 208 :第二 P+ 扩散区域   |
| [0025] 210 :肖特基二极管       | 212 :第一 N+ 扩散区域   |
| [0026] 214 :第二 N+ 扩散区域   | 216 :第三 P+ 扩散区域   |
| [0027] 218 :第四 p+ 扩散区域   | 220 :第一绝缘层        |
| [0028] 222 :第二绝缘层        | 224 :第一寄生双极性结型晶体管 |
| [0029] 226 :第二寄生双极性结型晶体管 | 300 :半导体装置        |
| [0030] 302 :N 型半导体基底     | 304 :P 型阱区        |
| [0031] 306 :第一 N+ 扩散区域   | 308 :第二 N+ 扩散区域   |
| [0032] 310 :肖特基二极管       | 312 :第一 P+ 扩散区域   |
| [0033] 314 :第二 P+ 扩散区域   | 316 :第三 N+ 扩散区域   |
| [0034] 318 :第四 N+ 扩散区域   | 320 :第一绝缘层        |
| [0035] 322 :第二绝缘层        | 324 :第一寄生双极性结型晶体管 |
| [0036] 326 :第二寄生双极性结型晶体管 |                   |

#### 具体实施方式

[0037] 本说明书及权利要求中使用某些词汇来指称特定的元件,而所属领域技术人员应可理解,硬件制造商可能会用不同的名词来称呼同一个元件,本说明书及后续的权利要求并不以名称的差异来作为区分元件的方式,而是以元件在功能上的差异来作为区分的准则,在通篇说明书及后续的权利要求当中所提及的“包含有”为开放式的用语,故应解释成“包含有但限定于”,此外,“耦接”一词在此包含有任何直接及间接的电气连接手段,因

此,若文中描述第一装置耦接于第二装置,则代表该第一装置可以直接电气连接于该第二装置,或通过其它装置或连接手段间接地电气连接至该第二装置。

[0038] 请参考图 3,图 3 绘示本发明第一实施例的半导体装置 200 的简化示意图,其中半导体装置 200 属于使用逻辑工艺所制作而成的半导体装置。如图 3 所示,半导体装置 200 包含有:P 型半导体基底 202、N 型阱区 204、第一 P+ 扩散区域 206、第二 P+ 扩散区域 208、肖特基二极管 210、第一 N+ 扩散区域 212、第二 N+ 扩散区域 214、第三 P+ 扩散区域 216、第四 P+ 扩散区域 218、第一绝缘层 220、第二绝缘层 222、第一寄生双极性结型晶体管 224 及第二寄生双极性结型晶体管 226。N 型阱区 204 设置于 P 型半导体基底 202 中,并且第一 P+ 扩散区域 206 及第二 P+ 扩散区域 208 设置于 N 型阱区 204 内。肖特基二极管 210 设置于第一 P+ 扩散区域 206 及第二 P+ 扩散区域 208 之间,并且用以耦接于输入信号 VDD1。第一 N+ 扩散区域 212 及第二 N+ 扩散区域 214 设置于 N 型阱区 204 内,并且用以分别耦接于电压源 VDD2。第三 P+ 扩散区域 216 及第四 P+ 扩散区域 218 设置于 P 型半导体基底 202 中,并且用以分别耦接于电压电平 VSS1,而第一绝缘层 220 设置于第一 N+ 扩散区域 212 及第三 P+ 扩散区域 216 之间,并且第二绝缘层 222 设置于第二 N+ 扩散区域 214 及第四 P+ 扩散区域 218 之间。第一寄生双极性结型晶体管 224 具有发射极、基极及集电极,其中第一寄生双极性结型晶体管 224 的发射极是由第一 P+ 扩散区域 206 所构成,第一寄生双极性结型晶体管 224 的基极是由 N 型阱区 204 串接至第一 N+ 扩散区域 212 所构成,以及第一寄生双极性结型晶体管 224 的集电极是由 P 型半导体基底 202 串接至第三 P+ 扩散区域 216 所构成。第二寄生双极性结型晶体管 226 具有发射极、基极及集电极,其中第二寄生双极性结型晶体管 226 的发射极是由第二 P+ 扩散区域 208 所构成,第二寄生双极性结型晶体管 226 的基极是由 N 型阱区 204 串接至第二 N+ 扩散区域 214 所构成,以及第二寄生双极性结型晶体管 226 的集电极是由 P 型半导体基底 202 串接至第四 P+ 扩散区域 218 所构成。此外,请注意,上述实施例仅作为本发明的举例说明,而不是本发明的限制条件,例如,肖特基二极管 210 不一定要设置于第一 P+ 扩散区域 206 及第二 P+ 扩散区域 208 之间,肖特基二极管 210 也可以设置于 N 型阱区 204 中的其它位置。

[0039] 请参考图 4,图 4 绘示本发明第一实施例中的电压电平 VSS1、输入信号 VDD1 及电压源 VDD2 的时序图,如图 4 所示,输入信号 VDD1 的电压电平的升高速度比电压源 VDD2 的电压电平的升高速度快,然而,由于本发明的半导体装置 200 中的肖特基二极管 210 的崩溃电压(例如 0.4V)小于第一寄生双极性结型晶体管 224 及第二寄生双极性结型晶体管 226 的崩溃电压(例如 0.7V),因此,当输入信号 VDD1 的电压电平高于电压源 VDD2 的电压电平时,本发明的半导体装置 200 可以通过肖特基二极管 210 来导通电荷,以使得第一寄生双极性结型晶体管 224 及第二寄生双极性结型晶体管 226 均不导通。如此,本发明的半导体装置 200 就可以避免产生闩锁现象,因此,本发明的半导体装置 200 不容易遭到损坏,并且具有较长的使用寿命。此外,请注意,上述的实施例仅作为本发明的举例说明,而不是本发明的限制条件,例如,本发明的概念同样也可以用于使用其它半导体工艺(例如高压工艺)所制作而成的半导体装置中。

[0040] 请参考图 5,图 5 绘示本发明第二实施例的半导体装置 300 的简化示意图,其中半导体装置 300 是属于使用逻辑工艺所制作而成的半导体装置。如图 5 所示,半导体装置 300 包含有:N 型半导体基底 302、P 型阱区 304、第一 N+ 扩散区域 306、第二 N+ 扩散区域 308、

肖特基二极管 310、第一 P+ 扩散区域 312、第二 P+ 扩散区域 314、第三 N+ 扩散区域 316、第四 N+ 扩散区域 318、第一绝缘层 320、第二绝缘层 322、第一寄生双极性结型晶体管 324 及第二寄生双极性结型晶体管 326。P 型阱区 304 设置于 N 型半导体基底 302 中，并且第一 N+ 扩散区域 306 及第二 N+ 扩散区域 308 设置于 P 型阱区 304 内，肖特基二极管 310 设置于第一 N+ 扩散区域 306 及第二 N+ 扩散区域 308 之间，并且用以耦接于输入信号 VDD1。第一 P+ 扩散区域 312 及第二 P+ 扩散区域 314 设置于 P 型阱区 304 内，并且用以分别耦接于电压源 VDD2。第三 N+ 扩散区域 316 及第四 N+ 扩散区域 318 设置于 N 型半导体基底 302 中，并且用以分别耦接于电压电平 VSS1，而第一绝缘层 320 设置于第一 P+ 扩散区域 312 及第三 N+ 扩散区域 316 之间，并且第二绝缘层 322 设置于第二 P+ 扩散区域 314 及第四 N+ 扩散区域 318 之间。第一寄生双极性结型晶体管 324 具有发射极、基极及集电极，其中第一寄生双极性结型晶体管 324 的发射极是由第一 N+ 扩散区域 306 所构成，第一寄生双极性结型晶体管 324 的基极是由 P 型阱区 304 串接至第一 P+ 扩散区域 312 所构成，以及第一寄生双极性结型晶体管 324 的集电极是由 N 型半导体基底 302 串接至第三 N+ 扩散区域 316 所构成。第二寄生双极性结型晶体管 326 具有发射极、基极及集电极，其中第二寄生双极性结型晶体管 326 的发射极是由第二 N+ 扩散区域 308 所构成，第二寄生双极性结型晶体管 326 的基极是由 P 型阱区 304 串接至第二 P+ 扩散区域 314 所构成，以及第二寄生双极性结型晶体管 326 的集电极是由 N 型半导体基底 302 串接至第四 N+ 扩散区域 318 所构成。此外，请注意，上述的实施例仅作为本发明的举例说明，而不是本发明的限制条件，例如，肖特基二极管 210 不一定要设置于第一 N+ 扩散区域 306 及第二 N+ 扩散区域 308 之间，肖特基二极管 210 也可以设置于 P 型阱区 304 中的其它位置。

[0041] 参考图 6，图 6 绘示本发明第二实施例的电压电平 VSS1、输入信号 VDD1 及电压源 VDD2 的时序图。如图 6 所示，输入信号 VDD1 的电压电平的降低速度比电压源 VDD2 的电压电平的降低速度快，然而，由于本发明的半导体装置 300 中的肖特基二极管 310 的崩溃电压大于第一寄生双极性结型晶体管 324 及第二寄生双极性结型晶体管 326 的崩溃电压，因此，当输入信号 VDD1 的电压电平低于电压源 VDD2 的电压电平时，本发明的半导体装置 300 可以通过肖特基二极管 310 来导通电荷，使得第一寄生双极性结型晶体管 324 及第二寄生双极性结型晶体管 326 均不导通。如此，本发明的半导体装置 300 就可以避免产生闩锁现象，因此，本发明的半导体装置 300 不容易遭到损坏，并且具有较长的使用寿命。此外，请注意，上述实施例仅作为本发明的举例说明，而不是本发明的限制条件，例如，本发明的概念同样也可以用于使用其它半导体工艺（例如高压工艺）所制作而成的半导体装置中。

[0042] 综上所述，本发明所披露的半导体装置可以避免产生闩锁现象，因此，本发明的半导体装置不容易遭到损坏，并且具有较长的使用寿命。

[0043] 以上所述仅为本发明的优选实施例，凡依本发明权利要求所做的等同变化与修饰，皆应属本发明的涵盖范围。



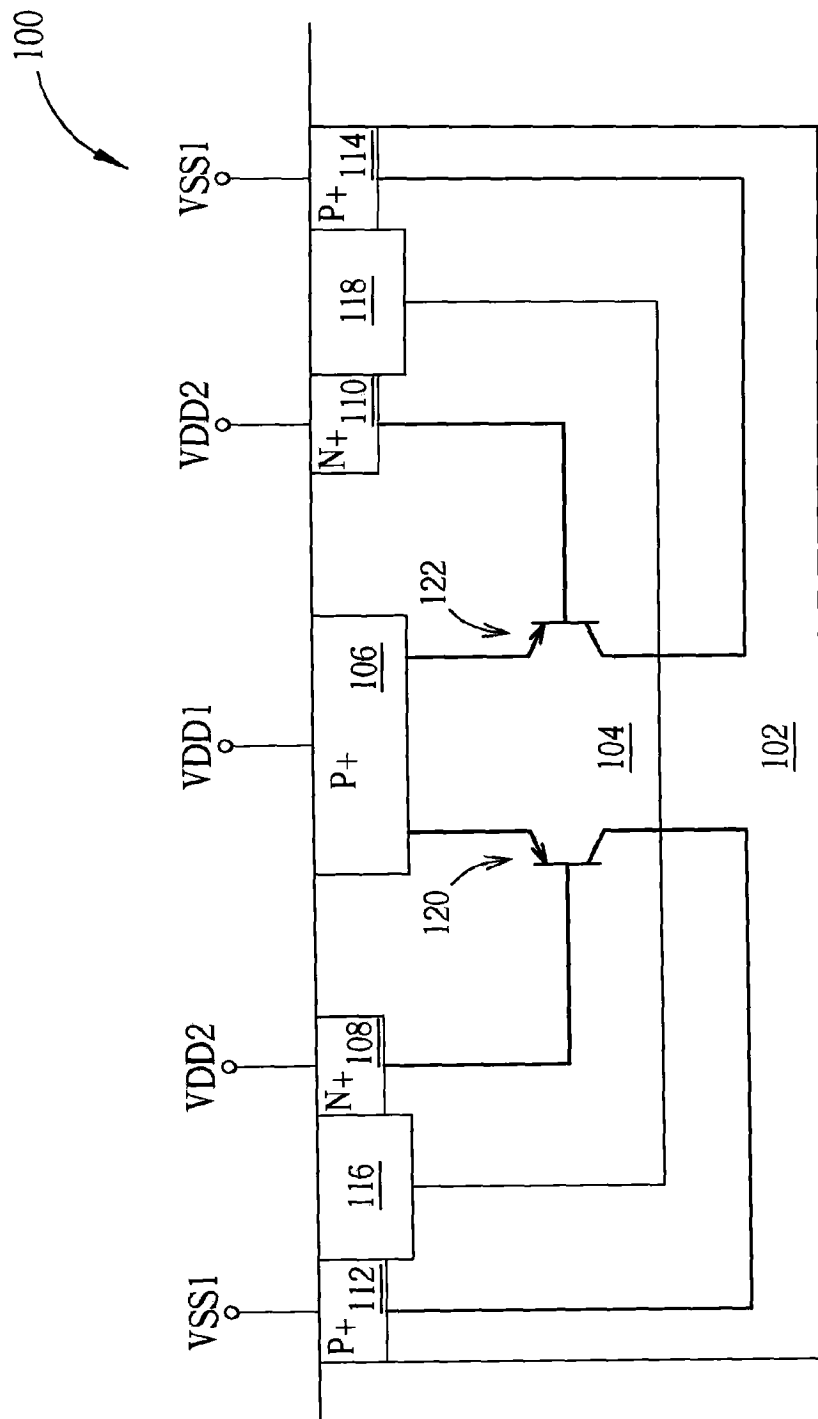


图 1

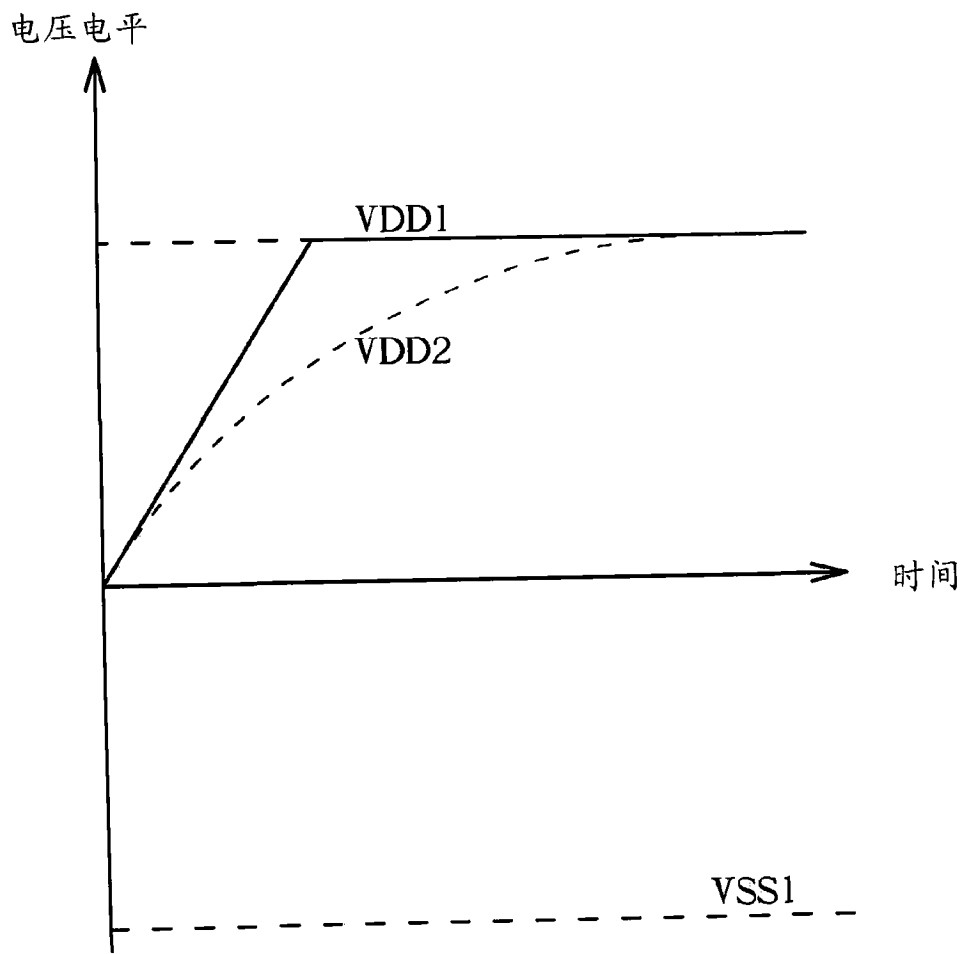


图 2

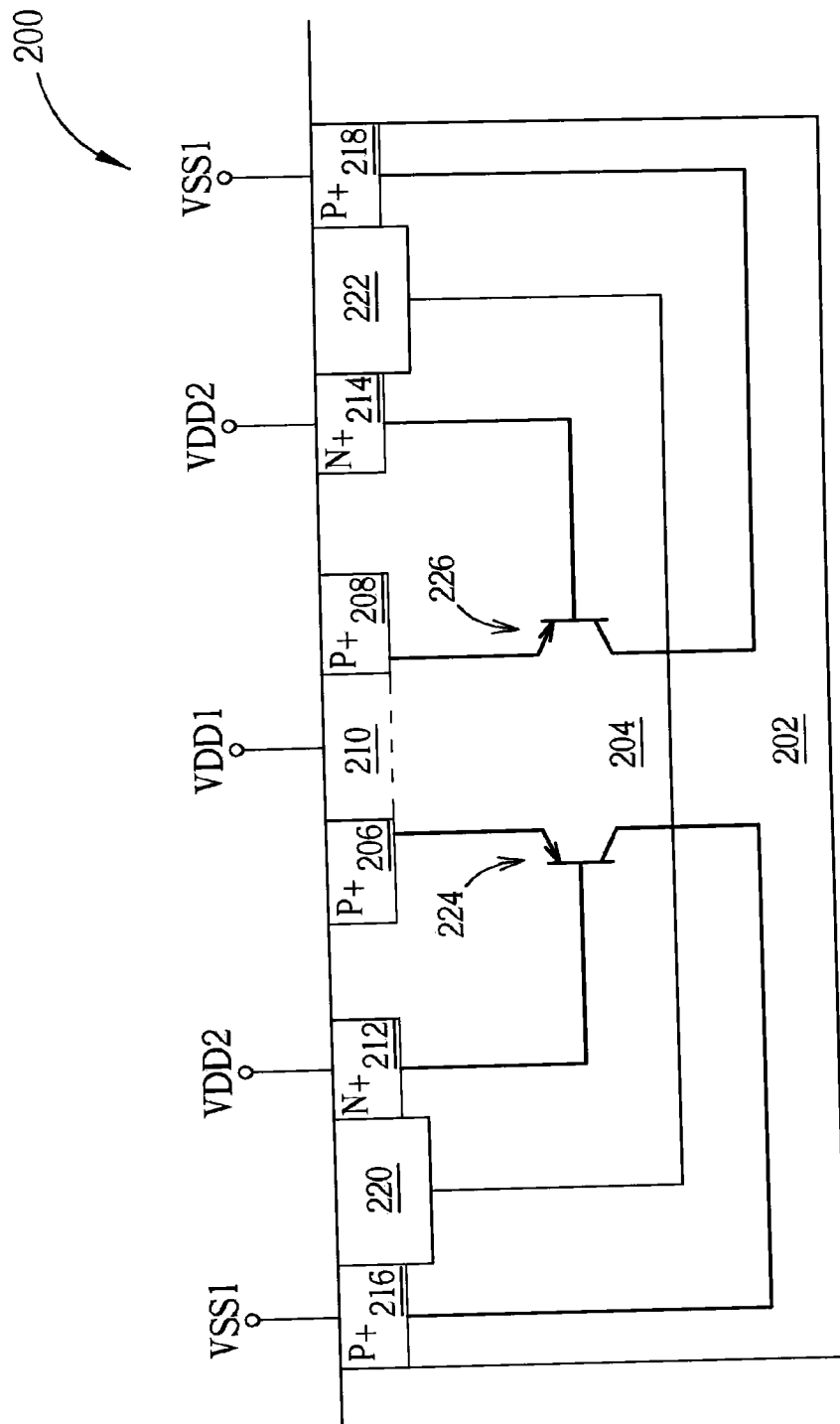


图 3

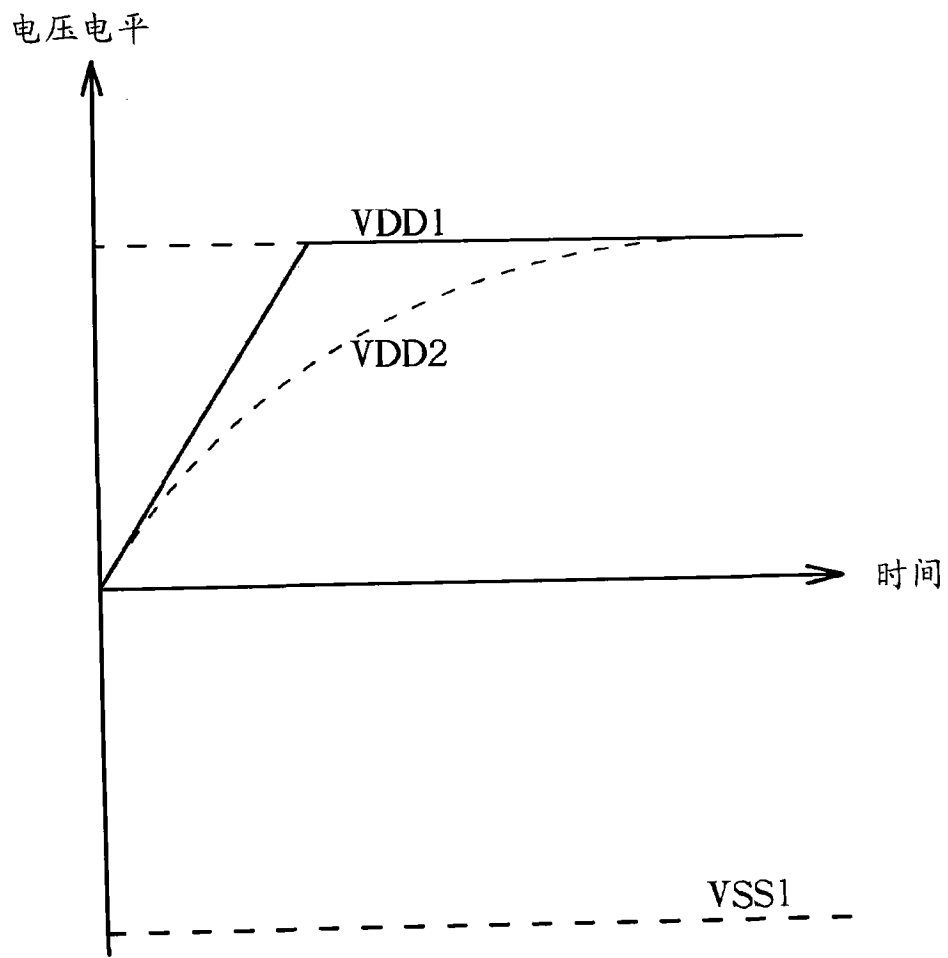


图 4

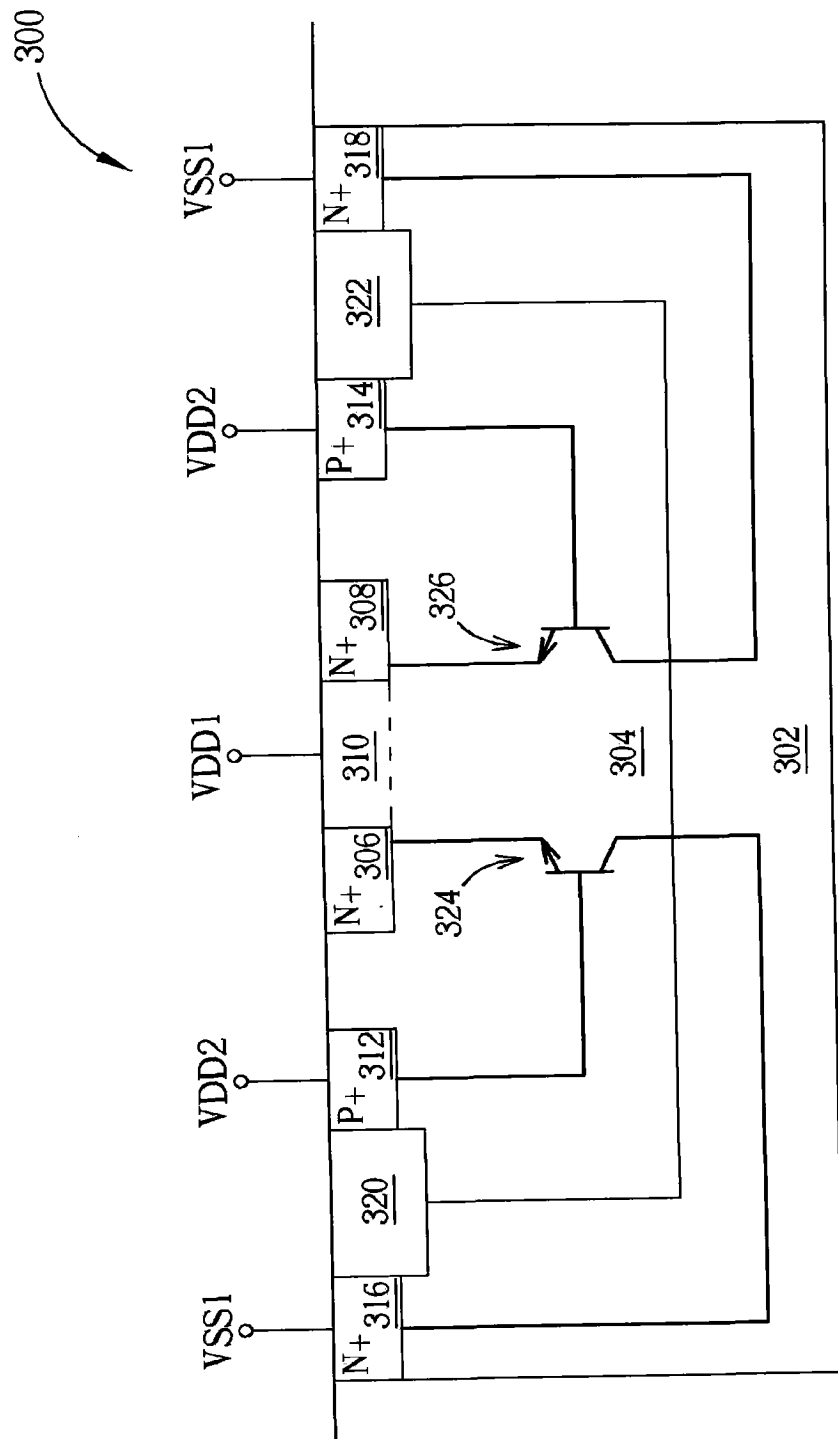


图 5

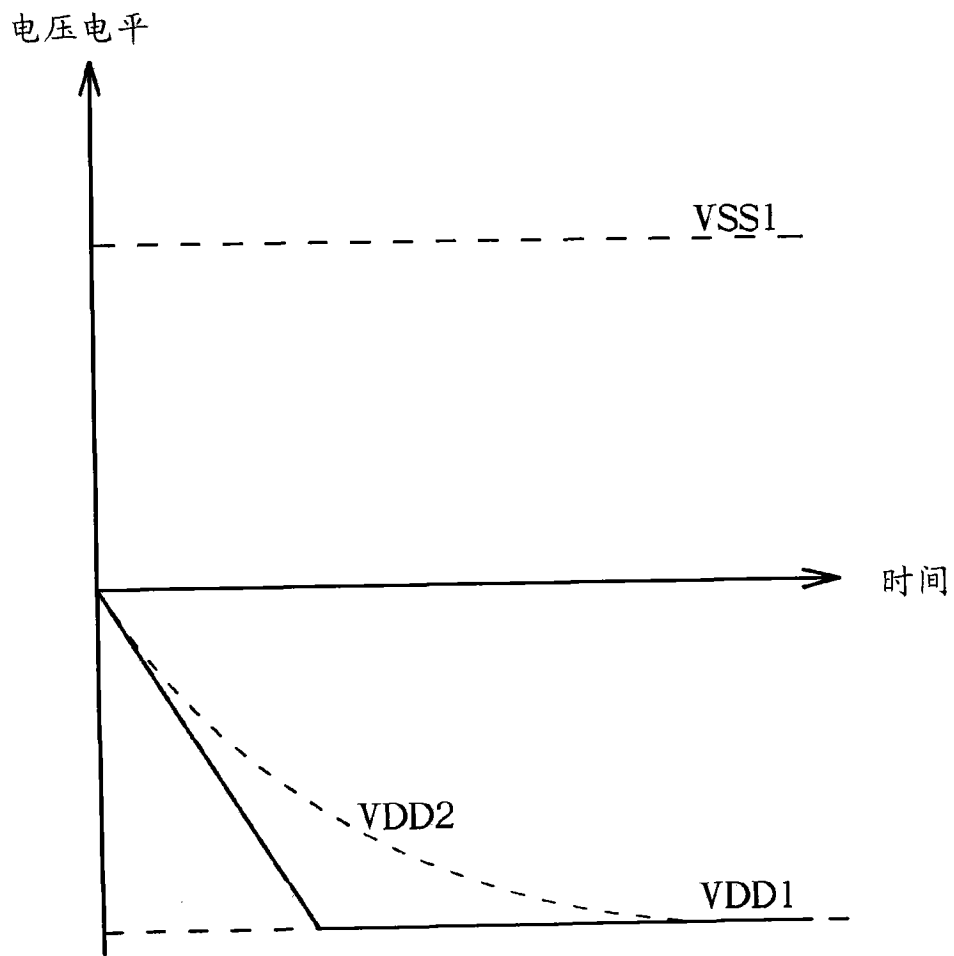


图 6