

(11) 特許出願公開番号

特開2009-77623

(P2009-77623A)

(43) 公開日 平成21年4月9日(2009.4.9)

(51) Int.Cl.

F l

テーマコード (参考)

H02M 3/28 (2006.01)

H02M 3/28

F

5H006

HO2M 7/21 (2006.01)

HO2M 3/28

L

5 H 7 3 0

H02M 7/21

A

審査請求 有 請求項の数 14 O L (全 21 頁)

(21) 出願番号 特願2008-226672 (P2008-226672)

(22) 出願日 平成20年9月4日 (2008.9.4)

(31) 優先權主張番号 096135431

(32) 優先日 平成19年9月21日 (2007. 9. 21)

(33) 優先權主張国 台湾 (TW)

(71) 出願人 501298030

洋▲きん▼科技股▲ふん▼有限公司

台灣台北縣中和市中山路二段352號9樓

(71) 出願人 508267820

王 志良

台灣基隆市安樂區武嶺街131-3號

(74) 代理人 100104156

弁理士 龍華 明裕

(74) 代理人 100118005

弁理士 飯山 和俊

(74) 代理人 100143502

弁理士 明石 英也

(74) 代理人 100138128

弁理士 東山 忠義

最終頁に続く

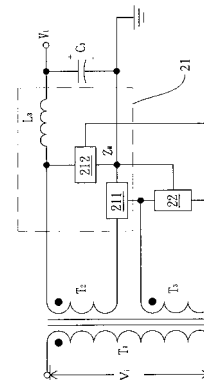
(54) 【発明の名称】 自己駆動同期整流器付きフォワードコンバーター

(57) 【要約】

【課題】本発明は、二次駆動巻線と二次駆動回路によって二次電力ループにおける同期整流器を駆動する自己駆動同期整流器付きフォワードコンバータに関する。

【解決手段】二次駆動回路がレベルシフターと信号配分器とを含み、前記二次駆動巻線にかかる電圧波形を所定のレベルでシフトさせて、適当な駆動信号を同期整流器に配分して整流器の通電ロスを低減させる。特に、フリーホイーリング同期整流器のチャンネルが非動作期間においてもオンとされて、本体ダイオードの通電ロスを一層低減させる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

外部電源に接続されている一次巻線、二次駆動巻線、および二次電力巻線を有する、電圧変成器と、フォワード整流器、フリーホイーリング整流器、および電力インダクタから構成され、前記電圧変成器の前記二次電力巻線に接続され、また、両者の間にフィルターコンデンサが接続されている主電圧出力端子および接地端子を備え、前記フリーホイーリング整流器と前記フォワード整流器の第 1 の端子はそれぞれ前記二次電力巻線の第 1 の端子と第 2 の端子に接続され、前記フリーホイーリング整流器と前記フォワード整流器の第 2 の端子は、接地端子に接続する接続点において接続され、また電力インダクタは前記二次電力巻線の前記第 1 の端子と前記電圧出力端子との間に直列に接続されるが、なお、前記フォワード整流器と前記フリーホイーリング整流器は、N チャンネル MOS FET、P チャンネル MOS FET、N チャンネル J FET または P チャンネル J FET の中の何れにも対応するマスター電力ループと、

第 1 の出力端子、第 2 の出力端子、および共通接続端子を有し、前記第 1 の出力端子と前記第 2 の出力端子はそれぞれ前記フリーホイーリング整流器と前記フォワード整流器の制御端子に接続され、前記共通接続端子は前記フォワード整流器及び前記フリーホイーリング整流器の前記第 2 の端子と前記接続点において接続され、かつ、前記第 1 の出力端子と前記第 2 の出力端子との間の電圧差により、前記共通接続端子と、前記第 1 の出力端子或いは前記第 2 の出力端子とが通電し、電圧信号を前記フォワード整流器或いは前記フリーホイーリング整流器の制御端子に配分するが、

また、第 1 のダイオードおよび第 2 のダイオードを有し、前記第 1 のダイオードと前記第 2 のダイオードのアノードは前記共通接続端子に接続され、前記第 1 のダイオードと前記第 2 のダイオードのカソードは、それぞれ前記第 1 の出力端子と前記第 2 の出力端子として用いられる、信号配分器と、

を含む自己駆動同期整流器付きフォワードコンバーターである。

【請求項 2】

前記二次駆動巻線の前記第 1 の端子と前記第 2 の端子は、それぞれ前記信号配分器の前記第 1 の出力端子と前記第 2 の出力端子に接続されて、

前記電圧信号を供給することを特徴とする請求項 1 に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項 3】

さらに、第 1 の入力端子、第 2 の入力端子、第 1 の出力端子、および第 2 の出力端子を有し、出力電圧を一定の量でシフトさせるため、前記第 1 の入力端子と前記第 2 の入力端子がそれぞれ前記二次駆動巻線の前記第 1 の端子と前記第 2 の端子に接続され、前記第 1 の出力端子と前記第 2 の出力端子がそれぞれ前記信号配分器の前記第 1 の出力端子と前記第 2 の出力端子に接続され、

また、コンデンサ、ダイオード、およびツェナーダイオードを有し、前記コンデンサの一方の端子が前記第 1 の入力端子として用いられ、前記コンデンサの他方の端子が、前記ダイオードのアノードに接続され前記第 1 の出力端子として用いられ、また前記ダイオードのカソードと前記ツェナーダイオードのカソードとが接続され、前記ツェナーダイオードのアノードが前記第 2 の入力端子や前記第 2 の出力端子として用いられる、レベルシフターを含むことを特徴とする請求項 1 に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項 4】

さらに、スレーブ二次電力巻線、二次側ポストレギュレータ (SSPR)、及びスレーブフォワード整流器と、スレーブフリーホイーリング整流器と、スレーブ電力インダクタと、スレーブ電圧出力端子と、接地端子と、スレーブフィルターコンデンサとを有するスレーブ電力ループを備える、スレーブ出力を含み、また

スレーブフィルターコンデンサが前記スレーブ電圧出力端子と前記接地端子との間に接続され、前記スレーブフォワード整流器と前記スレーブフリーホイーリング整流器の第 2

の端子が前記接地端子に接続され、さらに前記スレーブ電力インダクタが前記スレーブフリーホイーリング整流器の前記第1の端子と前記スレーブ電圧出力端子との間に接続され、また、

前記スレーブフォワード整流器と前記スレーブフリーホイーリング整流器は、NチャンネルMOSFET、PチャンネルMOSFET、NチャンネルJFETまたはPチャンネルJFETの中の何れにも対応する

ことを特徴とする請求項1に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項5】

前記スレーブフォワード整流器の前記制御端子が前記マスター電力ループの前記フォワード整流器の前記制御端子に接続され、前記SSPRが前記スレーブフリーホイーリング整流器の前記第1の端子と前記スレーブ二次電力巻線の前記第1の端子との間に接続されるとともに、前記スレーブフォワード整流器の前記第1の端子が前記スレーブ二次電力巻線の前記第2の端子に接続され、または、前記SSPRが前記スレーブフォワード整流器の前記第1の端子と前記スレーブ二次電力巻線の前記第2の端子との間に接続されるとともに、前記スレーブフリーホイーリング整流器の前記第1の端子が前記スレーブ二次電力巻線の前記第1の端子に接続され、

前記SSPRは、集積回路ドライバによって駆動された被制御スイッチであることを特徴とする請求項4に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項6】

前記スレーブフォワード整流器の前記制御端子が、スレーブ二次駆動巻線に接続しているスレーブ駆動回路に接続され、前記SSPRが前記スレーブフリーホイーリング整流器の前記第1の端子と前記スレーブ二次電力巻線の前記第1の端子との間に接続されるとともに、前記スレーブフォワード整流器の前記第1の端子が、前記スレーブ二次電力巻線の前記第2の端子に接続され、または、前記SSPRが前記スレーブフォワード整流器の前記第1の端子と前記スレーブ二次電力巻線の前記第2の端子との間に接続されるとともに、前記スレーブフリーホイーリング整流器の前記第1の端子が前記スレーブ二次電力巻線の前記第1の端子に接続され、前記SSPRは、集積回路ドライバによって駆動された被制御スイッチであることを特徴とする請求項4に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項7】

前記スレーブ駆動回路は、ダイオード、NPNバイポーラトランジスタ、PNPバイポーラトランジスタ、第1の抵抗、および第2の抵抗を有し、前記NPNバイポーラトランジスタと前記PNPバイポーラトランジスタのエミッタが前記スレーブフォワード整流器の前記制御端子に接続され、前記NPNバイポーラトランジスタと前記PNPバイポーラトランジスタのベースが接続点において接続され、前記第1の抵抗の一方の端子と前記第2の抵抗の一方の端子が前記接続点において接続され、前記第1の抵抗の他方の端子と前記第2の抵抗の他方の端子が、それぞれ前記NPNバイポーラトランジスタと前記PNPバイポーラトランジスタのコレクタに接続され、前記コレクタがそれぞれ前記ダイオードのカソードと前記スレーブ二次駆動巻線の前記第2の端子に接続され、前記ダイオードのアノードが前記スレーブ二次駆動巻線の前記第1の端子に接続されることを特徴とする請求項6に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項8】

前記スレーブ駆動回路は、ダイオード、PNPバイポーラトランジスタ、第1の抵抗、および第2の抵抗を有し、前記ダイオードのアノードとカソードが、それぞれ前記PNPバイポーラトランジスタのベースとエミッタに接続され、前記第1の抵抗が前記PNPバイポーラトランジスタの前記ベースと前記スレーブ二次駆動巻線の第1の端子との間に接続され、前記第2の抵抗が前記PNPバイポーラトランジスタのコレクタと前記エミッタとの間に接続され、前記PNPバイポーラトランジスタの前記コレクタと前記エミッタが、それぞれ前記スレーブフォワード整流器の前記第2の端子と前記制御端子に接続される

ことを特徴とする請求項 6 に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項 9】

前記駆動回路は第 1 の抵抗、第 2 の抵抗を有し、前記第 1 の抵抗の一方の端子と前記第 2 の抵抗の一方の端子が、それぞれ前記スレーブ二次駆動巻線の前記第 1 の端子と前記第 2 の端子に接続され、前記第 1 の抵抗の他方の端子と前記第 2 の抵抗の他方の端子が、前記スレーブフォワード整流器の前記制御端子に接続されることを特徴とする請求項 6 に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項 10】

さらに、スレーブ二次電力巻線、二次側ポストレギュレータ (SSPR)、及びスレーブフォワード整流器と、スレーブフリーホイーリング整流器と、スレーブ電力インダクタと、スレーブ電圧出力端子と、接地端子と、スレーブフィルターコンデンサとを有するスレーブ電力ループを備える、スレーブ出力を含み、また前期スレーブフィルターコンデンサが前記スレーブ電圧出力端子と前記接地端子との間に接続され、前記スレーブフォワード整流器と前記スレーブフリーホイーリング整流器の前記第 1 の端子が接続点において接続され、前記スレーブ電力インダクタが前記接続点と前記スレーブ電圧出力端子との間に接続され、前記スレーブフリーホイーリング整流器の前記第 2 の端子が前記接地端子に接続され、

前記スレーブフォワード整流器と前記スレーブフリーホイーリング整流器は、N チャンネル MOSFET、P チャンネル MOSFET、N チャンネル JFET または P チャンネル JFET の中の何れにも対応することを特徴とする請求項 1 に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項 11】

前記スレーブフォワード整流器の前記制御端子が、スレーブ二次駆動巻線に接続しているスレーブ駆動回路に接続され、前記 SSPR が前記スレーブフォワード整流器の前記第 2 の端子と前記スレーブ二次電力巻線の前記第 1 の端子との間に接続されるとともに、前記スレーブフリーホイーリング整流器の前記第 2 の端子が、前記スレーブ二次電力巻線の前記第 2 の端子に接続され、または、前記 SSPR が前記スレーブフリーホイーリング整流器の前記第 2 の端子と前記スレーブ二次電力巻線の前記第 2 の端子との間に接続されるとともに、前記スレーブフォワード整流器の前記第 2 の端子が前記スレーブ二次電力巻線の前記第 1 の端子に接続され、なお、前記 SSPR は集積回路ドライバによって駆動された被制御スイッチ、またはリセット回路によって駆動された磁気アンプであることを特徴とする請求項 10 に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項 12】

前記スレーブ駆動回路は、ダイオード、NPN バイポーラトランジスタ、PNP バイポーラトランジスタ、第 1 の抵抗、および第 2 の抵抗を有し、前記 NPN バイポーラトランジスタと前記 PNP バイポーラトランジスタのエミッタが前記スレーブフォワード整流器の前記制御端子に接続され、前記 NPN バイポーラトランジスタと前記 PNP バイポーラトランジスタのベースが接続点に接続され、前記第 1 の抵抗の一方の端子と前記第 2 の抵抗の一方の端子が前記接続点に接続され、前記第 1 の抵抗の他方の端子と前記第 2 の抵抗の他方の端子が、それぞれ前記 NPN バイポーラトランジスタと前記 PNP バイポーラトランジスタのコレクタに接続され、また前記コレクタがそれぞれ前記ダイオードのカソードと前記スレーブ二次駆動巻線の前記第 2 の端子に接続され、前記ダイオードの前記アノードが前記スレーブ二次駆動巻線の前記第 1 の端子に接続されることを特徴とする請求項 11 に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項 13】

前記スレーブ駆動回路は、ダイオード、PNP バイポーラトランジスタ、第 1 の抵抗、および第 2 の抵抗を有し、前記ダイオードのアノードとカソードが、それぞれ前記 PNP バイポーラトランジスタのベースとエミッタに接続され、前記第 1 の抵抗が前記 PNP バイポーラトランジスタの前記ベースと前記スレーブ二次駆動巻線の第 1 の端子との間に接

続され、前記第 2 の抵抗が前記 P N P バイポーラトランジスタのコレクタと前記エミッタとの間に接続され、また、前記 P N P バイポーラトランジスタの前記コレクタと前記エミッタが、それぞれ前記スレーブフォワード整流器の前記第 2 の端子と前記制御端子に接続されることを特徴とする請求項 1 1 に記載の自己駆動同期整流器付きフォワードコンバーターである。

【請求項 1 4】

前記駆動回路は第 1 の抵抗、第 2 の抵抗を有し、前記第 1 の抵抗の一方の端子と前記第 2 の抵抗の一方の端子が、それぞれ前記スレーブ二次駆動巻線の前記第 1 の端子と前記第 2 の端子に接続され、前記第 1 の抵抗の他方の端子と前記第 2 の抵抗の他方の端子が、前記スレーブフォワード整流器の前記制御端子に接続されることを特徴とする請求項 1 1 に記載の自己駆動同期整流器付きフォワードコンバーターである。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自己駆動同期整流器付きフォワードコンバーターに関する。

【背景技術】

【0002】

フォワードコンバーターは、高直流電圧源を複数の低直流電圧源に変換するために用いられ、変換の途中、閉ループパルス幅変調によってマスター出力を調整する一方、二次側ポストレギュレータ (secondary side post regulator; S S P R) によってスレーブ出力を調整する。

20

【0003】

図 1 は、同期整流器を有するマスター出力を説明するブロック図である。二次電力ループは、二次電力巻線 T_s と、フォワード同期整流器 M_f と、フリーホイーリング同期整流器 M_w と、電力インダクタ L_1 と、フィルターコンデンサ C_1 とを含む。閉ループ PWM コントローラーは、(1) エラーアンプ回路 1 が分圧器によって出力電圧 V_1 をサンプリングし、この出力電圧サンプルを参照電圧と比較して、増幅されたエラー信号 (電圧または電流) を発生すること、(2) 制御回路 2 が、増幅されたエラー信号を PWM 信号に変換すること、(3) 駆動回路 3 が PWM 信号を M_f と M_w の駆動信号に変換すること、という三つのブロックを含む。

30

【0004】

図 2 a と図 2 b は、ダイオード整流器を有するスレーブ出力を示すブロック図である。二次電力ループは、二次電力巻線 T_{s2} と、二次側ポストレギュレータ S_1 と、フォワードダイオード整流器 D_f と、フリーホイーリングダイオード整流器 D_w と、電力インダクタ L_2 と、フィルターコンデンサ C_2 とを含む。 S_1 は、高側 (図 2 a) または低側 (図 2 b) に置いてもよい。 D_f は、 S_1 の具体形態によって高側または低側に置いてもよい。 S_1 は、磁気アンプ (magnetic amplifier; MA) または被制御スイッチ (controlled switch; CS) により動作される。 S_1 が MA により動作される場合、 D_f を高側に置く必要があり、スイッチコントローラー 4 がリセット回路となる。 S_1 が CS により動作される場合、 D_f は高側または低側に置いてもよく、スイッチコントローラー 4 が駆動回路となる。 D_w にかかる電圧波形の平均値が出力電圧 V_2 に等しくなるように、 S_1 は、 T_{s2} にかかる電圧波形の先端エッジを消去するのに用いられる。図 3 によって S_1 の消去効果について説明する。ここで、 V_{L1} は図 1 での L_1 にかかる電圧であり、 V_{L2} は図 2 a や図 2 b での L_2 にかかる電圧である。

40

【0005】

動作期間 (on-interval) $0 \leq t \leq T_{on}$ において、 T_s にかかる電圧はその参照極性に対してプラスであり、 M_f はオンとなるが M_w はオフとなる。 V_{L1} はその参照極性に対してプラスであり、 L_1 は T_s 、 M_f 、および C_1 に経由する電気エネルギーを貯蓄する。消去期間 (blanking-interval) $0 \leq t \leq T_{blank}$ において、 T_{s2} にかかる電圧がその参照極性に対してプラスであり、 S_1 がオフとなり、 T

50

s_2 にかかる電圧波形が S_1 により消去されて、 D_f に經由する電流はない。 L_2 の連続電流が D_w を通電させて、 V_{L_2} がその参照極性に対してマイナスとなり、 L_2 によって D_w 、 C_2 に經由する電気エネルギーを放出する。非消去期間 (non-blanking interval) $T_{blank} \leq t \leq T_{on}$ において、 T_{s_2} にかかる電圧はその参照極性に対してプラスであり、 S_1 がオンとなり、 T_{s_2} にかかる電圧波形が S_1 により消去されることはない。 L_2 の連続電流は D_w から D_f へ転向し、 V_{L_2} はその参照極性に対してプラスとなり、 L_2 によって D_f 、 T_{s_2} 、 S_1 、および C_2 に經由する電気エネルギーを貯蓄する。

【0006】

リセット期間 (reset-interval) $T_{on} \leq t \leq T_{on} + T_{reset}$ において、 T_s にかかる電圧はその参照極性に対してマイナスであり、 M_f はオフとなるが、 M_w はオンとなる。 V_{L_1} はその参照極性に対してマイナスであり、 L_1 によって M_w 、 C_1 に經由する電気エネルギーを放出する。 T_{s_2} にかかる電圧はその参照極性に対してマイナスであり、 S_1 がオフとなり、 L_2 の連続電流が D_f から D_w へ転向する。 V_{L_2} はその参照極性に対してマイナスであり、 L_2 によって D_w 、 C_2 に經由する電気エネルギーを放出する。

【0007】

非動作期間 (dead-interval) $T_{on} + T_{reset} \leq t \leq T_s$ において、 T_s にかかる電圧は0であり、 M_f はオフとなるが、 M_w は依然としてオンである。 V_{L_1} はその参照極性に対してマイナスであり、 L_1 によって M_w 、 C_1 に經由する電気エネルギーを放出する。 T_{s_2} にかかる電圧が0であり、 S_1 がオフとなり、 D_f はオフとなるが、 D_w はオンとなる。 V_{L_2} はその参照極性に対してマイナスであり、 L_2 によって D_w 、 C_2 に經由する電気エネルギーを放出する。

【0008】

図1における駆動回路3が集積回路 (integrated circuit; IC) によると、 M_f 、 M_w がIC駆動の同期整流器と呼ばれる。駆動回路3が二次駆動巻線によると、 M_f と M_w が自己駆動同期整流器と呼ばれる。一般には、ICによる駆動回路は二次駆動巻線による駆動回路より複雑で、コストも高い。スレーブ出力については、図2aまたは図2bにおける D_f 、 D_w に、高い整流器通電ロス (conduction loss) が発生される。従って、本発明は、マスター出力とスレーブ出力の自己駆動同期整流器を同時に駆動する経済的な方法を開示する。

【発明の開示】

【0009】

本発明は、低コストで効率を向上させるために、自己駆動同期整流器付き多出力フォワードコンバーターを提供する。

【0010】

マスター出力において、駆動回路は二次駆動巻線と、レベルシフター (任意選択) と、信号配分器とを含む。二次駆動巻線はフォワード電圧変成器からバイポーラ駆動電圧を誘起する。レベルシフターは、バイポーラ駆動電圧を所定のレベルでシフトさせて、そのシフトされたバイポーラ駆動電圧に成させる。信号配分器は、フォワードとフリーホイーリング同期整流器のゲートに、(シフトされた) バイポーラ駆動電圧を配分する。

【0011】

スレーブ出力において、フォワード同期整流器は高側または低側に置いてもよい。高側に置かれる場合、このフォワード同期整流器は、他の二次駆動巻線によって自己駆動が実現される。低側に置かれる場合、このフォワード整流器は、他の二次駆動巻線またはマスターフォワード同期整流器の駆動電圧によって自己駆動が実現される。フリーホイーリング同期整流器は、マスターフリーホイーリング同期整流器の駆動電圧によって自己駆動が実現される。

【発明を実施するための最良の形態】

【0012】

10

20

30

40

50

図4は、本発明にかかる多出力フォワードコンバータのマスター出力の模式回路を説明するブロック図である。上記フォワード電圧変成器は、一次電力巻線 T_1 と、二次電力巻線 T_2 と、二次駆動巻線 T_3 とを含む。一次巻線 T_1 の二つの端子は、一つまたは二つの一次スイッチ（図示せず）によって入力電圧 V_i に直列接続される。

【0013】

二次電力巻線 T_2 は、マスター電力ループ21に接続され、電圧出力端子（高圧端子）と接地端子（低圧端子）を含み、外部ロード回路（図示せず）を駆動させる電圧 V_1 を供給する。電圧出力端子と接地端子との間に、フィルタコンデンサ C_3 が接続されている。二次電力巻線 T_2 の第1の端子（点付き）と電圧出力端子との間に、電力インダクタ L_3 が接続されている。一次巻線と二次巻線での点は同じ電極性を示す。

10

【0014】

マスター電力ループ21は、フォワード同期整流器211と、フリーホイーリング同期整流器212と、電力インダクタ L_3 とを含む。何れかの同期整流器211、212も、第1の端子、第2の端子および制御端子を含み、制御端子は、第1の端子と第2の端子との間のチャンネルに対するオン・オフを制御するような電圧信号を受信する。図4に示すように、同期整流器211、212は、第1の端子がそれぞれ二次電力巻線 T_2 の二つの端子に接続され、第2の端子がともに共通な接地端子 Z_M に接続される。

【0015】

次に、信号配分器22は第1の出力端子、第2の出力端子および共通な接続端子を含む。第1の出力端子と第2の出力端子が、それぞれ二次駆動巻線 T_3 の二つの端子および二つの同期整流器211、212の制御端子に接続される。共通な接続端子が共通な接地端子 Z_M に接続される。

20

【0016】

T_3 にかかる電圧がその参照極性に対してプラスとなる場合、信号配分器22の第1の出力端子と共通な接続端子が接続されて、プラス電圧信号がフォワード同期整流器211の制御端子に配分されて、フォワード同期整流器211のチャンネルがオンとなる。 T_3 にかかる電圧がその参照極性に対してマイナスとなる場合、信号配分器22の第2の出力端子と共通な接続端子が接続されて、プラス電圧信号がフリーホイーリング同期整流器212の制御端子に配分されて、フリーホイーリング同期整流器212のチャンネルがオンとなる。

30

【0017】

図5は、図4の実施例にかかるマスター出力の実回路を説明する。図5に示すように、二つのnMOSFETトランジスタ M_1 、 M_2 は、それぞれフォワード同期整流器211、フリーホイーリング同期整流器212として用いられ、それぞれフォワードトランジスタ M_1 、フリーホイーリングトランジスタ M_2 と呼ばれる。この実例において、 M_1 と M_2 のゲート、ドレイン、およびソースが、それぞれ制御端子、第1の端子、および第2の端子として用いられる。

【0018】

信号配分器22は二つのダイオード D_1 、 D_2 を含む。 D_1 、 D_2 のアノードが互いに接続されて、共通な接地端子 Z_M に接続される。 D_1 、 D_2 のカソードがそれぞれ M_2 、 M_1 のゲートに接続されて、第1の出力端子、第2の出力端子として用いられる。

40

【0019】

図6は、図5の実施例にかかるマスター出力の二次駆動巻線、フォワード同期整流器のゲート、およびフリーホイーリング同期整流器のゲートの、一つの切替周期における電圧波形を説明する。

【0020】

動作期間 $0 \leq t \leq T_o$ において、 T_3 にかかる電圧は V_s であり、順バイアスにより D_1 がオンとされるが、逆バイアスにより D_2 がオフとされる。信号配分器22は正電圧 V_s 、ゼロ電圧0をそれぞれ M_1 、 M_2 のゲートに配分し、 L_3 は T_2 、 M_1 、および C_3 によって電気エネルギーを貯蓄する。

50

【0021】

リセット期間 $T_{on} \leq t \leq T_{on} + T_{reset}$ において、 T_3 にかかる電圧が $-V_s$ であり、順バイアスにより D_2 がオンとされるが、逆バイアスにより D_1 がオフとされる。信号配分器 22 は正電圧 V_s 、ゼロ電圧 0 をそれぞれ M_2 、 M_1 のゲートに配分し、 L_3 は M_2 、 C_3 によって電気エネルギーを放出する。

【0022】

非動作期間 $T_{on} + T_{reset} \leq t \leq T_s$ において、 T_3 にかかる電圧が 0 であり、 D_1 、 D_2 がともにオフとなり、 M_1 、 M_2 がともにオフとなる。 L_3 の連続電流が M_2 の本体ダイオードを通電させて、 L_3 が M_2 、 C_3 の本体ダイオードによって電気エネルギーを放出する。

10

【0023】

注意すべきなのは、 L_3 の連続電流が非動作期間において M_2 の本体ダイオードに經由する。この本体ダイオードの通電ロス、二次駆動巻線 T_3 と信号配分器 22 との間にレベルシフター 23 を増設することによりさらに低減できる。

【0024】

図 7 に示すように、レベルシフター 23 は、第 1 の入力端子、第 2 の入力端子、第 1 の出力端子、および第 2 の出力端子を含む。レベルシフター 23 の第 1 の入力端子と第 2 の入力端子が、それぞれ T_3 の二つの端子に接続され、第 1 の出力端子と第 2 の出力端子が、それぞれ信号配分器 22 の第 1 の出力端子と第 2 の出力端子に接続される。このレベルシフター 23 において、第 2 の出力端子と第 2 の入力端子は同じものである。

20

【0025】

図 8 は、図 7 の実施例にかかるマスター出力の好ましい回路を説明する。図 8 に示すように、レベルシフター 23 は、第 2 のコンデンサ C_4 、ダイオード D_4 、およびツェナーダイオード (Zener diode) ZD_4 を含む。 C_4 の一方の端子は第 1 の入力端子として用いられ、他方の端子は第 1 の出力端子として用いられ、この第 1 の出力端子も D_4 のアノードに接続される。 ZD_4 のアノードは第 2 の入力端子と第 2 の出力端子として用いられる。 D_4 のアノードと ZD_4 のカソードとは接続されている。

【0026】

図 9 は、図 8 の実施例にかかるマスター出力の二次駆動巻線、フォワード同期整流器のゲート、およびフリーホイーリング同期整流器のゲートの、一つの切替周期における電圧波形を説明し、破線はレベルシフターの出力電圧波形を示す。

30

【0027】

便宜上、 C_4 の容量が、一つの切替周期にその二つの端子ではほぼ一定の DC 電圧が維持できるほど大きくと仮設し、全てのダイオードのフォワード電圧降下は $V_f = 0$ で、 ZD_4 の絶縁破壊電圧は V_z で、レベルシフター 23 によりシフトされた電圧レベルは $V_r = V_s - V_z$ である。

【0028】

動作期間 $0 \leq t \leq T_{on}$ において、 T_3 にかかる電圧は V_s であり、順バイアスにより D_4 がオンとされて、 ZD_4 に絶縁破壊が発生し、 C_4 が再度に電圧 V_r まで充電されて、順バイアスにより D_1 がオンとされるが、逆バイアスにより D_2 がオフとされる。信号配分器 22 は、正電圧 V_z 、ゼロ電圧をそれぞれ M_1 、 M_2 のゲートに配分し、 L_3 は T_2 、 M_1 、および C_3 によって電気エネルギーを貯蓄する。

40

【0029】

リセット期間 $T_{on} \leq t \leq T_{on} + T_{reset}$ において、 T_3 にかかる電圧は $-V_s$ であり、 D_4 、 ZD_4 がともにオフとなり、順バイアスにより D_2 がオンとされるが、逆バイアスにより D_1 がオフとされる。信号配分器 22 は、正電圧 $2V_s - V_z$ 、ゼロ電圧をそれぞれ M_2 、 M_1 のゲートに配分し、 L_3 は M_2 、 C_3 によって電気エネルギーを放出する。

【0030】

非動作期間 $T_{on} + T_{reset} \leq t \leq T_s$ において、 T_3 にかかる電圧は 0 であり、

50

D_4 、 ZD_4 はともにオフとなり、順バイアスによって D_2 がオンとされるが、逆バイアスにより D_1 がオフとされる。信号配分器 22 は、正電圧 $V_s - V_z$ 、ゼロ電圧をそれぞれ M_2 、 M_1 のゲートに配分し、 L_3 は M_2 、 C_3 によって電気エネルギーを放出する。

【0031】

図 6 と図 9 とを比較した結果、表 1 に示す。

【表 1】

動作期間		リセット期間		非動作期間	
レベルシフター無し	レベルシフター有り	レベルシフター無し	レベルシフター有り	レベルシフター無し	レベルシフター有り
V_s	V_z	0	0	0	0
0	0	V_s	$2V_s - V_z$	0	$V_s - V_z$

10

【0032】

表 1 から明らかになるように、図 9 では、非動作期間において M_2 のゲート電圧が $V_s - V_z$ であり、 L_3 の連続電流が M_2 のチャンネルに經由する。したがって、図 5 において非動作期間中の本体ダイオードの通電ロス、図 8 の二次駆動巻線 T_3 と信号配分器 22 との間にレベルシフター 23 をさらに増設することによって低減できる。

20

【0033】

図 10 a と図 10 b は、本発明の実施例にかかる自己駆動同期整流器付き多出力フォワードコンバータのスレーブ出力の、二つの代用模式回路を説明する。ここで、SSPR S_2 は高側または低側に置かれてもよく、リセット回路によって駆動された磁気アンプや集積回路ドライバによって駆動された被制御スイッチにより動作されてもよい。 S_2 が MA により動作される場合、スレーブフォワード同期整流器 311 が明らかに高側におかれて、他の二次駆動巻線 T_{13} による他の駆動回路 32 により自己駆動が実現され、またスイッチコントローラ 33 がリセット回路となる。 S_2 が CS により動作される場合、スレーブフォワード同期整流器 311 が低側または高側に置かれてもよく、他の駆動回路 32 により自己駆動が実現され、スイッチコントローラ 33 が IC ドライバとなる。なお、スレーブフォワード同期整流器 311 は、図 16 に示すようなマスターフォワード同期整流器の駆動電圧により駆動されてもよい。

30

【0034】

スレーブ電力ループは、スレーブフォワード同期整流器 311 と、スレーブフリーホイーリング同期整流器 312 と、電力インダクタ L_5 と、SSPR S_2 と、スレーブフィルターコンデンサ C_5 とを含む。高側スレーブフォワード同期整流器 311 の場合、スレーブフォワード同期整流器 311、スレーブフリーホイーリング同期整流器 312、および電力インダクタ L_5 は、共通点 Z_s において接続される。電力インダクタ L_5 の他方の端子が補助電圧出力端子に接続される。スレーブフィルターコンデンサ C_5 は、補助電圧出力端子とスレーブ電力ループの接地端子との間に接続されていて、スレーブ出力電圧 V_2 を供給する。一方、低側スレーブフォワード同期整流器 311 の場合（図示せず）、スレーブフォワード同期整流器 311、スレーブフリーホイーリング同期整流器 312 は共通な接地端子に接続され、この共通な接地端子はマスター電力ループの共通接地端子 Z_M と同じである。

40

【0035】

スレーブフォワード同期整流器 311 が他の駆動回路 32 により駆動される場合、他の二次駆動巻線 T_{13} は他の駆動回路 32 を駆動させるものである。

【0036】

図 11 a、図 12 a および図 13 a は、図 10 a に示した高側 SSPR S_2 の実例に

50

かかるスレーブ出力の三つの代用回路図であり、図 1 1 b、図 1 2 b および図 1 3 b は、図 1 0 b に示した低側 S S P R S₂ の実例にかかるスレーブ出力の三つの代用回路図である。スレーブフォワード同期整流器 3 1 1 とスレーブフリーホイーリング整流器は、n M O S F E T トランジスタ（すなわち、同期フォワードトランジスタ M₇ と同期フリーホイーリングトランジスタ M₈）により動作されるが、これに限定されるものではない。フォワードトランジスタ M₇ とフリーホイーリングトランジスタ M₈ のドレイン、ソース、およびゲートは、それぞれスレーブフォワード同期整流器 3 1 1 とスレーブフリーホイーリング同期整流器 3 1 2 の第 1 の端子、第 2 の端子、および制御端子として用いられ、上記ドレインがそれぞれ共通点 Z_s において接続される。

【0037】

図 1 1 a、図 1 1 b、図 1 2 a、および図 1 2 b のそれぞれにかかる実例はユニポーラ駆動モードであり、これは、駆動電圧が最初から最後まで同じ（直接的）であるを意味する。図 1 3 a と図 1 3 b それぞれにかかる実例はバイポーラ駆動モードであり、これは、駆動電圧が交番的であると意味する。

【0038】

図 1 1 a、図 1 1 b にかかる実例において、駆動回路 3 2 はダイオード D₇ と、インタロックスイッチ回路とを含む。このインタロックスイッチ回路は、N P N バイポーラトランジスタ Q₁、P N P バイポーラトランジスタ Q₂、および二つの抵抗 R₁、R₂ を有する。トランジスタ Q₁、Q₂ のエミッタは接続点において接続され、この接続点がフォワードトランジスタ M₇ のゲートに接続される。二つのトランジスタ Q₁、Q₂ のベースが他の点において接続され、この点がそれぞれ抵抗 R₁、R₂ によってトランジスタ Q₁、Q₂ のコレクタに接続される。トランジスタ Q₁、Q₂ のコレクタは、それぞれダイオード D₇ のカソード、二次駆動巻線 T₁₃ の第 2 の端子に接続されるが、また上記ダイオード D₇ のアノードが二次駆動巻線 T₁₃ の第 1 の端子に接続される。

【0039】

図 1 2 a、図 1 2 b に示した実例において、駆動回路 3 2 は二つのトランジスタ R₃、R₄ と、インタロックスイッチ回路とを含む。このインタロックスイッチ回路はダイオード D_s、P N P バイポーラトランジスタ Q₃ を含み、そのダイオード D_s のアノード、カソードが Q₃ のベース、エミッタに接続される。Q₃ のベースがスレーブ二次駆動巻線 T₁₃ の点付き端子（第 1 の端子）に接続される。Q₃ のコレクタ、エミッタは、スレーブ二次駆動巻線 T₁₃ の第 2 の端子、スレーブフォワードトランジスタ M₇ のゲートに接続される。Q₃ のコレクタとエミッタとの間に抵抗 R₄ が接続されている。

【0040】

図 1 1 a、図 1 1 b、図 1 2 a および図 1 2 b の実施例において、T₁₃ にかかる電圧と M₇ のゲート電圧の一つの切替周期における極性を、表 2 に示す。

【0041】

【表 2】

動作期間		リセット期間		非動作期間	
T ₁₃	M ₇	T ₁₃	M ₇	T ₁₃	M ₇
+	+	−	0	0	0

【0042】

表 2 から分かるように、M₇ のゲート電圧はユニポーラ電圧である。

図 1 3 a、図 1 3 b が示した実例において、駆動回路 3 2 は互いに接続されている二つの抵抗 R₁、R₂ だけを含み、それぞれは二次駆動巻線 T₁₃ の第 1 の端子、第 2 の端子に接続される。R₁ と R₂ との接続点はフォワードトランジスタ M₇ のゲートに接続され、上記抵抗 R₂ はフォワードトランジスタ M₇ のゲートとソースとの間に接続されている

。

【0043】

図13a、図13bの実施例に係る、 T_{13} にかかる電圧と M_7 のゲート電圧の一つの切替周期における極性を、表3に列記する。

【表3】

動作期間		リセット期間		非動作期間	
T_{13}	M_7	T_{13}	M_7	T_{13}	M_7
+	+	—	—	0	0

10

【0044】

表3から分かるように、 M_7 のゲート電圧はバイポーラ電圧である。

図14は、図11a、図11b、図12aおよび図12bに示す実例にかかるスレーブ出力の二次駆動巻線 T_{13} 、同期フォワードトランジスタ M_7 のゲート、および同期フリーホイーリングトランジスタ M_8 のゲートの、一つの切替周期における電圧波形を説明するタイミング図であり、マスター出力は図5に示す実例のものである。

【0045】

動作期間 $0 \leq t \leq T_{on}$ において、 T_{13} にかかる電圧は V_{s2} であり、正駆動電圧 V_{s2} により M_7 がオンとされるが、ゼロ駆動電圧により M_8 がオフとされる。消去期間 $0 \leq t \leq T_{blank}$ において、 T_{14} にかかる電圧はその参照極性に対してプラスであり、 S_2 がオフとなり、 T_{14} にかかる電圧波形が S_2 により消去されて、 M_7 のチャンネルや主体ダイオードに経路する電流はない。 L_5 の連続電流が M_8 の主体ダイオードを通電させる。 L_5 は、 M_8 の主体ダイオード、 C_5 によって電気エネルギーを放出する。非消去期間 $T_{blank} \leq t \leq T_{on}$ において、 T_{14} にかかる電圧はその参照極性に対してマイナスであり、 S_2 がオンとなり、 T_{14} にかかる電圧波形が S_2 により消去されることはない。 L_5 の連続電流は、 M_8 の主体ダイオードから M_7 へ転向し、 L_5 は M_7 、 S_2 、 T_{14} 、および C_5 によって電気エネルギーを貯蓄する。

20

【0046】

リセット期間 $T_{on} \leq t \leq T_{on} + T_{reset}$ において、 T_{13} にかかる電圧は V_{s2} であり、ゼロ駆動電圧により M_7 がオフとされるが、正駆動電圧 V_s により M_8 がオンとされる。 L_5 は M_8 、 C_5 によって電気エネルギーを放出する。

30

【0047】

非動作期間 $T_{on} + T_{reset} \leq t \leq T_s$ において、 T_{13} にかかる電圧が0であり、 M_7 、 M_8 がともにオフとなり、 L_5 の連続電流は M_8 の主体ダイオードを通電させて、この L_5 は、 M_8 の主体ダイオード、 C_5 によって電気エネルギーを放出する。

【0048】

図15は、図11a、図11b、図12aおよび図12bに示す実例にかかるスレーブ出力の二次駆動巻線 T_{13} 、同期フォワードトランジスタ M_7 のゲート、および同期フリーホイーリングトランジスタ M_8 のゲートの、一つの切替周期における電圧波形を説明するタイミング図であり、マスター出力は図18に示す実例のものである。

40

【0049】

動作期間 $0 \leq t \leq T_{on}$ において、 T_{13} にかかる電圧が V_{s2} であり、正駆動電圧 V_{s2} により M_7 がオンとされるが、ゼロ駆動電圧により M_8 がオフとされる。消去期間 $0 \leq t \leq T_{blank}$ において、 L_5 は、 M_8 の主体ダイオード、 C_5 によって電気エネルギーを放出する。非消去期間 $T_{blank} \leq t \leq T_{on}$ において、 L_5 は、 M_7 、 S_2 、 T_{14} 、および C_5 によって電気エネルギーを貯蓄する。

【0050】

リセット期間 $T_{on} \leq t \leq T_{on} + T_{reset}$ において、 T_{13} にかかる電圧が $-V$

50

s_2 であり、ゼロ駆動電圧により M_7 がオフとされるが、正駆動電圧 $2V_s - V_z$ により M_8 がオンとされる。 L_5 は、 M_8 、 C_5 によって電気エネルギーを放出する。

【0051】

非動作期間 $T_{on} + T_{reset} \leq t \leq T_s$ において、 T_{13} にかかる電圧が 0 であり、 M_7 がオフとなるが、正駆動電圧 $V_s - V_z$ により M_8 がオンとされる。 L_5 は、 M_8 、 C_5 によって電気エネルギーを放出する。

【0052】

図 16 は、低側 SSPR S_2 と低側スレーブ同期フォワードトランジスタ M_7 とを有するスレーブ出力の回路について説明し、また、SSPR S_2 が被制御スイッチである。図 16 に示すように、この実例では、スレーブ駆動回路が必要ではない。スレーブ同期フォワードトランジスタ M_7 とスレーブ同期フリーホイーリングトランジスタ M_8 は、マスター同期フォワードトランジスタとマスター同期フリーホイーリングトランジスタの駆動電圧により駆動される。

【0053】

図 17 a、図 17 b は、図 16 に示す実例にかかるスレーブ同期フォワードトランジスタ M_7 のゲートとスレーブ同期フリーホイーリングトランジスタ M_8 のゲートの電圧波形の、一つの切替周期におけるタイミングを説明し、またマスター出力がそれぞれ図 5 と図 8 に示したものである。動作期間 $0 \leq t \leq T_{on}$ において、正駆動電圧 V_s (図 17 a) と V_z (図 17 b) により M_7 がオンとされるが、ゼロ駆動電圧により M_8 がオフとされる。リセット期間 $T_{on} \leq t \leq T_{on} + T_{reset}$ において、ゼロ駆動電圧により M_7 がオフとされるが、正駆動電圧 V_s (図 17 a) と $2V_s - V_z$ (図 17 b) により M_8 がオンとされる。非動作期間 $T_{on} + T_{reset} \leq t \leq T_s$ において、 M_7 がオフとなり、 M_8 は、図 17 a に示した実例においてオフとなるが、図 17 b に示した実例において正駆動電圧 $V_s - V_z$ により依然としてオンである。

【0054】

注意すべきなのは、フォワードトランジスタとフリーホイーリングトランジスタは、N チャンネル金属酸化物半導体電界効果トランジスタ (N-channel metal-oxide semiconductor field-effect transistor; N-channel MOSFET)、P 金属酸化物半導体電界効果トランジスタ (P metal-oxide semiconductor field-effect transistor; P-channel MOSFET)、N チャンネル接合型電界効果トランジスタ (N-channel junction field effect transistor; N-channel JFET) または P チャンネル接合型電界効果トランジスタ (P-channel junction field effect transistor; P-channel JFET) の中の何れかでもよいが、これに限定されるものではない。

【0055】

上記のように、現時点で最も実用且つ好ましいと考えられている実施形態に基づき本発明を説明してきたが、本発明は開示した実施形態に限定されない。本発明は、添付の特許請求の範囲に記載する主旨と範囲に包含される様々な修正および等価な構成を包含する。添付の特許請求の範囲に記載する範囲は、あらゆるこのような修正および等価な構造および機能を包含するように最も広範囲な解釈に一致すべきである。

【図面の簡単な説明】

【0056】

【図 1】図 1 は従来の同期整流器を有する多出力フォワードコンバーターのマスター出力の回路のブロック図。

【図 2 a】図 2 a は、従来のダイオード整流器を有する多出力フォワードコンバーターのスレーブ出力の代用回路を説明する二つのブロック図であり、なお、SSPR が高側に置かれる。

【図 2 b】図 2 b は、従来のダイオード整流器を有する多出力フォワードコンバーターの

スレーブ出力の代用回路を説明する二つのブロック図であり、なお、SSPRが低側に置かれる。

【図3】図3は従来の多出力フォワードコンバーターのマスター出力とスレーブ出力の電圧インダクタにかかる電圧波形を説明するタイミング図である。

【図4】図4は本発明にかかる多出力フォワードコンバーターのマスター出力の模式回路を説明するブロック図である。

【図5】図5は本発明にかかる多出力フォワードコンバーターのマスター出力の実回路を説明する図である。

【図6】図6は図5が示したマスター出力の二次駆動巻線、フォワード同期整流器のゲート、およびフリーホイーリング同期整流器のゲートの、一つの切替周期における電圧波形を説明するタイミング図である。

【図7】図7は本発明にかかるレベルシフターを有する多出力フォワードコンバーターのマスター出力の模式回路を説明するブロック図である。

【図8】図8は本発明にかかるレベルシフターを有する多出力フォワードコンバーターのマスター出力の実回路を説明する図である。

【図9】図9は図8に示すマスター出力の二次駆動巻線、フォワード同期整流器のゲート、およびフリーホイーリング同期整流器のゲートの、一つの切替周期における電圧波形を説明するタイミング図である。

【図10a】図10aは、本発明にかかる他の駆動回路を有する多出力フォワードコンバーターの、スレーブ出力の代用回路を説明する二つのブロック図であり、なお、SSPRが高側に置かれる。

【図10b】図10bは、本発明にかかる他の駆動回路を有する多出力フォワードコンバーターの、スレーブ出力の代用回路を説明する二つのブロック図であり、なお、SSPRが低側に置かれる。

【図11a】図11aは、図10aに示す本発明にかかる高側SSPRを有する多出力フォワードコンバーターの、スレーブ出力の代用実回路を説明する図である。

【図11b】図11bは、図10bに示す本発明にかかる低側SSPRを有する多出力フォワードコンバーターの、スレーブ出力の代用実回路を説明する図である。

【図12a】図12aは、図10aに示す本発明にかかる高側SSPRを有する多出力フォワードコンバーターの、スレーブ出力の代用実回路を説明する図である。

【図12b】図12bは、図10bに示す本発明にかかる低側SSPRを有する多出力フォワードコンバーターの、スレーブ出力の代用実回路を説明する図である。

【図13a】図13aは、図10aに示す本発明にかかる高側SSPRを有する多出力フォワードコンバーターの、スレーブ出力の代用実回路を説明する図である。

【図13b】図13bは、図10bに示す本発明にかかる低側SSPRを有する多出力フォワードコンバーターの、スレーブ出力の代用実回路を説明する図である。

【図14】図14は、本発明にかかるレベルシフターが付かない多出力フォワードコンバーターのスレーブ出力の二次駆動巻線、フォワード同期整流器のゲート、およびフリーホイーリング同期整流器のゲートの、一つの切替周期における電圧波形を説明するタイミング図である。

【図15】図15は、本発明にかかるレベルシフターが付いた多出力フォワードコンバーターのスレーブ出力の二次駆動巻線、フォワード同期整流器のゲート、およびフリーホイーリング同期整流器のゲートの、一つの切替周期における電圧波形を説明するタイミング図である。

【図16】図16は本発明にかかる多出力フォワードコンバーターのスレーブ出力の実回路を説明する図であり、なお、SSPRが低側に置かれる被制御スイッチであり、スレーブフォワード整流器とフリーホイーリング整流器の駆動電圧が、それぞれマスターフォワード整流器とフリーホイーリング整流器の駆動電圧によるものである。

【図17a】図17aは、本発明にかかるレベルシフターが付かない多出力フォワードコンバーターの、スレーブフォワード同期整流器とフリーホイーリング同期整流器のゲート

10

20

30

40

50

電圧波形を説明するタイミング図である。

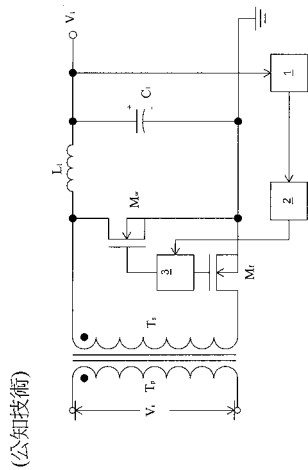
【図 17b】図 17b は、本発明にかかるレベルシフターが付いた多出力フォワードコンバーターの、スレーブフォワード同期整流器とフリーホイーリング同期整流器のゲート電圧波形を説明するタイミング図である。

【符号の説明】

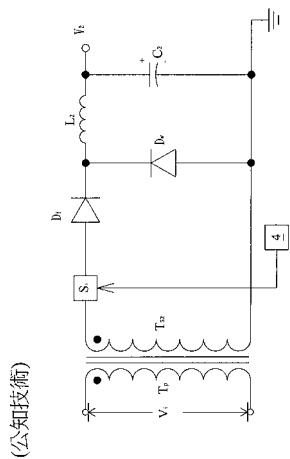
【0057】

1	エラーアンプ回路	
2	制御回路	
3	駆動回路	
4、33	スイッチコントローラー	10
21	マスター電力ループ	
211	フォワード同期整流器	
212	フリーホイーリング同期整流器	
311	スレーブフォワード同期整流器	
312	スレーブフリーホイーリング同期整流器	
22	信号配分器	
23	レベルシフター	
C ₁ ~ C ₃	フィルターコンデンサ	
C ₄	第2のコンデンサ	
C ₅	スレーブフィルターコンデンサ	20
D ₁ 、D ₂ 、D ₄ 、D ₇	ダイオード	
D _f	フォワードダイオード整流器	
D _w	フリーホイーリングダイオード整流器	
L ₁ 、L ₂ 、L ₃ 、L ₅	電力インダクタ	
M ₁ 、M ₂ 、M ₇ 、M ₈	トランジスタ	
M _f	フォワード同期整流器	
M _w	フリーホイーリング同期整流器	
R ₁ 、R ₂	抵抗	
S ₁ 、S ₂	二次側ポストレギュレータ	
T ₁	一次巻線	30
T ₂ 、T ₁₃ 、T _s 、T _{s2}	二次電力巻線	
T ₃ 、T ₁₄	二次駆動巻線	
Q ₁ 、Q ₂	バイポーラトランジスタ	
V _i 、V ₁ 、V ₂ 、V _{L1} 、V _{L2}	電圧	
ZD ₄	ツェナーダイオード	

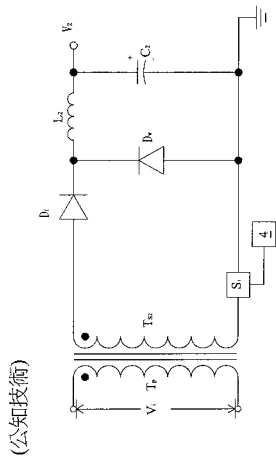
【図 1】



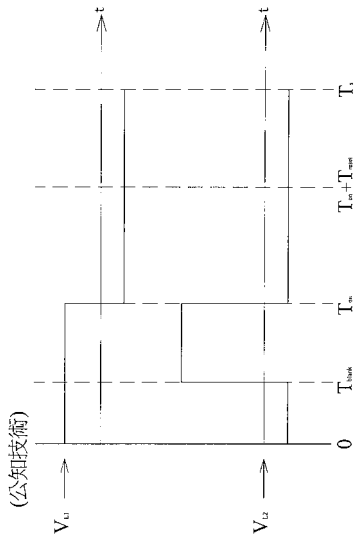
【図 2 a】



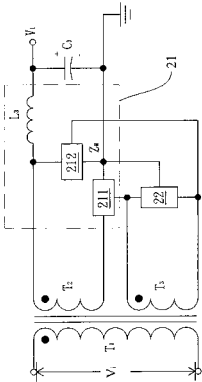
【図 2 b】



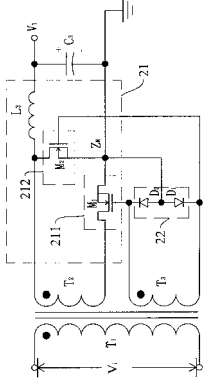
【図 3】



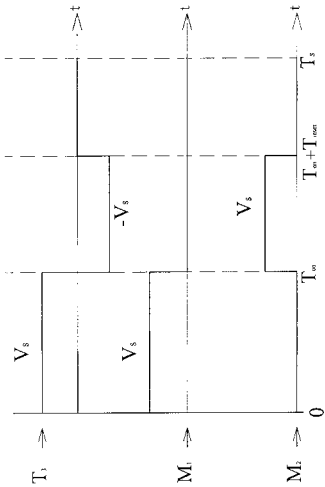
【図 4】



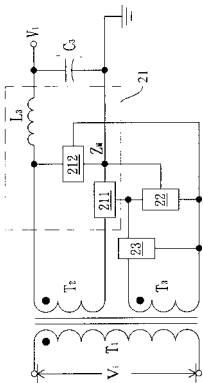
【図 5】



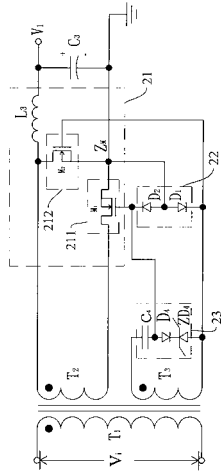
【図 6】



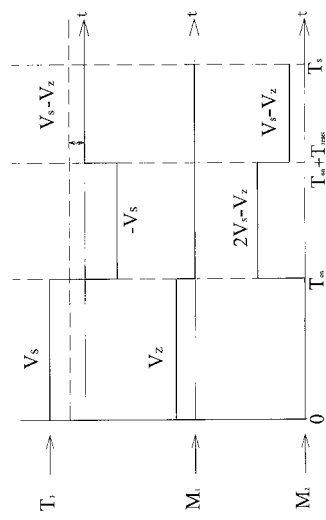
【図 7】



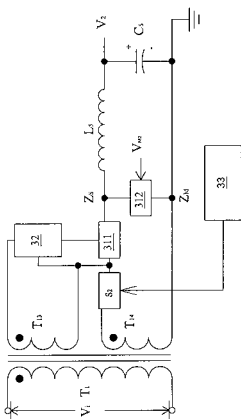
【図 8】



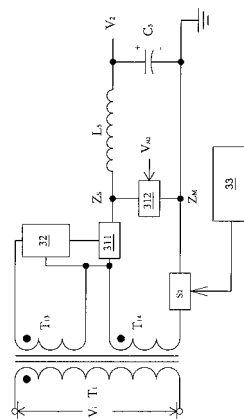
【図 9】



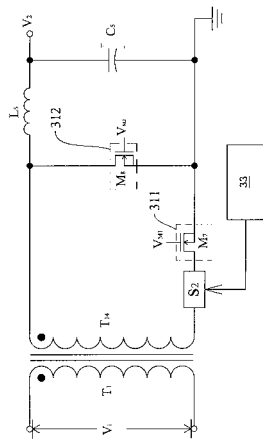
【図 10 a】



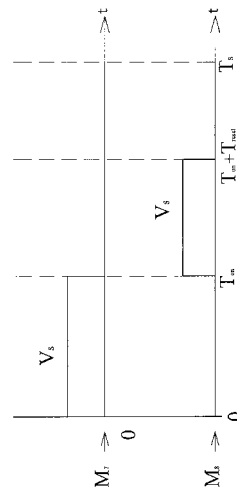
【図 10 b】



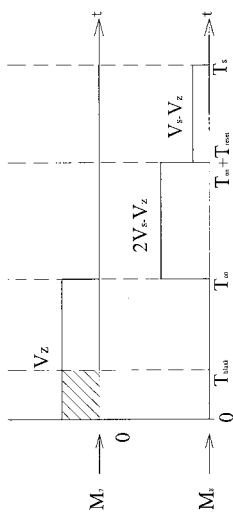
【図 16】



【図 17 a】



【図 17 b】



フロントページの続き

(74)代理人 100112520

弁理士 林 茂則

(74)代理人 100156591

弁理士 高田 学

(72)発明者 王 志良

台湾基隆市安樂區武嶺街 1 3 1 - 3 號

(72)発明者 余 金生

台湾台北縣五股鄉成泰路一段 2 4 號之 1

F ターム(参考) 5H006 CA02 CB03 CB07 DA04 DB01 DC05

5H730 AA14 BB22 EE02 EE08 EE10 EE13 FD24