

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4402178号
(P4402178)

(45) 発行日 平成22年1月20日 (2010. 1. 20)

(24) 登録日 平成21年11月6日 (2009. 11. 6)

(51) Int. Cl.

F I

G 1 1 C 15/04 (2006. 01)

G 1 1 C 15/04 6 3 1 F

G 0 6 F 17/30 (2006. 01)

G 0 6 F 17/30

H 0 4 L 12/56 (2006. 01)

H 0 4 L 12/56

請求項の数 5 (全 18 頁)

(21) 出願番号 特願平9-276556
 (22) 出願日 平成9年9月24日 (1997. 9. 24)
 (65) 公開番号 特開平10-126422
 (43) 公開日 平成10年5月15日 (1998. 5. 15)
 審査請求日 平成16年9月21日 (2004. 9. 21)
 審判番号 不服2007-2642 (P2007-2642/J1)
 審判請求日 平成19年1月22日 (2007. 1. 22)
 (31) 優先権主張番号 08/722, 587
 (32) 優先日 平成8年9月27日 (1996. 9. 27)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 7 8 7 3 5 テキサス州
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6 5 0 1
 (74) 代理人 100142907
 弁理士 本田 淳
 (74) 代理人 100149641
 弁理士 池上 美穂
 (72) 発明者 ジョン・アショア・ロシュク
 アメリカ合衆国テキサス州78759、オ
 ースチン、モラード・コウブ 1 0 3 0 6
 # 2 6 1

最終頁に続く

(54) 【発明の名称】 同時サーチ内容アドレス可能メモリ回路のための装置および方法

(57) 【特許請求の範囲】

【請求項 1】

内容アドレス可能メモリ (C A M) を使用する方法であって、

前記 C A M の第 1 のメモリアレイおよび前記 C A M の第 2 のメモリアレイを提供する段階であり、前記第 1 のメモリアレイは整合ワードを備えかつ前記第 2 のメモリアレイはリンクワードを備える、段階、

基準ワードを前記 C A M に提供する段階、

前記第 1 のメモリアレイを 2 進サーチして前記基準ワードに等しい整合ワードを検出する段階であって、前記 2 進サーチする段階は、選択されたロケーションの内容が前記基準ワードと同じでない間は、さらに以下のループすなわち、

前記第 1 のメモリアレイにおけるあるロケーション、すなわち前記選択されたロケーション、にアクセスする段階であって、前記ロケーションは前記第 1 のメモリアレイを第 1 の部分と第 2 の部分とに分割する、段階、

前記選択されたロケーションの内容を前記基準ワードと比較する段階、

前記第 1 のメモリアレイの部分集合として前記第 1 の部分または前記第 2 の部分を選択して引き続くループ反復動作においてサーチを行なう段階、

からなるループを実行する段階を備える、段階、そして

前記第 2 のメモリアレイから前記整合ワードに対応するリンクワードを出力する段階、を具備することを特徴とする内容アドレス可能メモリ (C A M) を実施する方法。

【請求項 2】

10

20

ヘッダ情報の同時サーチのための方法であって、
ヘッダから第 1 および第 2 のフィールドを読み取る段階、そして
並列的に、

- 1) 前記第 1 のフィールドおよび第 1 の値、
- 2) 前記第 2 のフィールドおよび第 2 の値、そして
- 3) 前記第 2 のフィールドおよび所定の値であって、前記所定の値は長さが前記第

2 のフィールドに等しいもの、

を比較する段階、

を具備することを特徴とするヘッダ情報の同時サーチのための方法。

【請求項 3】

前記読み取る段階は、さらに、メモリアレイの 2 進インデクシングを行う段階を具備し、前記 2 進インデクシングを行う段階は、整合条件が満たされない間は以下のループすなわち、

メモリアレイのあるロケーションから前記第 1 の値および前記第 2 の値を含むヘッダ比較値にアクセスする段階であって、前記ロケーションは前記メモリアレイを第 1 の部分および第 2 の部分に分割する、段階、

前記項目 1) ~ 3) の比較を実行して整合条件を発生する段階、そして

前記メモリアレイの部分集合として前記第 1 の部分または前記第 2 の部分を選択しその後のループ反復動作においてサーチを行う段階、

からなるループを実行する段階、

を具備することを特徴とする請求項 2 に記載の方法。

【請求項 4】

前記第 1 のフィールドおよび前記第 2 のフィールドは A T M ヘッダを構成することを特徴とする請求項 2 に記載の方法。

【請求項 5】

さらに、前記比較する段階に応じて前記第 1 のフィールドおよび前記第 2 のフィールドを変換する段階を具備することを特徴とする請求項 2 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般的にはデジタル電子装置に関し、かつより特定的には交換ネットワークにおいてヘッダ情報を管理するために使用される装置に関する。

【0002】

【従来の技術】

通信およびコンピュータネットワークは種々のハードウェア機器およびソフトウェアから構成されかつ用途および複雑さが増大してきている。コンピュータの典型としてのコンピュータネットワークの人気およびネットワークユーザの間で転送されるデータの量の増大はネットワークの容量およびプロトコルを時間と共に増大させている。種々のネットワーク通信プロトコルはデータをネットワークによって結合された装置の間で転送する。イーサネットおよび非同期転送モードはそのような通信プロトコルの例である。

【0003】

非同期転送モード（以後“ A T M ”と称する）はツイストケーブルを使用して 25 メガビット / 秒程度の低いかつ光ケーブルを使用して 10 ギガビット / 秒程度の高い帯域幅を提供する。A T M スイッチまたは交換機（A T M s w i t c h）はセルをネットワーク内の種々のポイントの間で転送する。セルは制御情報、ヘッダおよびデータパケットを含む。セル内のヘッダは A T M 交換機がデータを導くことができるようにする交換識別子（s w i t c h i n g i d e n t i f i e r s）を含む。A T M スイッチはプログラムされたリストに対してそれが受信する各々の交換識別子を問合せてどの出力チャネルにセルが出力されるべきかを決定する。データパケットが中間ノードによって受信されたとき、データパケットに付随するヘッダにデスティネーション情報が含まれている。ノードはその

10

20

30

40

50

メモリを調べてデスティネーション情報が前に記憶されているか否かを決定することによりその伝送に対するデータパケットを導くことにそれが前に同意したか否かを判定する。もし同意しておれば、フォワードアドレス (forwarding address) もまた記憶されておりかつノードはそのデータパケットをデスティネーションアドレスに向かうルートにおける次のノードへと送る。それが各々のデータ転送を受信したとき、ノードはそのメモリの内容を問合せそれが送信を送ることに同意したか否かを決定する。もしデスティネーション情報があらかじめ送られれば、メモリはそのデータパケットを次のノードに導くために該デスティネーション情報に関連するフォワードアドレスを作成する。

【0004】

内容アドレス可能メモリまたは連想記憶装置 (以後“CAM”と称する) はATMスイッチのための交換識別子を記憶する。連想または内容アドレス可能メモリにおいては、整合ワードおよび交換識別子がメモリ内に関連する対として記憶される。CAMが基準ワードを受信したとき、それは該基準ワードに等しい整合ワードがメモリに格納されているか否かを判定する。もし格納されておれば、それは整合した基準ワードに関連するリンクワードを作成する。CAMの重要な面は整合ワードおよびその関連するリンクワードの間の関連または連想であり、各々のワードがその定義と関連して記憶されている辞書とよく似ている。辞書においては、ある提供されたワードがルックアップされかつ該ワードに関連する定義が生成される。CAMにおいては、提供された基準ワードがルックアップされ、すなわち、整合ワードと比較され、かつもしそれらが等しければ、整合ワードに関連するリンクワードが生成される。

【0005】

一般に、ATMのCAMのメモリアレイは整合ワードテーブルおよびリンクワードテーブルへと編成される。もし基準ワードが整合ワードテーブルからのエン트리と整合すれば、関連するリンクワードが出力に生成される。もし整合が検出されなければ、出力ワードは、例えば、エラーフラグビットをセットすることにより不首尾または障害を指示する。ATMの用途においては、基準ワードは交換識別子からなる。交換識別子は仮想パス識別子 (virtual path identifier) (以後“VPI”と称する) および仮想チャネル識別子 (virtual channel identifier) (以後“VCI”と称する) から構成される。CAMはヘッダにおけるVPIおよびVCIをCAMにおけるVPIおよびVCIエン트리と比較する。交換識別子は仮想パス接続 (以後“VPC”と称する) または仮想回路接続 (以後“VCC”と称する) が存在するか否かを決定する。

【0006】

小さなサイズのCAMはしばしばこの機能をハードウェアで提供し、従って基準ワードが同時に整合ワードテーブルにおけるそれぞれのワードと比較されるようにし、それによって出力ワードが1クロックサイクルで生成される全並列モード (full parallel mode) で動作する。しかしながら、より大きなCAMの必要性が増大するに依りて、並列モードは長いサーチ時間のため可能ではなくなる。

【0007】

【発明が解決しようとする課題】

大きなCAMを実施するための従来より知られた技術はメモリを区別可能なまたは別個のクラスに予めソートする (presort) ことである。例えば、4,096ワードの深さのCAMは特定の整合およびリンクワード対がCAMの1つにのみ記憶される4つの別個のより浅い1,024ワードのCAMへと予め分類される。しかしながら、この手法は他のものが実質的に空きを有する一方で1つのクラスに対応するCAMが満たされることになり、それによってCAMの深さを実効的に低減する。必要に応じて各々のCAMのサイズを動的に調整するためCAMに論理を加えることはCAMの複雑さおよびコストを実質的に増大させる。

【0008】

さらに、V C CまたはV P Cを確立するため、並列サーチ戦略が使用されてもあるいは直列サーチ戦略が使用されても、各々のC A Mエントリに対して2つのサーチが必要とされる。第1のサーチはV C Cをチェックし、入力ヘッダおよび交換識別子を比較する。第2のサーチはV P Cに対するもので、入力ヘッダおよび交換識別子を比較する。

【0009】

並列サーチを行うために2つの知られた手法が使用される。1つの方法は1つのC A Mアレイを使用し、各アレイを2回問合せる。他の方法は2つの別個のC A Mを使用し、各々のC A MがV C IまたはV P Iのみを記憶する。1つのC A Mの手法はデュアルC A M手法よりも多くの時間を必要とする。しかしながら、デュアルC A M手法は交換ネットワークにより多くのハードウェアおよびコストを加えることになる。

10

【0010】

【課題を解決するための手段】

本発明の一態様によれば、内容アドレス可能メモリ(C A M)を実施する方法が提供され、該方法は第1のメモリアレイおよび第2のメモリアレイを提供する段階であり、前記第1のメモリアレイは整合ワードを備えかつ前記第2のメモリアレイはリンクワードを備えるもの、基準ワードを前記C A Mに提供する段階、前記第1のメモリアレイを2進サーチして前記基準ワードに等しい整合ワードを検出する段階、そして前記第2のメモリアレイから前記整合ワードに対応するリンクワードを出力する段階、を具備することを特徴とする。

【0011】

20

本発明の別の態様では、制御情報の同時サーチのための方法が提供され、該方法はヘッダから第1および第2のフィールドを読み取る段階、そして並列的に、(1)前記第1のフィールドおよび第1のタグ(2)前記第2のフィールドおよび第2のタグ、そして(3)所定のベクトルを備えた第2のフィールド、を比較する段階、を具備することを特徴とする。

【0012】

この場合、前記読み取る段階は、メモリアレイの2進インデクシングを行う段階を具備すると好都合である。

【0013】

また、前記第1のフィールドおよび前記第2のフィールドはA T Mヘッダを含むものとすることができる。

30

【0014】

さらに、前記比較する段階に応じて前記第1のフィールドおよび前記第2のフィールドを変換する段階を具備すると好都合である。

【0015】

【発明の実施の形態】

図1は、本発明に係わるネットワークデータルーティング回路において使用される内容アドレス可能メモリ(C A M)回路100のブロック図である。C A M 100はデータを記憶しかつ新規な方法に従って比較のためにデータをアクセスする。この機構はC A M 100の部分からヘッダ情報を人為的に排除することなくアクセス時間を低減する。C A M 100はこれによってそのメモリの使用において高速でありかつ効率的である。さらに、V C CまたはV P C整合のための各々の個々の比較は開示された発明の第2の面によって加速される。

40

【0016】

図1を参照して説明を続けると、C A M 100はメモリワードのアレイ101、比較回路105、2進サーチ論理回路104、およびエントリキュー106を具備する。C A M 100は基準ワードの内容に基づき出力ワードを提供するために端子120に出力を有する。ここで使用されているように、用語「端子(terminal)」は単一の導電ラインに言及しかつまた複数の導電ラインを含むバスラインを含む。C A M 100はデスティネーションヘッダ信号または他の伝送されたデータをネットワークから受けるための入力を

50

端子 121 に有する。基準ワードは前記デスティネーションヘッダ信号の一部として伝送される。

【0017】

メモリワードのアレイ 101 はスタティック RAM セルのコアを備えかつ整合ワードテーブル 102 およびリンクワードテーブル 103 として構成され、それによって各々のロケーションアドレスにおいて記憶されたメモリワードが整合ワードおよび関連するリンクワードから構成されるようにされる。1つの実施形態では、各々のスタティック RAM セルは4つのトランジスタからなりかつ5ナノ秒のアクセス時間を有する。用途に応じて、メモリワードのアレイ 101 はこれに代えてダイナミック RAM またはフラッシュメモリから構成できる。端子 124 における入力の前記アレイからメモリワードを選択するロケーションアドレス信号を受信し、かつ端子 122 および 123 における第1および第2の出力はそれぞれ選択された整合ワードおよびリンクワードを提供する。

10

【0018】

比較回路 105 はそれぞれ基準ワードおよび選択された整合ワードを受け取るに端子 121 および 122 において第1および第2の入力を有し、かつ5つの出力信号、「より大きい (GREATER)」信号、「等しい (EQUAL)」信号、「VCC 整合 (VCC MATCH)」信号、「VPC 整合 (VPC MATCH) 信号」、および「VPC 有効 (VPC VALID)」信号を提供するための出力を端子 125 に有する。比較回路 105 は基準ワードおよび前記選択された整合ワードの内容を比較しかつその比較の論理的結果に対応する出力信号を肯定する。例えば、もし入力基準ワードが選択された整合ワードより大きければ、比較器 105 は「より大きい」信号を肯定する。VCC および VPC 整合に対してはそれぞれ前記「VCC 整合」および「VPC 整合」が肯定される。もし VPC 整合が存在すれば、比較器 105 は「VPC 有効」信号を肯定する。比較器 105 および「より大きい」信号、「等しい」信号、「VCC 整合」信号、「VPC 整合」信号、および「VPC 有効」信号については図 8 および図 10 を参照して後に説明する。

20

【0019】

前記エントリキュー 106 はテーブル更新のために基準ワードを受信する。CAM 100 に加えられるべき基準ワードまたは CAM 100 から削除されるべき基準ワードはバッファリングされる。いくつかの実施形態では、エントリキュー 106 におけるバッファリングされたエントリ (buffered entries) は整合ワードテーブルをサーチする前に直線的にまたはリニアに (linearly) サーチされる。整合ワードテーブルをサーチする方法はすぐ後に説明する。さらに別の実施形態では、エントリキュー 106 は除去されかつ基準ワードが CAM が利用可能になるや否やソートされる。

30

【0020】

前記 2 進サーチ論理回路 104 は整合ワードテーブル 102 の 2 進サーチを行い整合ワードテーブル 102 におけるエントリが基準ワードと同じ内容を有するか否かを判定する。2 進サーチはサーチされるべきテーブルが所定の順序にソートされる必要がある。従って、システムのスタートアップ時に、かつ基準ワードを受け入れる前に、メモリワードのアレイ 101 は整合ワードテーブル 102 のエントリに基づき所定の順序にソートされる。示された実施形態では、最も小さな基準ワードを有する基準ワード - リンクワード対がメモリワードのアレイ 101 の最初のエントリに記憶され、第2に小さな基準ワードを有する基準ワードがメモリワードのアレイの第2のエントリに格納されるなどとなる。

40

【0021】

理論上は、整合ワードテーブルは任意の所定の順序にソートすることができる。しかしながら、この順序は比較回路 105 によって認識することができ、従ってそれがある与えられた基準ワードを選択された整合ワードと比較するときそれが整合する整合ワードが、もしそれが整合ワードテーブル 102 に見出されるべきであれば、前記選択された整合ワードよりもより高いまたはより低いアドレスを有するか否かを決定できなければならない。

【0022】

50

図 2 は、2 進サーチ論理回路 1 0 4 によって使用されて基準ワードに整合する整合ワードが格納されているかを判定するためにメモリワードのアレイ 1 0 1 を 2 進サーチするための 2 進サーチアルゴリズムの C A M 構成の流れ図である。整合テーブルは予め、例えば、ローからハイへと増大するロケーションアドレスでソートされているものと仮定する。ステップ 2 0 1 において、基準ワードが、例えば、ネットワークバスから受信される。ステップ 2 0 2 において、メモリアレイの中間点 (m i d p o i n t) に対応するロケーションアドレスがアレイから整合ワードおよび関連するリンクワードを選択するために提供される。ステップ 2 0 3 は選択された整合ワードを基準ワードと比較する。もしそれらが等しければ、(ステップ 2 0 4)、選択されたリンクワードがステップ 2 0 5 において C A M の出力に提供されかつ 2 進サーチは終了する。

10

【 0 0 2 3 】

もし選択された整合ワードが基準ワードに等しくなければ(ステップ 2 0 4)、2 進サーチ論理回路はステップ 2 0 6 においてアレイ全体が既に基準ワードと比較されたか否かを判定する。もしメモリワードのアレイ 1 0 1 全体がまだテストされていなければ、基準ワードと整合する整合ワードが検出される可能性のあるメモリアレイのハーフ (h a l f) の中間点に対応する新しいロケーションアドレスが提供される。ステップ 2 0 3 および 2 0 4 による各々の比較の後にメモリの半分が整合する整合ワードを含む可能性からはずされ、それはメモリアレイの所定の順序への前もってのソートのためである。従って、2 進サーチの各々のサイクルはメモリアレイのテストされていない部分の半分の半分を累進的に低減する。

20

【 0 0 2 4 】

もしステップ 2 0 6 が整合する整合ワードが検出されることなくメモリアレイ全体がテストされたことを判定すれば、ステップ 2 0 7 においてエラーフラグが出力にセットされかつ 2 進サーチが終了する。しかしながら、もしメモリアレイの一部がテストするために残っておれば、ステップ 2 0 8 においてメモリアレイのテストされていない部分の中間点に対応する新しいロケーションアドレスが提供される。新しいロケーションアドレスはステップ 2 0 2 において新しい整合およびリンクワードを選択しかつこのサイクルは 2 進サーチが終了するまで反復する。

【 0 0 2 5 】

図 1 に戻ると、2 進サーチ論理回路 1 0 4 はメモリワードのアレイにロケーションアドレス信号を提供するための第 1 の出力を端子 1 2 4 に有する。2 進サーチのいずれかのサイクルにおいて、ロケーションアドレスはメモリワードのアレイ 1 0 1 のテストされていない部分の本質的に中間点となるよう選択される。もし、一般的にあるように、整合ワードテーブルにおいて偶数のエントリがあれば、正確な中間点のロケーションアドレスはなく、従って次のより高いまたはより低いロケーションアドレスが選択され、すなわち、アレイの上部ハーフの最も低いアドレスが選択される。

30

【 0 0 2 6 】

このロケーションアドレス信号がメモリワードのアレイ 1 0 1 によって受信されたとき、選択された整合ワードおよび選択されたリンクワードがそれぞれ端子 1 2 2 および 1 2 3 における第 1 および第 2 の出力に生成される。選択された整合ワードは比較回路 1 0 5 において基準ワードと比較され、該比較回路 1 0 5 は比較の結果に対応する出力信号を生成する。該出力信号は比較の 6 つの結果の内の 1 つを指示し、すなわち第 1 に基準ワードおよび整合ワードが等しいこと、第 2 により高いロケーションアドレスにおいてサーチを継続すること、および第 3 により低いロケーションアドレスにおいてサーチを継続すること、および第 4 にもし V P C が生じればサーチを終了すること、および第 5 にもし V C C が発生すればサーチを終了すること、および第 6 に比較器 1 0 5 が前記「 V P C 有効」信号を肯定しこれは出力論理ピンに伝搬することがある。

40

【 0 0 2 7 】

2 進サーチ論理回路 1 0 4 は比較回路 1 0 5 から出力信号を受ける端子 1 2 5 に第 1 の入力を有する。端子 1 2 3 における第 2 の入力リンクワードテーブル 1 0 3 から選択され

50

た整合ワードに関連する選択されたリンクワードを受信する。もし前記基準および選択された整合ワードの内容が等しければ、2進サーチ論理回路104はその端子120におけるその出力に選択されたリンクワードを生成し、これはCAM100の出力に結合される。CAM100の出力は従って選択されたリンクワードを含み、多分フラグビットを加えて整合が首尾よく行われたことを指示する。限定的なものではないが、サーチの数、サーチの時間量、およびCAM内の首尾よいヒットの割合を含む他の情報をCAM100の出力に提供することもできる。

【0028】

もし基準および選択整合ワードが整合しなければ、比較回路105からの出力信号は整合する整合ワードが、もしそれが整合ワードテーブル102に格納されておれば、前記中間点のロケーションアドレスより上に位置するかあるいは下に位置するかを示す。もし、例えば、比較回路105がサーチが前の中間点のロケーションアドレスより上の整合ワードテーブル102のハーフにおいて継続すべきことを示しておれば、2進サーチ論理回路104は今テストした領域のすぐ上の整合ワードテーブルの領域の中間点において新しいロケーションアドレスを提供する。該新しい中間点のロケーションアドレスに対応する新しい整合ワードは前記基準ワードと比較されかつサイクルそれ自体が反復する。

【0029】

2進サーチにおいて、新しい整合ワードに対する基準ワードの各々の比較は整合を生じるかあるいは整合が検出できる可能なロケーションアドレスとしての整合ワードテーブル102の半分を除去する。引き続くサイクルが効果的に整合ワードテーブル102の残りの部分をそれが新しいテーブルであるかのように処理し、メモリワードのアレイ101の残りの部分の中間点に対応する新しいロケーションアドレスを送る。

【0030】

2進サーチの各々のサイクルを完了するために必要な時間は一般にメモリワードのアレイ101を含むスタティックRAMコアの速度によって決定される。メモリワードのアレイ101が4,096のメモリエントリの深さである実施形態では、各サイクルを完了するのに必要な時間は10ナノセカンドである。4,096メモリワードを1つのメモリワードに低減するために12の引き続くバイセクション(bisections)が必要であり、メモリワードのアレイ101は多くても12のサイクルで2進サーチすることができる。従って完全なサーチは120ナノセカンドで完了する。16,384メモリワードの容量を有するメモリワードのアレイ101に対しては、2つの付加的な2進サーチサイクルを提供しなければならず、従ってサーチは140ナノセカンドで完了する。

【0031】

2進サーチは基準ワードと整合する整合ワードが検出されることなく完了することもあり得る。その場合、CAM100の出力に何らのリンクワードも提供されず、かつ整合が検出されなかったかあるいはサーチが完了したことを示すエラーフラグビットが一般に提供される。

【0032】

いくつかの用途においては、新しいエントリを含めるためあるいはもはや有用でないエントリを削除するため整合ワードテーブル102およびリンクワードテーブル103を更新することが必要である。このため、2進サーチ論理回路104は新しいエントリを受けるために端子121に接続された第3の入力を有する。もしメモリワードのアレイ101が満杯でありかつ存在するエントリが削除できなければ、新しいエントリはこれ以上処理されることはなく、かつ新しいエントリが受け入れられないことを示すためにエラービットが出力ワードにおいてセットされる。

【0033】

もしメモリワードのアレイ101が空きのロケーションを有しておれば、新しいエントリが受け入れられかつ挿入される。新しいエントリはメモリワードのアレイ101の所定の順序を保つように挿入されなければならないことに注意を要する。1つの実施形態では、2進サーチ論理回路104は前記空きのロケーションで開始し、すなわちメモリワードの

10

20

30

40

50

アレイ 1 0 1 の最上部で開始し、かつ該新しいエントリおよびメモリワードのアレイ 1 0 1 の所定の順序を維持する必要性に照らして記憶されたメモリワードを調べる。前記新しいエントリはそうすることが前記所定の順序を維持する場合には前記空きのロケーションに挿入される。2 進サーチ論理回路 1 0 4 は新しいエントリの適切なロケーションを決定する。

【 0 0 3 4 】

これに対し、もし C A M 1 0 0 が前記挿入プロセスの間にアイドルであれば、4 , 0 9 6 ワードの深さであるメモリワードのアレイ 1 0 1 は新しいエントリを正しいロケーションに挿入するために平均で約 2 0 マイクロセカンド、最悪の場合約 4 0 マイクロセカンドを必要とする。

10

【 0 0 3 5 】

図 3 は、本発明に係わる非同期転送モデル (A T M) セル 3 0 0 を示す。A T M セルはヘッダ 3 0 2 を含み、該ヘッダ 3 0 2 はそれ自体で交換ネットワークのためのルーティング情報を含む。ヘッダ 3 0 2 の情報は端子 1 2 1 を介して図 1 の比較器 1 0 5 に入力される。前記交換識別子はデータパケットをヘッダ 3 0 2 に含まれる V C I および V P I に基づき導く。バイト 1 は包括的なフロー制御 (g e n e r i c f l o w c o n t r o l) (以後“ G F C ”と称する)のための 4 ビットおよびユーザネットワークインタフェース (以後“ U N I ”と称する)プロトコルにおける V P I のための 4 ビットを含む。しかしながら、ネットワーク・ネットワークインタフェース (以後“ N N I ”と称する)プロトコルにおいては、バイト 1 は V P I のために 8 ビットを含む。バイト 2 は V P I のために 4 ビットを含み V C I のために 4 ビットを含む。バイト 3 は V C I のために 8 ビットを含む。バイト 4 は、U N I および N N I プロトコルの双方に対して、V C I のために 4 ビットを含みかつペイロードタイプ識別子 (p a y l o a d t y p e i d e n t i f i e r) (以後“ P T I ”と称する)のために 4 ビットを含む。残りのバイトはデータパケットを含む。データパケット (以後「データ」と称する)はコンピュータコード、電話通信、または任意の導かれるべき情報から構成できる。

20

【 0 0 3 6 】

図 4 は、本発明に係わる V C I および V P I を含む物理チャネル 4 0 0 を示す。物理チャネル 4 0 0 は光ケーブル、ツイストケーブル、および電話ケーブルのような、物理的なデータ伝送構造を表す。物理チャネル 4 0 0 は V P C および V C C を含み、この場合 V P C および V C C は個々の V P I および V C I を含む。V P C は、すべて同じ V P I を備えかつすべて同じ方式でスイッチングされる、複数の回路のトランクとして概念化しあるいは概念的に説明することができる。1 つの V C C は異なる V P I 内の異なる V C I に導く V P I 内の 1 つの特定の V C I である。V C C および V P C のためのルーティングは図 5 において後に説明する。この実施形態では、4 , 0 9 6 までの V P I が可能でありかつ V P I ごとに 6 5 , 5 3 6 までの V C I が可能である。

30

【 0 0 3 7 】

図 5 は、本発明に係わる V C C および V P C を含む A T M スイッチ 5 0 7 を示す。A T M スイッチ 5 0 7 は複数の入力パスを受け入れかつ種々のデータを備えた複数の出力パスを発生する。A T M スイッチ 5 0 7 は入力および出力パス内のデータを処理しかつパスのルーティングは瞬時的に (急速に : o n t h e f l y) 行われる。A T M スイッチ 5 0 7 は複数の物理チャネル 4 0 0 を備えた交換ネットワークを示している。1 つの例では、A T M スイッチ 5 0 7 は物理チャネル 5 0 1、物理チャネル 5 0 2、および物理チャネル 5 0 3 を受け入れる。A T M スイッチ 5 0 7 は個々のヘッダ 3 0 2 に基づき入力セル、V C I および V P I、を物理チャネル 5 0 4、物理チャネル 5 0 5、および物理チャネル 5 0 6 に導く。

40

【 0 0 3 8 】

C A M 1 0 0 はヘッダ 3 0 2 における V P I および V C I を C A M 1 0 0 における V P I および V C I エントリと比較する。もし V P I および V P C を識別する C A M 1 0 0 内の特別の V C I 値に対する整合が生じれば V P C が存在する。整合データは A T M スイッチ

50

507にデータをどこに導くかおよびヘッダ302におけるデータのすべてまたは一部をどのように変換するかを通知する。

【0039】

1つの例では、物理チャネル501は5のVPI値を含み、1のVCI値、2のVCI値、および3のVCI値を備えている。CAM100は整合ワードテーブル102をサーチしかつVPCを識別する特別のVCI値と上のVPIおよびVCIに対する整合が生じる。整合ワードに関連するリンクワードは7のVPIに対する変換値を含む。ATMスイッチ507は物理チャネル501を物理チャネル504に導きかつVPI値を5から7に変換するが、VCIは1, 2および3の値を保持する。従って、VPCに対しては、VPI値は変換されるがVCI値は同じ値に留まっている。

10

【0040】

他の例では、物理チャネル502は1のVPI値を含み、1のVCI値、2のVCI値、および3のVCI値を、ヘッダ302に備えている。CAM100は整合ワードテーブル102をサーチしかつVPIおよびVCI値の双方に対して整合が生じ、VCCを生じる。整合ワードに関連するリンクワードは5のVPIに対する変換値を含みかつ1, 2および3のVCI値に対してそれぞれ12, 13および14のVCIに対する変換値を含む。ATMスイッチ507は物理チャネル502を物理チャネル506に導きかつVPI値を1から5に変換し、かつVCI値を1, 2および3から12, 13および14にそれぞれ変換する。従って、VCCに対しては、VPI値およびVCI値の双方が変換される。

【0041】

20

図6は、フローチャート形式で、ヘッダ302のサーチの知られた方法を示す。ステップ601において、所定の組のVPIおよびVCI値がヘッダ302におけるデータを導くためにCAM100にロードされる。最初のサーチはVCIおよびVPI値をヘッダ302から読み出すことによって始まる、ステップ602。該最初のサーチはヘッダ302におけるVPIおよびVCI値を整合ワードテーブル102におけるVPIおよびVCI値と比較することによりVCCに対して行われる、ステップ603。ステップ604において、VPIおよびVCI値が整合するか否かの判定が行われる。もし該判定が真（整合）であれば、ステップ605においてVCCは有効とされる。該VPIおよびVCI値は関連するリンクワードにおいて規定される値に変換される。しかしながら、前記判定が偽（整合なし）であれば、ステップ606において、ヘッダ302におけるVPI値を整合ワードテーブル102におけるVPI値と比較しかつ整合ワードテーブル102における特別のVPCビットをチェックする。ステップ607において、VPI値が整合するか否かおよび整合ワードテーブル102に特別のVPCビットが存在するかの判定が行われる。もし該判定が真であれば、VPCは有効である、ステップ608。VPI値は関連するリンクワードにおいて規定された値に変換される。しかしながら、もし前記判定が偽（整合なし）であれば、サーチは整合なしに終了する。当業者は容易にこの知られたアルゴリズムは2つの別個のCAMルックアップを必要とし、1つのCAMが2回使用されるかあるいは2つのCAMが各々1度使用されるかを理解するであろう。いずれの場合も、時間またはシリコンが過剰に使用される。

30

【0042】

40

図7は、フローチャート形式で、本発明に係わるヘッダ302のサーチを示す。ステップ701において、ヘッダ302におけるデータを導くために所定の組のVPIおよびVCI値がCAM100にロードされる。示された実施形態では、VCIおよびVPI値は、図1において前に述べたように、増大する数でソートされかつ記憶される。しかしながら、開示された発明の両方の面（aspects）はお互いに独立に実施することができあるいは組合せることができる。両方のサーチは、ステップ702において、ヘッダ302からVCIおよびVPI値を読み出すことで始まる。ステップ703は3つの比較からなり、第1の比較はヘッダ302からのVPIを整合ワードテーブル102からのVPIと比較することからなり、第2の比較はヘッダ302からのVCIを整合ワードテーブル102からのVCIと比較することからなり、第3の比較は整合ワードテーブル102から

50

の V C I を論理 “ 1 ” の特別の V C I 値に対して比較することからなる。

【 0 0 4 3 】

引き続きステップ、704 および 705、は直列的に発生するように説明するが、同時に行われる。ステップ 704 においては、前記第 1 の比較（ヘッダ 302 からの V P I が整合ワードからの V P I と等しい）および前記第 2 の比較（ヘッダ 302 からの V C I が整合ワードからの V C I と等しい）が真（整合）であるか否かが判断される。もし該判断が真（整合）であれば、ステップ 706 において V C C は有効でありかつ V P I および V C I 値は関連するリンクワードにおける値に変換される。しかしながら、もし前記判断が偽であれば、V C C サーチは整合なしに終了する。V P C サーチはヘッダ 302 の V P I 値を C A M 100 における整合ワードテーブル 102 のエントリの V P I 値と比較しかつ整合ワードテーブル 102 のエントリにおける特別の V C I 値に対してチェックを行う。ステップ 705 において、V P I 値が整合しかつ特別の V C I 値が整合ワードテーブル 102 のエントリに存在するかが判定される。もしこの判定が真（整合）であれば、ステップ 707 において V P C は有効でありかつ V P I 値は関連するリンクワードにおける値に変換される。しかしながら、もし前記判定が偽であれば、V P C サーチは整合なしに終了する。もし前記 V P C が有効であれば、前記「V P C 有効」信号は論理ピンを肯定する。

10

【 0 0 4 4 】

V P C を識別する前記特別の V C I 値は整合ワードテーブル 102 の初期ロードにおいてセットされかつ任意的なものである。この実施形態では、前記特別の V C I 値は 16 の論理 “ 1 ” を含む。

20

【 0 0 4 5 】

有効な V P C に対して論理ピンを「V P C 有効」信号により肯定することは試験を簡単にしかつエンドユーザによる動作または運用を簡単にする。前記論理ピンは装置の状態を識別することにより C A M 100 の試験を簡単にする。装置を適切にテストするために V P C または V C C が有効であるか否かを判定する必要性が存在する。他の利点はエンドユーザが V P C が有効であるか否かを前記ピンにおける論理ハイによって認識することである。システム設計者のような、エンドユーザは前記論理ピンを使用して有効な V P C に基づき他のシステム機能をイネーブルまたはディスエーブルする。例えば、もしシステム設計者が有効な V P C に基づき他の A T M スイッチに導く必要があれば、前記論理ピンが制御回路のためのゲート信号として使用される。前記論理ピンはシステム設計を簡単にしかつ柔軟性を増大する。

30

【 0 0 4 6 】

図 8 は、比較器 105 のブロック図を示す。比較器 105 は 3 つの比較要素、すなわち比較器 106、比較器 107、および比較器 108、そして A N D ゲート 109 および A N D ゲート 110 から構成されている。比較器 105 は端子 121 に基準ワードをそして端子 122 に整合ワードを受信する。この実施形態では、基準ワードはヘッダ 302 である。比較器 106 は 1 つの入力に 16 ビットの V P I、すなわちヘッダ 302 からの 12 ビット（バイト 1 およびバイト 2 のビット 5 : 8）および 4 ビット、を受ける。4 ビットはマスクにより最上位ビットとして加えられ、かつユーザ定義される。前記 4 ビットを加えることは図 10 において後に説明する。4 ビットは各々の比較要素が同じ 16 ビットの比較器の設計で実施できるようにする。比較器 106 は他の入力に 16 ビットの V P I、すなわち整合ワードからの 12 ビットおよび 4 ビット、を受ける。4 ビットはマスクにより最上位ビットとして加えられ、かつユーザ定義される。比較器 107 は 1 つの入力にヘッダ 302 からの 16 ビットの V C I を受ける。比較器 107 は他の入力に整合ワードからの 16 ビットの V C I を受ける。比較器 108 は一方の入力に 16 ビットの V C I を整合ワードから受ける。比較器 108 は他の入力に特別の 16 ビットの V C I 値を受ける。

40

【 0 0 4 7 】

V P I_H はヘッダ 302 からの V P I を示し、V P I_M は整合ワードからの V P I を示し、V C I_H はヘッダ 302 からの V C I を示し、V C I_M は整合ワードからの V C I を示す。各々の比較要素は 2 つの 16 ビット入力等しいか否かをビットごとの比較で判定す

50

る。比較器 106 の出力はもし 2 つの V P I 入力 が等しければ「イコール 1 (E Q U A L 1) 」を発生する。比較器 107 はもし 2 つの V C I 入力 が等しければ「イコール 2 (E Q U A L 2) 」信号を発生する。比較器 108 の出力はもし 2 つの V C I 入力 が等しければ「イコール 3 (E Q U A L 3) 」信号を発生する。

【 0048 】

A N D ゲート 109 は 1 つの入力に前記「イコール 1 」信号を受けかつ他の入力に前記「イコール 2 」信号を受信する。A N D ゲート 110 は 1 つの入力に前記「イコール 1 」信号を受けかつ他の入力に前記「イコール 3 」信号を受ける。A N D ゲート 109 の出力は「V C C 整合」信号を発生する。A N D ゲート 110 の出力は前記「V P C 整合」信号および前記「V P C 有効」信号を発生する。

10

【 0049 】

比較要素、比較器 106、比較器 107 および比較器 108、は V P C または V C C が存在するか否かを判定する。ヘッダ 302 からの V P I および V C I 情報および整合ワードテーブル 102 からの整合ワードを比較することにより、各々の比較要素は入力 が等しいか否かを判定する。もしヘッダ 302 からの V P I および整合ワードがビットごとのベースで同じであれば「イコール 1 」信号は論理 “ 1 ” である。もしヘッダ 302 からの V C I および整合ワードがビットごとのベースで同じであれば「イコール 2 」は論理 “ 1 ” である。もし整合ワードからの V C I および前記特別の V C I がビットごとのベースで同じであれば「イコール 3 」は論理 “ 1 ” である。A N D ゲート 109 の出力、「V C C 整合」信号、はもし V C C が存在すれば論理 “ 1 ” である。A N D ゲート 110 の出力、「V P C 整合」信号および「V P C 有効」信号、は V P C が存在すれば論理 “ 1 ” である。比較器 108 は比較器 106 および比較器 107 がそれぞれ「イコール 1 」および「イコール 2 」を発生するよりも早く「イコール 3 」を発生する。「イコール (E Q U A L) 」信号は 2 ビットを含み、1 ビットは「イコール 1 」を表しかつ 1 ビットは「イコール 2 」を表す。「イコール 1 」および「イコール 2 」信号の発生については図 10 においてより詳細に説明する。前記特別の V C I 値は 16 の論理 “ 1 ” を含み、従って比較器 108 は整合ワードからの V C I を論理 “ 1 ” につきチェックする。比較器 106 および比較器 107 は論理 “ 1 ” および論理 “ 0 ” に対する両方の入力を比較する必要がある、比較器 108 は整合ワードからの V C I を論理 “ 1 ” についてチェックするのみであり、従って、比較器 106 および比較器 107 よりも高速で比較を行う。

20

30

【 0050 】

図 9 は、比較器 108 の回路図を示す。比較器 108 は整合ワードから 16 ビットの V C I を受けかつ前記特別の V C I 値とビットごとの比較を行う。この実施形態では、前記特別の V C I 値はオール論理 “ 1 ” を含む。従って、比較器 108 は整合ワードからの 16 ビットの V C I を論理 “ 1 ” につきチェックする。N A N D ゲート 112 は整合ワードの V C I から 4 ビット、ビット 0 , 1 , 2 および 3、を受信する。N A N D ゲート 114 は整合ワードの V C I から 4 ビット、ビット 4 , 5 , 6 および 7、を受信する。N A N D ゲート 116 は整合ワードの V C I から 4 ビット、ビット 8 , 9 , 10 および 11、を受信する。N A N D ゲート 118 は整合ワードの V C I から 4 ビット、ビット 12 , 13 , 14 および 15、を受信する。N O R ゲート 120 は N A N D ゲート 112 の出力、N A N D ゲート 114 の出力、N A N D ゲート 116 の出力、および N A N D ゲート 118 の出力を受ける。N O R ゲート 120 の出力は前記「イコール 3 」信号を発生する。

40

【 0051 】

比較器 108 の動作は特別の V C I 値に対して論理 “ 1 ” を使用することにより論理を最小にすることに基づいている。比較を単純化することにより、比較器 108 は整合ワードからの V C I を論理 “ 1 ” についてチェックする。「イコール 3 」信号はもし整合ワードからの V C I が論理 “ 1 ” から構成されておれば論理 “ 1 ” である。他の実施形態では、比較器 108 は異なるビットパターンにつきテストを行うことができ、あるいはプログラム可能とすることができる。そのような場合、比較器 108 は、図 10 において以下に説明するように、比較器 106 および比較器 107 と同様に構成できる。

50

【 0 0 5 2 】

図 1 0 は、比較器 1 0 6 および比較器 1 0 7 の詳細なブロック図を示す。このブロック図はマスク可能な X O R ブロック 1 0 2 2 および各々 1 つまたはそれ以上の比較モジュール a, b を備えた一連の比較レベルブロックから構成され、この場合 a および b は整数の指数またはインデクスであり、 a は 1 から 4 におよび、 b は 0 から 1 5 におよぶ。比較レベル $_1$ は 1 6 の比較モジュール $_1, j$ からなり、この場合 j は 0 から 1 5 におよぶ整数指数である。比較レベル $_2$ は 8 つの比較モジュール $_2, k$ からなり、この場合 k は 0 から 7 におよぶ整数指数である。比較レベル $_3$ は 4 つの比較モジュール $_3, m$ からなり、この場合 m は 0 から 3 におよぶ整数指数である。比較レベル $_4$ は 2 つの比較モジュール $_4, n$ からなり、この場合 n は 0 から 1 におよぶ整数指数である。前記マスク可能 X O R ブロック 1 0 2 2 はヘッダ 3 0 2 から 1 6 ビットの V P I を、整合ワードから 1 6 ビットの B P I を、ヘッダ 3 0 2 から 1 6 ビットの V C I を、そして整合ワードから 1 6 ビットの V C I を、そしてマスクバスを受ける。

10

【 0 0 5 3 】

マスク可能 X O R ブロック 1 0 2 2 は V P I_H のすべてのビットを V P I_M のすべてのビットと、一度に 2 ビットずつ、比較する。また、マスク可能 X O R ブロック 1 0 2 2 は、一度に 2 ビットずつ、V C I_H のすべてのビットを V C I_M のすべてのビットと比較する。マスク可能 X O R ブロックは V P I_H および V P I_M の 2 つの最上位ビットを比較しかつその結果を比較モジュール $_1, 15$ に出力する。マスク可能 X O R ブロックは V P I_H および V P I_M の次の 2 つの最上位ビットを比較しかつその結果を比較モジュール $_1, 14$ に出力する。比較モジュール $_1, 8$ は V P I_H および V P I_M の 2 つの最下位ビットの比較結果を受ける。同様の方法で、マスク可能 X O R ブロックは V C I_H および V C I_M の 2 つの最上位ビットを比較しかつその結果を比較モジュール $_1, 7$ へ出力する。比較モジュール $_1, 0$ は V C I_H および V C I_M の 2 つの最下位ビットの比較結果を受信する。マスク可能 X O R ブロック 1 0 2 2 によって 8 つの信号が発生されビットごとのベースで比較された 4 つのビットの結果およびその結果の補数を表しかつ比較レベル $_1$ における比較モジュールに提供される。

20

【 0 0 5 4 】

比較レベル $_1$ における比較モジュール $_1, j$ ($8 \leq j \leq 15$ に対して) は 8 つの入力、V P I G_H (j)、V P I G_H ($j - 1$)、V P I G_M (j)、V P I G_M ($j - 1$) および 4 つの前の信号の補数をマスク可能 X O R ブロック 1 0 2 2 から受ける。比較レベル $_1$ における比較モジュール $_1, j$ ($0 \leq j \leq 7$ に対して) は 8 つの入力、V C I G_H (j)、V C I G_H ($j - 1$)、V C I G_M (j)、V C I G_M ($j - 1$) および前記 4 つの信号の補数をマスク可能 X O R ブロック 1 0 2 2 から受ける。各々の信号は V P I_H および V P I_M、および V C I_H および V C I_M の間の j または $j - 1$ に対応する比較を表す。V P I G_H (j) は V P I_H の j 番目のビットが V P I_M の j 番目のビットより大きい場合を表す。

30

【 0 0 5 5 】

比較レベル $_1$ における各比較モジュールは 4 つの出力を表す。比較モジュール $_1, j$ ($8 \leq j \leq 15$ に対し) は V P I G_H ($j, j - 1$)、V P I G_M ($j, j - 1$)、および前の 2 つの信号の各々の補数を発生しかつそれらを入力として比較レベル $_2$ の比較モジュールに供給する。比較モジュール $_1, j$ ($0 \leq j \leq 7$) は V C I G_H ($j, j - 1$)、V C I G_M ($j, j - 1$)、および前の 2 つの信号の各々の補数を発生しかつそれらを入力として比較レベル $_2$ の比較モジュールに供給する。

40

【 0 0 5 6 】

比較レベル $_2$ の各比較モジュールは比較レベル $_1$ における比較モジュール $_1, j$ の内の 2 つから 8 つの出力を受ける。比較レベル $_2$ の各比較モジュールは 4 つの出力を発生する。比較モジュール $_2, k$ ($4 \leq k \leq 7$ に対して) は V P I G_H ($j, j - 3$)、V P I G_M ($j, j - 3$)、および前の 2 つの信号の各々の補数を発生しかつそれらを入力として比較レベル $_3$ の比較モジュールに供給する。比較モジュール $_2, k$ ($0 \leq k \leq 3$ に対して) は

50

$VCI_{GH}(j, j-3)$, $VCI_M(j, j-3)$ 、および前の2つの信号の各々の補数を発生しかつそれらを入力として比較レベル₃の比較モジュールに供給する。

【0057】

比較モジュール_{3, m} (2 ≤ m ≤ 3に対して)は $VPI_{GH}(j, j-7)$, $VPI_{GM}(j, j-7)$ 、および前の2つの信号の各々の補数を発生しかつそれらを入力として比較レベル₄の比較モジュールに供給する。比較モジュール_{3, m} (0 ≤ m ≤ 1に対して)は $VCI_{GH}(j, j-7)$, $VCI_M(j, j-7)$ 、および前の2つの信号の各々の補数を発生しかつそれらを入力として比較レベル₄の比較モジュールに供給する。比較モジュール_{4, 1}は $VPI_{GH}(j, j-7)$, $VPI_{GM}(j, j-7)$ 、および前の2つの信号の各々の補数を受ける。比較モジュール_{4, 1}は「より大1 (Greater 1)」および「イコール1 (Equal 1)」信号を発生する。比較モジュール_{4, 0}は $VCI_{GH}(j, j-7)$, $VCI_M(j, j-7)$ 、および前の2つの信号の各々の補数を受信する。比較モジュール_{4, 0}は「より大2 (Greater 2)」および「イコール2 (Equal 2)」信号を発生する。

10

【0058】

図10の比較器は比較器106および比較器107の機能を達成する。図10の比較器は入力、 VPI_H , VPI_M , VCI_H および VCI_M の並列比較によるモジュール手法を使用する。このモジュール手法 (modular approach) の利点は整合する負荷との並列比較を含む。整合する負荷は並列比較を行う安定した、一貫した設計を提供する。他の利点は64ビットのマスク可能XORはユーザに64ビットの内の任意のものを無視しあるいは「マスキング (masking)」除去する柔軟性を与える。この実施形態では、それぞれのビットが比較され、いずれのビットもマスク除去されない。

20

【0059】

図11は、図10に示された比較モジュールの回路図を示す。該回路図は図10における任意の比較モジュールを表す。比較モジュールは VPI または VCI を比較するために使用され、従って回路図は VPI または VCI の双方に対する信号を示す。この回路図への入力は $(j-p)$ ビットを備えて示されており、この場合pは0, 1, 3または7を表す整数である。図10から思い起こすと、比較レベル₁および比較レベル₂における比較モジュールへの入力 $(j-1)$ であり、比較レベル₃の比較モジュールへの入力 $(j-3)$ であり、かつ比較レベル₄における比較モジュールへの入力 $(j-7)$ である。従って、 $(j-p)$ は任意の比較レベルにおける比較モジュールへの任意の入力を表している。同様の方法で、前記回路図の出力は $(j-q)$ であり、この場合qは整数1, 3, 7でありかつqは常にpより大きい。比較レベル₄における比較モジュールにおいては、出力は「より大1」、「より大2」、「イコール1」および「イコール2」である。

30

【0060】

出力、 $VCI_{GM}(j-q)$ および $VPI_{GM}(j-q)$ はp型トランジスタ1102のドレインにかつn型トランジスタ1104のソースに結合され、かつp型トランジスタ1108のドレインにおよびn型トランジスタ1110のソースに結合されている。トランジスタ1102のソースは電源V_{dd}に結合されている。トランジスタ1108のソースは容量1124の1つの端子に、p型トランジスタ1114のソースおよびp型トランジスタ1120のソースに、そしてトランジスタ1112のドレインに接続されている。トランジスタ1112のソースは電源V_{dd}に接続されている。容量1124の他の端子はグランドV_{ss}に結合されている。トランジスタ1104のドレインは容量1106の1つの端子、トランジスタ1110のドレインおよびn型トランジスタ1116のドレインに、そしてn型トランジスタ1118のソースに結合されている。容量1106の他の端子はグランドV_{ss}に結合されている。トランジスタ1118のドレインはグランドV_{ss}に結合されている。トランジスタ1104のゲートおよびトランジスタ1108のゲートは $VCI_{GM}(j)$ または $VPI_{GM}(j)$ の入力に結合されている。トランジスタ1102のゲートはトランジスタ1114のゲートにかつ $VCI_{GM}(j-p)$ または $VPI_{GM}(j-p)$ の補数の入力に結合されている。トランジスタ1110のゲートはn型

40

50

トランジスタ 1 1 2 2 のゲート、トランジスタ 1 1 1 2 のゲート、および $V_{CI}G_M(j)$ または $V_{PI}G_M(j)$ の入力に結合されている。p 型トランジスタ 1 1 2 0 のゲートは n 型トランジスタ 1 1 1 6 のゲートにかつ入力、 $V_{CI}G_M(j-p)$ または $V_{PI}G_M(j-p)$ に結合されている。出力、 $V_{CI}G_M(j-q)$ または $V_{PI}G_M(j-q)$ 、はトランジスタ 1 1 2 0 のドレインにかつトランジスタ 1 1 1 6 のソースに結合され、そしてトランジスタ 1 1 1 4 のドレインにおよびトランジスタ 1 1 2 2 のソースに結合されている。トランジスタ 1 1 2 2 のドレインはグランド V_{ss} に結合されている。

【0061】

【発明の効果】

以上から、内容アドレス可能メモリ回路および交換識別子の同時的サーチを実施するための回路および方法が提供されたことが理解されるべきである。前記内容アドレス可能メモリ回路は現存する半導体プロセス技術によって実施することができかつ半導体ダイ上に容易に集積される。交換識別子の同時的サーチは 1 つの CAM のみを使用しかつ同時サーチを使用して VPC または VCC を決定する。

【0062】

本発明が特定の実施形態に関して説明されたが、当業者にはさらに他の修正および改善をなすことができる。例えば、ATM セルヘッダ 302 の識別情報の量が増大するに依りてより多くの並列サーチが必要になる。例えば、将来のより複雑なネットワークに対するより大きな帯域幅により、より多くの交換識別子が並列サーチを必要とする。従って、本発明はより多くの並列サーチを含むよう拡張できる。従って、本発明は添付の特許請求の範囲に規定された発明の精神および範囲から離れることのないすべてのそのような変更を含むことが理解されるべきである。

【図面の簡単な説明】

【図 1】本発明に従って構成された内容アドレス可能メモリ回路を示すブロック図である。

【図 2】本発明に係わる内容アドレス可能メモリ回路を実施するための方法を示す流れ図である。

【図 3】本発明に係わる非同期転送モード (ATM) セルのヘッダを示す説明図である。

【図 4】本発明に係わる仮想回路識別子および仮想経路識別子を含む物理チャネルを示す説明図である。

【図 5】本発明に係わる仮想回路接続および仮想経路接続を含む ATM スイッチを示す説明図である。

【図 6】ATM セルのヘッダサーチの知られた方法を示す流れ図である。

【図 7】本発明に係わる ATM セルのヘッダのサーチを示す流れ図である。

【図 8】本発明に係わる比較器を示すブロック図である。

【図 9】図 8 に示される比較器の詳細を示す回路図である。

【図 10】図 8 に示される比較器の詳細なブロック図である。

【図 11】図 10 に示される 2 ビット比較器を示す回路図である。

【符号の説明】

- 100 内容アドレス可能メモリ (CAM) 回路
- 101 メモリワードのアレイ
- 102 整合ワードテーブル
- 103 リンクワードテーブル
- 104 2 進サーチ論理回路
- 105 比較器
- 106 a エントリキュー
- 106, 107, 108 比較器
- 109, 110 AND ゲート
- 112, 114, 116, 118 NAND ゲート
- 120 NOR ゲート

10

20

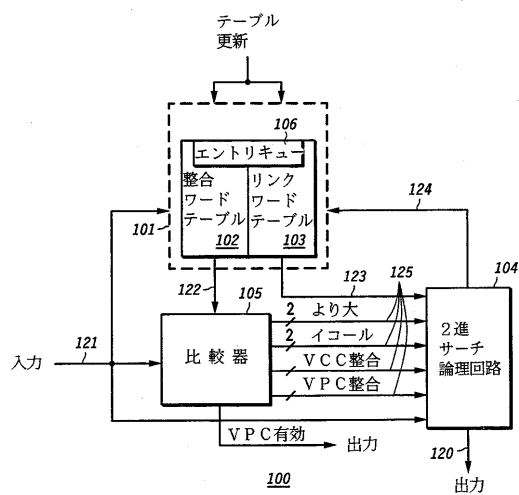
30

40

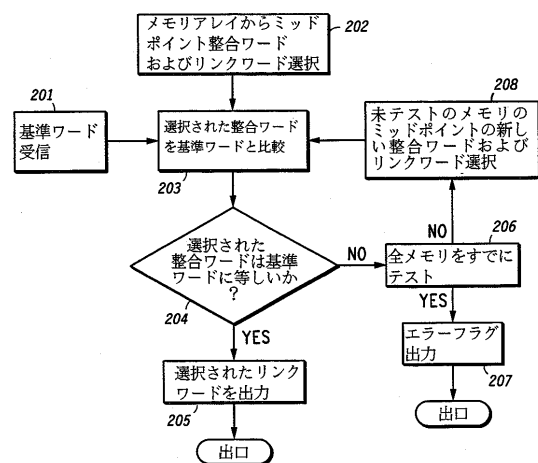
50

1022 マスク可能XORブロック

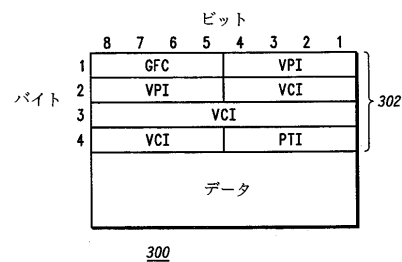
【図1】



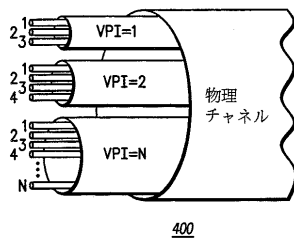
【図2】



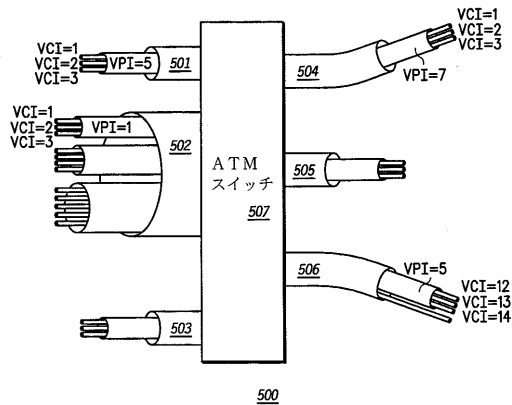
【図3】



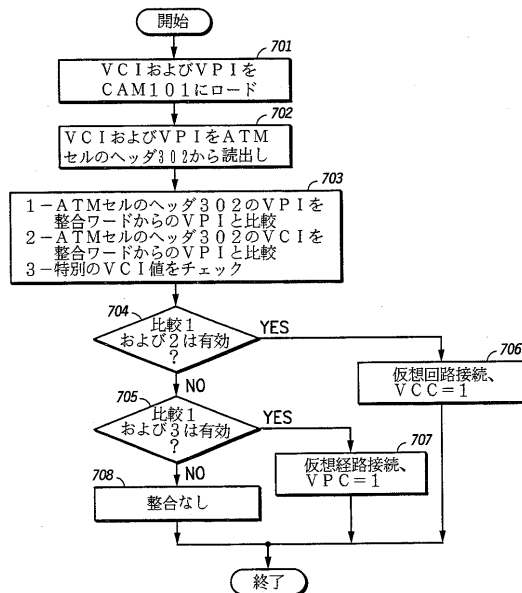
【図 4】



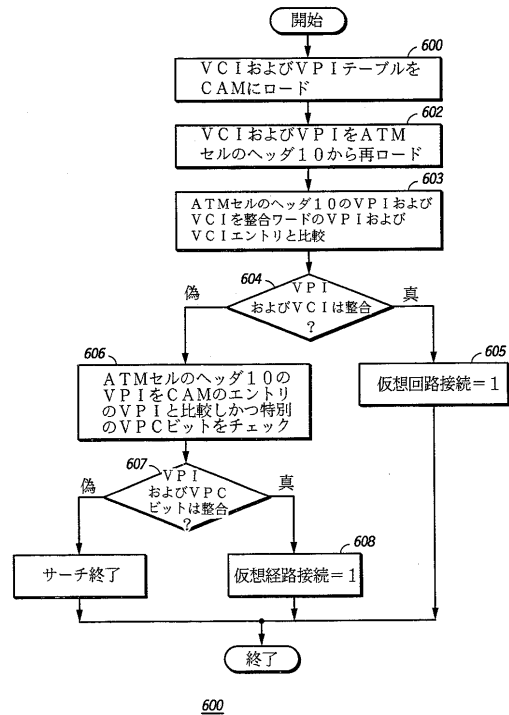
【図 5】



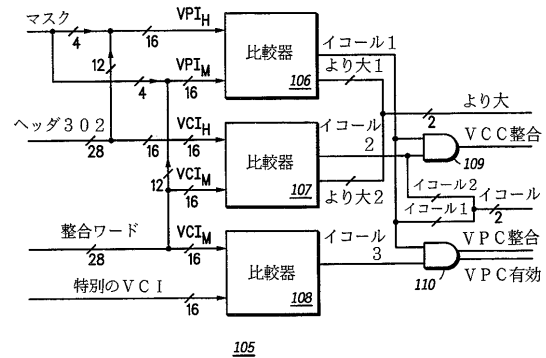
【図 7】



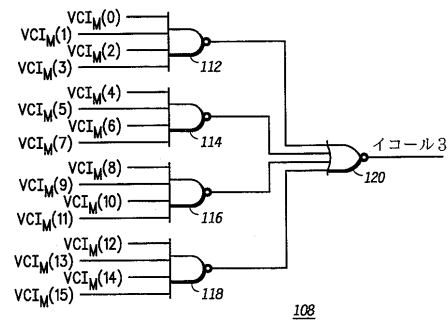
【図 6】



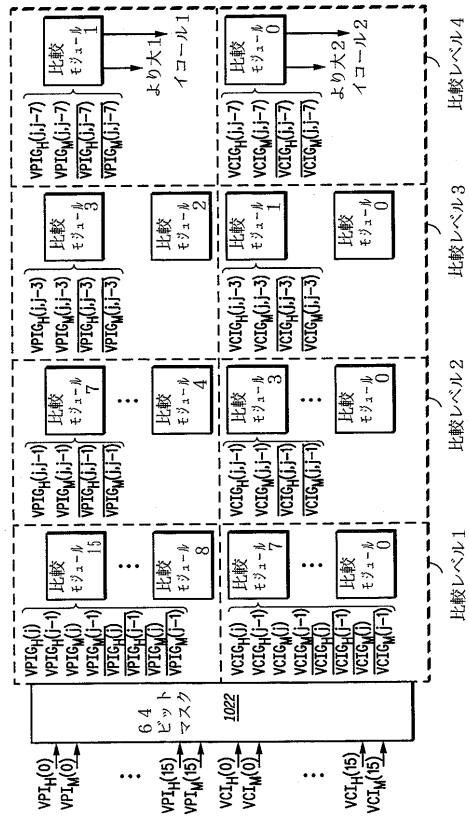
【図 8】



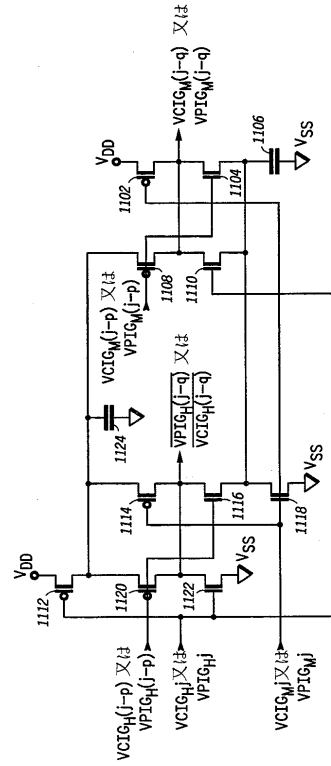
【図 9】



【図10】



【図11】



フロントページの続き

- (72)発明者 チャーリー・マイケル・パークス
アメリカ合衆国テキサス州 7 8 7 2 7、オースチン、オーク・クリーク・ドライブ 4 1 0 5
- (72)発明者 マーク・フランクリン
アメリカ合衆国テキサス州 7 8 7 5 9、オースチン、オーク・ノール・ドライブ 1 1 3 0 5
- (72)発明者 ケニス・ウェイド・ジョーンズ
アメリカ合衆国テキサス州 7 8 7 4 9、オースチン、ジョン・チサム・レーン 6 3 0 8

合議体

審判長 石井 研一

審判官 萩原 義則

審判官 松元 伸次

- (56)参考文献 国際公開第 9 5 / 2 3 3 8 0 (W O , A 1)

- (58)調査した分野(Int.Cl. , D B 名)

H04L12/56