



(12)发明专利

(10)授权公告号 CN 106328600 B

(45)授权公告日 2019.04.30

(21)申请号 201510381443.4

(22)申请日 2015.07.02

(65)同一申请的已公布的文献号  
申请公布号 CN 106328600 A

(43)申请公布日 2017.01.11

(73)专利权人 欣兴电子股份有限公司  
地址 中国台湾桃园市桃园区龟山工业区兴邦路38号

(72)发明人 张宏麟 林达翰

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205  
代理人 马雯雯 臧建明

(51) Int. Cl.  
H01L 23/31(2006.01)  
H01L 23/522(2006.01)

(56)对比文件

TW 200603355 A, 2006.01.16,  
CN 104137256 A, 2014.11.05,  
CN 103681458 A, 2014.03.26,  
CN 103904048 A, 2014.07.02,  
JP 2005064316 A, 2005.03.10,  
US 2007194432 A1, 2007.08.23,

审查员 亢心洁

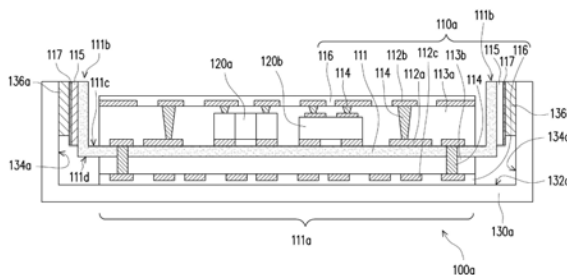
权利要求书2页 说明书6页 附图12页

(54)发明名称

封装结构及其制作方法

(57)摘要

本发明提供一种封装结构及其制作方法,封装结构包括线路基板、至少一电子元件以及连接插槽。线路基板包括至少一核心层、至少三层图案化线路层、至少二层介电层、多个导电通孔以及多个线路接垫。电子元件内埋于介电层的至少其中的一层中且位于核心层的配置区内。电子元件通过部分导电通孔与图案化线路层的其中一层电性连接。连接插槽具有底部、多个连接底部的侧壁部以及多个位于侧壁部上的连接接垫。线路基板组装至底部,且通过核心层的弯折区相对于配置区弯折而使得线路接垫与连接接垫电性连接。本发明提供的封装结构及其制作方法,具有较小的体积,可符合薄型化的需求。



1. 一种封装结构,其特征在于,包括:  
线路基板,包括:  
至少一核心层,具有配置区、环绕所述配置区的弯折区以及彼此相对的上表面与下表面;  
至少三层图案化线路层,配置于所述核心层的所述上表面上与所述下表面上且位于所述配置区内;  
至少二层介电层,配置于所述核心层上且位于所述配置区内,其中该些介电层位于该些图案化线路层之间,且该些图案化线路层与该些介电层呈交替堆叠;  
多个导电通孔,电性连接任两相邻的该些图案化线路层;以及  
多个线路接垫,配置于所述核心层的所述下表面上,且位于所述弯折区;  
至少一电子元件,内埋于该些介电层的至少其中的一层中,且位于配置区内,其中所述电子元件通过部分该些导电通孔与该些图案化线路层的其中一层电性连接;以及  
连接插槽,具有底部、多个连接所述底部的侧壁部以及多个位于该些侧壁部上的连接接垫,其中所述线路基板组装至所述底部,且通过所述核心层的所述弯折区相对于所述配置区弯折而使得该些线路接垫与该些连接接垫电性连接。
2. 根据权利要求1所述的封装结构,其特征在于,所述核心层的所述配置区的轮廓为矩形,而所述核心层的所述弯折区的轮廓为多个彼此分离的长方形。
3. 根据权利要求1所述的封装结构,其特征在于,所述线路基板还包括:二个防焊层,分别配置于所述核心层的所述上表面与所述下表面上且位于所述配置区,其中该些防焊层覆盖最远离所述核心层的所述上表面与所述下表面的两所述图案化线路层。
4. 根据权利要求1所述的封装结构,其特征在于,所述线路基板还包括:多个表面处理图案,分别配置于该些线路接垫上,其中该些表面处理图案直接接触该些连接接垫。
5. 根据权利要求1所述的封装结构,其特征在于,所述线路基板还包括:多个辅助图案,配置于所述核心层的所述上表面上,且位于所述弯折区,其中该些辅助图案分别对应该些线路接垫设置。
6. 根据权利要求1所述的封装结构,其特征在于,所述至少一核心层为二核心层,且该些核心层、该些图案化线路层以及该些介电层呈垂直堆叠。
7. 根据权利要求6所述的封装结构,其特征在于,所述连接插槽的各所述侧壁部与所述底部具有夹角,而所述夹角大于90度且小于180度,且该些连接接垫位于不同的水平高度上。
8. 一种封装结构的制作方法,其特征在于,包括:  
提供已内埋有至少一电子元件的线路基板,所述线路基板包括:至少一核心层、至少三层图案化线路层、至少二层介电层、多个导电通孔以及多个线路接垫,其中所述核心层具有配置区、环绕所述配置区的弯折区以及彼此相对的上表面与下表面,该些图案化线路层与该些介电层配置于所述核心层上且位于所述配置区内,该些介电层位于该些图案化线路层之间,且该些图案化线路层与该些介电层呈交替堆叠,而该些导电通孔电性连接任两相邻的该些图案化线路层,且该些线路接垫配置于所述核心层的所述下表面上且位于所述弯折区,而所述电子元件内埋于该些介电层的至少其中的一层中且位于所述配置区内,所述电子元件通过部分该些导电通孔与该些图案化线路层的其中一层电性连接;

提供连接插槽,其中所述连接插槽具有底部、多个连接所述底部的侧壁部以及多个位于该些侧壁部上的连接接垫;以及

将内埋有所述电子元件的所述线路基板组装至所述连接插槽内,其中所述线路基板位于所述连接插槽的所述底部,且通过所述核心层的所述弯折区相对于所述配置区弯折而使该些线路接垫与该些连接接垫电性连接。

9. 根据权利要求8所述的封装结构的制作方法,其特征在于,所述至少三层图案化线路层包括多层内部图案化线路层以及二层外部图案化线路层,而所述至少二层介电层包括多层内部介电层以及二层外部介电层,而该些导电通孔包括多个内部导电通孔与多个外部导电通孔,将所述电子元件内埋于所述线路基板的步骤包括:

在该些内部图案化线路层与该些内部介电层中形成至少一凹槽,其中所述凹槽暴露出该些内部图案化线路层的其中的一层,而该些内部图案化线路层通过该些内部导电通孔彼此电性连接;

将所述电子元件配置于所述凹槽内,其中所述电子元件位于所述凹槽所暴露出的所述内部图案化线路层上;

分别压合该些外部介电层及各所述外部介电层上的线路层在所述核心层的所述上表面与所述下表面上,其中该些外部介电层至少其中之一填入所述凹槽内;以及

进行图案化制程与通孔制程,而使该些线路层图案化为该些外部图案化线路层并形成该些外部导电通孔,其中该些外部图案化线路层通过该些外部导电通孔分别与所述电子元件以及该些内部图案化线路层电性连接。

10. 根据权利要求9所述的封装结构的制作方法,其特征在于,还包括:

将内埋有所述电子元件的所述线路基板组装至所述连接插槽内之前,形成二个防焊层在所述核心层的所述上表面与所述下表面上且位于所述配置区,其中该些防焊层分别覆盖该些外部图案化线路层。

11. 根据权利要求8所述的封装结构的制作方法,其特征在于,还包括:

将内埋有所述电子元件的所述线路基板组装至所述连接插槽内之前,形成多个表面处理图案在该些线路接垫上。

## 封装结构及其制作方法

### 技术领域

[0001] 本发明是有关于一种封装结构及其制作方法,且特别是有关于一种具有较小体积的封装结构及其制作方法。

### 背景技术

[0002] 一般而言,封装的目的在于保护裸露的电子元件、降低电子元件接点的密度及提供电子元件良好的散热。常见的封装步骤是:先将电子元件通过黏着层而配置于导线架(Leadframe)的晶片座上;接着,通过打线接合的方式将电子元件上的接点电性连接至导线架的内引脚上;之后,通过封装胶体将晶片、晶片座以及内引脚进行封装,而暴露出导线架的外引脚部。最后,再将封装后的元件经其外引脚而插接于母插槽内而完成封装结构的制作。

[0003] 由于现有的封装结构需通过封装胶体来对电子元件进行封装,因此封装后的元件其厚度及体积会增大。而母插槽为了要与封装后的元件电性连接,其势必具有一定的体积的空间来容纳封装后的元件。也就是说,现有的封装结构的体积与厚度并无法有效薄型化,故无法满足消费者对于电子产品轻薄短小的需求。

### 发明内容

[0004] 本发明提供一种封装结构,其具有较小的体积,可符合薄型化的需求。

[0005] 本发明还提供一种封装结构的制作方法,用以制作上述的封装结构。

[0006] 本发明的封装结构,其包括线路基板、至少一电子元件以及连接插槽。线路基板包括至少一核心层、至少三层图案化线路层、至少二层介电层、多个导电通孔以及多个线路接垫。核心层,具有配置区、环绕配置区的弯折区以及彼此相对的上表面与下表面。图案化线路层配置于核心层上且位于配置区内。介电层配置于核心层上且位于配置区内,其中介电层位于图案化线路层之间,且图案化线路层与介电层呈交替堆叠。导电通孔电性连接任两相邻的图案化线路层。线路接垫配置于核心层的下表面上且位于弯折区。电子元件内埋于介电层的至少其中的一层中,且位于配置区内,其中电子元件通过部分导电通孔与图案化线路层的其中一层电性连接。连接插槽具有底部、多个连接底部的侧壁部以及多个位于侧壁部上的连接接垫,其中线路基板组装至底部,且通过核心层的弯折区相对于配置区弯折而使得线路接垫与连接接垫电性连接。

[0007] 在本发明的一实施例中,上述的核心层的配置区的轮廓为矩形,而核心层的弯折区的轮廓为多个彼此分离的长方形。

[0008] 在本发明的一实施例中,上述的线路基板还包括:二个防焊层,分别配置于核心层的上表面与下表面上且位于配置区。防焊层覆盖最远离核心层的上表面与下表面的两图案化线路层。

[0009] 在本发明的一实施例中,上述的线路基板还包括:多个表面处理图案,分别配置于线路接垫上,其中表面处理图案直接接触连接接垫。

[0010] 在本发明的一实施例中,上述的线路基板还包括:多个辅助图案,配置于核心层的上表面上且位于弯折区,其中辅助图案分别对应线路接垫设置。

[0011] 在本发明的一实施例中,上述的至少一核心层为二核心层,且核心层、图案化线路层以及介电层呈垂直堆叠。

[0012] 在本发明的一实施例中,上述的连接插槽的每一侧壁部与底部具有夹角,而夹角大于90度且小于180度,且连接接垫位于不同的水平高度上。

[0013] 本发明的封装结构的制作方法,其包括以下制程步骤。提供已内埋有至少一电子元件的线路基板,线路基板包括:至少一核心层、至少三层图案化线路层、至少二层介电层、多个导电通孔以及多个线路接垫。核心层具有配置区、环绕配置区的弯折区以及彼此相对的上表面与下表面。图案化线路层与介电层配置于核心层上且位于配置区内,介电层位于图案化线路层之间,且图案化线路层与介电层呈交替堆叠。导电通孔电性连接任两相邻的图案化线路层,且线路接垫配置于核心层的下表面上且位于弯折区。电子元件内埋于介电层的至少其中的一层中且位于配置区内。电子元件通过部分导电通孔与图案化线路层的其中一层电性连接。提供连接插槽,其中连接插槽具有底部、多个连接底部的侧壁部以及多个位于侧壁部上的连接接垫。将内埋有电子元件的线路基板组装至连接插槽内,其中线路基板位于连接插槽的底部,且通过核心层的弯折区相对于配置区弯折而使得线路接垫与连接接垫电性连接。

[0014] 在本发明的一实施例中,上述的至少三层图案化线路层包括多层内部图案化线路层以及二层外部图案化线路层。至少二层介电层包括多层内部介电层以及二层外部介电层。导电通孔包括多个内部导电通孔与多个外部导电通孔。将电子元件内埋于线路基板的步骤包括:在内部图案化线路层与内部介电层中形成至少一凹槽,其中凹槽暴露出内部图案化线路层的其中的一层,而内部图案化线路层通过内部导电通孔彼此电性连接。将电子元件配置于凹槽内,其中电子元件位于凹槽所暴露出的内部图案化线路层上。分别压合外部介电层及每一外部介电层上的线路层在核心层的上表面与下表面上,其中外部介电层至少其中之一填入凹槽内。进行一图案化制程与一通孔制程,而使线路层图案化为外部图案化线路层并形成外部导电通孔,其中外部图案化线路层通过外部导电通孔分别与电子元件以及内部图案化线路层电性连接。

[0015] 在本发明的一实施例中,上述的将内埋有电子元件的线路基板组装至连接插槽内之前,还包括形成二个防焊层在核心层的上表面与下表面上且位于配置区,其中防焊层分别覆盖外部图案化线路层。

[0016] 在本发明的一实施例中,上述的将内埋有电子元件的线路基板组装至连接插槽内之前,形成多个表面处理图案在线路接垫上。

[0017] 基于上述,由于本发明的封装结构的电子元件是内埋于线路基板中,且线路基板是组装至连接插槽的底部,并通过核心层的弯折区相对于配置区弯折,以使得线路基板上的线路接垫与连接插槽的连接接垫电性连接。因此,本发明的封装结构相对于现有将经由封装胶体封装后的元件组装至母插槽所形成封装结构而言,可具有较小的封装体积。

[0018] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

## 附图说明

- [0019] 图1A为本发明的一实施例的一种封装结构的剖面示意图；
- [0020] 图1B为图1A的未弯折的线路基板的俯视示意图；
- [0021] 图2为本发明的另一实施例的一种封装结构的剖面示意图；
- [0022] 图3为本发明的另一实施例的一种封装结构的剖面示意图；
- [0023] 图4为本发明的另一实施例的一种封装结构的剖面示意图；
- [0024] 图5A至图5G为本发明的一实施例的一种封装结构的制作方法的剖面示意图。
- [0025] 附图标记说明：
- [0026] 100a、100b、100c、100d：封装结构；
- [0027] 110、110a、110b、110c、110d：线路基板；
- [0028] 111、111'：核心层；
- [0029] 111a：配置区；
- [0030] 111b、111b'：弯折区；
- [0031] 111c：上表面；
- [0032] 111d：下表面；
- [0033] 112：线路层；
- [0034] 112a、112b、112c、112d、112e、112f、112g、112h：图案化线路层；
- [0035] 113a、113b、113c、113d、113e、113f：介电层；
- [0036] 114：导电通孔；
- [0037] 114a：内部导电通孔；
- [0038] 114b：外部导电通孔；
- [0039] 115：线路接垫；
- [0040] 116：防焊层；
- [0041] 117：表面处理层；
- [0042] 118：辅助图案；
- [0043] 120a、120b：电子元件；
- [0044] 130a、130d：连接插槽；
- [0045] 132a、132d：底部；
- [0046] 134a、134d：侧壁部；
- [0047] 136a、136d：连接接垫；
- [0048] A：夹角；
- [0049] C1、C2：凹槽。

## 具体实施方式

[0050] 图1A为本发明的一实施例的一种封装结构的剖面示意图。图1B为图1A的未弯折的线路基板的俯视示意图。请先参考图1A，在本实施例中，封装结构100a包括一线路基板110a、至少一电子元件(图1A中示意地示出两个电子元件120a、120b)以及一连接插槽130a。线路基板110a包括至少一核心层111(图1A中示意地示出一个)、至少三层图案化线路层(图1A中示意地示出三个图案化线路层112a、112b、112c)、至少二层介电层(图1A中示意地示出

二个介电层113a、113b)、多个导电通孔114以及多个线路接垫115。

[0051] 详细来说,核心层111具有一配置区111a、一环绕配置区111a的弯折区111b以及彼此相对的一上表面111c与一下表面111d。图案化线路层112a、112b、112c配置于核心层111上且位于配置区111a内。介电层113a、113b配置于核心层111上且位于配置区111a内,其中介电层113a、113b位于图案化线路层112a、112b、112c之间,且图案化线路层112a、112b、112c与介电层113a、113b呈交替堆叠。导电通孔114电性连接任两相邻的图案化线路层112a、112b、112c。线路接垫115配置于核心层111的下表面111d上且位于弯折区111b。电子元件120a、120b内埋于介电层113a中,且位于配置区111a内,其中电子元件120a、120b通过部分导电通孔114与图案化线路层112b电性连接。连接插槽130a具有一底部132a、多个连接底部132a的侧壁部134a以及多个位于侧壁部134a上的连接接垫136a,其中线路基板110a组装至底部132a,且通过核心层111的弯折区111b相对于配置区111a弯折而使得线路接垫115与连接接垫136a电性连接。

[0052] 更具体而言,线路基板110a具体化为三层线路基板,其中核心层111的材质例如是具有可挠性的聚酰亚胺或其他适当的可挠性材质所构成,例如聚乙烯对苯二甲酸酯(polyethylene terephthalate,PET)、聚醚(polyethersulfone,PES)或聚间苯二甲酸乙二酯(polyethylene naphthalate,PEN)等,但并不以此为限。请参考图1B,核心层111的配置区111a的轮廓例如为一矩形,而核心层111的弯折区111b的轮廓例如为多个彼此分离的长方形。电子元件120a、120b例如是主动元件,如晶体管;或者是,例如是被动元件,如电阻器(resistor)、电容器(capacitor)、电感器(inductor)、滤波器(filter),但并不以此为限。再者,本实施例的线路基板110a可还包括二个防焊层116,其中防焊层116分别配置于核心层111的上表面111c与下表面111d上且位于配置区111a,且防焊层116覆盖最远离核心层111的上表面111c与下表面111d的两图案化线路层112b、112c,用以保护图案化线路层112b、112c。此外,本实施例的线路基板110a可还包括多个表面处理图案117,其中表面处理图案117可分别配置于线路接垫115上,且表面处理图案117直接接触连接接垫136a。

[0053] 由于本实例的电子元件120a、120b是内埋于线路基板110a内,因此无需使用现有的封装胶体来进行元件的封装,可有效降低电子元件120a、120b组装至线路基板110a上后整体元件的体积与厚度。再者,由于无需经由封装胶体来进行封装,因此可有效简化整体封装结构的制作程序,且可有效降低生产成本。此外,由于本实施例的线路基板110a是组装至连接插槽130a的底部132a,并通过核心层111的弯折区111b相对于配置区111a弯折,以使得线路基板110a上的线路接垫115与连接插槽130a的连接接垫136a电性连接。因此,本实施例的封装结构相对于现有技术中将经由封装胶体封装后的元件组装至母插槽所形成封装结构而言,可具有较小的封装体积。

[0054] 在此必须说明的是,下述实施例沿用前述实施例的附图标记与部分内容,其中采用相同的附图标记来表示相同或近似的元件,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施例,下述实施例不再重复赘述。

[0055] 图2为本发明的另一实施例的一种封装结构的剖面示意图。请同时参考图1A与图2,本实施例的封装结构100b与图1A中的封装结构100a相似,二者主要差异之处在于:本实施例的线路基板110b具体化为八层线路基板,即线路基板110b具有八层图案化线路层112a、112b、112c、112d、112e、112f、112g、112h,且在线路基板110b中内埋了三个电子元件

120a、120b、120c。如图2所示,本实施例的线路基板110b具有两凹槽C1、C2以分别暴露出图案化线路层112a、112d,其中电子元件120a、120b位于凹槽C1内且直接接触凹槽C1所暴露出的图案化线路层112a,而电子元件120c位于凹槽C2内且直接接触凹槽C1所暴露出的图案化线路层112d。

[0056] 由于本实施例的封装结构100b的电子元件120a、120b、120c是内埋于线路基板110b中,且线路基板110b是组装至连接插槽130a的底部132a,并通过核心层111的弯折区111b相对于配置区111a弯折,以使得线路基板110b上的线路接垫115与连接插槽130a的连接接垫136a电性连接。因此,本实施例的封装结构100b相对于现有技术中将经由封装胶体封装后的元件组装至母插槽所形成封装结构而言,可具有较小的封装体积。

[0057] 图3为本发明的另一实施例的一种封装结构的剖面示意图。请同时参考图2与图3,本实施例的封装结构100c与图2中的封装结构100b相似,二者主要差异之处在于:本实施例的线路基板110c还包括多个辅助图案118,其中辅助图案118配置于核心层111的上表面111c上且位于弯折区111b,其中辅助图案118分别对应线路接垫136a设置。此处,设置辅助图案118的目的在于使弯折后的弯折区111b能因为重力的因素而确实让线路接垫115与连接接垫136a电性连接。

[0058] 图4为本发明的另一实施例的一种封装结构的剖面示意图。请同时参考图2与图4,本实施例的封装结构100d与图2中的封装结构100b相似,二者主要差异之处在于:本实施例的线路基板110d具体化具有二核心层111、111',其中核心层111、111'、图案化线路层112a、112b、112c、112d、112e、112f、112g、112h以及介电层113a、113b、113c、113d、113e呈垂直堆叠。如图4所示,核心层111、111'的弯折区111b、111b'两者之间具有一空气间距,也就是说,核心层111、111'彼此分离不相连。此外,本实施例的连接插槽130d的每一侧壁部134d与底部132d具有一夹角A,而夹角A大于90度且小于180度,且连接接垫136d位于不同的水平高度上。当线路基板110d组装至连接插槽130d的底部132d时,核心层111、111'的弯折区111b、111b'会因弯折而使得线路接垫115分别与不同水平高度上的连接接垫136d电性连接。此时,核心层111、111'的弯折区111b、111b'会平行于连接插槽130d的侧壁部134d且不垂直于连接插槽130d的底部132d。

[0059] 以上仅介绍本发明的封装结构100a、100b、100c、100d的结构,并未介绍本发明的封装结构的制作方法。对此,以下将以图2中的封装结构100b作为举例说明,并分别配合5A至图5G对本发明的封装结构的制作方法进行详细的说明。

[0060] 图5A至图5G为本发明的一实施例的一种封装结构的制作方法的剖面示意图。请先参考图5F,依照本实施例的封装结构的制作方法,首先,提供已内埋有电子元件120a、120b、120c的线路基板110b。详细来说,请参考图5A,先提供线路基板110,其中线路基板110包括核心层111、内部图案化线路层(即图案化线路层112a、112d、112e、112f、112g、112h)、内部介电层(即介电层113a、113b、113d、113e)、内部导电通孔114a以及线路接垫115。核心层111具有配置区111a、环绕配置区111a的弯折区111b以及彼此相对的上表面111c与下表面111d。图案化线路层112a、112d、112e、112f、112g、112h与介电层113a、113b、113c、113d配置于核心层111上且位于配置区111a内,介电层113a、113b、113d、113e位于图案化线路层112a、112d、112e、112f、112g、112h之间,且图案化线路层112a、112d、112e、112f、112g、112h与介电层113a、113b、113d、113e呈交替堆叠。内部导电通孔114a电性连接任两相邻的图案



化线路层112a、112d、112e、112f、112g、112h，且线路接垫115配置于核心层111的下表面111d上且位于弯折区111b。

[0061] 接着，请参考图5B，在图案化线路层112a、112d、112e、112f、112g、112h与介电层113a、113b、113c、113d中形成凹槽C1、C2，其中凹槽C1、C2分别暴露出图案化线路层112a、112d。

[0062] 接着，请参考图5C，将电子元件120a、120b、120c配置于凹槽C1、C2，其中电子元件120a、120b、120c位于凹槽C1、C2所暴露出的图案化线路层112a、112d上。

[0063] 接着，请参考图5D，分别压合外部介电层（即介电层113c、113f）及其上线路层112在核心层111的上表面111c与下表面111d上，其中介电层113c、113f分别填入凹槽C1、C2内。此时，电子元件120a、120b内埋于介电层113c中且位于配置区111a内，而电子元件120c内埋于介电层113f中且位于配置区111a内。

[0064] 接着，请参考图5E，进行一图案化制程与一通孔制程，而使线路层112图案化为外部图案化线路层（即图案化线路层112b、112c）并形成外部导电通孔114b，其中图案化线路层112b、112c通过外部导电通孔114b分别与电子元件120a、120b、120c以及图案化线路层112g、112h电性连接。也就是说，电子元件120a、120b、120c通过导电通孔114b与图案化线路层112b、112c电性连接。

[0065] 接着，请参考图5F，形成二个防焊层116在核心层111的上表面111c与下表面111d上且位于配置区111a，其中防焊层116分别覆盖图案化线路层112b、112c。为了有效保护线路接垫115，也可形成表面处理图案117在线路接垫115上。至此，已完成具有内埋式电子元件的线路基板110b的制作。

[0066] 之后，请参考图5G，提供连接插槽130a，其中连接插槽130a具有底部132a、连接底部132a的侧壁部134a以及位于侧壁部134a上的连接接垫136a。之后，请再参考图5G，将内埋有电子元件120a、120b、120c的线路基板110b组装至连接插槽130a内，其中线路基板110b位于连接插槽130a的底部132a，且通过核心层111的弯折区111b相对于配置区111a弯折而使得线路接垫115与连接接垫136a电性连接。至此，已完成封装结构100b的制作。

[0067] 综上所述，由于本发明的封装结构的电子元件是内埋于线路基板中，且线路基板是组装至连接插槽的底部，并通过核心层的弯折区相对于配置区弯折，以使得线路基板上的线路接垫与连接插槽的连接接垫电性连接。因此，本发明的封装结构相对于现有技术中将经由封装胶体封装后的元件组装至母插槽所形成封装结构而言，可具有较小的封装体积。

[0068] 最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

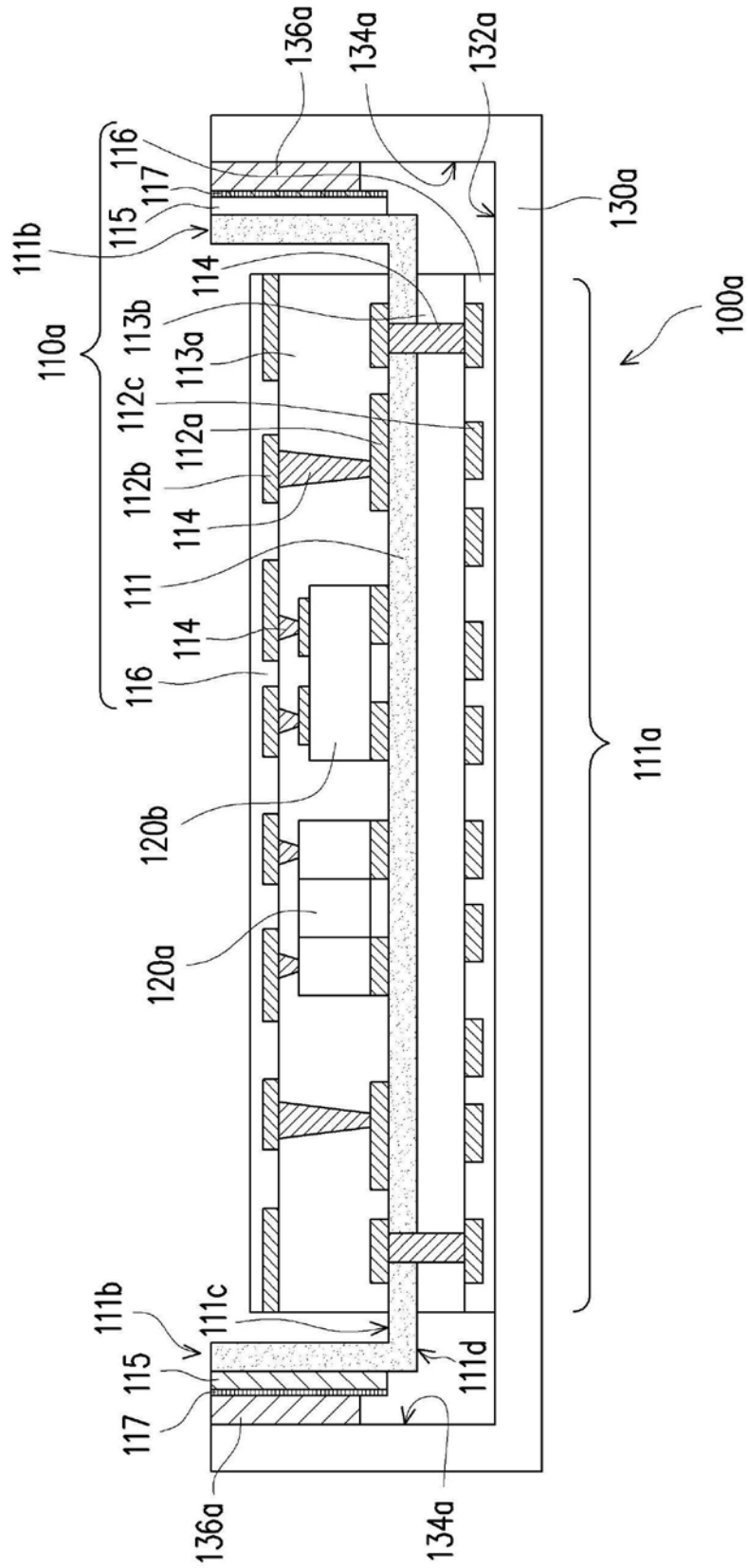


图1A

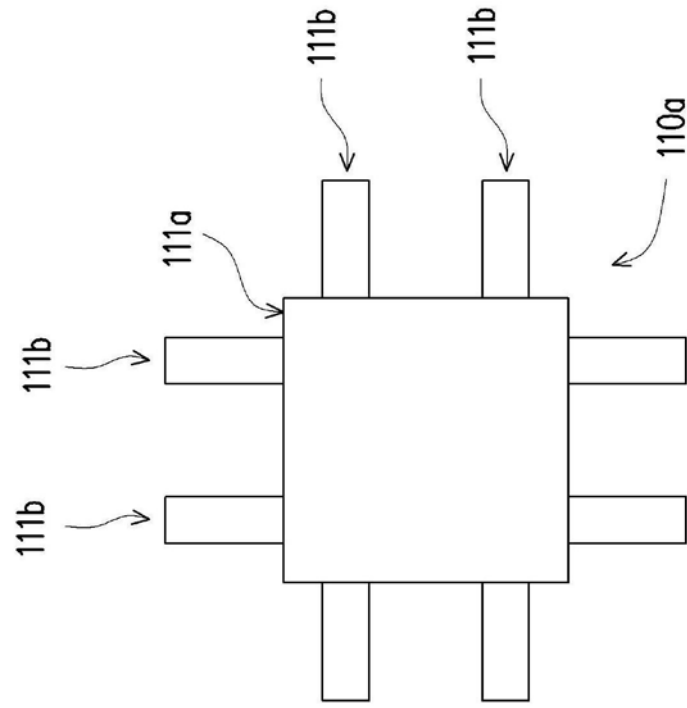


图1B

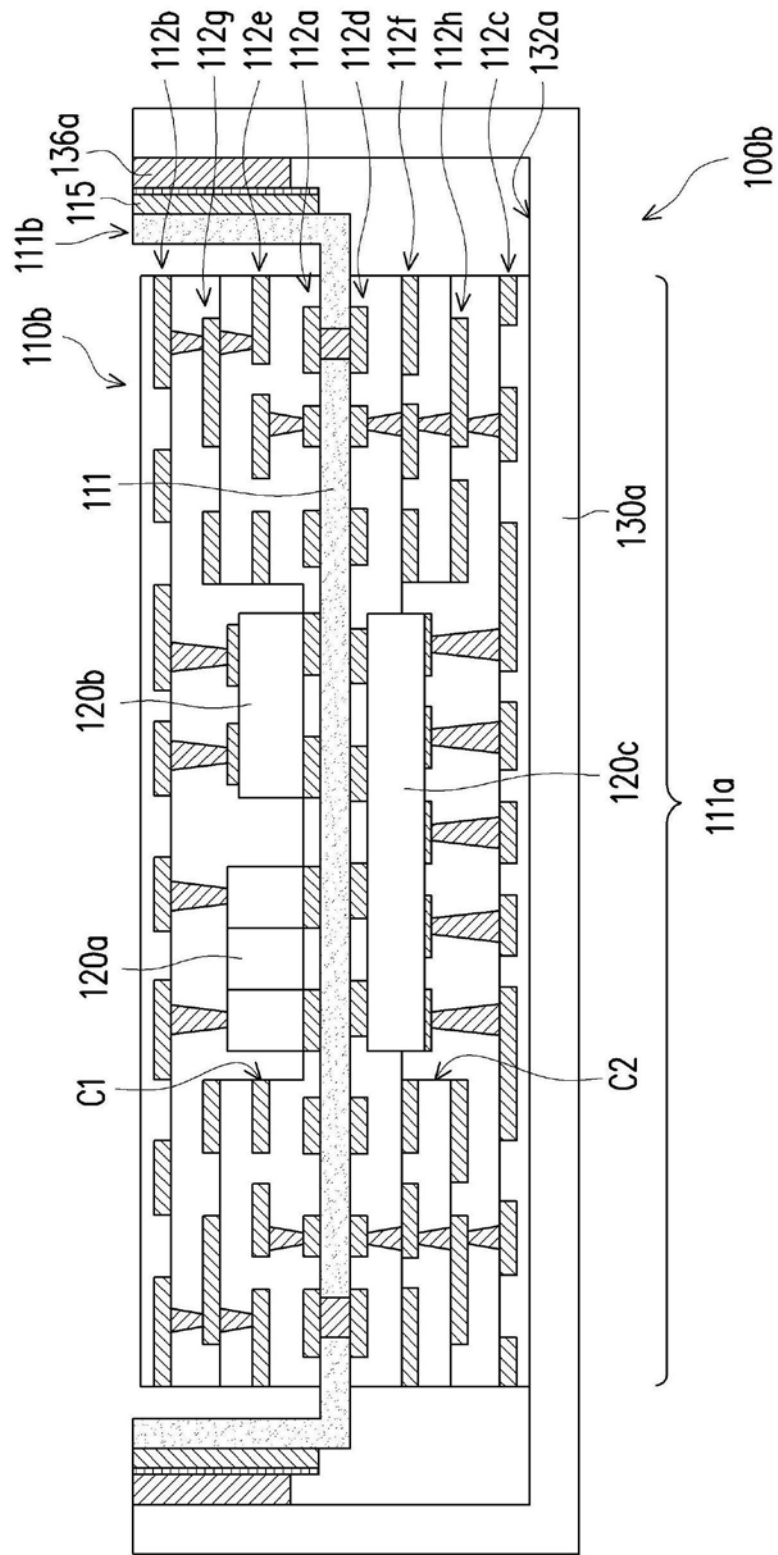


图2

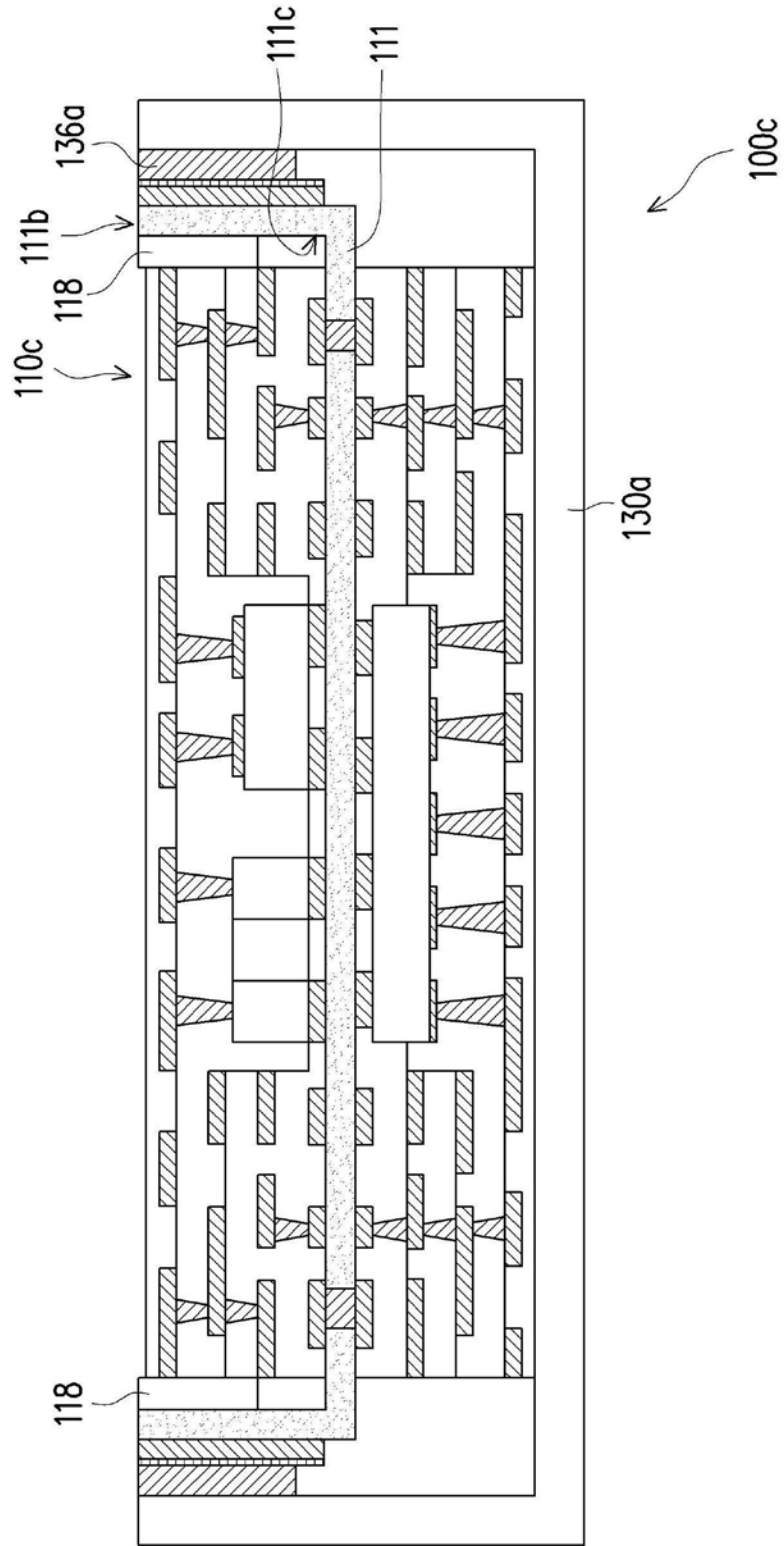


图3

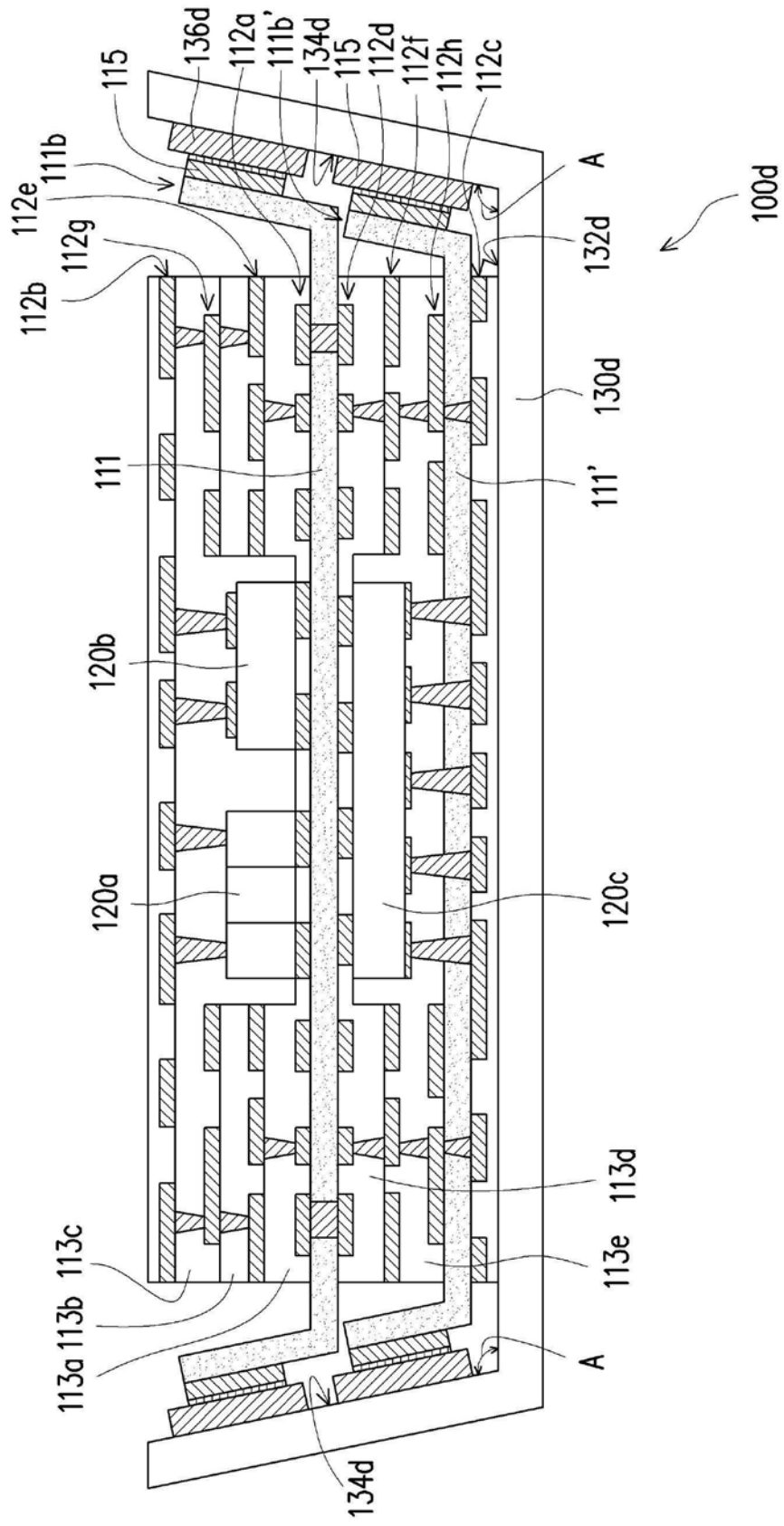


图4

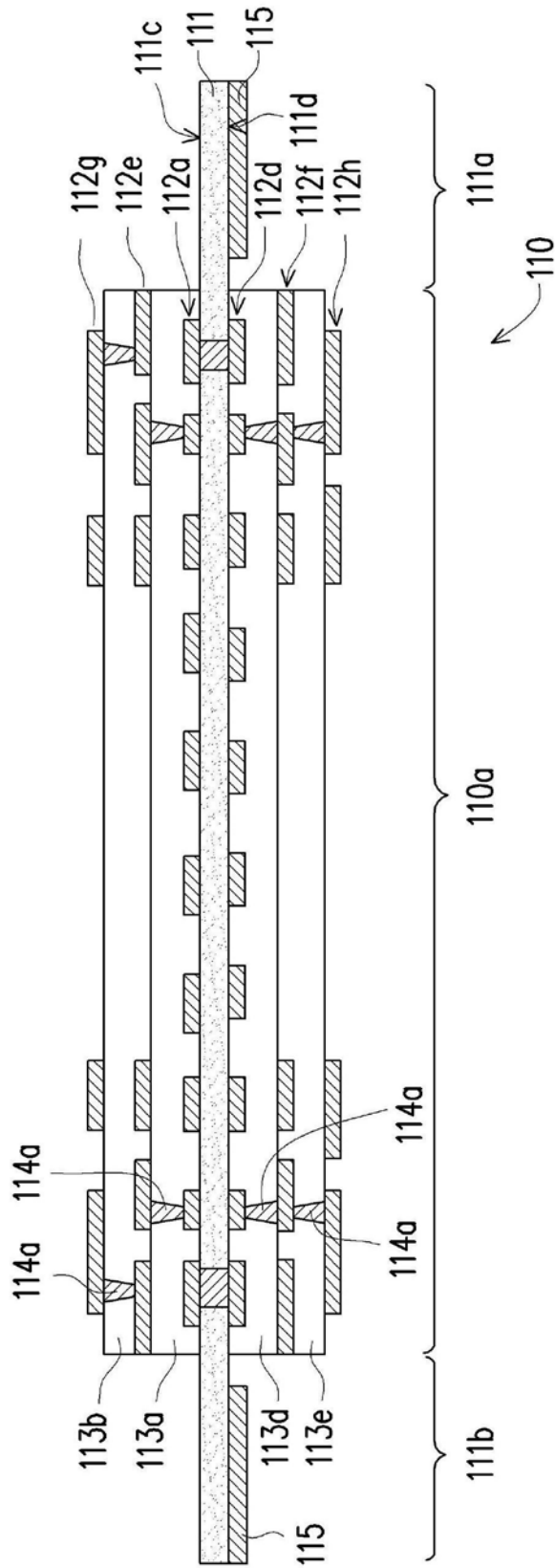


图5A





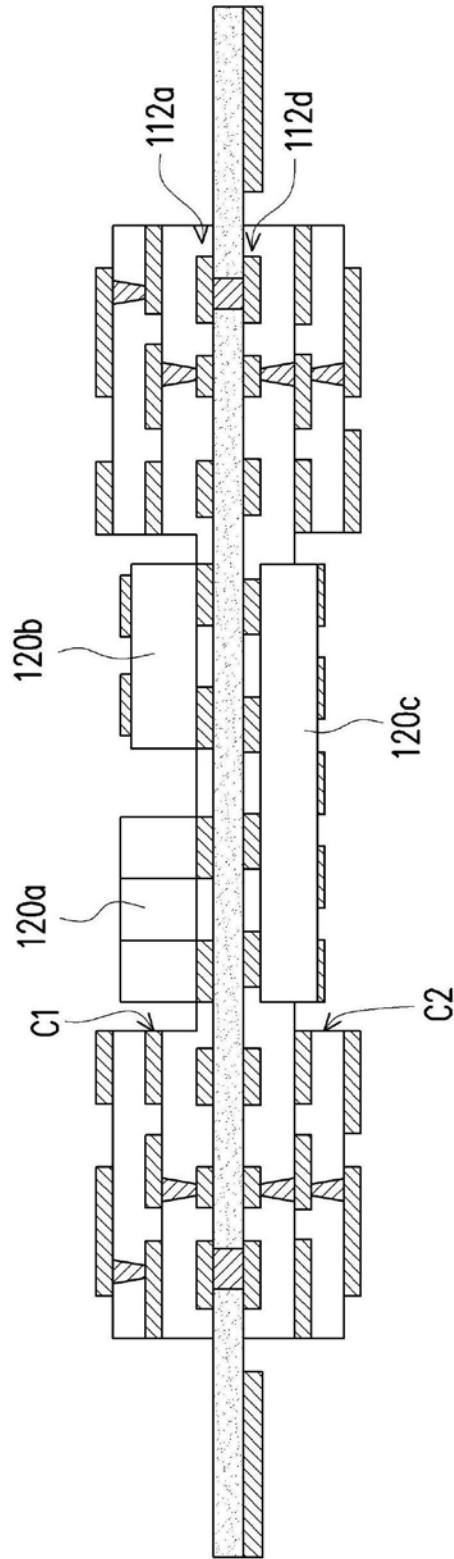


图5C

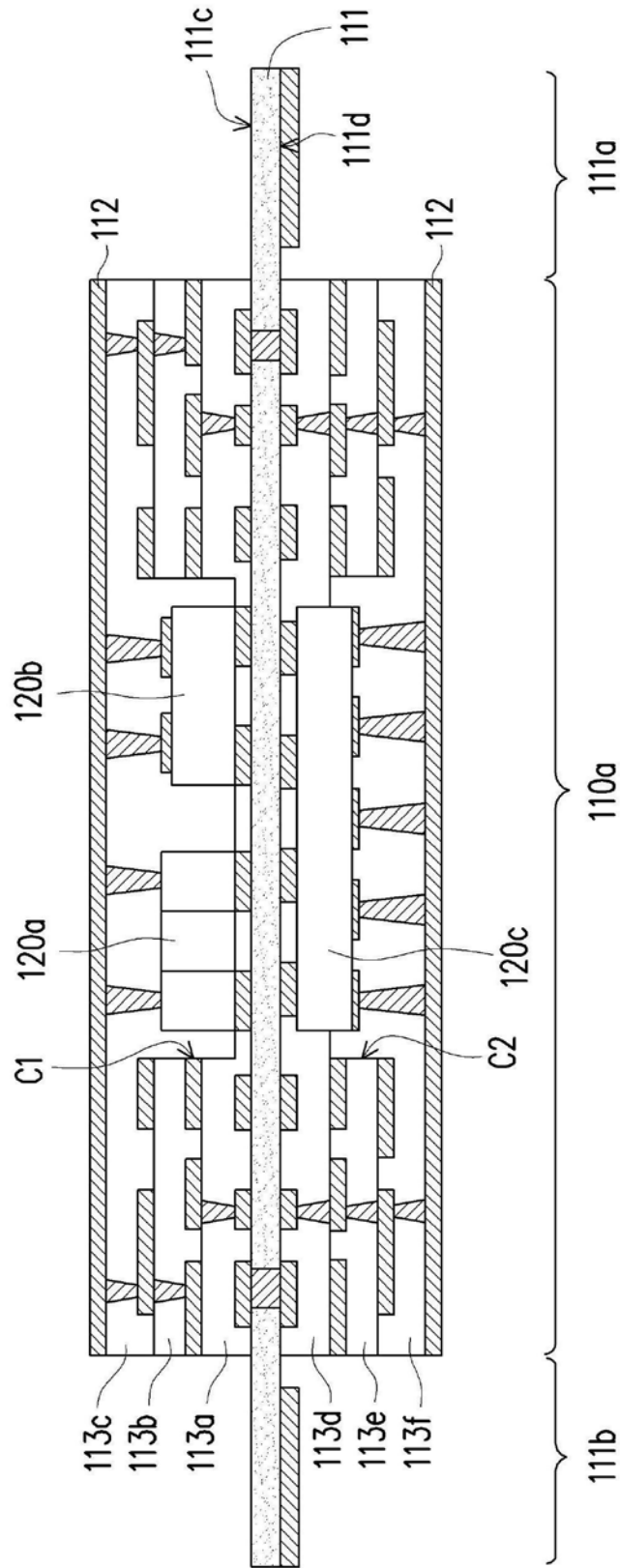


图5D

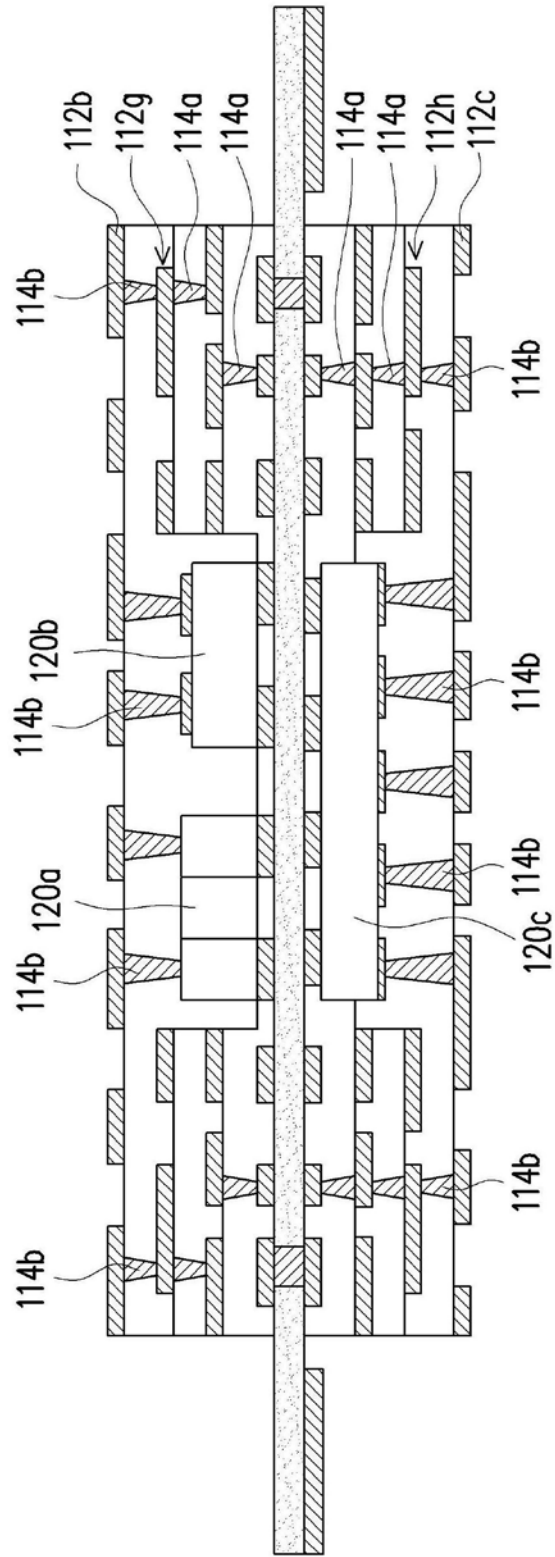


图5E

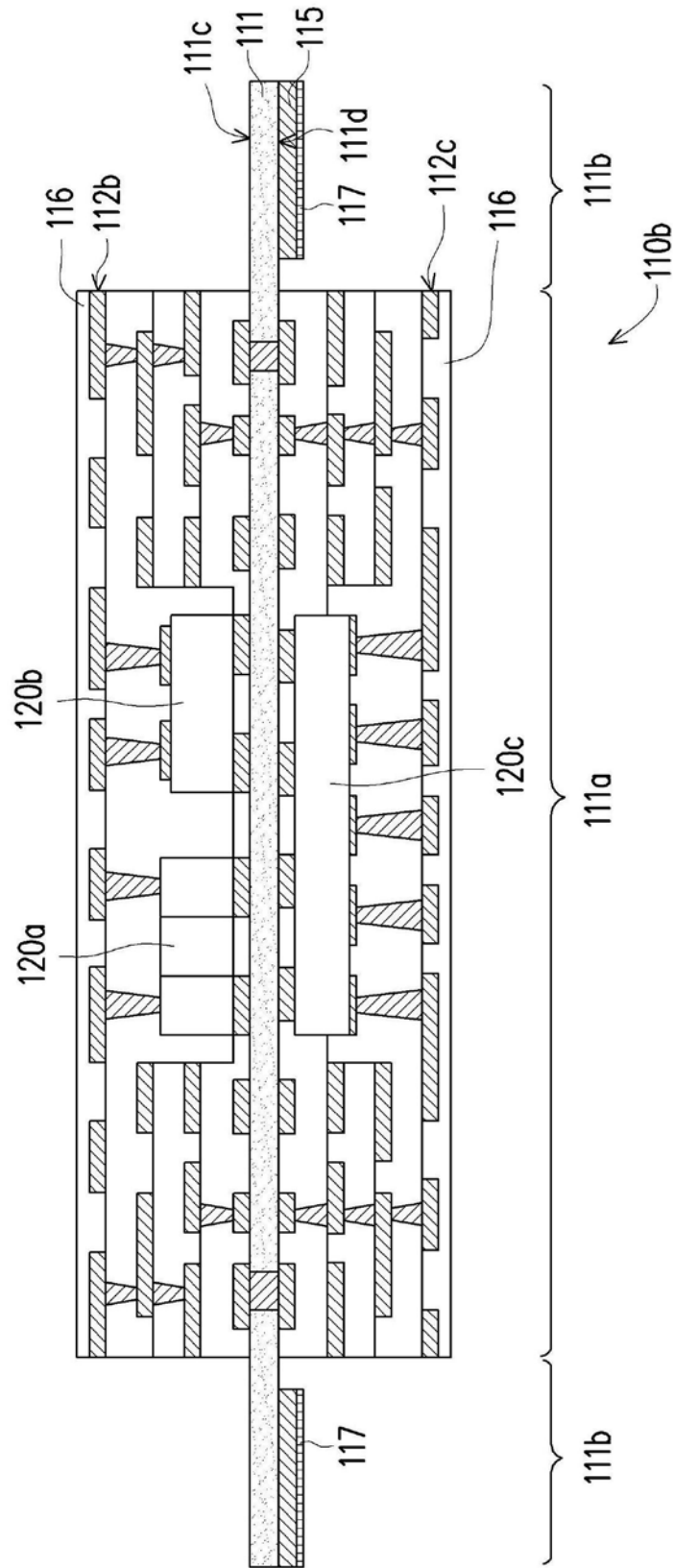


图5F

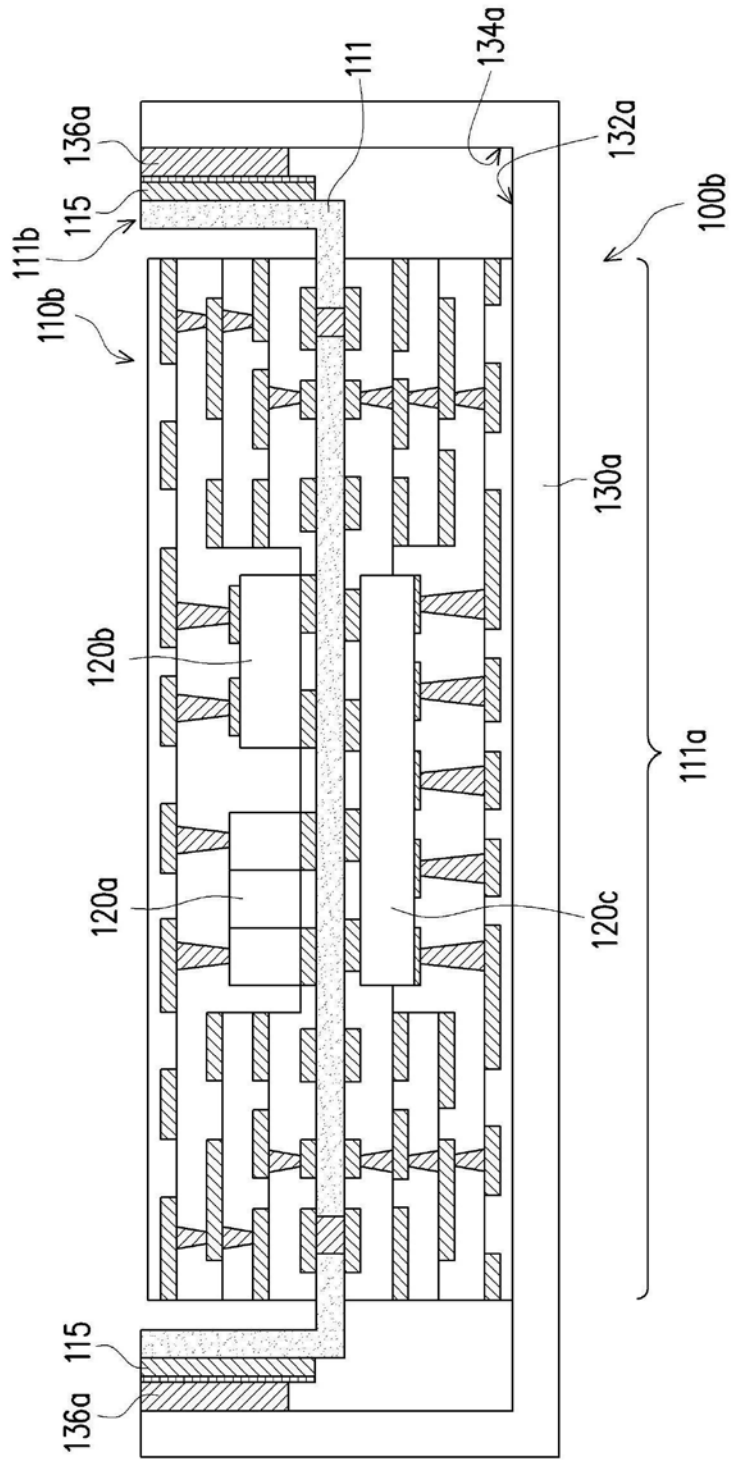


图5G