

DEUTSCHE DEMOKRATISCHE REPUBLIK



(12) Wirtschaftspatent

Korrigiert gemäß § 23 Absatz 2 Anordnung
über die Verfahren vor dem Patentamt

PATENTSCHRIFT

(19) DD (11) 239 704 C2

4(51) H 03 K 21/38

AMT FÜR ERFINDUNGS- UND PATENTWESEN

(21)	WP H 03 K / 278 970 0	(22)	30.07.85	(44)	01.06.88
				(44)	18.11.87
				(44)	01.10.86

(71) Institut für Nachrichtentechnik, Edisonstraße 63, Berlin, 1160, DD
 (72) Jahn, Günter, Dr.-Ing., DD

(54) Schaltungsanordnung zum zeitgerechten Umsteuern von umschaltbaren Frequenzteilern

(57) Ziel der Erfindung ist der Einsatz von standardisierten Modulo-2-Frequenzteilern in programmierbaren Frequenzteilern, die mindestens zwei Modulo-2-Vorteiler und einen Universalteiler aufweisen. Die Aufgabe besteht darin, die Zeitrastersignale des Universalteilers für die Umschaltung der Teilerfaktoren von 10 auf 11 der Modulo-2-Frequenzteiler auszunutzen. Die Lösung besteht darin, daß die Takteingänge zweier hintereinandergeschalteter D-Flip-Flops vorzugsweise mit dem Ausgang des ersten Modulo-2-Vorteilers verbunden und der Eingang des ersten Flip-Flops mit dem Ausgang des zweiten Modulo-2-Vorteilers verbunden ist. Der negierte Ausgang des ersten D-Flip-Flops und der nicht negierte Ausgang des zweiten D-Flip-Flops sind an ein erstes ODER-Gatter geführt, dessen Ausgang mit dem ersten Eingang eines zweiten ODER-Gatters verbunden ist, dessen zweiter Eingang an den Ausgang eines dritten ODER-Gatters geführt ist, an dessen Eingänge das Basis-Zeitrastersignal und ein erstes Koeffizienten-Zeitrastersignal des Universalteilers anschaltbar sind. Der Ausgang des zweiten ODER-Gatters ist mit dem Umschalteingang des ersten Modulo-2-Vorteilers verbunden.

ISSN 0433-6461

6 Seiten

Patentansprüche:

1. Schaltungsanordnung zum zeitgerechten Umsteuern von umschaltbaren Frequenzteilern, bei denen einem Universalteiler in Kaskadenschaltung mindestens zwei Modulo-2-Vorteiler vorgeschaltet sind, **dadurch gekennzeichnet**, daß die Takteingänge zweier hintereinandergeschalteter D-Flip-Flops (F1, F2) vorzugsweise mit dem Ausgang (A1) des ersten Modulo-2-Vorteilers (V1) verbunden sind und der Eingang (D) des ersten D-Flip-Flops (F1) mit dem Ausgang (A2) des zweiten Modulo-2-Vorteilers (V2) verbunden ist und daß der negierte Ausgang ($\overline{Q1}$) des ersten D-Flip-Flops (F1) und der nicht negierte Ausgang (Q2) des zweiten D-Flip-Flops (F2) an ein erstes ODER-Gatter (O1) geführt sind, dessen Ausgang mit dem ersten Eingang eines zweiten ODER-Gatters (O2) verbunden ist, dessen zweiter Eingang an den Ausgang eines dritten ODER-Gatters (O3) geführt ist, an dessen Eingänge das Basis-Zeitrastersignal (B) und ein erstes Koeffizienten-Zeitrastersignal ($\overline{K1}$) des Universalteilers (UT) anschaltbar sind und daß der Ausgang des zweiten ODER-Gatters (O2) mit dem Umschalteingang ($\overline{U1}$) des ersten Modulo-2-Vorteilers (V1) verbunden ist.
2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß der Umschalteingang ($\overline{U2}$) des zweiten Modulo-2-Vorteilers (V2) mit dem Ausgang eines vierten ODER-Gatters (O4) verbunden ist, an dessen Eingänge das Basis-Zeitrastersignal (B) und ein zweites Koeffizienten-Zeitrastersignal ($\overline{K2}$) des Universalteilers (UT) anschaltbar sind.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet

Die Erfindung betrifft eine Schaltungsanordnung zum zeitgerechten Umsteuern von programmierbaren Frequenzteilern, bei der einem Universalteiler in Kaskadenschaltung mindestens zwei Modulo-2-Vorteiler vorgeschaltet sind.

Charakteristik bekannter technischer Lösungen

In digitalen Frequenzaufbereitungen, beispielsweise in Funk-Sende- oder Empfangsgeräten, werden sogenannte programmierbare Frequenzteiler, im weiteren PFT genannt, eingesetzt, deren Teilerfaktor N durch Eingabe einer Programmierinformation innerhalb eines Teilerfaktorbereichs von Nmin bis Nmax in ganzzahligen Einerschritten veränderbar ist.

Derartige PFT werden bekanntweise mit Standard-Digitalschaltkreisen auf der Basis verschiedener Halbleitertechnologien, wie TTL, ECL, C-MOS usw., realisiert.

Als ökonomisch und technisch günstig hat sich der Einsatz von hochintegrierten Synthesizer-Schaltkreisen erwiesen. Die dabei zur Anwendung gelangenden MOS-Technologien realisieren bei einem hohen Integrationsgrad einen großen Funktionsumfang, lassen allerdings nur eine relativ niedrige obere Frequenzgrenze zu, was den universellen Einsatz dieser Schaltkreise einschränkt.

Die direkte Frequenzteilung im VHF- und UHF-Bereich wird mit Frequenzteilern mit einem festen bzw. umschaltbaren Teilverhältnis in emittergekoppelter integrierter Logik (ECL) erreicht.

Das Swallow-Counter-Prinzip gestattet unter Verwendung von umschaltbaren Modulo-2-Vorteilern den Aufbau von programmierten Frequenzteilern mit beliebigen ganzzahligen Teilerfaktoren innerhalb von Nmin bis Nmax bis in den UHF-Bereich, vergleiche V. Manassewitsch, Frequency-Synthesizer, S. 355, DD-WP 147899, HO3K21/00.

Der Nachteil dieser Lösung bei Realisierung eines PFT für den VHF- bzw. UHF-Bereich besteht in dem relativ großen schaltungstechnischen Aufwand, da nicht ausschließlich Schaltkreise mit hohem Integrationsgrad zum Einsatz gelangen können.

Eine wesentliche Verbesserung läßt sich mit einer Kaskadenschaltung aus mehreren umschaltbaren Modulo-2-Teilern erreichen, da ein erheblicher Teil eines solchen PFT in LSI-Technologie integriert werden kann.

Für eine Kaskadenschaltung mit mehreren umschaltbaren Modulo-2-Teilern mit dem Teilverhältnis 10/11:1 und einem Modulo-2-Teiler mit dem variablen Teilverhältnis $n/(n+1)$, wobei $1 \leq n \leq 9$ ist, ergibt sich der Teilerfaktor zu:

$$\begin{aligned} N &= n_{ms} \cdot 10^{ms-1} + n_{ms-1} \cdot 10^{ms-2} + \dots + n_2 \cdot 10 + n_1 = n_{ms} n_{ms-1} \dots n_2 n_1 \\ \text{Für } n_{ms} &= n_5 \text{ wird} \\ N &= n_5 \cdot 10^4 + n_4 \cdot 10^3 + n_3 \cdot 10^2 + n_2 \cdot 10 + n_1 = n_5 n_4 n_3 n_2 n_1 \end{aligned} \quad (1)$$

n = Dezimalkoeffizienten

Als Funktionsvorschrift für die genannte Kaskadenschaltung läßt sich der Teilerfaktor N wie folgt darstellen:

$$\begin{aligned} N &= n_5 n_4 n_3 n_2 n_1 = && (n_5 n_4 n_3 n_2 - n_1) \cdot 10 + n_1 \cdot 11 \\ &= && [(n_5 n_4 n_3 - n_2) \cdot 10 + n_2 \cdot 11 - n_1] \cdot 10 + n_1 \cdot 11 \\ &= && \{[(n_5 n_4 - n_3) \cdot 10 + n_3 \cdot 11 - n_2] \cdot 10 + n_2 \cdot 11 - n_1\} \cdot 10 + n_1 \cdot 11 \\ &= && - \{ \{[(n_5 + 1) n_4 + n_5 (10 - n_4) - n_3] \cdot 10 + n_3 \cdot 11 - n_2\} \cdot 10 + n_2 \cdot 11 - n_1 \} \cdot 10 + n_1 \cdot 11 \end{aligned}$$

Von Teiler zu Teiler wird somit durch die von 10:1 auf 11:1 umschaltbare Teilung jeweils die letzte Dezimalstelle abgebaut. Für $n_{ms} = n_5$ ergibt sich eine Konfiguration mit zwei Vorteilern VT1, VT2 und drei Teilerstufen T1 bis T3 gemäß Fig. 1.

Für $N = 12345$ ($n_5 = 1$ bis $n_1 = 5$) ergibt folgendes Arbeitsregime:

der erste Vorteiler VT1 teilt 5mal durch 11 und 1229mal durch 10, das sind 1234mal;

der zweite Vorteiler VT2 teilt 4mal durch 11 und 119mal durch 10, also 123mal;

der erste Teiler T1 teilt 3mal durch 11 und 9mal durch 10, also 12mal;

der zweite Teiler T2 teilt 2mal durch 2 und 8mal durch 1, also 10mal und

der dritte Teiler T3 teilt 1mal durch 10.

Die Vorteileiler VT1, VT2 und die erste Teilerstufe T1 teilen somit innerhalb eines vollständigen Teilungszyklus entsprechend der Zuordnung der Koeffizienten n -mal durch 11 und den Rest der Periode durch 10, während die zweite Teilerstufe T2 n_4 -mal durch $n_5 + 1$ und $(10 - n_4)$ -mal durch n_5 teilt. Der dargestellte Algorithmus bedingt ein Timing-Regime, da die vorgeschriebenen Umschaltungen innerhalb einer vollständigen Zählperiode exakt eingehalten werden müssen.

Für die Realisierung von programmierbaren Frequenzteilern bis in den UHF-Bereich besitzt die Kaskadierung von Modulo-2-Frequenzteilern insofern Bedeutung, als sich die letzten drei Teiler einschließlich notwendiger Zeitsteuerschaltungen und Programmierbaugruppen zu einem Universalteiler in LOCOS-Technologie integrieren lassen und die Vorteileiler in High-speed-Logik realisiert werden können.

Problematisch bei diesem Prinzip ist die zeitliche Steuerung der Umschaltung der Vorteileiler von der Teilung durch 10 auf die Teilung durch 11, da die Umschaltsignale, deren Zeitdauer in Abhängigkeit von der zu teilenden Eingangsfrequenz im ns-Bereich liegen kann, aus vom Universalteiler besonders erzeugten Steuersignalen sowie von jedem nachfolgenden Teiler erzeugten Zeitsynchronsignalen gebildet werden müssen. Das bedeutet, daß mindestens der oder die dem ersten Vorteiler nachfolgenden Vorteileiler einen Synchronsignalausgang aufweisen müssen.

Der sich anbietenden Verwendung von Modulo-2-Frequenzteilern sind somit Grenzen gesetzt, wenn diese keinen Synchronsignalausgang besitzen. Für das beschriebene Teilerprinzip eines PFT sind sie damit nicht generell einsetzbar.

Ziel der Erfindung

Ziel der Erfindung ist es, Modulo-2-Frequenzteiler in programmierbaren Frequenzteilern einzusetzen, die mindestens zwei Modulo-2-Vorteiler und einen Universalteiler aufweisen.

Wesen der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, das Basis-Zeitrastersignal des Universalteilers, das unabhängig vom programmierten Teilerfaktor stets aus zehn Perioden innerhalb eines vollständigen Teilungszyklus besteht, und die ebenfalls vom Universalteiler bereitgestellten Koeffizienten-Zeitrastersignale, die n -mal pro Teilungszyklus Aktivpegel annehmen, für die Umschaltung der Teilerfaktoren von 10 auf 11 der Modulo-2-Frequenzteiler auszunutzen.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die Takteingänge zweier hintereinandergeschalteter D-Flip-Flops vorzugsweise mit dem Ausgang des ersten Modulo-2-Vorteilers verbunden sind und der Eingang des ersten D-Flip-Flops mit dem Ausgang des zweiten Modulo-2-Vorteilers verbunden ist und daß der negierte Ausgang des ersten D-Flip-Flops und der nicht negierte Ausgang des zweiten D-Flip-Flops an ein erstes ODER-Gatter geführt sind, dessen Ausgang mit dem ersten Eingang eines zweiten ODER-Gatters verbunden ist, dessen zweiter Eingang an den Ausgang eines dritten ODER-Gatters geführt ist, an dessen Eingänge das Basis-Zeitrastersignal und ein erstes Koeffizienten-Zeitrastersignal des Universalteilers anschaltbar sind und daß der Ausgang des zweiten ODER-Gatters mit dem Umschalteingang des ersten Modulo-2-Vorteilers verbunden ist. Es ist zweckmäßig, den Umschalteingang des zweiten Modulo-2-Vorteilers mit dem Ausgang eines vierten ODER-Gatters zu verbinden, an dessen Eingänge das Basis-Zeitrastersignal und ein zweites Koeffizienten-Zeitrastersignal des Universalteilers anschaltbar sind.

Mit der erfindungsgemäßen Lösung ist es möglich, Standard-Schaltkreise für die Modulo-2-Vorteiler einzusetzen und trotz Fehlens eines Synchronsignalausganges deren Umschaltung von Teilung durch 11 auf Teilung durch 10 oder umgekehrt vorzunehmen.

Des weiteren ist der Schaltkreis-Aufwand für die Zeitrasterschaltung gering, da für den sequentiellen Teil nur zwei D-Flip-Flops und für den kombinatorischen Schaltkreis ausschließlich ODER-Gatter Verwendung finden.

Ausführungsbeispiel

Anhand eines in der Zeichnung dargestellten Ausführungsbeispieles wird die Erfindung näher erläutert. In der Zeichnung zeigen:

Fig. 2: eine Kaskadenschaltung zweier Vorteileiler mit einem dreistufigen Universalteiler und

Fig. 3: eine Darstellung von Impulszügen

Fig. 2 zeigt einen PFT in Kaskadenschaltung, bestehend aus zwei umschaltbaren Modulo-2-Vorteilern V1, V2, einen aus drei Teilern UT1 bis UT3 bestehenden Universalteiler UT, zwei D-Flip-Flops F1, F2 und vier ODER-Gatter O1 bis O4.

Es werden nur die zum Verständnis der Erfindung notwendigen Vorgänge und Schaltungseinzelheiten beschrieben. Auf den Einsatz verschiedener Logik-Systeme, wie C-MOS u. a., sowie auf Pegelanpassungsschaltungen wird nicht näher eingegangen.

Der PFT arbeitet derart, daß das Ausgangssignal des ersten ODER-Gatters O1 genau eine von 10 beziehungsweise 11 Taktperioden des Ausgangssignals A1 des ersten Vorteilers V1 Low-aktiv ist und über das zweite ODER-Gatter O2 ein Umschaltsignal U1 abgegeben wird, wenn vom dritten ODER-Gatter O3 ein Low-Signal vorliegt, das durch die Verknüpfung der

beiden Zeitrastersignale B und K1 des Universalteilers UT entstanden ist.

Dies tritt dann ein, wenn der dem ersten Vorteiler V1 zugeordnete Koeffizient des Gesamtteilerfaktors ungleich Null ist, wobei innerhalb eines Teilungszyklus von Teilung 10 auf Teilung 11 n_1 -mal umgeschaltet wird.

Analog zu Fig. 1 ergibt sich für Fig. 2 ein Teilerfaktor

$$N = n_4 \cdot 10^3 + n_3 \cdot 10^2 + n_2 \cdot 10 + n_1$$

$$= n_4 n_3 n_2 n_1 \quad (n_4 = 1 \dots 9; n_3, n_2, n_1 = 0 \dots 9)$$

Die Funktionsweise des PFT wird vom Universalteiler so gesteuert, daß innerhalb eines Teilungszyklus der erste Vorteiler V1 n_1 -mal durch 11 teilt, der zweite Vorteiler V2 n_2 -mal durch 11 teilt und der zweite Teiler UT2 des Universalteilers UT n_3 -mal durch $(n_4 + 1)$ und $(10 - n_3)$ -mal durch n_4 teilt, während der erste Teiler UT1 durch 1 und der dritte Teiler UT3 durch 10 teilen.

Das vom Universalteiler UT bereitgestellte Basis-Zeitrastersignal B besteht aus 10 Perioden und sorgt zusammen mit den beiden Koeffizienten-Zeitrastersignalen K1, K2 für die zeitlich richtige Umschaltung der beiden Vorteiler V1, V2. Das am dritten ODER-Gatter O3 entstehende Low-Signal steht pro Zyklus n_1 -mal für die Dauer einer Schwingungsperiode des Ausgangssignals A2 des zweiten Vorteilers V2 zur Verfügung.

Der erste Vorteiler V1 liefert jeweils ein vollständiges Ausgangssignal A1 nach zehn Eingangsimpulsen, wenn an seinem Umschalteingang ein High-Signal anliegt; ebenfalls liefert er ein vollständiges Ausgangssignal A1 nach elf Eingangsimpulsen, wenn an seinem Umschalteingang ein Low-Signal anliegt. Mit dem Ausgangssignal A1 werden die beiden D-Flip-Flops F1, F2 getaktet. Unabhängig, ob der Teiler V2 durch 10 oder 11 teilt, wird pro vollständiger Teilungsperiode von V2 am Ausgang des Gatters O1 ein Low-Signal mit der Impulslänge einer Schwingungsperiode des Ausgangssignals A1 erzeugt. Für den Fall, daß der Koeffizient n_1 ungleich Null ist, entsteht am Gatter O3 gleichfalls ein Low-Impuls, der mit dem Ausgangsimpuls von Gatter O1 im Gatter O2 das Umschaltsignal U1 für den Vorteiler V1 bildet. Dabei besitzt das Umschaltsignal U1 die Dauer einer Schwingungsperiode des Ausgangssignals A1. Die Umschaltung des zweiten Vorteilers V2 geschieht direkt über das vierte ODER-Gatter O4.

Fig. 3 zeigt unter Vernachlässigung von Signalverzögerungszeiten den zeitlichen Funktionsablauf in Form von Impulszügen.

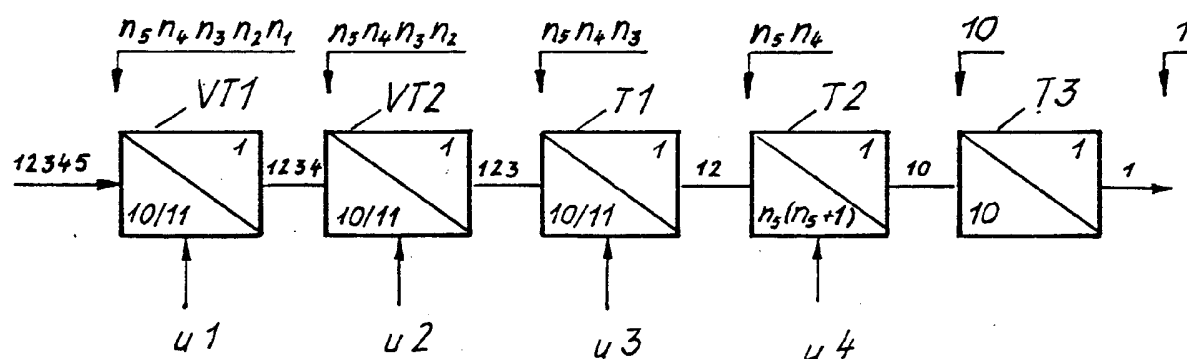


Fig. 1

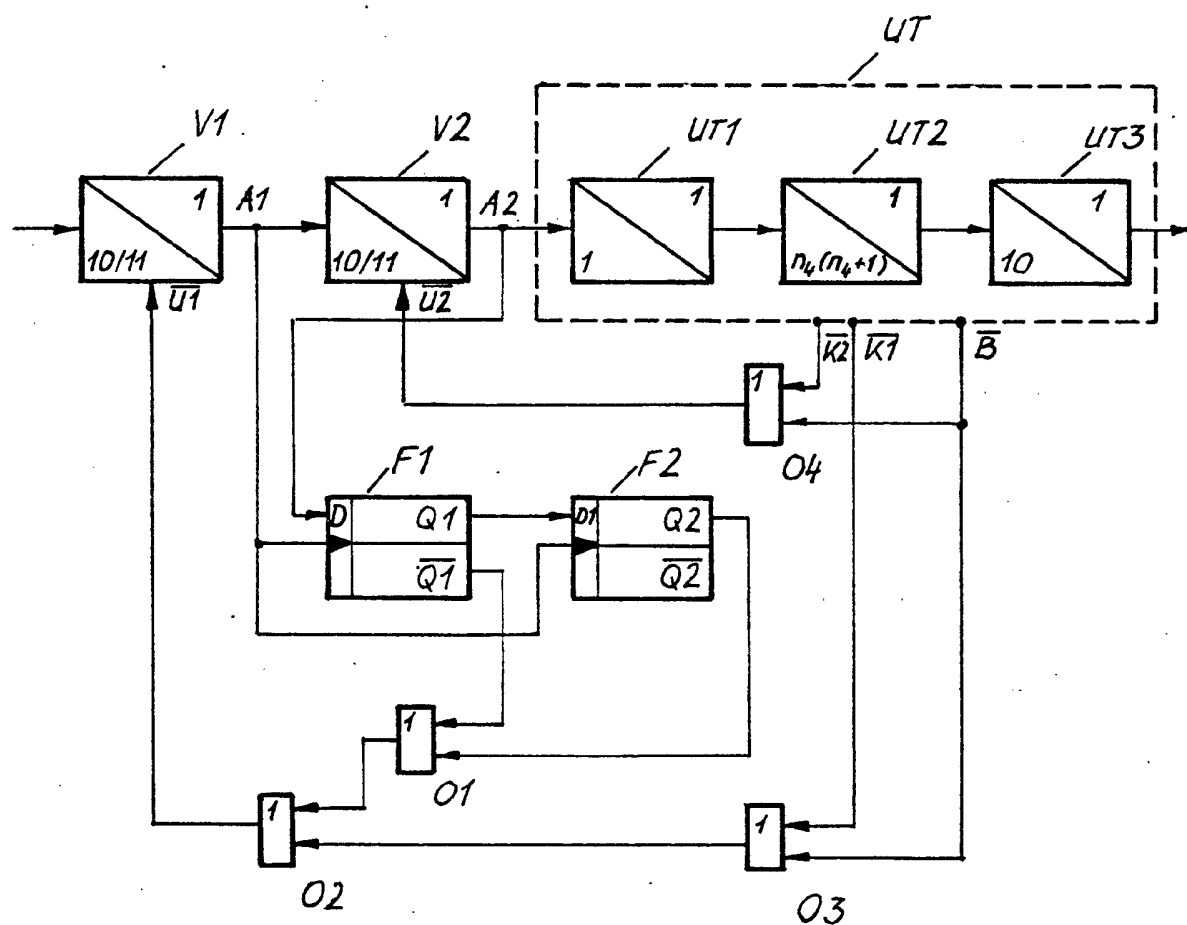


Fig. 2

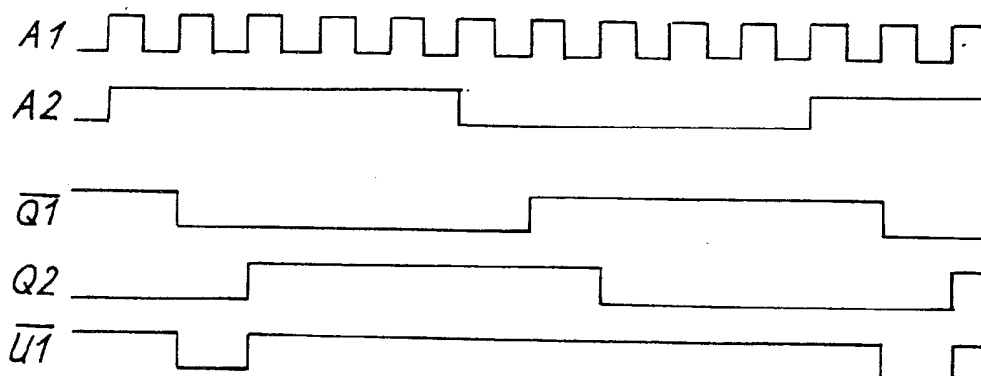


Fig. 3