

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-201663

(P2015-201663A)

(43) 公開日 平成27年11月12日(2015.11.12)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 T	5 F 1 1 O
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 6 C	
	HO 1 L 29/78 6 1 9 A	

審査請求 有 請求項の数 3 O L (全 34 頁)

(21) 出願番号 特願2015-126684 (P2015-126684)
 (22) 出願日 平成27年6月24日(2015.6.24)
 (62) 分割の表示 特願2015-59043 (P2015-59043) の分割
 原出願日 平成20年11月26日(2008.11.26)
 (31) 優先権主張番号 特願2007-312163 (P2007-312163)
 (32) 優先日 平成19年12月3日(2007.12.3)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 後藤 裕吾
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 村川 努
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

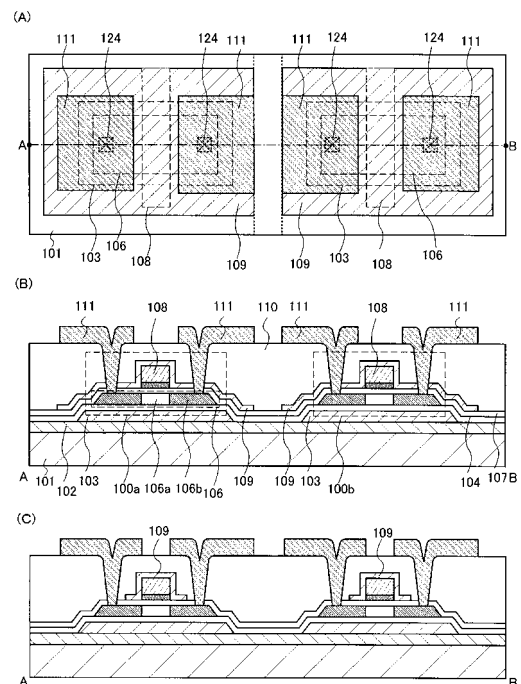
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 曲げ等の外力が加わり応力が生じた場合であってもトランジスタ等の損傷を低減する半導体装置を提供することを目的とする。

【解決手段】 可撓性を有する基板上に設けられた第1の島状の補強膜と、第1の島状の補強膜上に、チャネル形成領域と不純物領域とを具備する半導体膜と、チャネル形成領域の上方にゲート絶縁膜を介して設けられた第1の導電膜と、第1の導電膜及びゲート絶縁膜を覆って設けられた第2の島状の補強膜とを有している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

可撓性を有する基板と、
 前記基板上の、第 1 の層と、
 前記第 1 の層上の、半導体層と、
 前記半導体層上の、導電層と、
 前記導電層上の、第 2 の層と、
 前記第 2 の層上の、第 3 の層と、
 前記半導体層と電氣的に接続された、ソース電極と、
 前記半導体層と電氣的に接続された、ドレイン電極と、を有し、
 前記導電層は、トランジスタのゲート電極となることができる機能を有し、
 前記半導体層は、前記ゲート電極と重なる領域に、チャンネル形成領域を有し、
 前記第 2 の層上からみたとき、前記第 1 の層は、前記半導体層の端を越えた領域を有し、
 前記第 2 の層上からみたとき、前記第 2 の層は、前記半導体層の端を越えた領域を有し、
 前記第 1 の層は、窒化珪素を有し、
 前記第 2 の層は、窒化珪素を有し、
 前記第 3 の層は、層間絶縁膜として機能し、
 前記第 2 の層の第 1 のコンタクトホールと、前記第 3 の層の第 2 のコンタクトホールとを介して、前記ソース電極は、前記半導体層と電氣的に接続され、
 前記第 2 の層の第 3 のコンタクトホールと、前記第 3 の層の第 4 のコンタクトホールとを介して、前記ドレイン電極は、前記半導体層と電氣的に接続され、
 前記第 2 のコンタクトホールにおいて、前記ソース電極の上面は、第 1 の高さ、第 2 の高さを有し、
 前記第 2 の高さは、前記第 1 の高さより低く、
 前記第 1 の高さは、前記第 3 の層の上面より高く、
 前記第 4 のコンタクトホールにおいて、前記ドレイン電極の上面は、第 3 の高さ、第 4 の高さを有し、
 前記第 4 の高さは、前記第 3 の高さより低く、
 前記第 3 の高さは、前記第 3 の層の上面より高いことを特徴とする半導体装置。

【請求項 2】

可撓性を有する基板と、
 前記基板上の、第 1 の層と、
 前記第 1 の層上の、半導体層と、
 前記半導体層上の、導電層と、
 前記導電層上の、第 2 の層と、
 前記第 2 の層上の、第 3 の層と、
 前記半導体層と電氣的に接続された、ソース電極と、
 前記半導体層と電氣的に接続された、ドレイン電極と、を有し、
 前記導電層は、トランジスタのゲート電極となることができる機能を有し、
 前記半導体層は、前記ゲート電極と重なる領域に、チャンネル形成領域を有し、
 前記第 2 の層上からみたとき、前記第 1 の層は、前記半導体層の端を越えた領域を有し、
 前記第 2 の層上からみたとき、前記第 2 の層は、前記半導体層の端を越えた領域を有し、
 前記第 1 の層は、金属酸化物を有し、
 前記第 2 の層は、金属酸化物を有し、
 前記第 3 の層は、層間絶縁膜として機能し、
 前記第 2 の層の第 1 のコンタクトホールと、前記第 3 の層の第 2 のコンタクトホールと

を介して、前記ソース電極は、前記半導体層と電氣的に接続され、

前記第2の層の第3のコンタクトホールと、前記第3の層の第4のコンタクトホールとを介して、前記ドレイン電極は、前記半導体層と電氣的に接続され、

前記第2のコンタクトホールにおいて、前記ソース電極の上面は、第1の高さと、第2の高さとを有し、

前記第2の高さは、前記第1の高さより低く、

前記第1の高さは、前記第3の層の上面より高く、

前記第4のコンタクトホールにおいて、前記ドレイン電極の上面は、第3の高さと、第4の高さとを有し、

前記第4の高さは、前記第3の高さより低く、

前記第3の高さは、前記第3の層の上面より高いことを特徴とする半導体装置。

10

【請求項3】

可撓性を有する基板と、

前記基板上の、第1の層と、

前記第1の層上の、半導体層と、

前記半導体層上の、導電層と、

前記導電層上の、第2の層と、

前記第2の層上の、第3の層と、

前記半導体層と電氣的に接続された、ソース電極と、

前記半導体層と電氣的に接続された、ドレイン電極と、を有し、

20

前記導電層は、トランジスタのゲート電極となることのできる機能を有し、

前記半導体層は、前記ゲート電極と重なる領域に、チャンネル形成領域を有し、

前記第2の層上からみたとき、前記第1の層は、前記半導体層の端を越えた領域を有し、

前記第2の層上からみたとき、前記第2の層は、前記半導体層の端を越えた領域を有し、

前記第1の層は、金属窒化物を有し、

前記第2の層は、金属窒化物を有し、

前記第3の層は、層間絶縁膜として機能し、

前記第2の層の第1のコンタクトホールと、前記第3の層の第2のコンタクトホールとを介して、前記ソース電極は、前記半導体層と電氣的に接続され、

30

前記第2の層の第3のコンタクトホールと、前記第3の層の第4のコンタクトホールとを介して、前記ドレイン電極は、前記半導体層と電氣的に接続され、

前記第2のコンタクトホールにおいて、前記ソース電極の上面は、第1の高さと、第2の高さとを有し、

前記第2の高さは、前記第1の高さより低く、

前記第1の高さは、前記第3の層の上面より高く、

前記第4のコンタクトホールにおいて、前記ドレイン電極の上面は、第3の高さと、第4の高さとを有し、

前記第4の高さは、前記第3の高さより低く、

前記第3の高さは、前記第3の層の上面より高いことを特徴とする半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に外力が加わった場合であっても半導体装置に設けられたトランジスタ等の素子の損傷を抑制する半導体装置に関する。

【背景技術】

【0002】

近年、プラスチック等の可撓性を有する基板上にトランジスタ等で構成される集積回路を設ける技術が注目されている。可撓性を有する基板上に集積回路を設けることによって形

50

成された半導体装置は、半導体基板やガラス基板等の基板を用いる場合に比べ、軽量化やコストダウン等を達成することが可能となる。可撓性を有する半導体装置は折り曲げ等が可能となるため、様々な分野、場所への転用がされている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許第4015002号

【特許文献2】特開2006-232449号公報

【特許文献3】特開2007-150179号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0004】

しかしながら、可撓性を有する基板上にトランジスタ等の素子が設けられた集積回路を具備する半導体装置に、曲げ等の外力を加えた場合、半導体装置に生じる応力によって、当該半導体装置に含まれるトランジスタ等の素子が損傷し、トランジスタ等の素子の特性に影響を及ぼすおそれがある。また、半導体装置の製造工程時において、トランジスタ等の素子に応力が生じることにより当該素子が損傷し、製品の歩留まりが低下するおそれがある。

【0005】

本発明は上記問題を鑑み、半導体装置に曲げ等の外力が加わった場合であっても、トランジスタ等の素子の損傷を低減する半導体装置を提供することを目的とする。

20

【課題を解決するための手段】

【0006】

本発明に係る半導体装置は、半導体装置の製造工程時や完成後の使用時において、当該半導体装置に曲げ等の外力が加わった場合であっても、トランジスタ等の素子に生じる応力を抑制するために補強膜が設けられる。補強膜は、半導体装置の厚み方向において、曲げなどの変形に対して引張応力や圧縮応力などの応力歪みが発生しない中立面（延び縮みしない面）の位置を半導体装置にとって好適な位置にするために設ける。

【0007】

補強膜は、トランジスタ等の素子を構成する半導体膜の上下方向の領域に設けることを特徴としている。補強膜は半導体膜と接するように設けてもよいし、絶縁膜を介して半導体膜とは接しないように設けてもよい。以下に、半導体装置の具体的な構成を説明する。

30

【0008】

可撓性を有する基板上に設けられた第1の島状の補強膜と、第1の島状の補強膜上に、チャネル形成領域と不純物領域とを具備する半導体膜と、チャネル形成領域の上方にゲート絶縁膜を介して設けられた第1の導電膜と、第1の導電膜及び前記ゲート絶縁膜を覆って設けられた第2の島状の補強膜と、第2の島状の補強膜及びゲート絶縁膜を覆って設けられた層間絶縁膜と、層間絶縁膜上に、開口部を介して不純物領域と電気的に接続するように設けられた第2の導電膜とを有し、チャネル形成領域の全域が第1の島状の補強膜と第2の島状の補強膜との間に設けられていることを特徴とする。

40

【0009】

また、第1の島状の補強膜及び第2の島状の補強膜は、半導体装置を構成する半導体膜のヤング率よりも高い材料で形成されていることを特徴とする。具体的には、窒化珪素、窒化酸化珪素、金属酸化物、金属窒化物等の材料を用いることができる。第1の島状の補強膜及び第2の島状の補強膜を、半導体膜のヤング率よりも高い材料で形成することによって、半導体膜の性質を変えずに、半導体膜の機械的強度を向上させることができ、半導体膜の損傷を低減することができる。

【0010】

第1の島状の補強膜の膜厚は50nm以上200nm以下、かつ第2の島状の補強膜の膜厚は100nm以上400nm以下であることを特徴とする。

50

【発明の効果】

【0011】

半導体装置を構成するトランジスタ等の素子に補強膜を設けることにより、製造工程時や完成後の使用時において当該半導体装置に曲げ等の外力が加わった場合であっても、トランジスタ等の素子に生じる応力を抑制することができる。したがって、トランジスタ等の素子の損傷を低減し、半導体装置の歩留まりや信頼性の向上を達成することができる。

【図面の簡単な説明】

【0012】

【図1】半導体装置の一例を示す図。

【図2】半導体装置の一例を示す図。

10

【図3】半導体装置の一例を示す図。

【図4】半導体装置の作製方法の一例を示す図。

【図5】半導体装置の作製方法の一例を示す図。

【図6】半導体装置の作成方法の一例を示す図。

【図7】半導体装置の一例を示す図。

【図8】半導体装置の作製方法の一例を示す図。

【図9】半導体装置の一例を示す図。

【図10】半導体装置の一例を示す図。

【図11】半導体装置の一例を示す図。

【図12】半導体装置の一例を示す図。

20

【図13】半導体装置に適用できるアンテナを説明する図。

【図14】半導体装置のブロック図の一例及び使用形態の一例を示す図。

【図15】半導体装置の使用形態の一例を示す図。

【図16】半導体装置の使用形態の一例を示す図。

【図17】シミュレーションに用いたモデルを説明するための図。

【図18】シミュレーションにより求めた半導体装置の応力分布図。

【図19】シミュレーションにより求めた半導体装置の応力分布図。

【図20】シミュレーションにより求めたチャンネル形成領域の応力分布図。

【図21】シミュレーションにより求めたチャンネル形成領域の応力分布図。

【図22】半導体装置の使用形態の一例を示す図。

30

【発明を実施するための形態】

【0013】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

【0014】

(実施の形態1)

本実施の形態では、半導体装置の一例に関して図面を参照して説明する。

40

【0015】

本実施の形態では、曲げ等の外力が加えられた場合であっても、トランジスタ等の素子に生じる応力を抑制するために補強膜を設ける。本実施の形態では、その構造の一例として、トランジスタを構成する半導体膜の上方及び下方に半導体膜のヤング率よりもヤング率の高い材料で形成された補強膜を設けた場合について説明する。

【0016】

本実施の形態で示す半導体装置の一例を図1に示す。なお、図1において、図1(A)は上面図を示しており、図1(B)は図1(A)におけるA-B間の断面図を示している。

【0017】

図1(B)に示す半導体装置は、半導体膜106、ゲート絶縁膜107、ゲート電極とし

50

て機能する第1の導電膜108、半導体膜106を補強するための補強膜103(第1の島状の補強膜とも記す)、補強膜109(第2の島状の補強膜とも記す)を少なくとも具備する薄膜トランジスタ100a、100bを有している。図1(B)において、半導体膜106の少なくとも一部が補強膜103と補強膜109との間に挟まれて設けられている。また、図1(A)において、補強膜109は、半導体膜106を覆うように設けられている。

【0018】

絶縁膜110は、ゲート絶縁膜107及び補強膜109を覆うように設けられている。さらに、絶縁膜110上に薄膜トランジスタ100a、100bのソース電極又はドレイン電極として機能する第2の導電膜111が設けられている。なお、ここでは、薄膜トランジスタ100a、100bは、可撓性を有する基板101上に絶縁膜102を介して設けられた例を示している。

10

【0019】

半導体膜106は、チャネル形成領域106a、ソース領域又はドレイン領域として機能する不純物領域106bを具備している。また、不純物領域106bは、チャネル形成領域106aを介して挟んで離間して設けられている。不純物領域106bは絶縁膜110に設けられた開口部124を介して、絶縁膜110上に設けられた第2の導電膜111と電氣的に接続されている。

【0020】

補強膜103は、薄膜トランジスタ100a、100bを構成する半導体膜106と絶縁膜104を介して重なるように設けられている。また、当該半導体膜106より面積が大きくなるように設けられている。

20

【0021】

また、補強膜109は、第1の導電膜108及びゲート絶縁膜107を覆うように設けられている。また、補強膜109は、半導体膜106全域を覆うように設けられていることが好ましい。また、補強膜109の面積は、補強膜103の面積よりも大きいことが好ましい。このように、チャネル形成領域の全域が補強膜103と補強膜109との間に設けられていることが好ましい。

【0022】

半導体装置の製造工程時や完成後の使用時において、当該半導体装置に曲げ等の外力が加わることによって、半導体膜106に応力が生じる。これは、半導体装置の厚み方向において、曲げ等の変形に対して引っ張り応力や圧縮応力等の歪みが発生しない中立面(伸び縮みしない面)の位置が、半導体膜に応力が生じる位置にあるからである。半導体膜106に応力が生じることによって半導体膜106が損傷し、半導体装置が破壊される。そこで、半導体装置に曲げ等の外力が加わることによって半導体膜に応力が生じることを抑制するために、半導体装置の厚み方向における中立面(伸び縮みしない面)の位置を、半導体膜に応力が生じることを抑制できる位置にする。

30

【0023】

補強膜103、補強膜109として用いる材料は、半導体膜106よりもヤング率の高い材料を用いることが好ましい。具体的には、窒化珪素、窒化酸化珪素、金属酸化物、金属窒化物等の材料を用いることができる。また、補強膜103と補強膜109は、同じ材料で形成されていることが好ましい。このように、補強膜103及び補強膜109を半導体膜よりもヤング率の高い材料で形成することにより、半導体膜の性質を変えることなく、半導体膜の機械的強度を向上させることができ、半導体膜の損傷を低減することができる。

40

【0024】

補強膜103の膜厚は、50nm以上200nm以下、かつ補強膜109の膜厚は100nm以上400nm以下であることが好ましい。また、補強膜103の膜厚よりも補強膜109の膜厚の方が厚いことが好ましい。さらに、補強膜103の膜厚と補強膜109の膜厚の比率(補強膜103の膜厚/補強膜109膜厚)は、1/2以下であることが好ま

50

しい。なお、補強膜 103 の膜厚と補強膜 109 の膜厚が同じであってもよい。

【0025】

このように、半導体膜 106 を補強膜 103 と補強膜 109 とで挟むように設けることにより、半導体装置の厚み方向において、曲げなどの変形に対して引っ張り応力や圧縮応力などの歪みが発生しない中立面の位置を、半導体膜 106 に応力が生じることを抑制できる位置にすることができる。よって、半導体装置に曲げ等の外力が加わった場合であっても、半導体膜 106 に応力が生じることを抑制することができる。また、半導体膜 106 よりもヤング率の高い材料で形成された補強膜を半導体膜 106 の上下近傍に設けることにより、半導体膜の性質を変えることなく、半導体装置の機械的強度を向上させることができる。したがって、半導体膜 106 の損傷を低減することができ、薄膜トランジスタ 100a、100b の損傷や破壊を低減することができる。

10

【0026】

なお、図 1 (B) に示した半導体装置は、補強膜 109 を半導体膜 106 の端部及び補強膜 103 の端部を覆って設けた例を示したが、本実施の形態で示す半導体装置はこの構成に限定されず、補強膜 109 は、損傷しやすいチャンネル形成領域 106a と重なるように設ければよい。

【0027】

例えば、第 1 の導電膜 108 を覆うようにチャンネル形成領域 106a の上方に補強膜 109 を設ける構成としてもよい (図 1 (C) 参照)。また、補強膜 109 の面積は、補強膜 103 の面積よりも小さくてもよい。チャンネル形成領域 106a を補強膜 103 及び補強膜 109 で挟むように設けることにより、半導体装置の厚み方向において中立面の位置を、チャンネル形成領域 106a に応力が生じることを抑制できる位置にすることができる。よって、半導体装置に曲げ等の外力が加わった場合であっても、チャンネル形成領域 106a に応力が生じることを抑制することができる。したがって、薄膜トランジスタ 100a、100b の損傷や破壊を低減することができる。また、半導体膜 106 よりもヤング率の高い材料で形成された補強膜を半導体膜 106 の上下近傍に設けることにより、半導体膜の性質を変えることなく、半導体膜の機械的強度を向上させることができる。また、絶縁膜 110 に開口部 124 を形成する際に補強膜 109 を除去する必要がないため、開口部 124 を形成する際のエッチングを容易に行うことができる。

20

【0028】

また、補強膜 103 上に補強膜 114 を積層する構成としてもよい (図 2 参照)。この場合、補強膜 114 は、補強膜 103 及び絶縁膜 102 を覆うように形成する。このように、補強膜 114 を設けることによって、半導体膜 106 の下側が不純物や水分にさらされるのを防ぐことができる。また、半導体膜 106 の下方の機械的強度を向上させることができる。なお、絶縁膜 102 の上に補強膜 114 を設ける構成としてもよい。なお、補強膜 103 及び補強膜 114 を積層する場合には、補強膜 103 の膜厚と補強膜 114 の膜厚を合わせて 50nm 以上 200nm 以下にすることが好ましい。また、補強膜 109 の面積は、補強膜 103 の面積よりも大きいことが好ましい。

30

【0029】

図 1 では、一つの島状の補強膜 103 上に一つの半導体膜 106 を設けた例を示したが、これに限定されない。図 3 に示すように、一つの補強膜 103 に複数の島状の半導体膜 106 を設けた構成としてもよい。一つの補強膜 103 上に複数の島状の半導体膜を設けた場合、補強膜 103 の端部における段差を低減することができるため、マスクずれ等による半導体膜 106 の段切れを防止することができる。

40

【0030】

複数の島状の半導体膜 106 の各々の具備するチャンネル形成領域の上方にゲート絶縁膜 107 を介して第 1 の導電膜が設けられている。また、補強膜 109 がゲート絶縁膜 107 及び第 1 の導電膜 108 を覆って設けられており、絶縁膜 110 がゲート絶縁膜 107 及び第 1 の導電膜 108 を覆って設けられている。また、絶縁膜 110 に設けられた開口部 124 を介して、不純物領域 106b と絶縁膜 110 上に設けられた第 2 の導電膜 111

50

とが電氣的に接続されている。

【0031】

なお、本実施の形態では、薄膜トランジスタを例に挙げて説明したが、薄膜トランジスタに代えて有機トランジスタを設けてもよい。

【0032】

このように、半導体膜の上下近傍に半導体膜のヤング率よりも高い材料で形成された補強膜を設けることによって、半導体装置の厚み方向において、曲げなどの変形に対して引っ張り応力や圧縮応力の歪みが発生しない中立面の位置を、半導体膜に応力が生じることを抑制できる位置にすることができる。つまり、半導体装置の中立面の位置を半導体装置にとって好適な位置にすることができる。よって、半導体装置の製造工程時や完成後の使用時に、当該半導体装置に曲げ等の外力が加わった場合であっても、トランジスタ等の素子に生じる応力を抑制することができる。したがって、トランジスタ等の素子の損傷を低減し、半導体装置の歩留まりや信頼性の向上を達成することができる。

10

【0033】

本実施の形態で示した半導体装置の構成は、他の実施の形態で示す半導体装置の構成と組み合わせて実施することができる。

【0034】

(実施の形態2)

本実施の形態では、上記実施の形態1で示した半導体装置の作製方法の一例に関して図面を参照して説明する。なお、本実施の形態では、薄膜トランジスタ等の素子を支持基板上に形成した後に、当該支持基板から素子を剥離して他の基板に転置する工程に関して説明する。なお、本明細書において、転置とは基板に形成された素子を他の基板へ移しかえることを意味する。

20

【0035】

まず、基板120の一表面に剥離層121を形成し、続けてバッファ層として機能する絶縁膜102、補強膜を形成する。なお、剥離層121、絶縁膜102、補強膜は、連続して形成することもできる。続いて、補強膜にフォトリソグラフィ法により形成したレジストからなるマスクを用いて選択的にエッチングを行い、島状の補強膜103を形成する(図4(A)参照)。

【0036】

基板120は、ガラス基板、石英基板、金属基板やステンレス基板等を用いることができる。このような基板であれば、その面積や形状に大きな制限はないため、基板120として、例えば、1辺が1メートル以上であって、矩形のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。なお、本工程では、剥離層121は、基板120の全面に設けているが、必要に応じて、基板120の全面に剥離層を設けた後に、フォトリソグラフィ法により選択的に設けてもよい。また、基板120に接するように剥離層121を形成しているが、必要に応じて、基板120に接するように下地となる絶縁膜を形成し、当該絶縁膜に接するように剥離層121を形成してもよい。

30

【0037】

剥離層121は、金属膜や金属膜と金属酸化膜の積層構造を用いることができる。金属膜としては、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)から選択された元素又は前記元素を主成分とする合金材料若しくは化合物材料からなる膜を、単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成する。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸化雰囲気下又はNO₂の雰囲気下におけるプラズマ処理、酸素雰囲気下又はNO₂雰囲気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物又は酸化窒化物を設けた場合、タングステ

40

50

ン膜にプラズマ処理を行うことによって、タングステン膜表面にタングステン酸化物からなる金属酸化物を形成することができる。

【0038】

絶縁膜102はバッファ層として機能する。絶縁膜102は、後の剥離工程において、剥離層121及びバッファ層として機能する絶縁膜102の界面での剥離が容易となるように、又は後の剥離工程において半導体素子や配線に亀裂やダメージが入るのを防ぐために設ける。バッファ層として機能する絶縁膜102としては、スパッタリング法やプラズマCVD法、塗布法、印刷法等により、無機化合物を用いて単層又は積層で形成する。無機化合物の代表例としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等がある。バッファ層として機能する絶縁膜102の厚さは10nm乃至1000nm、さらには100nm乃至700nmが好ましい。ここでは、厚さ500nm乃至700nmの酸化窒化珪素膜をプラズマCVD法により形成する。

10

【0039】

次いで、剥離層121上に補強膜をスパッタリング法やプラズマCVD法、塗布法、印刷法等を用いて形成する。補強膜としては、窒化珪素、窒化酸化珪素、アルミナ等のセラミックス、金属酸化物、金属窒化物を用いて形成することができる。窒化珪素や窒化酸化珪素等を用いることにより、外部から、後に形成される素子形成層134へ水分や、酸素等の気体の侵入や、半導体膜の下側が不純物にさらされることを防止することができる。また、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスmium(Os)、イリジウム(Ir)等の金属の酸化物又は窒化物を用いて補強膜を形成しても良い。補強膜の膜厚は、50nm乃至200nmが好ましい。ここでは、膜厚50nm乃至200nmの窒化珪素をプラズマCVD法により形成した後、フォトリソグラフィ法により形成したレジストからなるマスクを用いて選択的にエッチングを行い、島状の補強膜103を形成する。

20

【0040】

次いで、補強膜103及び絶縁膜102を覆うように絶縁膜104を形成した後、島状の半導体膜106を形成する(図4(B)参照)。

30

【0041】

絶縁膜104は、下地層として機能する。絶縁膜104は、バッファ層として機能する絶縁膜102と同様の形成方法及び材料を適宜用いることができる。さらには、下地層として機能する絶縁膜104を積層構造としてもよい。下地層として機能する絶縁膜が2層構造の場合、例えば、1層目として窒化酸化珪素膜を形成し、2層目として酸化窒化珪素膜を形成するとよい。下地となる絶縁膜が3層構造の場合、1層目の絶縁膜として酸化珪素膜を形成し、2層目の絶縁膜として窒化酸化珪素膜を形成し、3層目の絶縁膜として酸化窒化珪素膜を形成するとよい。または、1層目の絶縁膜として酸化窒化珪素膜を形成し、2層目の絶縁膜として窒化酸化珪素膜を形成し、3層目の絶縁膜として酸化窒化珪素膜を形成するとよい。下地となる膜は、基板120からの不純物の侵入を防止するブロッキング膜として機能する。

40

【0042】

島状の半導体膜106は、非晶質半導体膜を形成し、非晶質半導体膜に対して結晶化を行い結晶質半導体膜にした後、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、結晶質半導体膜に選択的にエッチングを行うことにより形成される。

【0043】

非晶質半導体膜は、スパッタ法、LPCVD法、プラズマCVD法等により、25nm乃至200nm(好ましくは30nm乃至150nm)の厚さで形成する。

【0044】

次いで、非晶質半導体膜にレーザ光を照射して結晶化を行う。なお、レーザ光の照射と、

50

R T A 又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により非晶質半導体膜の結晶化を行ってもよい。

【0045】

島状の半導体膜106の作成工程の一例を以下に簡単に説明する。まず、プラズマCVD法を用いて、膜厚50乃至60nmの非晶質半導体膜を形成する。次いで、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理(500、1時間)と、熱結晶化の処理(550、4時間)を行って結晶質半導体膜を形成する。その後、レーザ光を照射し、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、半導体膜に選択的にエッチングを行うことによって島状の半導体膜106を形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザ光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

10

【0046】

ゲート絶縁膜107はCVD法やスパッタ法等により珪素の酸化物又は珪素の窒化物を含む膜を単層又は積層して形成する。例えば、酸化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜のいずれか一を単層で形成する、又は酸化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜を組み合わせ積層して形成する。

【0047】

また、ゲート絶縁膜107は、半導体膜106に対しプラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xe等の希ガスと、酸素、酸化窒素(NO_2)、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行うと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化又は窒化することができる。

20

【0048】

このようなプラズマを用いた処理により、1乃至20nm、代表的には5乃至10nmの絶縁膜が半導体膜上に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、プラズマ処理は、半導体膜(結晶性シリコン、或いは多結晶シリコン)を直接酸化(若しくは窒化)するため、形成される絶縁膜の厚さのばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くされることがないため、非常に好ましい状態となる。すなわち、ここで示すプラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

30

【0049】

ゲート絶縁膜107は、プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させてもよい。いずれにしても、プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

40

【0050】

また、半導体膜に対し、連続発振レーザ若しくは10MHz以上の周波数で発振するレーザ光を照射しながら一方向に走査して結晶化させて得られた半導体膜106は、そのビームの走査方向に結晶が成長する特性がある。その走査方向をチャンネル長方向(チャンネル形成領域が形成されたときにキャリアが流れる方向)に合わせてトランジスタを配置し、上記のプラズマで形成したゲート絶縁膜をそのトランジスタに用いることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ(TFT)を得ることができる。

【0051】

次いで、ゲート絶縁膜107上にゲート電極を形成するための導電膜を形成する。ここで

50

は、導電膜 1 2 2 と導電膜 1 2 3 を順に積層して形成する（図 4（C）参照）。導電膜 1 2 2 は、プラズマ CVD 法やスパッタ法により 20 nm 乃至 100 nm の厚さで形成する。導電膜 1 2 3 は、プラズマ CVD 法やスパッタ法により 100 nm 乃至 400 nm の厚さで形成する。導電膜 1 2 2、導電膜 1 2 3 は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料、又はこれらの元素とシリコン（Si）元素を含む合金材料若しくは化合物材料で形成する。又は、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料（例えば、シリコン（Si））により形成する。導電膜 1 2 2 と導電膜 1 2 3 の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、導電膜 1 2 2 と導電膜 1 2 3 を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2 層構造ではなく、3 層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用すると良い。

10

20

30

40

50

【0052】

次いで、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、導電膜 1 2 2、導電膜 1 2 3 を選択的にエッチングすることによって、第 1 の導電膜 1 0 8 を形成後、当該第 1 の導電膜 1 0 8 をマスクとして半導体膜 1 0 6 に不純物元素を導入してチャネル形成領域 1 0 6 a と不純物領域 1 0 6 b を形成する（図 4（D）参照）。第 1 の導電膜 1 0 8 は薄膜トランジスタにおいてゲート電極（ゲート配線を含む）として機能し、不純物領域 1 0 6 b は、薄膜トランジスタにおいてソース領域又はドレイン領域とし機能する。

【0053】

また、導入する不純物元素としては、n 型の不純物元素又は p 型の不純物元素を用いる。n 型の不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型の不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素として、リン（P）を用い、n 型の薄膜トランジスタを形成する。

【0054】

次いで、第 1 の導電膜 1 0 8、ゲート絶縁膜 1 0 7 を覆うように補強膜 1 2 5 を形成する（図 4（E）参照）。

【0055】

補強膜 1 2 5 は、補強膜 1 0 3 と同様の形成方法及び材料を適宜用いることができる。また、補強膜 1 2 5 の膜厚は、100 nm 以上 400 nm 以下で形成することが好ましい。

【0056】

次いで、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、補強膜 1 2 5 に選択的にエッチングを行うことによって、補強膜 1 0 9 を形成する（図 5（A）参照）。半導体膜 1 0 6 のヤング率よりも高い材料で形成された補強膜 1 0 9 と補強膜 1 0 3 とで半導体膜 1 0 6 を挟むように設けることにより、半導体装置の厚み方向において、曲げなどの変形に対して引っ張り応力や圧縮応力などの歪みが発生しない中立面の位置を、半導体膜 1 0 6 に応力が生じることが抑制できる位置にすることができる。よって、半導体装置に曲げ等の外力が加わった場合であっても、半導体膜 1 0 6 の部分で応力が生じることが抑制することができる。

【0057】

次いで、ゲート絶縁膜 1 0 7、補強膜 1 0 9 を覆うように層間絶縁膜として機能する絶縁膜 1 1 0 を形成した後、半導体膜 1 0 6 の不純物領域 1 0 6 b に達する開口部 1 2 4 を形成し、半導体膜 1 0 6 の表面の一部を露出させる（図 5（B）参照）。ここでは、ゲート絶縁膜 1 0 7、補強膜 1 0 9 及び絶縁膜 1 1 0 の一部をエッチングして、開口部 1 2 4 を形成する。

【0058】

絶縁膜 1 1 0 は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素又は窒素を

有する絶縁膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜や、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層又は積層構造で設けることができる。

【0059】

次いで、開口部124を充填するように第2の導電膜111を選択的に形成し、当該第2の導電膜111を覆うように絶縁膜112を形成する（図5（C）参照）。

【0060】

導電膜111は、CVD法やスパッタリング法等により、アルミニウム（Al）、タンゲステン（W）、チタン（Ti）、 tantalum（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、炭素（C）、シリコン（Si）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と、珪素の一方又は両方とを含む合金材料に相当する。導電膜111は、例えば、バリア膜とアルミニウムシリコン（Al-Si）膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン（Al-Si）膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜111を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。なお、第1の導電膜108と同一の材料で設けてもよい。

10

20

【0061】

絶縁膜112は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜や、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

30

【0062】

次いで、薄膜トランジスタ100a、100b等を含む素子形成層134を基板120から剥離する。ここでは、レーザ光（例えばUV光）を照射することによって素子形成層134に開口部を形成後、素子形成層134の一方の面（絶縁膜112が露出した面）を第1のシート126に貼り合わせて物理的な力を用いて基板120から素子形成層134を剥離する（図6（A）参照）。

【0063】

また、基板120から素子形成層134を剥離する前に、素子形成層134に開口部を設け、エッチング剤を導入して、剥離層121を除去してもよい。エッチング剤は、フッ化ハロゲン又はハロゲン間化合物を含む気体又は液体を使用することができる。例えば、フッ化ハロゲンを含む気体として三フッ化塩素（ CF_3 ）を使用することができる。

40

【0064】

通常、基板120から素子形成層134を剥離する際に、薄膜トランジスタ100a、100bに応力が生じ、当該薄膜トランジスタ100a、100bが破損するおそれがある。しかし、薄膜トランジスタの有する半導体膜106に半導体膜106よりも高いヤング率で形成された補強膜103及び補強膜109を設けることにより、素子形成層134に曲げ等により外力が加わった場合であっても、半導体膜106に生じる応力を抑制することができる。したがって、薄膜トランジスタ100a、100bの損傷や破壊を低減することができる。特に、支持基板にトランジスタ等の素子を形成した後に、別の基板に転置

50

する場合には、補強膜 103 及び 109 を設けることが非常に有効となる。

【0065】

なお、剥離する際に水やオゾン水等の水溶液で剥離する面を濡らしながら行うことによって、薄膜トランジスタ 100a、100b 等の素子が静電気等によって破壊されることを防止できる。

【0066】

次いで、素子形成層 134 の他方の面（基板 120 から剥離した面）に、第 2 のシート 127 を設け、その後加熱処理と加圧処理の一方又は両方を行って、素子形成層 134 に第 2 のシート 127 を貼り合わせる（図 6（B）参照）。第 1 のシート 126、第 2 のシート 127 は、ホットメルトフィルム、粘着層が形成されたプラスチックフィルム、又は紙を用いることができる。また、第 1 のシート 126、第 2 のシート 127 は、耐圧を向上させるために、薄いセラミックスを用いてもよいし、炭素繊維やガラス繊維の織物に樹脂をしみこませたシート、いわゆるプリプレグを用いてもよい。第 1 のシート 126 と第 2 のシート 127 の材料としてフレキシブルな材料を用いれば、物品の曲面に貼りつけるのに適した半導体装置を提供することができる。

10

【0067】

また、第 1 のシート 126、第 2 のシート 127 として、静電気等を防止する帯電防止対策を施したフィルム（以下、帯電防止フィルムと記す）を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼りつけられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼りつけてもよいし、フィルムの外側になるように貼りつけてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあえばよい。ここでの帯電防止可能な材料としては、金属、インジウムと錫の酸化物（ITO）、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤を用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および 4 級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼りつけたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで素子形成層の封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

20

30

【0068】

また、第 2 のシート 127 を設けると同時又は設けた後に、第 1 のシート 126 を剥離しても良い。第 1 のシート 126 を除去することによって、半導体装置をより薄く形成することができる。なお、この場合、第 1 のシート 126 としては、例えば熱を加えることによって粘着力が弱まる熱剥離テープを用いることができる。また、第 1 のシート及び第 2 のシートを基板と呼ぶこともあり、第 2 のシート 127 は、図 1 の基板 101 に相当する。

【0069】

以上の工程により、半導体装置を作製することができる。

40

【0070】

このように、半導体膜の上下近傍に半導体膜のヤング率よりも高い材料で形成された補強膜を設けることによって、半導体装置の厚み方向において、曲げなどの変形に対して引っ張り応力や圧縮応力の歪みが発生しない中立面の位置を、半導体膜に応力が生じることを抑制できる位置にすることができる。つまり、半導体装置の中立面の位置を半導体装置にとって好適な位置にすることができる。よって、半導体装置の製造工程時や完成後の使用時において、当該半導体装置に曲げ等の外力が加わった場合であっても、トランジスタ等の素子に生じる応力を抑制することができる。したがって、トランジスタ等の素子の損傷を低減し、半導体装置の歩留まりや信頼性の向上を達成することができる。

50

【 0 0 7 1 】

なお、本実施の形態では、薄膜トランジスタを支持基板上に形成した後に、当該支持基板から素子を剥離して他の基板に転置する工程を示したが、本実施の形態で示した作製方法はこれに限られない。例えば、基板 1 0 1 上に直接薄膜トランジスタ 1 0 0 a、1 0 0 b を設けてもよい。この場合、上述した工程において基板 1 2 0 に代えて基板 1 0 1 を用い、剥離層 1 2 1 を設けなければよい。基板 1 0 1 としては、ガラス基板、石英基板、ステンレス基板等の金属基板、プラスチック基板等を用いることができる。

【 0 0 7 2 】

また、本実施の形態で示した半導体装置の作製方法は、他の実施の形態で示す半導体装置の作製方法と組み合わせて実施することができる。

10

【 0 0 7 3 】

(実施の形態 3)

本実施の形態では、上記実施の形態 1 及び実施の形態 2 で示した半導体装置の薄膜トランジスタにおいて、ゲート電極として機能する第 1 の導電膜の側面に接して絶縁膜を形成し、当該絶縁膜の下方に L D D 領域を形成した場合に関して図面を参照して説明する。

【 0 0 7 4 】

本実施の形態で示す半導体装置の一例を図 7 に示す。なお、図 7 において、図 7 (A) は上面図を示しており、図 7 (B) は図 7 (A) における A - B 間の断面図を示している。

【 0 0 7 5 】

本実施の形態で示す半導体装置は、薄膜トランジスタ 1 0 0 a、1 0 0 b を有しており、薄膜トランジスタ 1 0 0 a、1 0 0 b に含まれるゲート電極として機能する第 1 の導電膜 1 0 8 の側面に接して絶縁膜 1 3 0 が設けられている (図 7 参照)。絶縁膜 1 3 0 は、サイドウォールとも呼ばれ、当該絶縁膜 1 3 0 の下方に L D D 領域を設けた構造とすることができる。なお、図 7 (B) に、図に 1 示した構造に絶縁膜 1 3 0 及び L D D 領域として機能する不純物領域 1 0 6 c を設けた構造を示している。

20

【 0 0 7 6 】

次いで、絶縁膜 1 3 0 の作製方法の一例に関して図 8 を参照して以下に説明する。

【 0 0 7 7 】

まず、上記実施の形態 2 の図 4 (C) まで同様に形成した後、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、導電膜 1 2 2、導電膜 1 2 3 を選択的にエッチングすることにより第 1 の導電膜 1 0 8 を形成する。次いで、当該第 1 の導電膜 1 0 8 をマスクとして半導体膜 1 0 6 に第 1 の不純物元素を導入してチャネル形成領域 1 0 6 a と不純物領域 1 2 8 を形成する (図 8 (A) 参照)。第 1 の不純物元素としては、n 型の不純物元素又は p 型の不純物元素を用いる。n 型の不純物元素としては、リン (P) やヒ素 (A s) 等を用いることができる。p 型の不純物元素としては、ボロン (B) やアルミニウム (A l) やガリウム (G a) 等を用いることができる。ここでは、不純物元素として、リン (P) を用い、n 型の薄膜トランジスタを形成する場合について示す。

30

【 0 0 7 8 】

次いで、第 1 の導電膜 1 0 8、ゲート絶縁膜 1 0 7 を覆うように絶縁膜 1 2 9 を形成する (図 8 (B) 参照)。絶縁膜 1 2 9 は、プラズマ C V D 法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂等の有機材料を含む膜を単層又は積層して形成する。

40

【 0 0 7 9 】

次いで、絶縁膜 1 2 9 を、垂直方向を主体とした異方性エッチングにより選択的にエッチングすることによって、第 1 の導電膜 1 0 8 の側面に接する絶縁膜 1 3 0 (サイドウォール) を形成する。なお、絶縁膜 1 3 0 の形成と同時に、ゲート絶縁膜 1 0 7 の一部や絶縁膜 1 0 4 の一部がエッチングされて除去される場合がある (図 8 (C) 参照)。ゲート絶縁膜 1 0 7 の一部が除去されることによって、残存するゲート絶縁膜 1 0 7 は、第 1 の導電膜 1 0 8 及び絶縁膜 1 3 0 の下方に形成される。

【 0 0 8 0 】

50

次いで、第1の導電膜108及び絶縁膜130をマスクとして半導体膜106に第2の不純物元素を導入して、ソース領域又はドレイン領域として機能する不純物領域106bと、LDD領域として機能する不純物領域106cを形成する(図8(C)参照)。第2の不純物元素としては、n型の不純物元素又はp型の不純物元素を用いる。n型の不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型の不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。また、第2の不純物元素は上述した第1の不純物元素より濃度を高くして導入する。ここでは、不純物元素として、リン(P)を用いる。

【0081】

次いで、半導体膜106、第1の導電膜108、絶縁膜130を覆うように、補強膜109を形成する(図8(D)参照)。補強膜109の形成方法は、図4(E)、図5(A)と同様に形成する。その後、上記実施の形態2で示した図5(B)、図5(C)、図6で示した工程を経て、図7で示した半導体装置を製造することができる。

【0082】

このように、半導体膜106のヤング率よりも高い材料で形成された補強膜103及び補強膜109で半導体膜106を挟むように設けることにより、半導体装置の厚み方向において、中立面の位置を半導体膜106に応力が生じることを抑制できる位置にすることができる。よって、半導体装置に曲げ等の外力が加わった場合であっても、半導体膜106に応力が生じることを抑制することができる。また、半導体膜よりもヤング率の高い材料で形成された補強膜を半導体膜の上下近傍に設けることにより、半導体膜の性質を変えることなく、半導体膜の機械的強度を高めることができる。したがって、トランジスタ等の素子の損傷を低減し、半導体装置の歩留まりや信頼性の向上を達成することができる。

【0083】

図7及び図8に置いて、島状の補強膜103上に絶縁膜104を形成し、島状の半導体膜106を設けた例を示したが、これに限らず、図9(A)、(B)に示すように、補強膜103上に半導体膜106を設けた構造としてもよい。

【0084】

図9(A)は、島状の補強膜103上に島状の半導体膜106を設けており、ゲート絶縁膜107に開口部を設け、該開口部において、島状の補強膜103と島状の補強膜109とが接する構造となっている。また図9(B)は、島状の補強膜103上に島状の半導体膜106を設けており、ゲート電極として機能する第1の導電膜108の側面に接して絶縁膜130が設けられている。絶縁膜102、島状の補強膜103、半導体膜106、絶縁膜130及び第1の導電膜108を覆うように補強膜109が設けられており、島状の補強膜103と島状の補強膜109とが接する構造となっている。

【0085】

このように、半導体膜106のヤング率よりも高い材料で形成された補強膜103及び補強膜109で半導体膜106を挟むように設けることにより、半導体装置の厚み方向において、中立面の位置を半導体膜106に応力が生じることを抑制できる位置にすることができる。よって、半導体装置に曲げ等の外力が加わった場合であっても、半導体膜106に応力が生じることを抑制することができる。また、半導体膜よりもヤング率の高い材料で形成された補強膜を半導体膜の上下近傍に設けることにより、半導体膜の性質を変えることなく、半導体膜の機械的強度を高めることができる。さらに、補強膜103と補強膜109とが接するように設けることにより、半導体膜106が不純物や水分にさらされるのを防ぐことができる。したがって、トランジスタ等の素子の損傷を低減し、半導体装置の歩留まりや信頼性の向上を達成することができる。

【0086】

このように、図7乃至図9に示した構造とすることによって、半導体装置の製造工程時や完成後の使用において、当該半導体装置に曲げ等の外力が加わった場合であっても、トランジスタ等の素子に生じる応力を抑制することができる。従って、トランジスタ等の素子の損傷を低減し、半導体装置の歩留まりや信頼性の向上を達成することができる。

10

20

30

40

50

【0087】

また、本実施の形態で示した半導体装置の構成又はその作製方法は、他の実施の形態で示す半導体装置の構成又は作製方法と組み合わせて実施することができる。

【0088】

(実施の形態4)

本実施の形態では、上記の実施の形態と異なる半導体装置に関して図面を参照して説明する。実施の形態1乃至実施の形態3において、補強膜103を半導体膜106の全面と重なるように設けた例を示したが、本実施の形態の半導体装置はこの構造に限られず、補強膜103と半導体膜106が少なくとも一部重なった構造であればよい。その一例について図10を参照して説明する。なお、図10において、図10(A)は上面図を示しており、図10(B)は図10(A)におけるA-B間の断面図を示している。

10

【0089】

図10に示す半導体装置において、補強膜103は、薄膜トランジスタ100a、100bを構成する島状の半導体膜106の一部と絶縁膜104を介して重なるように島状に設けられている。また、このように設ける場合、補強膜103が半導体膜106のチャネル形成領域106aの全面と重なり、不純物領域106bの一部と重なるように設けることが好ましい。チャネル形成領域106aの端部においてゲート電極として機能する導電膜108が半導体膜106を乗り越えるために段差が生じており、さらに補強膜103をチャネル形成領域106aの一部と重なるように設けると導電膜108と半導体膜106がショートするおそれがあるためである。

20

【0090】

また、補強膜103を半導体膜106の一部と重なるように設ける場合には、補強膜103と第2の導電膜111を重ねるように設けることが好ましく、図10では、補強膜103の端部と第2の導電膜111の端部が重なるように設けた例を示している。第2の導電膜111と重なるように補強膜103、補強膜109を設けることによって、半導体装置の厚み方向において、曲げなどの変形に対して引っ張り応力や圧縮応力の歪みが発生しない中立面の位置を、半導体膜に応力が生じることを抑制できる位置にすることができる。よって、半導体装置の製造工程時や完成後の使用時において、当該半導体装置に曲げ等の外力が加わった場合であっても、トランジスタ等の素子に生じる応力を抑制することができる。したがって、トランジスタ等の素子の損傷を低減し、半導体装置の歩留まりや信頼性の向上を達成することができる。

30

【0091】

(実施の形態5)

本実施の形態では、上記実施の形態と異なる半導体装置に関して図面を参照して説明する。具体的には、トランジスタ等の素子の補強膜となる膜を当該薄膜トランジスタの上方に設けた半導体装置に関して説明する。

【0092】

本実施の形態で示す半導体装置の一例について図11を参照して説明する。

【0093】

図11に示す半導体装置は、薄膜トランジスタ100a、100bの上方に絶縁膜(ここでは絶縁膜110)を介して補強膜133が設けられている。補強膜133は、薄膜トランジスタ100a、100bを構成する島状の半導体膜106と絶縁膜等を介して重なるように島状に設けられており、当該半導体膜106より面積が大きくなるように設けられている。もちろん、補強膜133は、半導体膜106の全面と重なった構造である必要はなく、少なくとも補強膜133が半導体膜106の一部と重なるように設けてもよい。

40

【0094】

このように、半導体膜106のヤング率よりも高い材料で形成された補強膜103及び補強膜109で半導体膜106を挟むように設けることにより、半導体装置の厚み方向において、中立面の位置を半導体膜106に応力が生じることを抑制できる位置にすることができる。よって、半導体装置に曲げ等の外力が加わった場合であっても、半導体膜106

50

に応力が生じることを抑制することができる。また、半導体膜よりもヤング率の高い材料で形成された補強膜を半導体膜の上下近傍に設けることにより、半導体膜の性質を変えることなく、半導体膜の機械的強度を高めることができる。したがって、トランジスタ等の素子の損傷を低減し、半導体装置の歩留まりや信頼性の向上を達成することができる。

【0095】

なお、本実施の形態で示した半導体装置の構成は、他の実施の形態で示す半導体装置の構成と組み合わせて実施することができる。

【0096】

(実施の形態6)

本実施の形態では、上記実施の形態で示した半導体装置の使用形態の一例について説明する。具体的には、非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFIDタグ、IDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグまたは無線チップともよばれる。

【0097】

本実施の形態で示す半導体装置の上面構造の一例について、図12(A)を参照して説明する。図12(A)に示す半導体装置140は、メモリ部やロジック部を構成する複数の薄膜トランジスタ等の素子が設けられた集積回路141(素子形成層とも記す)と、アンテナとして機能する導電層142を含んでいる。アンテナとして機能する導電層142は、集積回路141に電氣的に接続されている。集積回路141には、上記実施の形態1乃至5に係るトランジスタ等の素子を適用することができる。

【0098】

また、図12(B)、(C)に図12(A)の断面の模式図を示す。アンテナとして機能する導電層142は、メモリ部及びロジック部を構成する素子の上方に設ければよく、例えば、上記実施の形態3で示した構造の上方に、絶縁膜143を介してアンテナとして機能する導電層142を設けることができる(図12(B)参照)。絶縁膜143は、実施形態1で示した絶縁膜112と同様の材料で形成することができる。他にも、アンテナとして機能する導電層142を基板144に別に設けた後、当該基板144及び集積回路141を、導電層142が間に位置するように貼り合わせて設けることができる(図12(C)参照)。ここでは、絶縁膜143上に設けられた導電層147とアンテナとして機能する導電層142とが、接着性を有する樹脂146中に含まれる導電体粒子145を介して電氣的に接続されている。

【0099】

なお、本実施の形態では、アンテナとして機能する導電層142をコイル状に設け、電磁誘導方式または電磁結合方式を適用する例を示すが、本実施の形態の半導体装置はこれに限られずマイクロ波方式を適用することも可能である。マイクロ波方式の場合は、用いる電磁波の波長によりアンテナとして機能する導電層142の形状を適宜決めればよい。

【0100】

例えば、半導体装置140における信号の伝送方式として、マイクロ波方式(例えば、UHF帯(860MHz帯乃至960MHz帯)、2.45GHz帯等)を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電層の長さ等の形状を適宜設定すればよい。例えば、アンテナとして機能する導電層を線状(例えば、ダイポールアンテナ(図13(A)参照)、平坦な形状(例えば、パッチアンテナ(図13(B)参照)またはリボン型の形状(図13(C)、(D)参照)等に形成することができる。また、アンテナとして機能する導電層142の形状は線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

【0101】

アンテナとして機能する導電層142は、CVD法、スパッタ法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅

10

20

30

40

50

(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0102】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電層142を形成する場合には、粒径が数nmから数十 μ mの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子145としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコン樹脂等の有機樹脂が挙げられる。また、導電層の形成の際は、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子(例えば粒径1nm以上100nm以下の微粒子)を用いる場合、150乃至300の温度範囲で焼成することにより硬化させて導電層を形成することができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20 μ m以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

10

【0103】

このように、非接触でデータの入出力が可能である半導体装置に本発明を適用することで、低消費電力化を図ることができるため、特に小型の半導体装置に用いる場合は効果的である。

20

【0104】

次いで、本実施の形態に係る半導体装置の動作例について説明する。

【0105】

半導体装置80は、非接触でデータを交信する機能を有し、高周波回路81、電源回路82、リセット回路83、クロック発生回路84、データ復調回路85、データ変調回路86、他の回路の制御を行う制御回路87、記憶回路88およびアンテナ89を有している(図14(A)参照)。高周波回路81はアンテナ89より信号を受信して、データ変調回路86より受信した信号をアンテナ89から出力する回路である。電源回路82は受信信号から電源電位を生成する回路である。リセット回路83はリセット信号を生成する回路である。クロック発生回路84はアンテナ89から入力された受信信号を基に各種クロック信号を生成する回路である。データ復調回路85は受信信号を復調して制御回路87に出力する回路である。データ変調回路86は制御回路87から受信した信号を変調する回路である。また、制御回路87としては、例えばコード抽出回路91、コード判定回路92、CRC判定回路93および出力ユニット回路94が設けられている。なお、コード抽出回路91は制御回路87に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路92は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC判定回路93は判定されたコードに基づいて送信エラー等の有無を検出する回路である。図14(A)では、制御回路87の他に、アナログ回路である高周波回路81、電源回路82を含んでいる。

30

40

【0106】

次いで、上述した半導体装置の動作の一例について説明する。まず、アンテナ89により無線信号が受信される。無線信号は高周波回路81を介して電源回路82に送られ、高電源電位(以下、VDDと記す)が生成される。VDDは半導体装置80が有する各回路に供給される。また、高周波回路81を介してデータ復調回路85に送られた信号は復調される(以下、復調信号という)。さらに、高周波回路81を介してリセット回路83を通った信号およびクロック発生回路84を通った復調信号は制御回路87に送られる。制御回路87に送られた信号は、コード抽出回路91、コード判定回路92およびCRC判定

50

回路 93 等によって解析される。そして、解析された信号にしたがって、記憶回路 88 内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路 94 を通って符号化される。さらに、符号化された半導体装置 80 の情報はデータ変調回路 86 を通って、アンテナ 89 により無線信号に載せて送信される。なお、半導体装置 80 を構成する複数の回路においては、低電源電位（以下、VSS という）は共通であり、VSS は GND とすることができる。

【0107】

このように、リーダ/ライタから半導体装置 80 に信号を送り、当該半導体装置 80 から送られてきた信号をリーダ/ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

【0108】

また、半導体装置 80 は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【0109】

次いで、非接触でデータの入出力が可能半導体装置の使用形態の一例について説明する。表示部 3210 を含む携帯端末の側面には、リーダ/ライタ 3200 が設けられ、品物 3220 の側面には半導体装置 3230 が設けられる（図 14（B）参照）。品物 3220 が含む半導体装置 3230 にリーダ/ライタ 3200 をかざすと、表示部 3210 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3260 をベルトコンベアにより搬送する際にリーダ/ライタ 3240 と、商品 3260 に設けられた半導体装置 3250 を用いて、該商品 3260 の検品を行うことができる（図 14（C）参照）。半導体装置 3230、半導体装置 3250 としては、上述した半導体装置 80 を適用することができる。このように、システムに本実施の形態に係る半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。また、本実施の形態に係る半導体装置は低消費電力化を実現できるため、品物に設ける半導体装置を小型化することが可能である。

【0110】

なお、上述した以外にも本実施の形態に係る半導体装置の用途は広範にわたり、非接触で対象物の履歴等の情報を明確にし、生産・管理等に役立てる商品であればどのようなものにも適用することができる。本実施の形態に係る半導体装置は、曲げ等の外力が加わった場合であっても、トランジスタ等の素子の損傷を低減することができるため、物品（生き物を含む）であればどのようなものであっても設けて使用することができる。

【0111】

（実施の形態 7）

本実施の形態では、上記実施の形態の半導体装置の使用形態の一例について説明する。半導体装置は、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等）、包装用容器類（包装紙やボトル等）、記録媒体（DVD ソフトやビデオテープ等）、乗物類（自転車等）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札等の物品に設ける、いわゆる IC ラベル、IC タグ、IC カードとして使用することができる。

【0112】

なお、本明細書において、IC カードとは、プラスチック製カードに薄片化した集積回路（例えば、IC チップ）を埋設して情報を記録できるようにしたカードである。データを読み書きする方式の違いによって「接触式」と「非接触式」に分けられる。非接触式カードにはアンテナが内蔵されており、微弱な電波を利用して端末と通信することができるものである。また、IC タグとは、物体の識別に利用される微小な IC チップ（特にこの用途の IC チップを「ID チップ」ともいう。）に自身の識別コードなどの情報が記録されており、電波を使って管理システムと情報を送受信する能力をもつものをいう。数十ミリ

10

20

30

40

50

メートルの大きさで、電波や電磁波で読み取り器と通信することができる。無線通信によりデータの通信を行う半導体装置に使うＩＣタグの態様はさまざまであり、カード形式のものや、ラベル類（ＩＣラベルという）、証書類などがある。

【 0 1 1 3 】

本実施の形態では、図 1 5 を参照して、上記実施の形態の半導体装置の応用例、及びそれらの半導体装置を付した商品の一例について説明する。

【 0 1 1 4 】

図 1 5 (A) は、半導体装置の完成品の状態の一例である。ラベル台紙 3 0 0 1 (セパレート紙) 上に、半導体装置 3 0 0 2 を内蔵した複数のＩＣラベル 3 0 0 3 が形成されている。ＩＣラベル 3 0 0 3 は、ボックス 3 0 0 4 内に収納されている。また、ＩＣラベル 3 0 0 3 上には、その商品や役務に関する情報（商品名、ブランド、商標、商標権者、販売者、製造者等）が記されており、一方、内蔵されている半導体装置には、その商品（又は商品の種類）固有のＩＤナンバーが付されており、偽造や、商標権、特許権等の知的財産権侵害、不正競争等の不法行為を容易に把握することができる。また、半導体装置内には、商品の容器やラベルに明記しきれない多大な情報、例えば、商品の産地、販売地、品質、原材料、効能、用途、数量、形状、価格、生産方法、使用方法、生産時期、使用時期、賞味期限、取扱説明、商品に関する知的財産情報等を入力しておくことができ、取引者や消費者は、簡易な読み取り装置によって、それらの情報にアクセスすることができる。また、生産者側からは容易に書換え、消去等も可能であるが、取引者、消費者側からは書換え、消去等ができない仕組みになっている。

10

20

【 0 1 1 5 】

図 1 5 (B) は、半導体装置 3 0 1 2 を内蔵したラベル状のＩＣタグ 3 0 1 1 を示している。ＩＣタグ 3 0 1 1 を商品に備え付けることにより、商品管理が容易になる。例えば、商品が盗難された場合に、商品の経路を辿ることによって、その犯人を迅速に把握することができる。このように、ＩＣタグを備えることにより、所謂トレーサビリティに優れた商品を流通させることができる。

【 0 1 1 6 】

図 1 5 (C) は、半導体装置 3 0 2 2 を内包したＩＣカード 3 0 2 1 の完成品の状態の一例である。上記ＩＣカード 3 0 2 1 としては、キャッシュカード、クレジットカード、プリペイドカード、電子乗車券、電子マネー、テレフォンカード、会員カード等のあらゆるカード類が含まれる。

30

【 0 1 1 7 】

なお図 1 5 (C) に示したＩＣカードにおいては、半導体装置を構成するトランジスタとして薄膜トランジスタを用いることにより、図 1 5 (D) に示すように折り曲げた形状に変形させたとしても使用することができる。

【 0 1 1 8 】

図 1 5 (E) は、無記名債券 3 0 3 1 の完成品の状態を示している。無記名債券 3 0 3 1 には、半導体装置 3 0 3 2 が埋め込まれており、その周囲は樹脂によって成形され、半導体装置を保護している。ここで、該樹脂中にはフィラーが充填された構成となっている。無記名債券 3 0 3 1 は、ＩＣラベル、ＩＣタグ、ＩＣカードと同じ要領で作成することができる。なお、上記無記名債券類には、切手、切符、チケット、入場券、商品券、図書券、文具券、ビール券、おこめ券、各種ギフト券、各種サービス券等が含まれるが、勿論これらに限定されるものではない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に半導体装置 3 0 3 2 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。

40

【 0 1 1 9 】

図 2 2 (A) に、半導体装置 3 3 0 0 を内蔵したポスター 3 3 1 0 と、側面にリーダ/ライタ 3 3 2 0 が設けられた携帯端末 3 3 3 0 を示す。半導体装置 3 3 0 0 には、商品、イベント、企業などに関連した情報が記憶されている。半導体装置 3 3 0 0 が内蔵されたポスター 3 3 1 0 にリーダ/ライタ 3 3 2 0 が設けられた携帯端末を近づけると、半導体装

50

置 3 3 0 0 に記憶された情報をリーダ/ライタ 3 3 2 0 で読み取ることができる。その後、読みとった情報から、Web サイトにアクセスしてさらなる情報を得ることもできる。

【 0 1 2 0 】

図 2 2 (B) は、半導体装置 3 3 4 0 を内蔵した名刺 3 3 5 0 を示す。半導体装置 3 3 4 0 には、その人物の情報 (会社名、住所、電話番号など) が記憶されており、携帯端末やコンピュータなどに設けられたリーダ/ライタで読み取ることにより、その人物の情報を携帯端末やコンピュータなどに記憶することができる。

【 0 1 2 1 】

図 2 2 (C) は、半導体装置 3 3 6 0 を内蔵した切符 3 3 7 0 を示す。半導体装置 3 3 6 0 が内蔵された切符 3 3 7 0 は、無線を使用しているので、切符 3 3 7 0 と改札機 (リーダ/ライタ) が離れている場合や、切符 3 3 7 0 が隠れている場合でも読み取りを行うことができる。改札機に挿入して読み取る必要がないため、読み取り不良を低減することができる。また、半導体装置 3 3 6 0 に記憶されている情報を書き換えることができるため、再利用することができる。

10

【 0 1 2 2 】

また、ここでは図示しないが、書籍、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。また乗物類に半導体装置を設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物に無線タグを埋め込むこと

20

【 0 1 2 3 】

以上のように、上記実施の形態の半導体装置は、曲げ等の外力が加わった場合であっても、トランジスタ等の素子の損傷を低減することができるため、物品 (生き物を含む) であればどのようなものであっても、設けて使用することができる。

【 0 1 2 4 】

(実施の形態 8)

本実施の形態では、上記実施の形態の半導体装置の使用形態の一例について説明する。上記実施の形態の半導体装置は、作製した基板から剥離することによって、可撓性を有する状態とすることができる。以下に、上記実施の形態の半導体装置を有する電子機器の具体例に関して図 1 6 を参照して説明する。電子機器とは、液晶表示装置、E L 表示装置、テレビジョン装置 (単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ) 及び携帯電話等を指す。

30

【 0 1 2 5 】

図 1 6 (A) は、ディスプレイ 4 1 0 1 であり、支持台 4 1 0 2、表示部 4 1 0 3 を含む。表示部 4 1 0 3 は可撓性を有する基板を用いて形成されており、軽量で薄型のディスプレイを実現できる。また、表示部 4 1 0 3 を湾曲させることも可能であり、支持台 4 1 0 2 から取り外して湾曲した壁に沿ってディスプレイを取り付けることも可能である。上記実施の形態で示した半導体装置を、表示部 4 1 0 3 や周辺の駆動回路等の集積回路に用いることによって、半導体装置の使用形態の一つである可撓性を有するディスプレイを作製

40

【 0 1 2 6 】

図 1 6 (B) は巻き取り可能なディスプレイ 4 2 0 2 であり、表示部 4 2 0 1 を含む。上記実施の形態で示した半導体装置を、表示部 4 2 0 1 や駆動回路等の集積回路に用いることによって、半導体装置の使用形態の一つである、巻取りが可能で薄型の大型ディスプレイを作製することができる。巻き取り可能なディスプレイ 4 2 0 2 は可撓性を有する基板を用いて形成されているため、表示部 4 2 0 1 と共に折り畳んだり、巻き取ったりして持ち運ぶことが可能である。そのため、巻き取り可能なディスプレイ 4 2 0 2 が大型である場合でも折り畳んだり、巻き取ったりして鞆に入れて持ち運ぶことができる。

50

【 0 1 2 7 】

図 1 6 (C) は、シート型のコンピュータ 4 3 0 1 であり、表示部 4 3 0 2、キーボード 4 3 0 3、タッチパッド 4 3 0 4、外部接続ポート 4 3 0 5、電源プラグ 4 3 0 6 等を含んでいる。上記実施の形態で示した半導体装置を、表示部 4 3 0 2 や駆動回路、情報処理回路等の集積回路に用いることによって、半導体装置の使用形態の一つである、薄型またはシート型のコンピュータを作製することができる。表示部 4 3 0 2 は可撓性を有する基板を用いて形成されており、軽量で薄型のコンピュータを実現できる。また、シート型のコンピュータ 4 3 0 1 の本体部分に収納スペースを設けることによって表示部 4 3 0 2 を本体に巻き取って収納することが可能である。また、キーボード 4 3 0 3 も可撓性を有するように設けることによって、表示部 4 3 0 2 と同様にシート型のコンピュータ 4 3 0 1 の収納スペースに巻き取って収納ことができ、持ち運びが便利になる。また、使用しない場合にも折り畳むことによって場所をとらずに収納することが可能となる。

10

【 0 1 2 8 】

図 1 6 (D) は、20 ~ 80 インチの大型の表示部を有する表示装置 4 4 0 0 であり、操作部であるキーボード 4 4 0 2、表示部 4 4 0 1、スピーカー 4 4 0 3 等を含む。また、表示部 4 4 0 1 は可撓性を有する基板を用いて形成されており、キーボード 4 4 0 2 を取り外して表示装置 4 4 0 0 を折り畳んだり巻き取ったりして持ち運ぶことが可能である。また、キーボード 4 4 0 2 と表示部 4 4 0 1 との接続は無線で行うことができ、例えば、湾曲した壁に沿って表示装置 4 4 0 0 を取り付けながらキーボード 4 4 0 2 で無線によって操作することができる。

20

【 0 1 2 9 】

図 1 6 (D) に示す例では、上記実施の形態で示した半導体装置を、表示部 4 4 0 1 や表示部の駆動回路、表示部とキーボードとの間の通信を制御する無線通信回路等の集積回路に用いている。これによって半導体装置の使用形態の一つである、薄型の大型表示装置を作製することができる。

【 0 1 3 0 】

図 1 6 (E) は電子ブック 4 5 0 1 であり、表示部 4 5 0 2、操作キー 4 5 0 3 等を含む。またモデムが電子ブック 4 5 0 1 に内蔵されていても良い。表示部 4 5 0 2 は可撓性基板を用いて形成されており、折り曲げたり巻き取ったりすることができる。そのため、電子ブックの持ち運びも場所をとらずに行うことができる。さらに、表示部 4 5 0 2 は文字等の静止画像はもちろん動画も表示することが可能となっている。

30

【 0 1 3 1 】

図 1 6 (E) に示す例では、上記実施の形態で示した半導体装置を、表示部 4 5 0 2 や駆動回路、制御回路等の集積回路に用いている。これによって、半導体装置の使用形態の一つである、薄型の電子ブックを作製することができる。

【 0 1 3 2 】

図 1 6 (F) は IC カード 4 6 0 1 であり、表示部 4 6 0 2、接続端子 4 6 0 3 等を含む。表示部 4 6 0 2 は可撓性基板を用いて軽量、薄型のシート状になっているため、カードの表面に張り付けて形成することができる。また、IC カードが非接触でデータの受信が行える場合に外部から取得した情報を表示部 4 6 0 2 に表示することが可能となっている。

40

【 0 1 3 3 】

図 1 6 (F) に示す例では、上記実施の形態で示した半導体装置を、表示部 4 6 0 2 や無線通信回路等の集積回路に用いている。これによって、半導体装置の使用形態の一つである、薄型の IC カードを作製することができる。

【 0 1 3 4 】

このように、上述した実施の形態の半導体装置を電子機器に用いることにより、曲げることが可能な電子機器を作製することができる。電子機器に曲げ等の外力が加わった場合でも、電子機器の厚み方向における中立面の位置を、半導体膜 1 0 6 に応力が生じることを抑制できる位置にすることができる。よって、電子機器に曲げ等の外力が加わった場合で

50

あっても、半導体膜 106 に応力が生じることを抑制することができる。したがって、半導体膜 106 の損傷を低減することができ、電子機器の歩留まりや信頼性を向上させることができる。

【0135】

以上のように、本発明の適用範囲はきわめて広く、あらゆる分野の電子機器や情報表示手段に用いることができる。

【実施例 1】

【0136】

本実施例では、実施の形態 1 に係る半導体装置に曲げ等の外力が加わった場合に、半導体膜に生じる応力分布を計算により検証（シミュレーション）した。そして、得られた応力分布から、半導体膜に生じる応力を抑制することが可能な、第 1 の補強膜及び第 2 の補強膜の最適な膜厚を計算により検証した結果について以下に示す。

10

【0137】

第 1 の補強膜及び第 2 の補強膜の最適な膜厚を求めるために、第 1 の補強膜の膜厚と第 2 の補強膜の膜厚の組み合わせを種々変更し、4 点曲げ試験を模擬した有限要素法解析を行い、半導体装置に生じる応力分布を求めた。求めた応力分布から、半導体膜（特に、チャネル形成領域）に生じるミーゼスの相当応力の最大値を求めた。なお、本明細書で規定するミーゼスの相当応力とは、一般に用いられる計算機シミュレーションから求められる各方向の応力をスカラー量に変換することによって求めることができる値である。

【0138】

半導体装置に生じる応力分布は、応力解析ソフトなど、一般に用いられる計算機シミュレーションにより求めることができる。半導体装置を構成する部品から解析モデルを作成し、コンピュータの応力解析ソフトに、解析モデルの各構成部品の大きさ、形状、ヤング率、ポアソン比、荷重その他のパラメータを入力し、曲げによる影響で各部品にどのような応力分布が発生するかを解析する。ここでいう部品とは、絶縁膜、補強膜、半導体膜、ゲート絶縁膜、ゲート電極といった上記のもの以外でも、半導体装置を構成するあらゆる要素を含む。本実施例では、応力解析ソフトとして、商品名「ANSYS」（サイバネットシステム社製）を用いて行った。

20

【0139】

図 17 に、計算に用いた解析モデルについて示す。

30

【0140】

バッファ層として機能する絶縁膜 202 として、酸化窒化シリコン（膜厚 200 nm）を仮定した。絶縁膜 202 上に第 1 の補強膜 203 は、窒化シリコン（膜厚 0 nm、50 nm、100 nm、150 nm、200 nm、400 nm で条件振り）とした。また、絶縁膜 204 は、酸化窒化シリコン（膜厚 100 nm）とし、絶縁膜 202 及び補強膜 203 を覆うように積層している。島状の半導体膜 206 はシリコン（膜厚 66 nm）、ゲート絶縁膜 207 は酸化シリコン（膜厚 20 nm）、ゲート電極として機能する導電膜 208 はタングステン（膜厚 100 nm）とした。また、第 2 の補強膜 209 は窒化シリコン（膜厚 0 nm、100 nm、150 nm、200 nm、400 nm で条件振り）、層間絶縁膜 210 は酸化窒化シリコン（膜厚 1.5 μm）、ソース電極又はドレイン電極として機能する導電膜 211 は、アルミニウム（膜厚 700 nm）、絶縁膜 212 はポリイミド（膜厚 1.5 μm）とした。半導体装置の外寸は 50 μm × 3.32 μm である。なお、計算を簡略化するためシート（又は基板）を省いて計算した。

40

【0141】

表 1 に、計算に用いた部品のヤング率とポアソン比を示す。

【0142】

【表 1】

材料	ヤング率[MPa]	ポアソン比
シリコン	1.70E+05	0.3
酸化窒化シリコン	6.82E+04	0.25
窒化酸化シリコン	1.96E+05	0.25
酸化シリコン	4.50E+04	0.25
アルミニウム	7.00E+04	0.33
タンゲステン	5.34E+05	0.22
ポリイミド	6.19E+03	0.25

【0143】

10

また、図 17 の支点 2 1 3 をシミュレーションモデルの両端から 8 μm のところに設けて、矢印 2 1 4 に示すようにシミュレーションモデルに対し荷重を 0.05 N 加えた四点曲げを仮定した。

【0144】

図 18 及び図 19 に、解析ソフトにより有限要素法解析を行い、半導体装置に生じた応力分布を示す。図 18 (A) は、第 1 の補強膜及び第 2 の補強膜を設けない場合であり、図 18 (B) は、第 1 の補強膜及び第 2 の補強膜を設けた場合である。また、図 19 (A) は第 1 の補強膜のみを設けた場合であり、図 19 (B) は第 2 の補強膜のみを設けた場合である。また、応力分布は色の濃い箇所ほど高い応力値を示す。

【0145】

20

有限要素法により求められる応力はモデルの構造に依存し、様々な性質の応力が含まれている。そこで、本実施例では、有限要素法による計算結果の応力をミーゼスの相当応力により評価した。また、薄膜トランジスタに生じる応力は、損傷の起こりやすさに注目し、チャンネル形成領域 2 0 6 a の応力としてとらえ、チャンネル形成領域 2 0 6 a のミーゼスの相当応力の最大値により評価した。

【0146】

表 2 に、チャンネル形成領域 2 0 6 a に生じる応力をミーゼスの相当応力の最大値で示す。

【0147】

【表 2】

		上層の膜厚[nm]					
		0	100	150	200	300	400
		応力[MPa]	応力[MPa]	応力[MPa]	応力[MPa]	応力[MPa]	応力[MPa]
下層の膜厚[nm]	0	44	47	47	48	49	50
	50	41	36	36	36	37	38
	100	56	35	31	28	27	30
	150	73	47	43	36	34	32
	200	87	58	54	36	44	40
	400	143	102	95	36	80	72

30

【0148】

図 20 及び図 21 に、有限要素法を用いて求めたチャンネル形成領域の応力分布を示す。図 20 及び図 21 は、チャンネル形成領域を拡大して示しており、応力分布は色の濃い箇所ほど高い応力値を示す。なお、半導体膜 2 0 6 以外の応力分布は示していない。

40

【0149】

図 20 (A) に、第 1 の補強膜 2 0 3 及び第 2 の補強膜 2 0 9 を設けない (第 1 の補強膜の膜厚 0 nm、第 2 の補強膜の膜厚 0 nm) 場合のチャンネル形成領域に生じる応力分布を示す。チャンネル形成領域において、チャンネル形成領域の下側中央に高い応力が生じていることがわかる。これは、半導体装置の中立面の位置がゲート電極側に存在することを示している。このときのミーゼスの相当応力の最大値は、44 MPa となった。

【0150】

図 20 (B) に、第 1 の補強膜及び第 2 の補強膜を設けた (第 1 の補強膜の膜厚 100 n

50

m、第2の補強膜の膜厚300nm)場合のチャネル形成領域に生じる応力分布を示す。第1の補強膜及び第2の補強膜を設けた場合はチャネル形成領域において、30MPa以上の応力が生じていないことがわかる。これは、図20(A)の場合と比較して半導体装置の中立面の位置が第1の補強膜203側に移動したためである。このときのミーゼスの相当応力の最大値は、27MPaであり、図20(A)と比較して約40%応力を低減することができた。

【0151】

また、図21(A)に、第1の補強膜のみを設けた(第1の補強膜の膜厚100nm)場合のチャネル形成領域に生じる応力分布を示す。第1の補強膜203のみを設けた場合、半導体装置の中立面の位置が図20(B)の場合よりも、さらに第1の補強膜203側に移動するため、チャネル形成領域の上端部に高い応力が生じている。このときのミーゼスの相当応力の最大値は、56MPaとなった。

10

【0152】

また、図21(B)に、第2の補強膜のみを設けた(第2の補強膜の膜厚300nm)場合のチャネル形成領域に生じる応力分布を示す。第2の補強膜のみを設けた場合、半導体装置の中立面の位置が図20(A)の場合よりも、ゲート電極側に移動するため、チャネル形成領域の下側中央に高い応力が生じている。このときのミーゼスの相当応力の最大値は、49MPaとなった。

【0153】

図20(A)に示す第1の補強膜及び第2の補強膜が設けられていない場合と、図20(B)に示す第1の補強膜及び第2の補強膜が設けられている場合について、チャネル形成領域に生じる応力分布を比較すると、ミーゼスの相当応力を40%低減することができた。これは、半導体膜の上下に補強膜を設けることにより、半導体装置における中立面の位置を変化させ、チャネル形成領域に生じる応力を抑制できたためである。

20

【0154】

また、図21(A)、(B)に示した通り、第1の補強膜のみ又は第2の補強膜のみ設けた場合は、補強膜が設けられていない場合よりもチャネル形成領域に生じる応力が増大することがあり、必ずしもチャネル形成領域に生じる応力を抑制できるとは限らないことがわかった。

【0155】

解析結果から、第1の補強膜及び第2の補強膜を設けない場合に生じるミーゼスの相当応力の最大値が44MPaであることから、第1の補強膜の膜厚50nm以上200nm以下、かつ第2の補強膜の膜厚は100nm以上400nm以下の範囲を選定すればよいことがわかった。また、第1の補強膜の膜厚よりも第2の補強膜の膜厚が厚い場合には、ミーゼスの相当応力の最大値を低減できることがわかった。さらに、第1の補強膜の膜厚と第2の補強膜の膜厚の比率(第1の補強膜の膜厚/第2の補強膜の膜厚)が1/2以下の場合にも、ミーゼスの相当応力の最大値を低減できることがわかった。

30

【0156】

このように、半導体膜のヤング率よりも高い材料で形成された補強膜で半導体膜を挟むように設けることにより、半導体装置の厚み方向において中立面の位置を、半導体膜に生じることを抑制できる位置に移動させることができる。つまり、半導体装置の中立面の位置を半導体装置にとって好適な位置に移動させることができる。よって、半導体装置に曲げ等の外力が加わった場合であっても、半導体膜に応力が生じることを抑制することができる。したがって、トランジスタ等の素子の損傷を低減し、半導体装置の歩留まりや信頼性の向上を達成することができる。

40

【符号の説明】

【0157】

- 80 半導体装置
- 81 高周波回路
- 82 電源回路

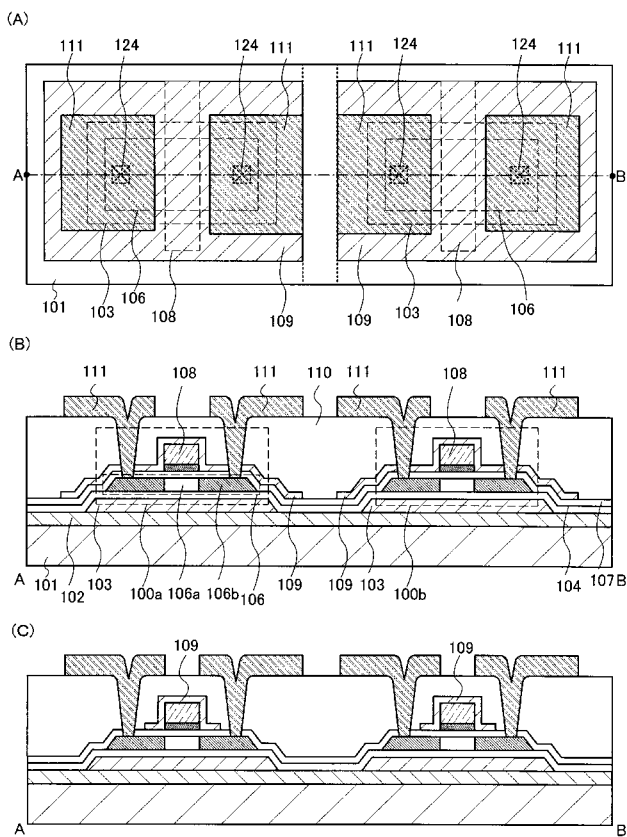
50

8 3	リセット回路	
8 4	クロック発生回路	
8 5	データ復調回路	
8 6	データ変調回路	
8 7	制御回路	
8 8	記憶回路	
8 9	アンテナ	
9 1	コード抽出回路	
9 2	コード判定回路	
9 3	C R C 判定回路	10
9 4	出力ユニット回路	
1 0 0 a	薄膜トランジスタ	
1 0 0 b	薄膜トランジスタ	
1 0 1	基板	
1 0 2	絶縁膜	
1 0 3	補強膜	
1 0 4	絶縁膜	
1 0 6	半導体膜	
1 0 6 a	チャネル形成領域	
1 0 6 b	不純物領域	20
1 0 6 c	不純物領域	
1 0 7	ゲート絶縁膜	
1 0 8	導電膜	
1 0 9	補強膜	
1 1 0	絶縁膜	
1 1 1	導電膜	
1 1 2	絶縁膜	
1 1 4	補強膜	
1 1 6	絶縁膜	
1 1 8	導電膜	30
1 2 0	基板	
1 2 1	剥離層	
1 2 2	導電膜	
1 2 3	導電膜	
1 2 4	開口部	
1 2 5	補強膜	
1 2 6	シート	
1 2 7	シート	
1 2 8	不純物領域	
1 2 9	絶縁膜	40
1 3 0	絶縁膜	
1 3 1	補強膜	
1 3 2	領域	
1 3 3	補強膜	
1 3 4	素子形成層	
1 4 0	半導体装置	
1 4 1	集積回路	
1 4 2	導電層	
1 4 3	絶縁膜	
1 4 4	基板	50

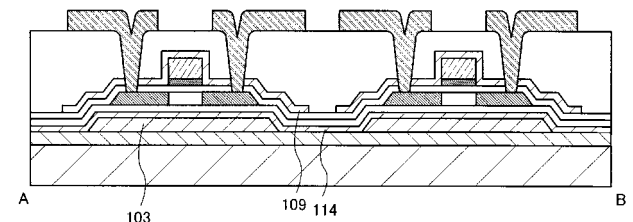
1 4 5	導電体粒子	
1 4 6	樹脂	
1 4 7	導電層	
1 5 0	リーダ/ライタ	
1 5 1	表示部	
1 5 2	品物	
1 5 3	半導体装置	
1 5 4	リーダ/ライタ	
1 5 5	半導体装置	
1 5 6	商品	10
2 0 2	絶縁膜	
2 0 3	補強膜	
2 0 4	絶縁膜	
2 0 6	半導体膜	
2 0 6 a	チャネル形成領域	
2 0 7	ゲート絶縁膜	
2 0 8	導電膜	
2 0 9	補強膜	
2 1 0	層間絶縁膜	
2 1 1	導電膜	20
2 1 2	絶縁膜	
2 1 3	支点	
2 1 4	矢印	
3 0 0 1	ラベル台紙	
3 0 0 2	半導体装置	
3 0 0 3	ICラベル	
3 0 0 4	ボックス	
3 0 1 1	ICタグ	
3 0 1 2	半導体装置	
3 0 2 1	ICカード	30
3 0 2 2	半導体装置	
3 0 3 1	無記名債券	
3 0 3 2	半導体装置	
3 2 0 0	リーダ/ライタ	
3 2 1 0	表示部	
3 2 2 0	品物	
3 2 3 0	半導体装置	
3 2 4 0	リーダ/ライタ	
3 2 5 0	半導体装置	
3 2 6 0	商品	40
3 3 0 0	半導体装置	
3 3 1 0	ポスター	
3 3 2 0	リーダ/ライタ	
3 3 3 0	携帯端末	
3 3 4 0	半導体装置	
3 3 5 0	名刺	
3 3 6 0	半導体装置	
3 3 7 0	切符	
4 1 0 1	ディスプレイ	
4 1 0 2	支持台	50

- 4 1 0 3 表示部
- 4 2 0 1 表示部
- 4 2 0 2 ディスプレイ
- 4 3 0 1 コンピュータ
- 4 3 0 2 表示部
- 4 3 0 3 キーボード
- 4 3 0 4 タッチパッド
- 4 3 0 5 外部接続ポート
- 4 3 0 6 電源プラグ
- 4 4 0 0 表示装置
- 4 4 0 1 表示部
- 4 4 0 2 キーボード
- 4 4 0 3 スピーカー
- 4 5 0 1 電子ブック
- 4 5 0 2 表示部
- 4 5 0 3 操作キー
- 4 6 0 1 ICカード
- 4 6 0 2 表示部
- 4 6 0 3 接続端子

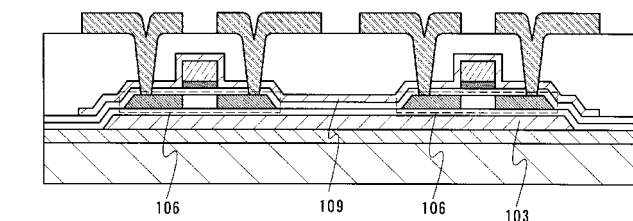
【図1】



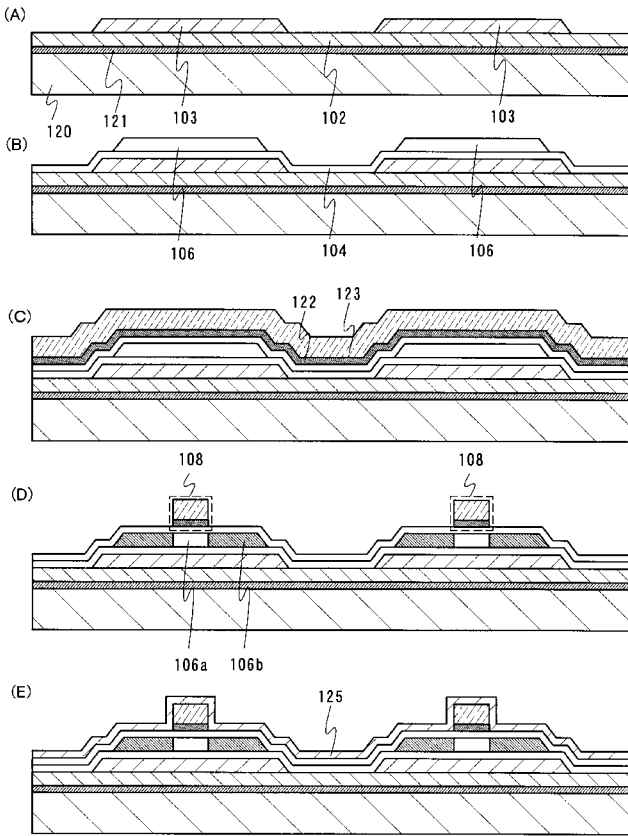
【図2】



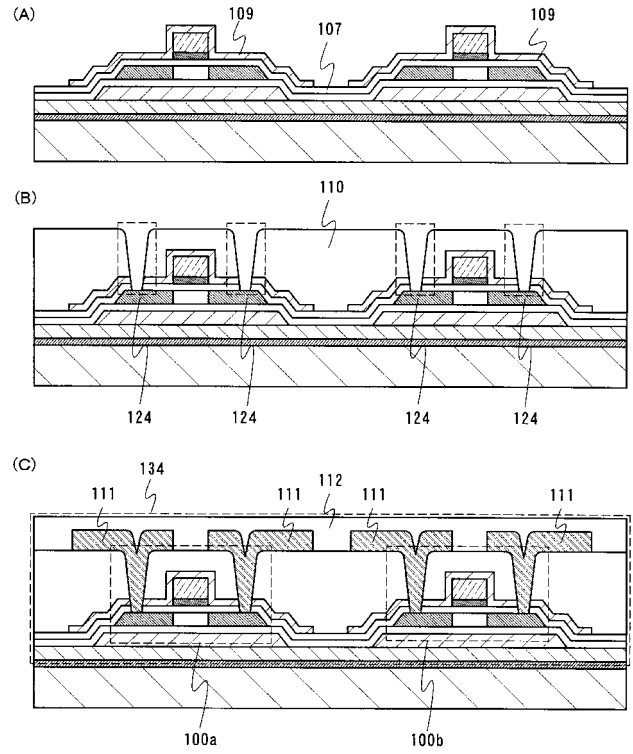
【図3】



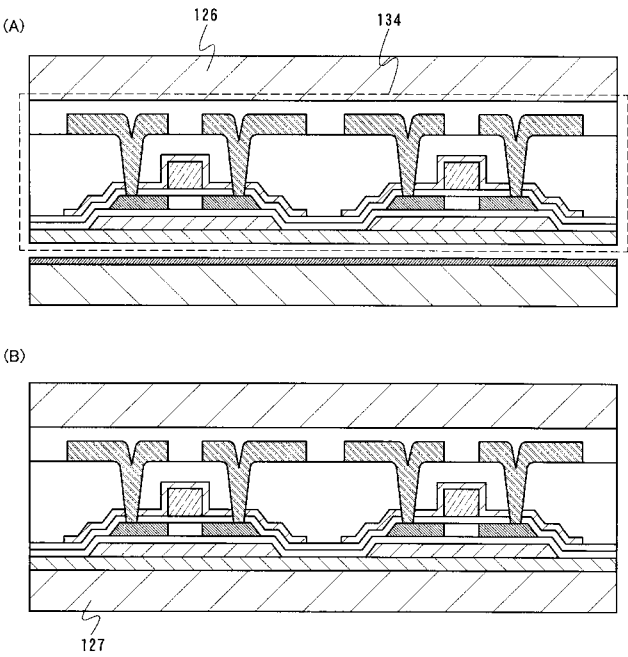
【 図 4 】



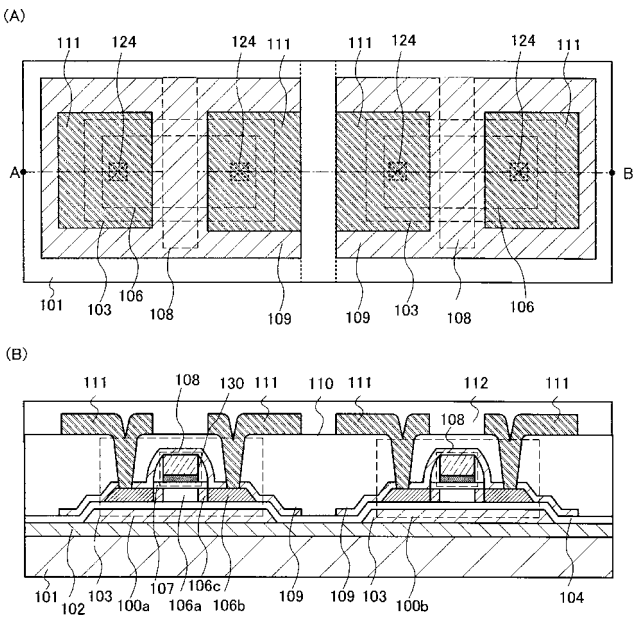
【 図 5 】



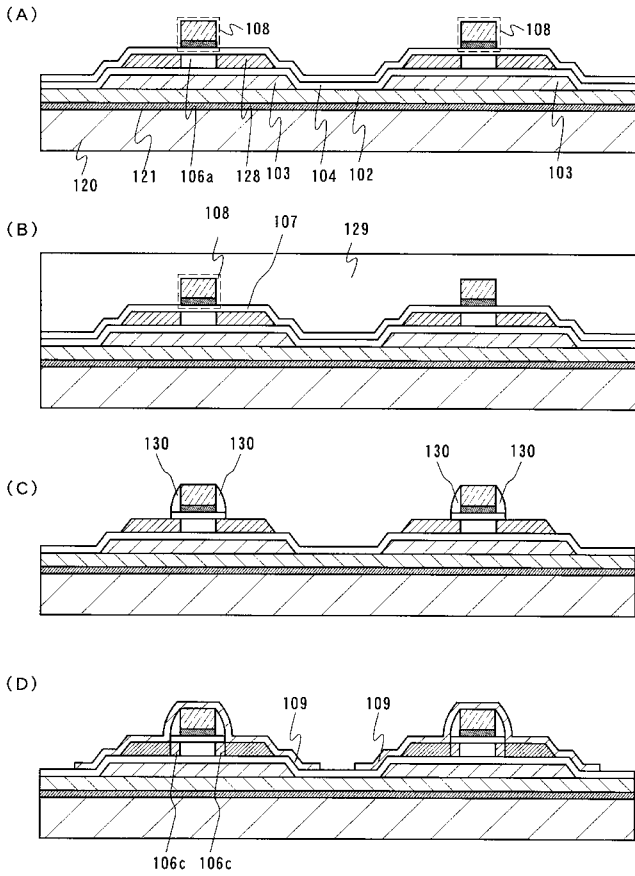
【 図 6 】



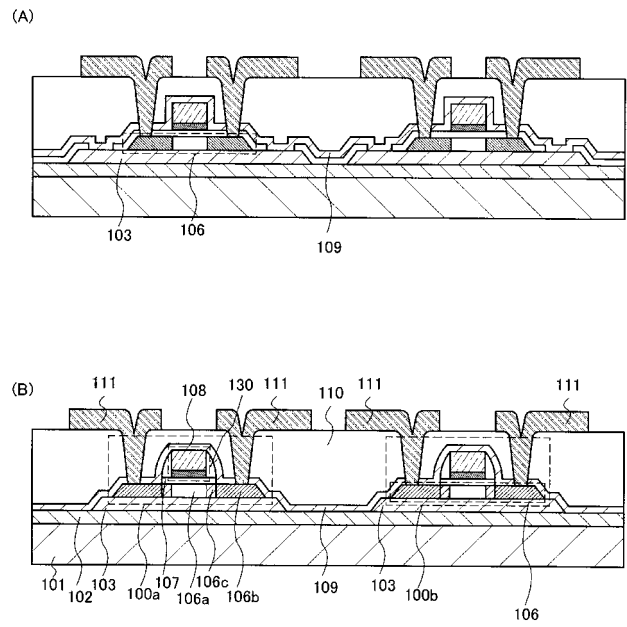
【 図 7 】



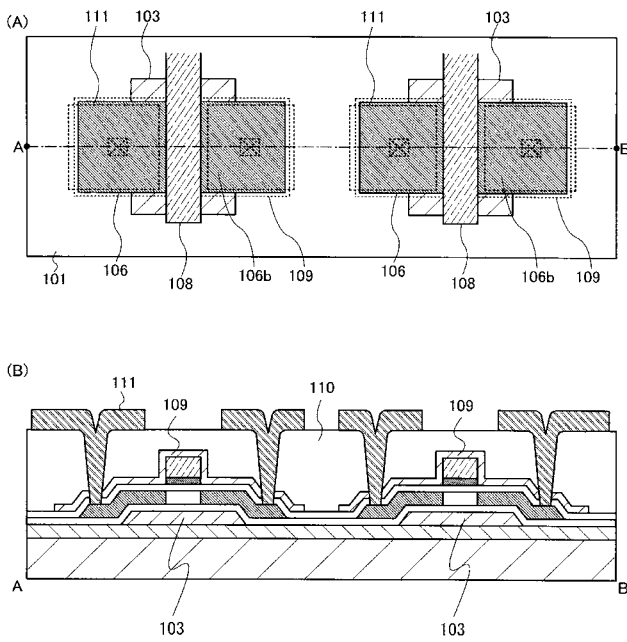
【図 8】



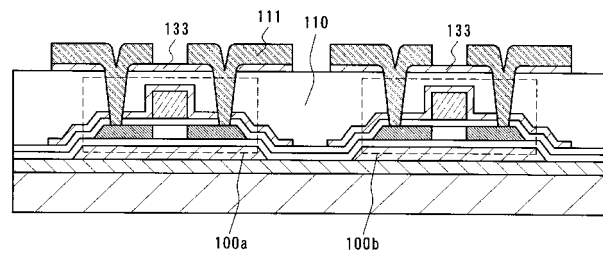
【図 9】



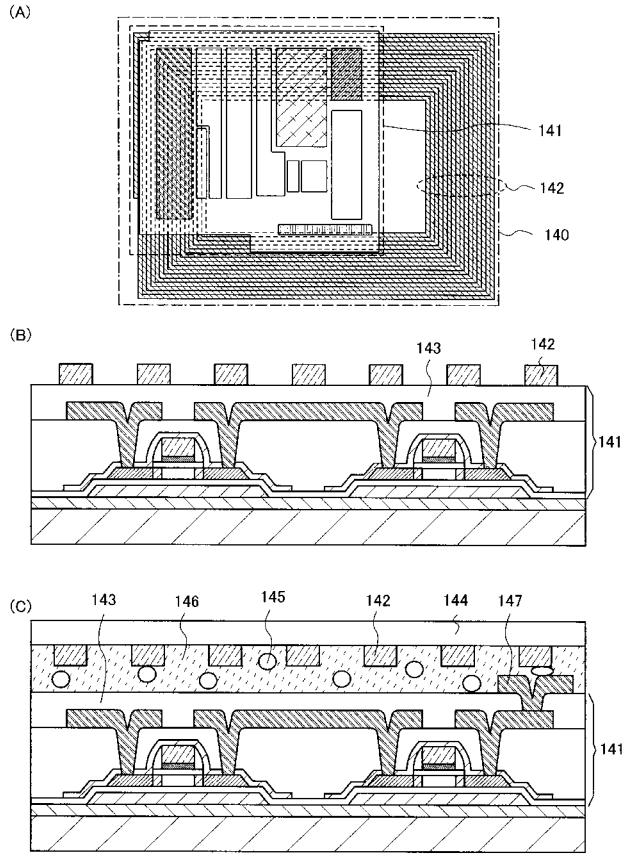
【図 10】



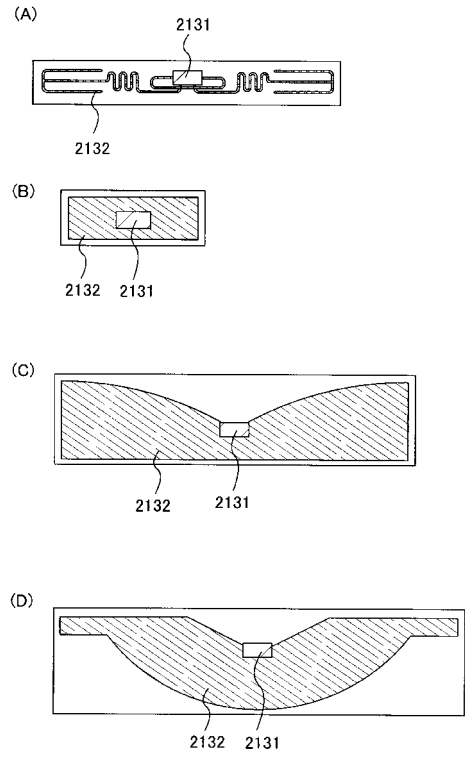
【図 11】



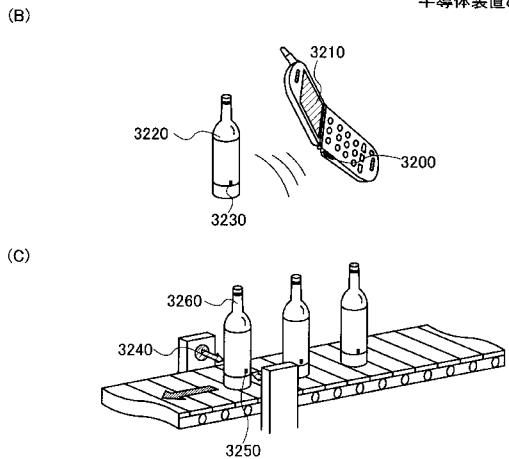
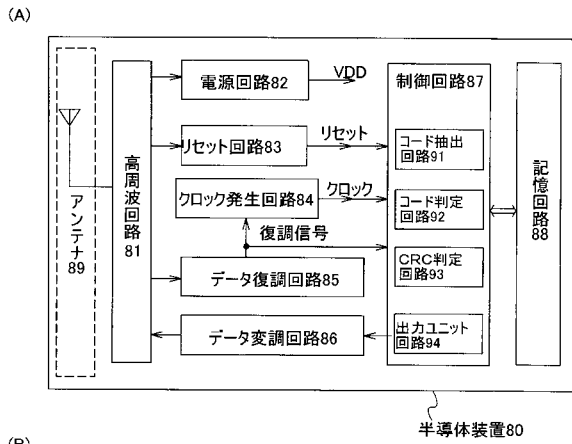
【図12】



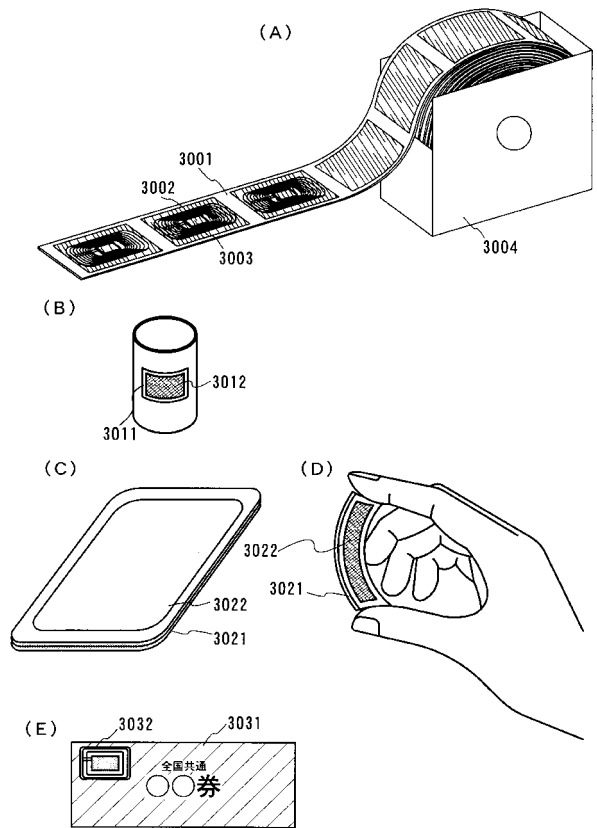
【図13】



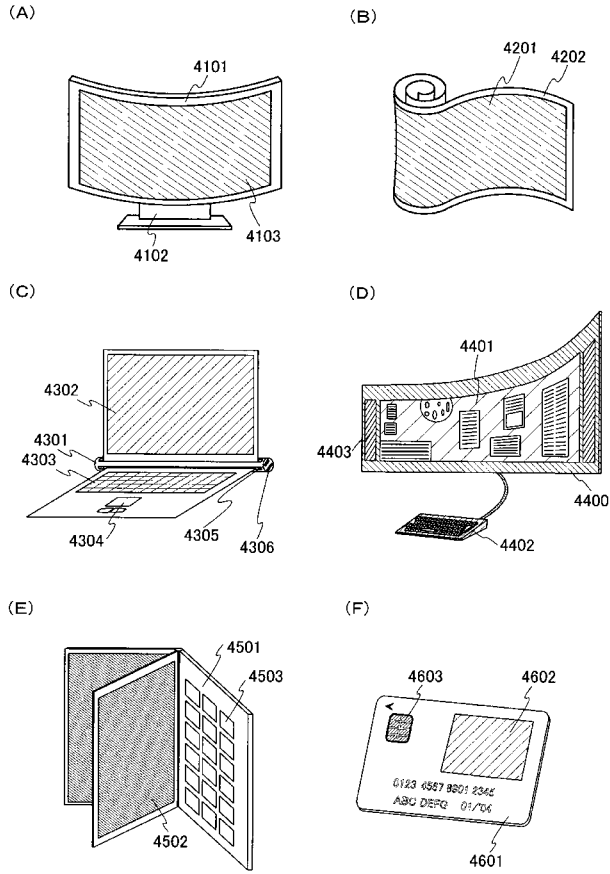
【図14】



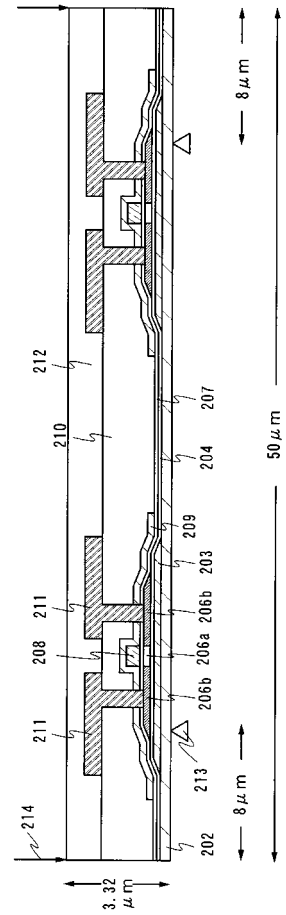
【図15】



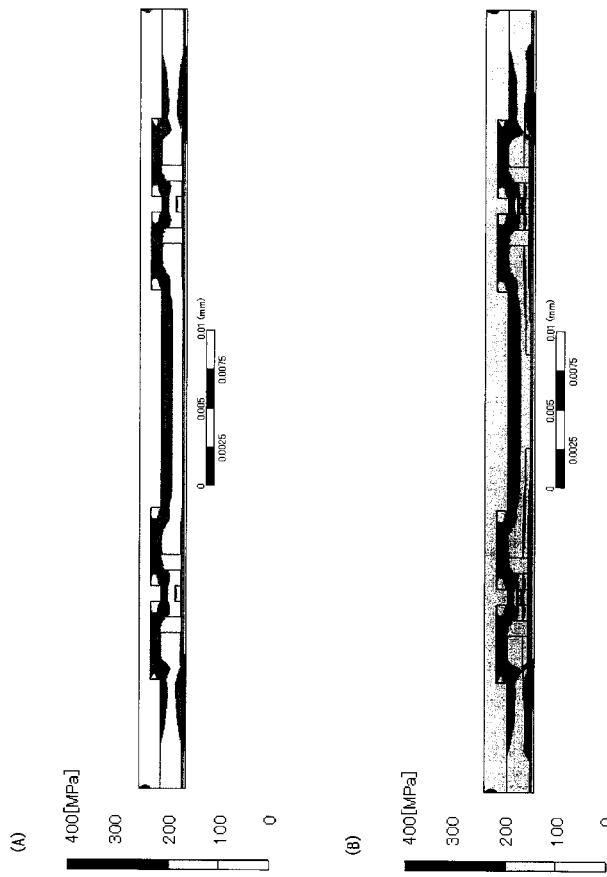
【 図 1 6 】



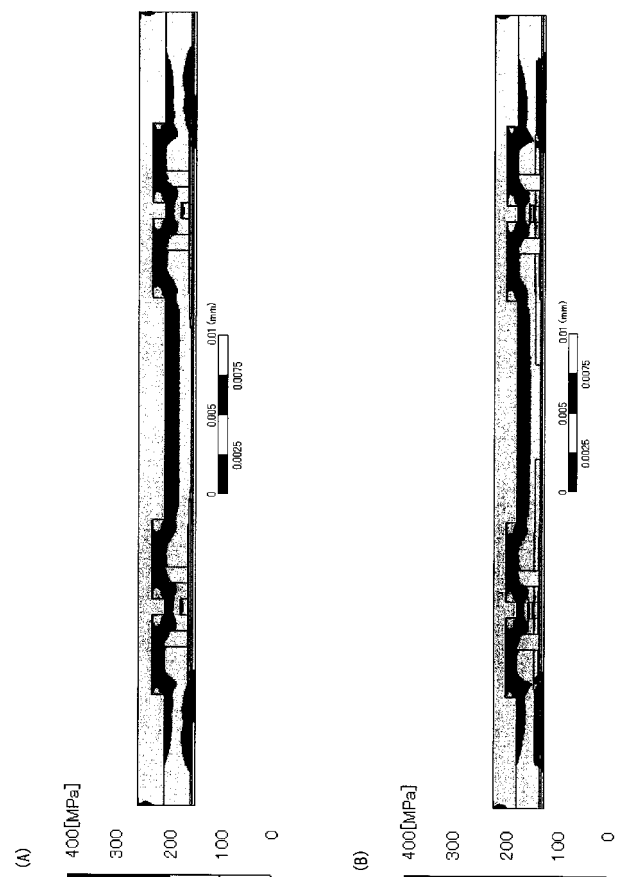
【 図 1 7 】



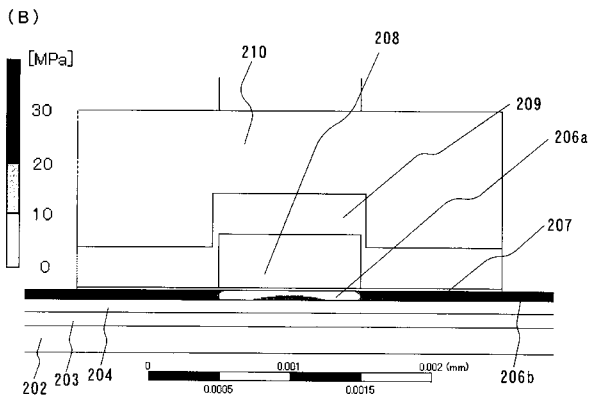
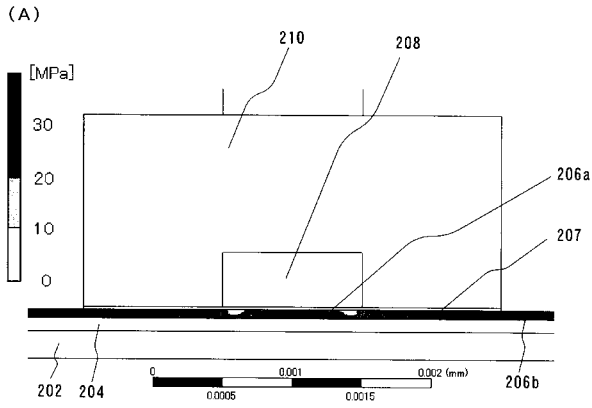
【 図 1 8 】



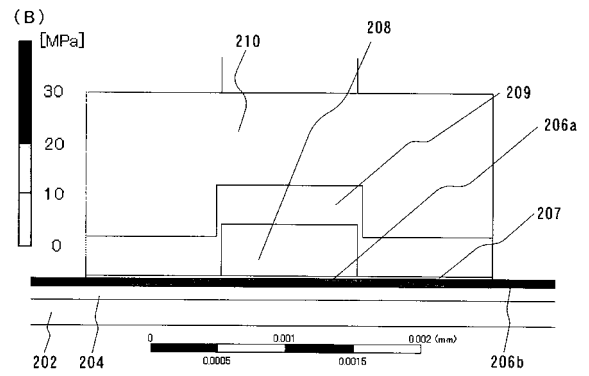
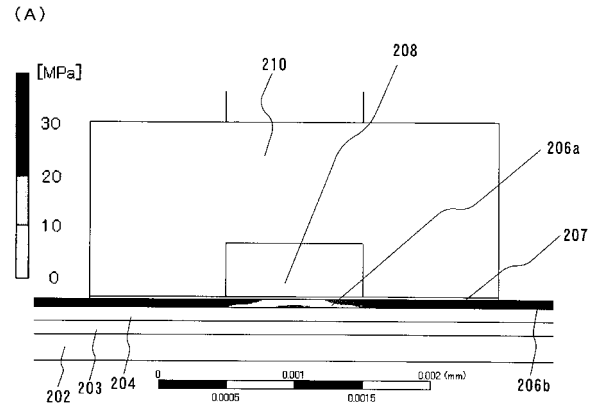
【 図 1 9 】



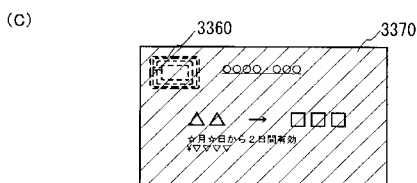
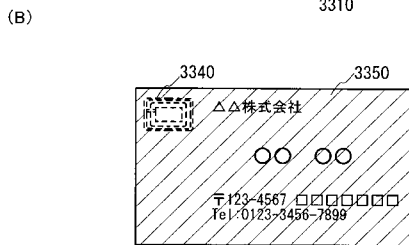
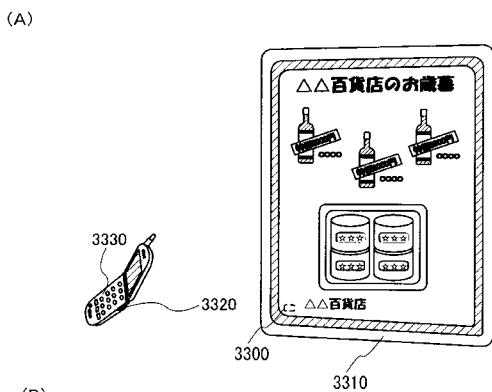
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

Fターム(参考) 5F110 BB01 CC02 DD01 DD02 DD03 DD12 DD13 DD14 DD15 DD17
DD24 DD25 EE32 FF02 FF04 FF09 FF13 FF22 FF26 FF28
FF29 GG02 GG05 GG13 GG24 GG26 GG45 HJ01 HK01 HK02
HK03 HK04 HK06 HK09 HK21 HK22 HK33 HK35 HL01 HL02
HL03 HL04 HL06 HL11 HL23 HL24 HM02 HM15 NN02 NN03
NN04 NN05 NN22 NN24 NN27 NN28 NN71 PP01 PP02 PP03
PP10 PP24 PP34 QQ06 QQ16