(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0048200
(43) 공개일자 2023년04월11일

(51) 국제특허분류(Int. Cl.)
G01N 21/95 (2006.01) *G01N 21/88* (2006.01)
G06T 3/40 (2006.01) *G06T 7/00* (2017.01)
H01L 21/66 (2006.01)
(52) CPC특허분류
G01N 21/9501 (2013.01)
G01N 21/8851 (2013.01)
(21) 출원번호 10-2021-0130981
(22) 출원일자 2021년10월01일
심사청구일자 2021년12월15일

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
박규환
서울특별시 강남구 학동로68길 30 (삼성동, 삼성동중앙하이츠빌리지 102동 804호)
류성윤
서울특별시 성동구 독서당로40길 25 옥수현대아파트
(뒷면에 계속)
(74) 대리인
특허법인 고려

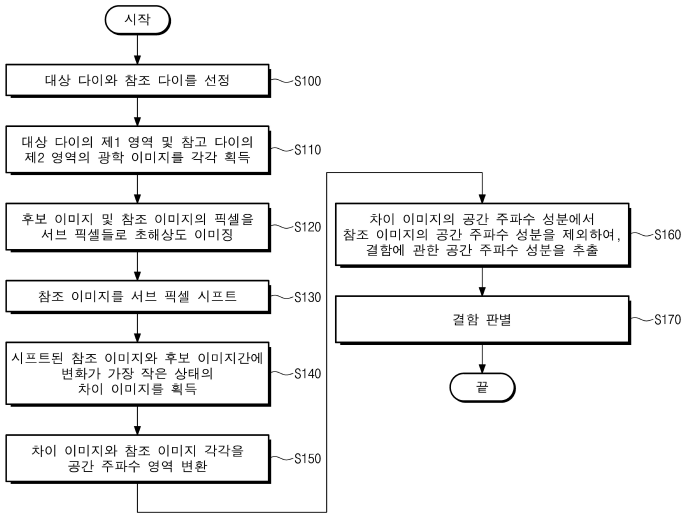
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **반도체 웨이퍼 검사 방법 및 시스템, 및 이를 이용한 반도체 소자의 제조 방법**

(57) 요 약

본 발명은 반도체 웨이퍼를 검사하는 방법에 관한 것으로, 보다 상세하게는, 대상 다이와 참조 다이를 포함하는 웨이퍼를 준비하는 것; 광학 검사 시스템을 이용하여 상기 대상 다이의 제1 영역의 후보 이미지를 획득하는 것; 상기 광학 검사 시스템을 이용하여 상기 참조 다이의 제2 영역의 참조 이미지를 획득하는 것, 상기 제2 영역은 상기 제1 영역에 대응하고; 상기 후보 이미지 및 상기 참조 이미지 각각에 초해상도 이미징을 수행하여, 픽셀을 서브 픽셀들로 세분화하는 것; 상기 참조 이미지를 상기 서브 픽셀의 단위로 시프트하는 것; 상기 후보 이미지와 상기 참조 이미지간의 차이를 통해 차이 이미지를 획득하는 것; 및 상기 차이 이미지에서 문턱값을 넘는 결함 신호를 검출하는 것을 포함한다.

대 표 도



(52) CPC특허분류
G06T 3/4053 (2013.01)
G06T 3/4084 (2013.01)
G06T 7/001 (2013.01)
H01L 22/12 (2013.01)
G01N 2021/8887 (2013.01)
(72) 발명자
손승혁
경기도 수원시 영통구 삼성로 129
이수진
경기도 광명시 영당로21번길 5, 105동 1213호 (소하동, 미도아파트3차)
전찬기
경기도 화성시 큰재봉길 23-4
공수현
서울특별시 용산구 한강로 1가 용산파크자이 D동 303호
이동건
서울특시 강남구 개포로26길 13 201호
손영훈
서울특별시 성동구 금호로 15 서울숲푸르지오아파트

명 세 서

청구범위

청구항 1

대상 다이와 참조 다이를 포함하는 웨이퍼를 준비하는 것;

광학 검사 시스템을 이용하여 상기 대상 다이의 제1 영역의 후보 이미지를 획득하는 것;

상기 광학 검사 시스템을 이용하여 상기 참조 다이의 제2 영역의 참조 이미지를 획득하는 것, 상기 제2 영역은 상기 제1 영역에 대응하고;

상기 후보 이미지 및 상기 참조 이미지 각각에 초해상도 이미징을 수행하여, 픽셀을 서브 픽셀들로 세분화하는 것;

상기 참조 이미지를 상기 서브 픽셀의 단위로 시프트하는 것;

상기 후보 이미지와 상기 참조 이미지간의 차이를 통해 차이 이미지를 획득하는 것; 및

상기 차이 이미지에서 문턱값을 넘는 결함 신호를 검출하는 것을 포함하는 반도체 웨이퍼 검사 방법.

청구항 2

제1항에 있어서,

상기 초해상도 이미징은 고속 퓨리에 변환(Fast Fourier Transform)을 이용해 수행되는 반도체 웨이퍼 검사 방법.

청구항 3

제1항에 있어서,

상기 차이 이미지를 획득하는 것은:

상기 참조 이미지의 시프트된 변위를 변경해가며 복수개의 시프트된 참조 이미지들을 생성하는 것; 및

상기 시프트된 참조 이미지들을 상기 후보 이미지와 비교하여, 변화가 가장 작은 상태의 차이 이미지를 최적의 차이 이미지로 선정하는 것을 포함하는 반도체 웨이퍼 검사 방법.

청구항 4

제1항에 있어서,

각각의 상기 후보 이미지 및 상기 참조 이미지는 회색조(Grayscale)의 광학 이미지인 반도체 웨이퍼 검사 방법.

청구항 5

제1항에 있어서,

상기 초해상도 이미징을 통해 하나의 상기 픽셀로부터 n x m의 상기 서브 픽셀들이 생성되고,

n 및 m 각각은 2 내지 20 사이의 정수인 반도체 웨이퍼 검사 방법.

청구항 6

제1항에 있어서,

상기 후보 이미지는 제1 패턴 이미지 및 결함 이미지를 포함하고,

상기 참조 이미지는 제2 패턴 이미지를 포함하며,

상기 차이 이미지는 상기 결함 이미지를 포함하고,

상기 결함 신호는 상기 결함 이미지로부터 생성되는 반도체 웨이퍼 검사 방법.

청구항 7

대상 다이와 참조 다이를 포함하는 웨이퍼를 준비하는 것;

광학 검사 시스템을 이용하여 상기 대상 다이의 제1 영역의 후보 이미지를 획득하는 것;

상기 광학 검사 시스템을 이용하여 상기 참조 다이의 제2 영역의 참조 이미지를 획득하는 것, 상기 제2 영역은 상기 제1 영역에 대응하고;

상기 후보 이미지와 상기 참조 이미지간의 차이를 통해 차이 이미지를 획득하는 것;

고속 퓨리에 변환을 이용하여, 상기 차이 이미지를 공간 주파수 영역으로 변환하여 제1 공간 주파수 성분을 생성하는 것;

상기 고속 퓨리에 변환을 이용하여, 상기 참조 이미지를 공간 주파수 영역으로 변환하여 제2 공간 주파수 성분을 생성하는 것;

상기 제1 공간 주파수 성분과 상기 제2 공간 주파수 성분의 차이를 통해 제3 공간 주파수 성분을 획득하는 것; 및

상기 제3 공간 주파수 성분의 파형을 분석하여 결함의 종류를 판별하는 것을 포함하는 반도체 웨이퍼 검사 방법.

청구항 8

제7항에 있어서,

각각의 상기 후보 이미지 및 상기 참조 이미지는 회색조의 광학 이미지인 반도체 웨이퍼 검사 방법.

청구항 9

제7항에 있어서,

상기 제1 공간 주파수 성분은 노이즈에 관한 공간 주파수 성분과 결함에 관한 공간 주파수 성분을 포함하고,

상기 제2 공간 주파수 성분은 상기 노이즈에 관한 공간 주파수 성분을 포함하며,

상기 제2 공간 주파수 성분은 상기 결함에 관한 공간 주파수 성분이 제외된 반도체 웨이퍼 검사 방법.

청구항 10

제7항에 있어서,

상기 차이 이미지를 획득하는 것은, 초해상도 이미징을 이용하여 상기 참조 이미지를 서브 픽셀의 단위로 시프트하는 것을 포함하는 반도체 웨이퍼 검사 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 웨이퍼를 검사하는 방법, 이를 수행하기 위한 검사 시스템, 및 이를 이용한 반도체 소자의 제조 방법에 대한 것이다.

배 경 기 술

[0002] 반도체 소자들은 이들의 소형화, 다기능화, 및/또는 낮은 제조 비용 등의 특성들로 인하여 전자 산업에서 널리 사용되고 있다. 반도체 소자들은 포토리소그라피 공정, 식각 공정, 증착 공정, 이온 주입 공정, 및 세정 공정과 같은 다양한 제조 공정들에 의해 제조될 수 있다. 반도체 소자의 상기 제조 공정들이 수행된 후, 검사 공정을 수행하여 반도체 소자를 구성하는 패턴들의 불량 여부를 판별할 수 있다. 이러한 검사 공정을 통하여 상기 제조 공정들의 조건들을 최적화할 수 있고, 반도체 소자들의 불량 여부를 조기에 확인할 수 있다. 반도체 소자의 고집적화 경향에 따라 반도체 소자의 패턴들은 더욱 미세화되고 있으며, 미세화된 패턴들의 불량 여부를 검출할 수 있는, 보다 높은 신뢰성을 갖는 검사 방법 및 검사 시스템이 요구되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 일 기술적 과제는 신뢰성이 향상된 검사 방법 및 시스템을 제공하는데 있다.

[0004] 본 발명이 이루고자 하는 다른 기술적 과제는 신뢰성이 향상된 검사 방법을 이용한 반도체 소자의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0005] 본 발명의 개념에 따른, 반도체 웨이퍼 검사 방법은, 대상 다이와 참조 다이를 포함하는 웨이퍼를 준비하는 것; 광학 검사 시스템을 이용하여 상기 대상 다이의 제1 영역의 후보 이미지를 획득하는 것; 상기 광학 검사 시스템을 이용하여 상기 참조 다이의 제2 영역의 참조 이미지를 획득하는 것, 상기 제2 영역은 상기 제1 영역에 대응하고; 상기 후보 이미지 및 상기 참조 이미지 각각에 초해상도 이미징을 수행하여, 픽셀을 서브 픽셀들로 세분화하는 것; 상기 참조 이미지를 상기 서브 픽셀의 단위로 시프트하는 것; 상기 후보 이미지와 상기 참조 이미지 간의 차이를 통해 차이 이미지를 획득하는 것; 및 상기 차이 이미지에서 문턱값을 넘는 결함 신호를 검출하는 것을 포함할 수 있다.

[0006] 본 발명의 다른 개념에 따른, 반도체 웨이퍼 검사 방법은, 대상 다이와 참조 다이를 포함하는 웨이퍼를 준비하는 것; 광학 검사 시스템을 이용하여 상기 대상 다이의 제1 영역의 후보 이미지를 획득하는 것; 상기 광학 검사 시스템을 이용하여 상기 참조 다이의 제2 영역의 참조 이미지를 획득하는 것, 상기 제2 영역은 상기 제1 영역에 대응하고; 상기 후보 이미지와 상기 참조 이미지간의 차이를 통해 차이 이미지를 획득하는 것; 고속 퓨리에 변환을 이용하여, 상기 차이 이미지를 공간 주파수 영역으로 변환하여 제1 공간 주파수 성분을 생성하는 것; 상기 고속 퓨리에 변환을 이용하여, 상기 참조 이미지를 공간 주파수 영역으로 변환하여 제2 공간 주파수 성분을 생성하는 것; 상기 제1 공간 주파수 성분과 상기 제2 공간 주파수 성분의 차이를 통해 제3 공간 주파수 성분을 획득하는 것; 및 상기 제3 공간 주파수 성분의 파형을 분석하여 결함의 종류를 판별하는 것을 포함할 수 있다.

[0007] 본 발명의 또 다른 개념에 따른, 반도체 소자의 제조 방법은, 대상 다이와 참조 다이를 포함하는 웨이퍼를 준비하는 것; 상기 대상 다이와 상기 참조 다이 상에 반도체 공정을 수행하여, 상기 대상 다이와 상기 참조 다이 상에 각각 제1 패턴 및 제2 패턴을 형성하는 것; 광학 검사 시스템을 이용하여 상기 제1 패턴의 후보 이미지를 획득하는 것; 상기 광학 검사 시스템을 이용하여 상기 제2 패턴의 참조 이미지를 획득하는 것; 상기 후보 이미지 및 상기 참조 이미지 각각에 초해상도 이미징을 수행하여, 픽셀을 서브 픽셀들로 세분화하는 것; 상기 참조 이미지를 상기 서브 픽셀의 단위로 시프트하는 것; 상기 후보 이미지와 상기 참조 이미지간의 차이를 통해 차이 이미지를 획득하는 것; 및 상기 차이 이미지에서 문턱값을 넘는 결함 신호를 검출하는 것을 포함할 수 있다.

발명의 효과

[0008] 본 발명에 따른 반도체 웨이퍼 검사 방법은, 초해상도 이미징을 이용함으로써 노이즈가 최소화된 차이 이미지를

획득할 수 있다. 이로써 문턱값 설정에 큰 영향 없이 결함 검출이 가능하여, 검사의 신뢰성이 향상될 수 있다.

[0009] 본 발명에 따른 반도체 웨이퍼 검사 방법은, 결함 신호를 고속 퓨리에 변환을 이용하여 공간 주파수 성분으로 추출할 수 있다. 결함 신호에 대한 공간 주파수 성분을 분석하여, 결함의 종류를 판별할 수 있다. 결과적으로 본 발명은 신뢰성이 향상된 검사 방법을 통하여, 반도체 소자의 제조 공정의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일부 실시예들에 따른 검사 시스템을 나타내는 개략도이다.

도 2는 본 발명의 실시예들에 따른 반도체 웨이퍼의 검사 방법을 설명하기 위한 순서도이다.

도 3은 본 발명의 실시예들에 따른 반도체 웨이퍼의 평면도이다.

도 4는 도 3의 제1 영역을 확대한 광학 이미지이다.

도 5는 도 3의 제2 영역을 확대한 광학 이미지이다.

도 6은 본 발명의 비교예에 따른 차이 이미지를 설명하기 위한 것이다.

도 7a는 도 4의 후보 이미지의 M 영역의 확대도이다.

도 7b는 도 5의 참조 이미지의 N 영역의 확대도이다.

도 8a는 도 7a의 후보 이미지에 대한 초해상도 이미징을 수행한 결과물이다.

도 8b는 도 7b의 참조 이미지에 대한 초해상도 이미징을 수행한 결과물이다.

도 9는 초해상도 이미징을 이용하여 도 4의 제2 패턴 이미지를 시프트한 결과물이다.

도 10은 제2 패턴 이미지를 시프트하는 방법을 설명하기 위한 것으로, 도 9의 N 영역의 확대도이다.

도 11은 본 발명의 실시예에 따른 차이 이미지를 설명하기 위한 것이다.

도 12는 본 발명의 일 실시예에 따라 참조 이미지의 시프트된 변위를 변경해가며 후보 이미지와의 차이를 나타낸 차이 이미지들이다.

도 13은 도 11의 차이 이미지가 공간 주파수 영역으로 변환된 그래프이다.

도 14는 도 9의 참조 이미지가 공간 주파수 영역으로 변환된 그래프이다.

도 15는 도 13의 공간 주파수 성분에서 도 14의 공간 주파수 성분이 제외된 그래프이다.

도 16, 18, 20, 22, 24, 26, 28 및 30은 본 발명의 실시예들에 따른 반도체 소자를 제조하는 방법을 설명하기 위한 평면도들이다.

도 17a, 19a, 21a, 23a, 25a, 27a, 29a 및 31a는 각각 도 16, 18, 20, 22, 24, 26, 28 및 30의 A-A'선에 따른 단면도들이다.

도 17b, 19b, 21b, 23b, 25b, 27b, 29b 및 31b는 각각 도 16, 18, 20, 22, 24, 26, 28 및 30의 B-B'선에 따른 단면도들이다.

도 17c, 19c, 21c, 23c, 25c, 27c, 29c 및 31c는 각각 도 16, 18, 20, 22, 24, 26, 28 및 30의 C-C'선에 따른 단면도들이다.

도 17d, 19d, 21d, 23d, 25d, 27d, 29d 및 31d는 각각 도 16, 18, 20, 22, 24, 26, 28 및 30의 D-D'선에 따른 단면도들이다.

도 32은 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자를 제조하는 방법을 설명하기 위한 평면도이다.

도 33 내지 도 38는 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 제조 방법을 설명하기 위한 것으로, 도 32의 I-I'선을 따라 자른 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0011] 도 1은 본 발명의 일부 실시예들에 따른 검사 시스템을 나타내는 개략도이다.

[0012] 검사 시스템(1000)은 웨이퍼(W)를 로드하기 위한 스테이지(10), 상기 웨이퍼(W) 상으로 조사되는 입사광(Li)을 방출하는 광원(20), 및 상기 웨이퍼(W)로부터 반사되는 반사광(Lr)을 검출하는 검출기(110)를 포함할 수 있다. 상기 검사 시스템(1000)은 상기 입사광(Li)의 공간 필터링(Spatial filtering)을 위한 제1 공간 필터(Spatial filter, 30), 상기 입사광(Li)의 파장을 조절하기 위한 스펙트럼 필터(Spectral filter, 40), 상기 입사광(Li)의 편광을 조절하기 위한 제1 편광 필터(50), 상기 반사광(Lr)의 편광을 조절하기 위한 제2 편광 필터(80), 상기 반사광(Lr)의 공간 필터링(Spatial filtering)을 위한 제2 공간 필터(90), 및 상기 검사 시스템(1000)의 광학 배율(optical magnification)을 조절하기 위한 튜브 렌즈(Tube lens, 100) 및 대물 렌즈(objective lens, 60)를 포함할 수 있다. 상기 검사 시스템(1000)은 상기 입사광(Li)의 초점면(focal plane)을 조절하도록 구성된 오토 포커스(auto focus, 70)를 포함할 수 있다.

[0013] 상기 검사 시스템(1000)은 프로세서(120) 및 제어기(130)를 포함하는 컴퓨터 시스템(140)을 더 포함할 수 있다. 상기 프로세서(120)는 다양한 데이터를 저장 및 가공하도록 구성될 수 있다. 일 예로, 상기 프로세서(120)는 상기 검출기(110)에 의해 검출된 상기 반사광(Lr)의 광학신호를 저장 및 가공할 수 있다. 상기 제어기(130)는 상기 제1 및 제2 공간 필터들(30, 90), 상기 스펙트럼 필터(40), 상기 제1 및 제2 편광 필터들(50, 80), 상기 튜브 렌즈(100), 및 상기 오토 포커스(70)의 동작들을 제어하도록 구성될 수 있다. 상기 제어기(130)는 상기 제1 및 제2 공간 필터들(30, 90), 상기 스펙트럼 필터(40), 상기 제1 및 제2 편광 필터들(50, 80), 상기 튜브 렌즈(100), 및 상기 오토 포커스(70) 중 적어도 하나의 동작을 변경함으로써, 상기 입사광(Li) 및 상기 반사광(Lr)의 광학조건을 변경하도록 구성될 수 있다. 상기 프로세서(120) 및 상기 제어기(130)는 데이터 버스(data bus)를 통하여 서로 결합될 수 있다. 상기 검사 시스템(1000)은 비파괴 검사(non-destructive test)에 사용될 수 있다.

[0014] 이하에서, 상기 검사 시스템(1000)을 이용한 반도체 웨이퍼의 검사 방법을 설명한다.

[0016] 도 2는 본 발명의 실시예들에 따른 반도체 웨이퍼의 검사 방법을 설명하기 위한 순서도이다. 도 3은 본 발명의 실시예들에 따른 반도체 웨이퍼의 평면도이다. 도 4 내지 도 15는 도 2의 반도체 웨이퍼의 검사 방법을 설명하기 위한 도면들이다.

[0017] 도 2 및 도 3을 참조하면, 웨이퍼(W)는 복수개의 다이들(200)을 포함할 수 있다. 웨이퍼(W)의 다이들(200) 중 대상 다이(DDI)와 참조 다이(RDI)가 선정될 수 있다. 대상 다이(DDI)는 결함 검사의 타겟일 수 있고, 참조 다이(RDI)는 대상 다이(DDI)의 결함 여부를 판단하기 위한 대조군일 수 있다. 대상 다이(DDI) 및 참조 다이(RDI) 상에는 동일한 반도체 공정이 수행되므로, 이들은 서로 동일한 패턴을 포함할 수 있다.

[0018] 대상 다이(DDI)는 제1 영역(R1)을 포함할 수 있으며, 참조 다이(RDI)는 제1 영역(R1)에 대응하는 제2 영역(R2)을 포함할 수 있다. 제1 영역(R1)은 검사 영역으로서 검사 패턴을 포함할 수 있다. 제2 영역(R2)은 제1 영역(R1)에 대한 비교 영역으로서, 상기 검사 패턴에 대응하는 참조 패턴을 포함할 수 있다.

[0019] 도 4는 도 3의 제1 영역(R1)을 확대한 광학 이미지이고, 도 5는 도 3의 제2 영역(R2)을 확대한 광학 이미지이다. 도 2, 도 4 및 도 5를 참조하면, 도 3의 대상 다이(DDI)의 제1 영역(R1)에 대한 광학 이미지와 참조 다이(RDI)의 제2 영역(R2)에 대한 광학 이미지가 획득될 수 있다 (S110). 구체적으로, 도 1의 검사 시스템(1000)은 복수의 다이들(200)을 스캔할 수 있다. 검사 시스템(1000)의 제어기(130)는, 각각의 다이들(200)이 최적화된 광학 조건으로 스캔될 수 있도록, 제1 및 제2 공간 필터들(30, 90), 스펙트럼 필터(40), 제1 및 제2 편광 필터들(50, 80), 튜브 렌즈(100), 및 오토 포커스(70) 중 적어도 하나의 동작을 제어할 수 있다.

[0020] 도 1의 검사 시스템(1000)이 대상 다이(DDI)의 제1 영역(R1)과 참조 다이(RDI)의 제2 영역(R2)을 스캔함으로써, 제1 영역(R1)과 제2 영역(R2)에 대한 광학 신호들이 획득될 수 있다. 상기 광학 신호들을 통해 제1 영역(R1)에 대한 도 4의 후보 이미지(Candidate image, CAI)와 제2 영역(R2)에 대한 도 5의 참조 이미지(Reference image, REI)가 각각 획득될 수 있다.

[0021] 상기 광학 신호들은 여러 광학 변수들을 포함할 수 있다. 예를 들어, 상기 광학 변수들은 제1 및 제2 영역들(R1, R2) 각각의 패턴으로부터 반사된 광의 세기(intensity) 및 회색조(Grayscale) 등을 포함할 수 있다. 본 발명의 일 실시예로, 도 4의 후보 이미지(CAI)는 제1 영역(R1)의 회색조 이미지이고, 도 5의 참조 이미지(REI)는 제2 영역(R2)의 회색조 이미지일 수 있다.

[0022] 도 4의 후보 이미지(CAI)는 제1 패턴 이미지(PTI1)를 포함할 수 있고, 도 5의 참조 이미지(REI)는 제2 패턴 이

미지(PTI2)를 포함할 수 있다. 제1 패턴 이미지(PTI1)는 제1 영역(R1)의 검사 패턴일 수 있고, 제2 패턴 이미지(PTI2)는 제2 영역(R2)의 참조 패턴일 수 있다. 예를 들어 제1 및 제2 패턴 이미지들(PTI1, PTI2) 각각은 라인-앤-스페이스 패턴일 수 있다. 제1 및 제2 패턴 이미지들(PTI1, PTI2) 각각은 제1 방향(D1)으로 연장되는 복수개의 라인들을 포함할 수 있다.

[0023] 대상 다이(DDI)의 제1 영역(R1) 내의 검사 패턴은 결함을 포함할 수 있다. 예를 들어, 제1 영역(R1)의 검사 패턴은 제1 라인과 그에 인접하는 제2 라인이 서로 연결되는 브릿지를 포함할 수 있다. 도 4의 제1 패턴 이미지(PTI1)는 상기 브릿지가 반영된 결함 이미지(DEI)를 포함할 수 있다.

[0024] 도 6은 본 발명의 비교예에 따른 차이 이미지(Difference image)를 설명하기 위한 것이다. 구체적으로, 도 6은 도 4의 후보 이미지(CAI)와 도 5의 참조 이미지(REI)간의 차이를 나타낸 것이다. 도 6을 참조하면, 도 5의 제2 영역(R2)이 도 4의 제1 영역(R1)에 대응한다 할지라도 도 5의 참조 이미지(REI)가 도 4의 후보 이미지(CAI)에 완벽하게 중첩되지 못할 수 있다. 즉, 도 4의 후보 이미지(CAI)와 도 5의 참조 이미지(REI)간에 약간의 오프셋이 존재할 수 있다. 이는 반도체 공정에 있어서 다이들(200) 간의 정렬(align) 차이의 한계 및 검사 시스템(1000)의 정렬 차이의 한계로 인하여, 도 4의 후보 이미지(CAI)와 도 5의 참조 이미지(REI)간에 형태 및 위치가 서로 완벽하게 동일할 수 없기 때문이다.

[0025] 도 4의 후보 이미지(CAI)와 도 5의 참조 이미지(REI)간의 차이를 산출하여 도 6의 차이 이미지(DFI)를 획득할 수 있다. 차이 이미지(DFI)는 노이즈 이미지(NOI) 및 결함 이미지(DEI)를 포함할 수 있다. 노이즈 이미지(NOI)는, 후보 이미지(CAI)와 참조 이미지(REI)간의 오정렬 및/또는 크기 차이를 포함하는 요인들에 의해 형성될 수 있다. 노이즈 이미지(NOI)는 제1 영역(R1) 내의 결함에 의해 형성된 이미지가 아닐 수 있다.

[0026] 결함 이미지(DEI)는 후보 이미지(CAI) 내의 결함 이미지(DF)에 의해 형성된 것일 수 있다. 결함 이미지(DF)는 도 4의 후보 이미지(CAI) 내에는 존재하지만, 도 5의 참조 이미지(REI)에는 존재하지 않을 수 있다. 따라서, 후보 이미지(CAI)와 참조 이미지(REI)의 차이에 의해 결함 이미지(DEI)가 생성될 수 있다. 다시 말하면, 결함 이미지(DEI)는 제1 영역(R1) 내의 결함에 의해 형성된 이미지일 수 있다.

[0027] 도 6의 차이 이미지(DFI)에 존재하는 이미지들에 대해 노이즈 이미지(NOI)와 결함 이미지(DEI)를 분류해야 한다. 노이즈 이미지(NOI)는 결함에 관한 신호가 아닌 노이즈 신호이므로, 이를 필터링해야 한다.

[0028] 도 6에 나타난 차이 신호를 살펴보면, 노이즈 이미지(NOI)의 신호는 상대적으로 크기가 작고 결함 이미지(DEI)의 신호는 상대적으로 클 수 있다. 따라서 차이 신호에 대한 문턱값을 설정함으로써, 문턱값보다 큰 신호를 결함 이미지(DEI)로 분류하고 문턱값보다 작은 신호를 노이즈 이미지(NOI)로 분류할 수 있다.

[0029] 그러나, 상술한 방법은 정확도가 낮다는 한계가 존재한다. 예를 들어, 제1 문턱값(TH1)을 기준으로 할 경우, 3개의 신호 피크들이 제1 문턱값(TH1)을 넘어가는 것을 확인할 수 있다. 한편 제2 문턱값(TH2)을 기준으로 할 경우, 1 개의 신호 피크가 제2 문턱값(TH2)을 넘어가는 것을 확인할 수 있다. 문턱값을 너무 높이게 되면 결함 신호를 노이즈 신호로 분류할 위험이 존재하고, 문턱값을 너무 낮추게 되면 노이즈 신호를 결함 신호로 분류할 위험이 존재할 수 있다. 즉, 본 비교예에 따른 방법은 문턱값을 어떻게 정의하느냐에 따라 결과가 달라지는 부정확성이 존재한다.

[0030] 이하, 본 발명의 실시예들에 따른 결함 검사 방법을 설명한다. 도 7a는 도 4의 후보 이미지(CAI)의 M 영역의 확대도이고, 도 7b는 도 5의 참조 이미지(REI)의 N 영역의 확대도이다.

[0031] 도 7a 및 도 7b를 참조하면, 후보 이미지(CAI) 및 참조 이미지(REI) 각각은 광학 이미지로서 복수개의 픽셀들(PX)로 구성될 수 있다. 한편, 검사 시스템(1000)의 해상도의 한계로 인해, 픽셀(PX)은 제1 폭(W1)을 가질 수 있다. 예를 들어, 제1 폭(W1)은 100nm 내지 300nm일 수 있다. 한편 반도체 소자의 고집적화로 인하여 검사 대상이 되는 패턴의 이미지는 검사 시스템(1000)의 픽셀들(PX)로 정확히 구현하기 어려운 실정이다. 따라서

[0032] 앞서 도 6을 참조하여 설명한 바와 같이, 후보 이미지(CAI)와 참조 이미지(REI)는 서로간에 약간의 미세한 오프셋 차이가 존재할 수 있다. 그러나, 도 7a과 도 7b의 광학 이미지들을 서로 비교하는 것 만으로는, 후보 이미지(CAI)와 참조 이미지(REI)간의 오프셋 차이를 구별할 수 없다.

[0033] 도 8a는 도 7a의 후보 이미지(CAI)에 대한 초해상도 이미징을 수행한 결과물이다. 도 8b는 도 7b의 참조 이미지(REI)에 대한 초해상도 이미징을 수행한 결과물이다.

[0034] 도 2, 도 8a 및 도 8b를 참조하면, 도 7a의 후보 이미지(CAI)에 대해 초해상도 이미징을 수행하여, 각각의 픽셀들(PX)이 복수개의 서브 픽셀들(SPX)로 세분화될 수 있다 (S120). 도 7b의 참조 이미지(REI)에 대해 초해상도

이미징(Super-resolution imaging)을 수행하여, 각각의 픽셀들(PX)이 복수개의 서브 픽셀들(SPX)로 세분화될 수 있다.

[0035] 상기 초해상도 이미징은 고속 퓨리에 변환(Fast Fourier Transform) 또는 딥러닝 기반의 알고리즘을 이용하여 수행될 수 있다. 초해상도 이미징을 통해 하나의 픽셀(PX)이 이보다 더 작아진 복수개의 서브 픽셀들(SPX)로 분할될 수 있다. 이로써, 이미지 해상도가 기존보다 더 증가하는 효과가 발생할 수 있다. 본 발명의 일 실시예에 따른 상기 초해상도 이미징은, 아래의 수학식 1을 이용한 고속 퓨리에 변환을 이용하여 수행될 수 있다.

[0036] [수학식 1]

D: Difference image array
F: Defective image array
R: Reference image array

$$D_{\Delta x,\Delta y} \equiv F(x+\Delta x, y+\Delta y) - R(x,y)$$

$$D_{\Delta x,\Delta y} = \mathcal{F}_y^{-1}\mathcal{F}_x^{-1}\left[e^{i(k_x\Delta x + k_y\Delta y)}\mathcal{F}_x\mathcal{F}_y[F(x,y)]\right] - R(x,y)$$

Fourier Transform($\mathcal{F}$)

$$\mathcal{F}(f(x)) \equiv \int f(x)e^{-ikx}dx$$

$$f(x+\Delta x) = \mathcal{F}^{-1}\left[e^{ik\Delta x}\mathcal{F}[f(x)]\right]$$

$$D_{\Delta x,\Delta y} = \mathcal{F}_y^{-1}\mathcal{F}_x^{-1}\left[e^{i(k_x\Delta x - k_y\Delta y)}\mathcal{F}_x\mathcal{F}_y[F(x,y)]\right] - R(x,y)$$

[0037]

[0039] 상기 초해상도 이미징을 통해 픽셀(PX)이 n x m의 서브 픽셀들(SPX)로 세분화될 수 있다. 여기서 n 및 m 각각은 2 내지 20 사이의 정수일 수 있다. 예를 들어, 본 실시예에 따르면 하나의 픽셀(PX)이 4 x 4의 서브 픽셀들(SPX)로 세분화됨을 확인할 수 있다. 서브 픽셀(SPX)은 제2 폭(W2)을 가질 수 있으며, 제2 폭(W2)은 제1 폭(W1)보다 작을 수 있다.

[0040] 예를 들어 도 8a의 초해상도 후보 이미지(CAI)를 살펴보면, 하나의 픽셀(PX)로부터 제1 회색 영역(DR1)의 서브 픽셀들(SPX)과 제2 회색 영역(DR2)의 서브 픽셀들(SPX)이 생성될 수 있다. 도 7a에 나타난 하나의 픽셀(PX)은 하나의 회색 영역으로만 나타내어 지지만, 초해상도 이미징에 의해 도 8a의 픽셀(PX)은 적어도 두 개 이상의 회색 영역들(DR1, DR2)이 나타나도록 고해상도가 되었음을 확인할 수 있다.

[0041] 도 8a의 초해상도 참조 이미지(REI)를 살펴보면, 픽셀(PX)로부터 제1 회색 영역(DR1)의 서브 픽셀들(SPX)과 제2 회색 영역(DR2)의 서브 픽셀들(SPX)이 생성될 수 있다. 단, 도 8a의 제1 회색 영역(DR1)의 서브 픽셀들(SPX)과 제2 회색 영역(DR2)의 서브 픽셀들(SPX)은, 도 7a의 제1 회색 영역(DR1)의 서브 픽셀들(SPX)과 제2 회색 영역(DR2)의 서브 픽셀들(SPX)과 정확히 일치하지 않음을 확인할 수 있다. 즉, 도 8b의 참조 이미지(REI)가 도 8a의 후보 이미지(CAI)로부터 제2 방향(D2)으로 하나의 서브 픽셀(SPX)만큼 오프셋됨을 확인할 수 있다.

[0042] 초해상도 이미징이 수행되기 전의 도 7a의 후보 이미지(CAI)와 도 7b의 참조 이미지(REI)간에 차이를 확인하기란 어려웠지만, 본 발명에 따른 초해상도 이미징이 수행된 도 8a의 후보 이미지(CAI)와 도 8b의 참조 이미지(REI)간에 차이는 비교적 명확히 확인할 수 있다.

[0043] 도 9는 초해상도 이미징을 이용하여 도 4의 제2 패턴 이미지(PTI2)를 시프트한 결과물이다. 도 10은 제2 패턴 이미지(PTI2)를 시프트하는 방법을 설명하기 위한 것으로, 도 9의 N 영역의 확대도이다.

[0044] 도 2, 도 9 및 도 10을 참조하면, 참조 이미지(REI)의 제2 패턴 이미지(PTI2)가 제2 방향(D2)의 반대 방향으로 서브 픽셀의 폭(W2)만큼 시프트될 수 있다 (S130). 즉, 제2 패턴 이미지(PTI2)가 서브 픽셀의 단위로 시프트될

수 있다. 구체적으로 도 10에 나타난 바와 같이, 초해상도 이미지를 서브 픽셀(SPX)을 이용하여 시프트시킬 수 있다. 제2 패턴 이미지(PTI2)의 시프트는, 서브 픽셀(SPX)의 폭의 배수만큼 자유롭게 수행될 수 있다. 도 7b와 같은 기존의 이미지는 픽셀(PX) 단위로 제2 패턴 이미지(PTI2)를 시프트해야 하기 때문에, 미세한 시프트가 불가능하다. 그러나 본 실시예는 초해상도 이미징을 통해 제2 패턴 이미지(PTI2)를 서브 픽셀(SPX) 단위로 미세하게 시프트할 수 있다.

[0045] 도 11은 본 발명의 실시예에 따른 차이 이미지를 설명하기 위한 것이다. 도 2 및 도 11을 참조하면, 도 4의 후보 이미지(CAI)와 도 9의 시프트된 참조 이미지(REI)간의 차이를 통해 차이 이미지(DFI)가 획득될 수 있다(S140). 앞서 설명한 바와 같이, 서브 픽셀 단위의 시프트를 통해 도 9의 제2 패턴 이미지(PTI2)가 도 4의 제1 패턴 이미지(PTI1)와 최대한 일치하도록 이동될 수 있다. 이로써 도 11의 차이 이미지(DFI)는 도 6의 노이즈 이미지(NOI)를 제외한 결함 이미지(DEI)만을 포함할 수 있다.

[0046] 도 11에 나타난 차이 신호를 살펴보면, 도 11의 차이 이미지(DFI)는 노이즈 이미지(NOI)를 실질적으로 거의 포함하지 않으므로, 노이즈 신호가 없거나 상대적으로 매우 작을 수 있다. 따라서 문턱값을 제1 문턱값(TH1)과 제2 문턱값(TH2) 중 어떤 것으로 설정한다 할지라도, 문턱값을 넘어가는 신호 피크는 결함 이미지(DEI)에 대응하는 하나의 피크만 존재할 수 있다.

[0047] 본 발명에 따른 결함 검사 방법은, 초해상도 이미징을 통해 참조 이미지(REI)를 매우 미세하게 시프트함으로써, 참조 이미지(REI)를 후보 이미지(CAI)에 정확히 일치시킬 수 있다. 이로써 본 발명은 노이즈가 제외된 결함 신호만을 포함하는 차이 이미지(DFI)를 획득할 수 있다. 본 발명에 따른 결함 검사 방법은, 문턱값의 설정에 영향을 받지 않고 정확히 결함을 검출할 수 있으므로, 결함 검사의 정확도를 향상시킬 수 있다.

[0048] 도 12는 본 발명의 일 실시예에 따라 참조 이미지의 시프트된 변위를 변경해가며 후보 이미지와의 차이를 나타낸 차이 이미지들이다. 도 2 및 도 12를 참조하면, △x는 제2 방향(D2)으로의 제2 패턴 이미지(PTI2)의 시프트 정도를 나타내고, △y는 제1 방향(D1)으로의 제2 패턴 이미지(PTI2)의 시프트 정도를 나타낸 것이다. △x=1은 픽셀(PX)의 제2 방향(D2)으로의 폭을 의미하고, △y=1은 픽셀(PX)의 제1 방향(D1)으로의 폭을 의미한다. 도 12에 나타난 바와 같이 △x 및 △y 각각을 0.05 또는 0.1정도로만 설정하여 제2 패턴 이미지(PTI2)를 미세하게 시프트할 수 있다. 이는 상술한 본 발명의 초해상도 이미징을 이용하였기 때문이다.

[0049] 도 12에 나타난 광학 이미지들 각각은 후보 이미지(CAI)와 시프트된 참조 이미지(REI)간의 차이를 나타내는 차이 이미지(DFI)이다. △x 및 △y 각각의 값에 따라 차이 이미지들(DFI)은 서로 다를 수 있다. 차이 이미지들(DFI) 중 후보 이미지(CAI)와 참조 이미지(REI)간의 변화가 가장 작은 상태의 차이 이미지(DFI)를 선정할 수 있다(S140). 다시 말하면, 참조 이미지(REI)가 후보 이미지(CAI)와 가장 일치하는 경우의 차이 이미지(DFI)가 최적의 차이 이미지(DFI_S)로 선정될 수 있다. 본 실시예에 따르면, △y=0이고 △x=-0.05인 경우의 차이 이미지(DFI)가 최적의 차이 이미지(DFI_S)로 선정되었다.

[0050] 최적의 차이 이미지(DFI_S)의 차이 신호를 분석함으로써, 후보 이미지(CAI) 내에 결함이 존재하는지 여부를 확인할 수 있다. 도 12의 최적의 차이 이미지(DFI_S) 내에는 하나의 명확한 결함 이미지(DEI)가 존재하므로, 후보 이미지(CAI) 내에 결함이 존재함을 쉽게 확인할 수 있다.

[0052] 한편 도 11에 나타난 차이 이미지(DFI)는 후보 이미지(CAI) 내의 결함 존재 여부를 명확히 나타내지만, 실제 후보 이미지(CAI) 내의 결함이 어떠한 종류의 결함인지는 알기 어렵다. 본 발명에 따른 검사 방법은, 차이 이미지(DFI) 내의 결함 이미지(DEI)가 어떠한 종류의 결함인지를 판별하는 방법을 추가로 제공할 수 있다.

[0053] 도 13은 도 11의 차이 이미지가 공간 주파수 영역으로 변환된 그래프이다. 도 14는 도 9의 참조 이미지가 공간 주파수 영역으로 변환된 그래프이다. 도 15는 도 13의 공간 주파수 성분에서 도 14의 공간 주파수 성분이 제외된 그래프이다.

[0054] 도 13을 참조하면, 도 11의 차이 이미지(DFI)에 리스케일링(rescaling)이 수행될 수 있다. 구체적으로, 고속 퓨리에 변환을 이용하여 도 11의 차이 이미지(DFI)에 대한 차이 신호를 공간 주파수 영역(spatial frequency domain)으로 변환할 수 있다(S150). 도 9에는 도 11로부터 공간 주파수 영역으로 변환된 제1 공간 주파수 성분(DFI_F)에 대한 그래프가 나타나 있다.

[0055] 한편 도 13의 제1 공간 주파수 성분(DFI_F)은 결함 이미지(DEI)에 대한 공간 주파수 성분뿐만 아니라, 노이즈 이미지에 대한 공간 주파수 성분까지도 포함할 수 있다. 따라서 도 13의 제1 공간 주파수 성분(DFI_F) 중 결함

이미지(DEI)에 대한 공간 주파수 성분만을 필터링할 필요가 있다.

[0056] 도 14를 참조하면, 고속 퓨리에 변환을 이용하여 도 9의 참조 이미지(REI)를 공간 주파수 영역으로 변환할 수 있다. 도 14에는 도 9로부터 공간 주파수 영역으로 변환된 제2 공간 주파수 성분(REI_F)에 대한 그래프가 나타나 있다. 도 9의 참조 이미지(REI)는 결함에 대한 신호가 전혀 포함되어 있지 않으므로, 도 14의 제2 공간 주파수 성분(REI_F)은 결함에 관한 공간 주파수 성분이 아닌 오로지 노이즈에 관한 공간 주파수 성분일 수 있다. 따라서 도 13의 제1 공간 주파수 성분(DFI_F)에서 도 14의 제2 공간 주파수 성분(REI_F)을 제외시킴으로써, 도 15의 제3 공간 주파수 성분(DF_F)을 획득할 수 있다 (S160).

[0057] 도 15의 제3 공간 주파수 성분(DF_F)은 노이즈가 필터링된 오로지 결함에 관한 공간 주파수 성분일 수 있다. 앞서 설명한 방법으로 도 15의 제3 공간 주파수 성분(DF_F)을 획득하는 것은, 아래의 수학식 2를 이용한 고속 퓨리에 변환을 이용하여 수행될 수 있다.

[0058] [수학식 2]

Reference image $\rightarrow R$

Difference image $\rightarrow D$

$$\hat{R} = \int_{-\infty}^{\infty}\int_{-\infty}^{\infty} Re^{i(k_x x + k_y y)}dxdy$$

$$\hat{D} = \int_{-\infty}^{\infty}\int_{-\infty}^{\infty} De^{i(k_x x + k_y y)}dxdy$$

Reduce the

$$\widehat{D'_{ij}} = \frac{a}{|\hat{R}_{ij}| + a}\hat{D}_{ij}$$

where a is an arbitrary constant.

$$\widehat{D''}_{ij} = \frac{\sum_{i,j}|\hat{D}_{ij}|}{\sum_{i,j}|\widehat{D'}_{ij}|}\widehat{D'}_{ij}$$

[0059]

[0060] 도 15의 제3 공간 주파수 성분(DF_F)의 파형을 분석함으로써, 결함의 종류를 판별할 수 있다 (S170). 예를 들어, 제3 공간 주파수 성분(DF_F)의 파형을 분석함으로써 대상 다이(DDI)의 제1 영역(R1) 내에 존재하는 결함이 브릿지 결함임을 최종적으로 판별할 수 있다.

[0061] 본 발명의 실시예들에 따르면, 상술한 결함 검사 방법은 도 3의 대상 다이(DDI)의 제1 영역(R1)뿐만 아니라 나머지 영역에 대해서도 수행될 수 있다. 대상 다이(DDI) 내에서 검출된 결함의 정도가 허용범위 내에 있는지 여부가 결정될 수 있다(S50). 상기 결함의 정도는 도 11에 나타난 결함의 유무와 도 15에 나타난 결함의 종류를 종합적으로 고려하여 결정될 수 있다. 상기 검출된 결함의 정도가 허용범위를 초과하는 경우, 경고가 발생될 수 있다. 상기 검출된 결함의 정도가 허용범위 내에 있는 경우, 웨이퍼(W) 상에 반도체 소자의 제조를 위한 후속 제조공정들이 수행될 수 있다.

[0063] 도 16, 18, 20, 22, 24, 26, 28 및 30은 본 발명의 실시예들에 따른 반도체 소자를 제조하는 방법을 설명하기

위한 평면도들이다. 도 17a, 19a, 21a, 23a, 25a, 27a, 29a 및 31a는 각각 도 16, 18, 20, 22, 24, 26, 28 및 30의 A-A'선에 따른 단면도들이다. 도 17b, 19b, 21b, 23b, 25b, 27b, 29b 및 31b는 각각 도 16, 18, 20, 22, 24, 26, 28 및 30의 B-B'선에 따른 단면도들이다. 도 17c, 19c, 21c, 23c, 25c, 27c, 29c 및 31c는 각각 도 16, 18, 20, 22, 24, 26, 28 및 30의 C-C'선에 따른 단면도들이다. 도 17d, 19d, 21d, 23d, 25d, 27d, 29d 및 31d는 각각 도 16, 18, 20, 22, 24, 26, 28 및 30의 D-D'선에 따른 단면도들이다.

[0064] 본 실시예에 따른 반도체 소자의 제조 방법은, 앞서 도 3을 참조하여 설명한 웨이퍼(W)상에 수행되는 반도체 공정들을 포함할 수 있다. 웨이퍼(W)의 복수개의 다이들(200)에 대해 반도체 공정들이 수행될 수 있다. 이하 본 실시예에서는, 도 3의 웨이퍼(W)의 제1 영역(R1)을 대표로 설명한다.

[0065] 도 16 및 도 17a 내지 도 17d를 참조하면, 웨이퍼(W)의 상부를 패터닝하여, 활성 패턴들(ACT)이 형성될 수 있다. 활성 패턴들(ACT) 각각은, 웨이퍼(W)의 상면에 평행한 제3 방향(D3)으로 연장될 수 있다. 활성 패턴들(ACT)은 제1 방향(D1) 및 제2 방향(D2)을 따라 이차원 적으로 배열될 수 있다. 활성 패턴들(ACT)은 제3 방향(D3)으로 서로 이격될 수 있다. 활성 패턴들(ACT)은 포토리소그래피 공정을 이용해 구현될 수 있다.

[0066] 활성 패턴들(ACT) 사이에 제1 및 제2 트렌치들(TR1, TR2)이 정의될 수 있다. 제2 방향(D2)으로 서로 인접하는 한 쌍의 활성 패턴들(ACT) 사이에 제1 트렌치(TR1)가 정의될 수 있다. 제3 방향(D3)으로 서로 인접하는 한 쌍의 활성 패턴들(ACT) 사이에 제2 트렌치(TR2)가 정의될 수 있다.

[0067] 제1 및 제2 트렌치들(TR1, TR2)을 채우는 소자 분리막(ST)이 형성될 수 있다. 소자 분리막(ST)은 제1 및 제2 트렌치들(TR1, TR2)을 완전히 채우면서 활성 패턴들(ACT)을 덮도록 형성될 수 있다. 활성 패턴들(ACT)의 상면들이 노출될 때까지 소자 분리막(ST) 상에 평탄화 공정이 수행될 수 있다.

[0068] 웨이퍼(W) 상에 형성된 활성 패턴들(ACT)에 대한 결함 검사가 수행될 수 있다. 결함 검사는 앞서 설명한 도 1의 결함 시스템을 이용하여 도 2의 결함 검사 방법을 수행하는 것을 포함할 수 있다.

[0069] 보다 구제척으로, 제1 영역(R1)의 활성 패턴들(ACT)에 대한 광학 이미지를 후보 이미지(CAI)로 획득하고, 제2 영역(R2)의 활성 패턴들(ACT)에 대한 광학 이미지를 참조 이미지(REI)로 획득할 수 있다. 도 2를 참조하여 설명한 후보 이미지(CAI)와 참조 이미지(REI)에 대한 검사 과정이 수행됨으로써, 활성 패턴들(ACT)에 발생된 결함의 정도가 허용범위 내에 있는지를 확인할 수 있다. 활성 패턴들(ACT)에 발생된 결함의 정도가 허용범위 내에 있는 경우, 다음의 공정이 수행될 수 있다.

[0070] 도 18 및 도 19a 내지 도 19d를 참조하면, 활성 패턴들(ACT) 및 소자 분리막(ST)을 패터닝하여, 제3 트렌치들(TR3)이 형성될 수 있다. 평면적 관점에서, 제3 트렌치들(TR3) 각각은 제2 방향(D2)으로 연장되는 라인 형태를 가질 수 있다.

[0071] 제3 트렌치들(TR3)을 형성하는 것은, 개구부들을 포함하는 하드 마스크 패턴을 형성하는 것, 및 상기 하드 마스크 패턴을 식각 마스크로 노출된 활성 패턴들(ACT) 및 소자 분리막(ST)을 식각하는 것을 포함할 수 있다. 제3 트렌치(TR3)는 제1 트렌치(TR1)보다 얕게 형성될 수 있다.

[0072] 도 20 및 도 21a 내지 도 21d를 참조하면, 각각의 제3 트렌치들(TR3) 내에 게이트 절연막(GI), 게이트 전극(GE) 및 게이트 캐핑막(GP)이 순차적으로 형성될 수 있다. 구체적으로, 제3 트렌치(TR3) 내에 게이트 절연막(GI)이 컨포멀하게 형성될 수 있다. 게이트 절연막(GI)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 및/또는 고유전율 물질을 포함할 수 있다.

[0073] 게이트 절연막(GI) 상에 제3 트렌치(TR3)를 채우는 도전막을 형성하여, 게이트 전극(GE)이 형성될 수 있다. 상기 도전막은 도전성 금속 질화물 및/또는 금속 물질을 포함할 수 있다.

[0074] 게이트 절연막(GI) 및 게이트 전극(GE)을 리세스하고, 리세스된 게이트 전극(GE) 상에 게이트 캐핑막(GP)이 형성될 수 있다. 게이트 캐핑막(GP)의 상면은 활성 패턴(ACT)의 상면과 공면을 이룰 수 있다

[0075] 활성 패턴들(ACT) 상에 이온 주입 공정을 수행하여, 활성 패턴(ACT)의 상부에 제1 소스/드레인 영역(SD1) 및 한 쌍의 제2 소스/드레인 영역들(SD2)이 형성될 수 있다. 한 쌍의 제2 소스/드레인 영역들(SD2)은 제1 소스/드레인 영역(SD1)을 사이에 두고 제3 방향(D3)으로 서로 이격될 수 있다. 일 예로, 제1 및 제2 소스/드레인 영역들(SD1, SD2)은 동일한 불순물로 도핑될 수 있다.

[0076] 게이트 전극(GE)의 아래에 위치하는 활성 패턴(ACT)에 채널 영역(CH)이 정의될 수 있다. 평면적 관점에서, 채널 영역(CH)은 제1 소스/드레인 영역(SD1)과 제2 소스/드레인 영역(SD2) 사이에 개재될 수 있다. 게이트 전극(GE)

은 채널 영역(CH)의 상면 및 양 측벽들 상에 제공될 수 있다 (도 21b 참조).

[0077] 웨이퍼(W) 상에 형성된 게이트 전극들(GE)에 대한 결함 검사가 수행될 수 있다. 결함 검사는 앞서 설명한 활성 패턴들(ACT)에 대한 검사와 동일할 수 있다. 게이트 전극들(GE)에 발생된 결함의 정도가 허용범위 내에 있는 경우, 다음의 공정이 수행될 수 있다.

[0078] 도 22 및 도 23a 내지 도 23d를 참조하면, 웨이퍼(W)의 전면 상에 절연막(IL)이 형성될 수 있다. 일 예로, 절연막(IL)은 실리콘 산화막 및 실리콘 산질화막이 적층된 멀티 레이어 구조일 수 있다. 절연막(IL)을 패터닝하여, 활성 패턴들(ACT)의 제1 소스/드레인 영역들(SD1)을 각각 노출하는 제1 콘택홀들(CNH1)이 형성될 수 있다. 제1 콘택홀(CNH1)이 형성될 때, 제1 소스/드레인 영역(SD1)의 상부가 리세스될 수 있다. 제1 콘택홀(CNH1)이 형성될 때, 제1 소스/드레인 영역(SD1) 주변의 소자 분리막(ST)의 상부가 리세스될 수 있다. 제1 콘택 홀들(CNH1)에 대한 본 발명에 따른 결함 검사가 수행될 수 있다.

[0079] 도 24 및 도 25a 내지 도 25d를 참조하면, 절연막(IL) 상에 제1 도전막(CL1), 배리어 막(BAL) 및 제2 도전막(CL2)이 순차적으로 형성될 수 있다. 제1 도전막(CL1)은 제1 콘택홀들(CNH1)을 채울 수 있다. 다시 말하면, 제1 도전막(CL1)은 활성 패턴들(ACT)의 제1 소스/드레인 영역들(SD1)과 접촉할 수 있다. 제1 도전막(CL1)은 절연막(IL)에 의해 활성 패턴들(ACT)의 제2 소스/드레인 영역들(SD2)과는 수직적으로 이격될 수 있다. 제1 도전막(CL1)은 도핑된 반도체 물질을 포함할 수 있다.

[0080] 배리어 막(BAL)은 제1 도전막(CL1)과 제2 도전막(CL2) 사이에 개재되도록 형성될 수 있다. 배리어 막(BAL)은 도전성 금속질화물을 포함할 수 있다. 제2 도전막(CL2)은 금속 물질을 포함할 수 있다. 배리어 막(BAL)은 제2 도전막(CL2) 내의 금속 물질이 제1 도전막(CL1)으로 확산되는 것을 억제할 수 있다.

[0081] 도 26 및 도 27a 내지 도 27d를 참조하면, 절연막(IL) 상에 제1 방향(D1)으로 서로 평행하게 연장되는 라인 구조체들(LST)이 형성될 수 있다. 라인 구조체들(LST)은 제2 방향(D2)을 따라 배열될 수 있다.

[0082] 구체적으로, 제2 도전막(CL2) 상에 마스크 패턴들(MP)이 형성될 수 있다. 마스크 패턴들(MP)은 제1 방향(D1)으로 연장되는 라인 형태를 갖도록 형성될 수 있다. 일 예로, 마스크 패턴들(MP)은 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다.

[0083] 마스크 패턴들(MP)을 마스크로 제2 도전막(CL2), 배리어 막(BAL) 및 제1 도전막(CL1)을 순차적으로 패터닝하여, 비트 라인(BL), 배리어 패턴(BP) 및 도전 패턴(CP)이 각각 형성될 수 있다. 마스크 패턴(MP), 비트 라인(BL), 배리어 패턴(BP) 및 도전 패턴(CP)은 서로 수직적으로 중첩될 수 있다. 마스크 패턴(MP), 비트 라인(BL), 배리어 패턴(BP) 및 도전 패턴(CP)은 라인 구조체(LST)를 구성할 수 있다. 평면적 관점에서, 비트 라인들(BL)은 게이트 전극들(GE)과 교차하며 연장될 수 있다.

[0084] 도전 패턴(CP)은 제1 콘택홀들(CNH1)을 각각 채우는 콘택부들(CNP)을 포함할 수 있다. 도전 패턴(CP)은 콘택부(CNP)를 통해 제1 소스/드레인 영역(SD1)과 연결될 수 있다. 다시 말하면, 비트 라인(BL)은 도전 패턴(CP)을 통해 제1 소스/드레인 영역(SD1)과 전기적으로 연결될 수 있다.

[0085] 라인 구조체들(LST) 각각의 양 측벽들 상에 한 쌍의 스페이서들(SP)이 형성될 수 있다. 스페이서들(SP)을 형성하는 것은, 웨이퍼(W)의 전면 상에 스페이서막을 컨포멀하게 형성하는 것, 및 상기 스페이서막을 이방성 식각하는 것을 포함할 수 있다.

[0086] 스페이서들(SP) 및 마스크 패턴들(MP)을 마스크로 웨이퍼(W)의 전면 상에 식각 공정을 수행하여, 제2 소스/드레인 영역들(SD2)을 각각 노출하는 제2 콘택홀들(CNH2)이 형성될 수 있다. 구체적으로, 제2 콘택 홀(CNH2)은 절연막(IL)을 관통하여 웨이퍼(W)의 상면보다 더 아래로 연장될 수 있다. 제2 콘택 홀(CNH2)이 형성될 때, 제2 소스/드레인 영역(SD2)의 상부가 리세스될 수 있다. 제2 콘택 홀(CNH2)이 형성될 때, 제2 소스/드레인 영역(SD2) 주변의 소자 분리막(ST)의 상부가 리세스될 수 있다. 라인 구조체들(LST)에 대한 본 발명에 따른 결함 검사가 수행될 수 있다.

[0087] 도 28 및 도 29a 내지 도 29d를 참조하면, 게이트 캐핑막(GP) 상에 복수개의 절연 펜스들(IFS)이 형성될 수 있다. 절연 펜스들(IFS)은 제2 콘택 홀들(CNH2)과 중첩되지 않고, 이들을 노출할 수 있다.

[0088] 제2 콘택홀들(CNH2)에 도전 물질을 채워, 제2 콘택홀들(CNH2) 내에 콘택들(CNT)이 각각 형성될 수 있다. 콘택들(CNT)은 제2 소스/드레인 영역들(SD2)에 연결될 수 있다. 구체적으로, 웨이퍼(W)의 전면 상에 상기 도전 물질을 형성한 후, 상기 도전 물질의 상면이 절연 펜스들(IFS)의 상면들보다 낮아지도록 상기 도전 물질을 리세스할 수 잇다. 이로써, 도전 물질이 절연 펜스들(IFS)에 의해 분리되어, 제2 콘택홀들(CNH2)에 각각 콘택들(CNT)이 형성

될 수 있다. 콘택들(CNT) 및 절연 펜스들(IFS)은 제1 방향(D1)을 따라 서로 교번적으로 배열될 수 있다.

[0089] 제2 콘택홀들(CNH2)에 채워지는 도전 물질은 도핑된 반도체 물질일 수 있다. 제2 콘택홀들(CNH2)에 도핑된 반도체를 채우고, 반도체 내의 불순물을 제2 소스/드레인 영역들(SD2)로 확산시킬 수 있다.

[0090] 도 30 및 도 31a 내지 도 31d를 참조하면, 콘택들(CNT) 상에 랜딩 패드들(LP)이 각각 형성될 수 있다. 구체적으로, 콘택들(CNT) 및 절연 펜스들(IFS) 상에 금속막이 형성될 수 있다. 상기 금속막을 패터닝하여 복수개의 랜딩 패드들(LP)이 형성될 수 있다. 랜딩 패드들(LP)에 대한 본 발명에 따른 결함 검사가 수행될 수 있다.

[0091] 복수개의 랜딩 패드들(LP) 사이의 공간에 절연 물질을 채워, 절연 패턴(INP)이 형성될 수 있다. 랜딩 패드들(LP) 상에 제1 전극들(LEL)이 각각 형성될 수 있다 제1 전극들(LEL)에 대한 본 발명에 따른 결함 검사가 수행될 수 있다.

[0092] 제1 전극들(LEL) 상에 유전막(HDL)이 콘포멀하게 형성될 수 있다. 유전막(HDL) 상에 제2 전극(TEL)이 형성될 수 있다. 제1 전극(LEL), 유전막(HDL) 및 제2 전극(TEL)은 정보 저장 요소(DS), 예를 들어, 캐패시터를 구성할 수 있다. 도시되진 않았지만, 제2 전극(TEL) 상에 적층된 금속 층들(예를 들어, M1, M2, M3, M4...)이 형성될 수 있다.

[0094] 도 32은 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자를 제조하는 방법을 설명하기 위한 평면도이다. 도 33 내지 도 38는 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 제조 방법을 설명하기 위한 것으로, 도 32의 I-I'선을 따라 자른 단면도들이다.

[0095] 본 실시예에 따른 3차원 반도체 메모리 소자의 제조 방법은, 앞서 도 3을 참조하여 설명한 웨이퍼(W)상에 수행되는 반도체 공정들을 포함할 수 있다. 웨이퍼(W)의 복수개의 다이들(200)에 대해 반도체 공정들이 수행될 수 있다. 이하 본 실시예에서는, 도 3의 웨이퍼(W)의 제1 영역(R1)을 대표로 설명한다.

[0096] 도 32 및 도 33를 참조하면, 웨이퍼(W) 상에 주변 회로 구조체(PS)가 형성될 수 있다. 주변 회로 구조체(PS)를 형성하는 것은, 웨이퍼(W) 상에 주변 트랜지스터들(PTR)을 형성하는 것, 및 주변 트랜지스터들(PTR) 상에 하부 배선들(INL)을 형성하는 것을 포함할 수 있다. 예를 들어, 주변 트랜지스터들(PTR)을 형성하는 것은, 웨이퍼(W) 상에 활성 영역들을 정의하는 소자 분리막(ST)을 형성하는 것, 활성 영역들 상에 게이트 절연막 및 게이트 전극을 형성하는 것, 및 활성 영역들 상에 불순물을 주입하여 소스/드레인 영역을 형성하는 것을 포함할 수 있다. 주변 트랜지스터들(PTR) 및 하부 배선들(INL)을 덮는 제1 층간 절연막(ILD1)이 형성될 수 있다.

[0097] 제1 층간 절연막(ILD1) 상에 하부 반도체 막(LSL)이 형성될 수 있다. 예를 들어, 하부 반도체 막(LSL)은 폴리실리콘과 같은 반도체 물질을 포함할 수 있다. 하부 반도체 막(LSL) 상에 하부 절연막(LIL)이 형성될 수 있다. 하부 절연막(LIL)을 형성하는 것은, 하부 반도체 막(LSL) 상에 제3 절연막(IL3), 하부 희생막(LHL) 및 제4 절연막(IL4)을 순차적으로 형성하는 것을 포함할 수 있다. 제3 및 제4 절연막들(IL3, IL4)은 실리콘 산화막을 포함할 수 있고, 하부 희생막(LHL)은 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다. 하부 희생막(LHL) 상에 상부 반도체 막(USL)이 콘포멀하게 형성될 수 있다. 예를 들어, 상부 반도체 막(USL)은 폴리실리콘과 같은 반도체 물질을 포함할 수 있다.

[0098] 도 32 및 도 34를 참조하면, 상부 반도체 막(USL) 상에 적층 구조체(MO)가 형성될 수 있다. 구체적으로, 상부 반도체 막(USL) 상에 제1 절연막들(IL1) 및 희생막들(HL)을 번갈아 적층하여, 적층 구조체(MO)가 형성될 수 있다. 적층 구조체(MO)의 최상부에 제2 절연막(IL2)이 형성될 수 있다.

[0099] 제1 절연막들(IL1), 희생막들(HL), 및 제2 절연막(IL2)은 열적 화학기상증착(Thermal CVD), 플라즈마 보강 화학기상증착(Plasma enhanced CVD), 물리적 화학기상증착(physical CVD) 또는 원자층 증착(Atomic Layer Deposition; ALD) 공정을 이용하여 증착될 수 있다. 제1 및 제2 절연막들(IL1, IL2)은 실리콘 산화막을 포함할 수 있고, 희생막들(HL)은 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다.

[0100] 연결 영역(CNR) 상의 적층 구조체(MO)에 계단식 구조(STS)가 형성될 수 있다. 구체적으로, 적층 구조체(MO)에 사이클 공정을 수행하여 연결 영역(CNR) 상에 계단식 구조(STS)가 형성될 수 있다. 계단식 구조(STS)를 형성하는 것은, 적층 구조체(MO) 상에 마스크 패턴(미도시)을 형성하는 것, 및 상기 마스크 패턴을 이용한 사이클을 복수 회 반복 수행하는 것을 포함할 수 있다. 하나의 사이클은, 상기 마스크 패턴을 식각 마스크로 적층 구조체(MO)의 일부를 식각하는 공정, 및 상기 마스크 패턴을 축소시키는 트리밍 공정을 포함할 수 있다.

[0101] 적층 구조체(MO) 상에 제2 층간 절연막(ILD2)이 형성될 수 있다. 제2 층간 절연막(ILD2)을 형성하는 것은, 적층 구조체(MO)를 덮는 절연막을 형성하는 것, 및 제2 절연막(IL2)이 노출될 때까지 상기 절연막 상에 평탄화 공정을 수행하는 것을 포함할 수 있다.

[0102] 도 32 및 도 35을 참조하면, 셀 어레이 영역(CAR) 상에 적층 구조체(MO)를 관통하는 채널 홀들(CHO)이 형성될 수 있다. 연결 영역(CNR) 상에 적층 구조체(MO)를 관통하는 더미 홀들(DHO)이 형성될 수 있다. 더미 홀들(DHO)은 적층 구조체(MO)의 계단식 구조(STS)를 관통할 수 있다. 채널 홀들(CHO) 및 더미 홀들(DHO) 각각은 하부 반도체 막(LSL)을 노출할 수 있다.

[0103] 평면적 관점에서, 채널 홀들(CHO)은 일 방향을 따라 배열되거나, 지그재그 형태로 배열될 수 있다. 채널 홀들(CHO) 각각의 최대 직경은, 더미 홀들(DHO) 각각의 최대 직경보다 작을 수 있다. 채널 홀들(CHO)에 대한 본 발명에 따른 결함 검사가 수행될 수 있다. 이로써 채널 홀들(CHO)에 발생된 결함의 정도가 허용범위 내에 있는지를 확인할 수 있다.

[0104] 도 32 및 도 36을 참조하면, 채널 홀들(CHO) 내에 수직 채널 구조체들(VS)이 각각 형성될 수 있다. 더미 홀들(DHO) 내에 더미 구조체들(DS)이 각각 형성될 수 있다. 수직 채널 구조체들(VS) 및 더미 구조체들(DS) 각각의 상부에 도전 패드(PAD)가 형성될 수 있다.

[0105] 구체적으로, 채널 홀(CHO)의 내벽 상에 수직 절연 패턴(VP)이 콘포멀하게 형성될 수 있다. 수직 절연 패턴(VP)을 형성하는 것은, 채널 홀(CHO) 내에 블록킹 절연막, 전하 저장막, 및 터널 절연막을 순차적으로 형성하는 것을 포함할 수 있다. 채널 홀(CHO) 내의 수직 절연 패턴(VP) 상에 수직 반도체 패턴(SP)이 형성될 수 있다. 수직 반도체 패턴(SP)을 형성하는 것은, 채널 홀(CHO) 내에 폴리실리콘 막을 형성하는 것을 포함할 수 있다. 이후, 채널 홀(CHO) 내에 매립 절연 패턴(VI)이 형성될 수 있다.

[0106] 더미 홀(DHO) 내의 더미 구조체(DS)는 수직 채널 구조체(VS)와 동시에 형성될 수 있다.

[0107] 도 32 및 도 37을 참조하면, 적층 구조체(MO) 및 제2 층간 절연막(ILD2) 상에 제3 층간 절연막(ILD3)이 형성될 수 있다. 적층 구조체(MO)를 패터닝하여, 적층 구조체(MO)을 관통하는 커팅 홀들(SPS)이 형성될 수 있다 (도 32 참조). 커팅 홀(SPS)은 하부 희생막(LHL)을 노출할 수 있다. 커팅 홀(SPS)에 의해 노출된 하부 희생막(LHL)이 소스 반도체 막(SSL)으로 교체될 수 있다. 소스 반도체 막(SSL)은, 노출된 수직 반도체 패턴(SP)과 직접 접촉할 수 있다. 한편, 연결 영역(CNR) 상의 하부 희생막(LHL)은 제거되지 않을 수 있다. 이로써, 연결 영역(CNR) 상에 소스 반도체 막(SSL)이 형성되지 않을 수 있다.

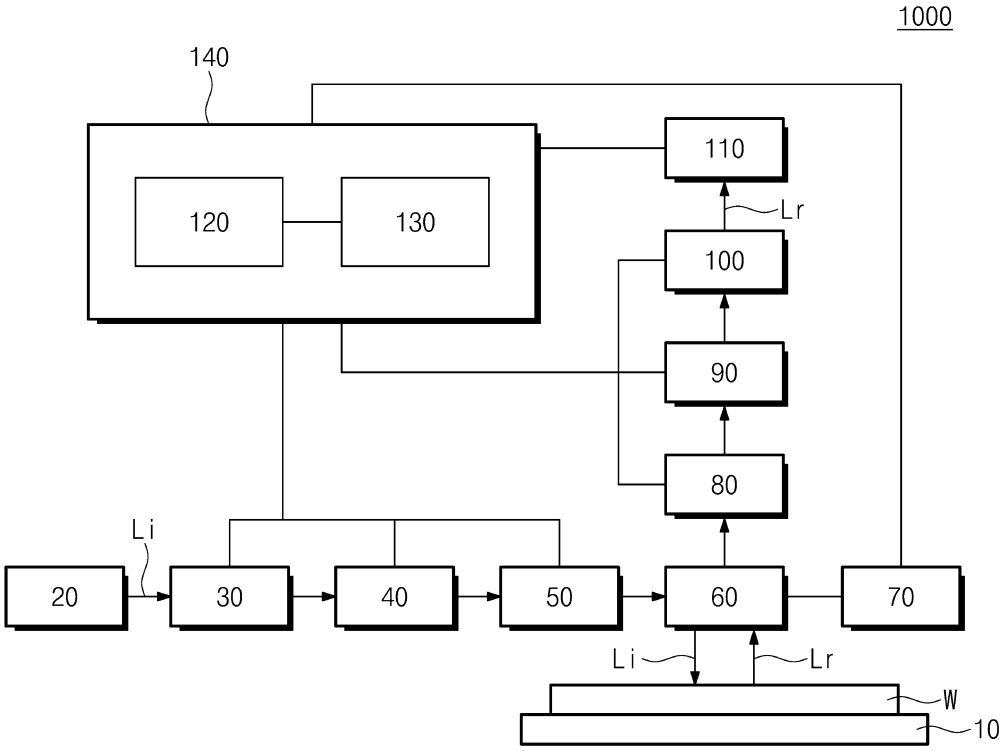
[0108] 도 32 및 도 38를 참조하면, 커팅 홀(SPS)에 의해 노출된 희생막들(HL)이 전극들(EL)로 각각 교체되어, 전극 구조체(EST)가 형성될 수 있다. 구체적으로, 커팅 홀(SPS)을 통해 노출된 희생막들(HL)이 선택적으로 제거될 수 있다. 희생막들(HL)이 제거된 공간들 내에 전극들(EL)이 각각 형성될 수 있다. 이후 커팅 홀(SPS)을 절연 물질로 채울 수 있다.

[0109] 셀 어레이 영역(CAR) 상에서, 제3 층간 절연막(ILD3)을 관통하여 도전 패드들(PAD)에 각각 접속하는 비트라인 콘택 플러그들(BPLG)이 형성될 수 있다. 연결 영역(CNR) 상에서, 제2 및 제3 층간 절연막들(ILD2, ILD3)을 관통하여 계단식 구조(STS)의 전극들(EL)에 각각 접속하는 셀 콘택 플러그들(PLG)이 형성될 수 있다. 제3 층간 절연막(ILD3) 상에, 비트라인 콘택 플러그들(BPLG)과 전기적으로 연결되는 비트 라인들(BL) 및 셀 콘택 플러그들(PLG)과 전기적으로 연결되는 상부 배선들(UIL)이 형성될 수 있다. 비트라인 콘택 플러그들(BPLG), 셀 콘택 플러그들(PLG) 및 상부 배선들(UIL) 중 적어도 하나에 대한 본 발명에 따른 결함 검사가 수행될 수 있다.

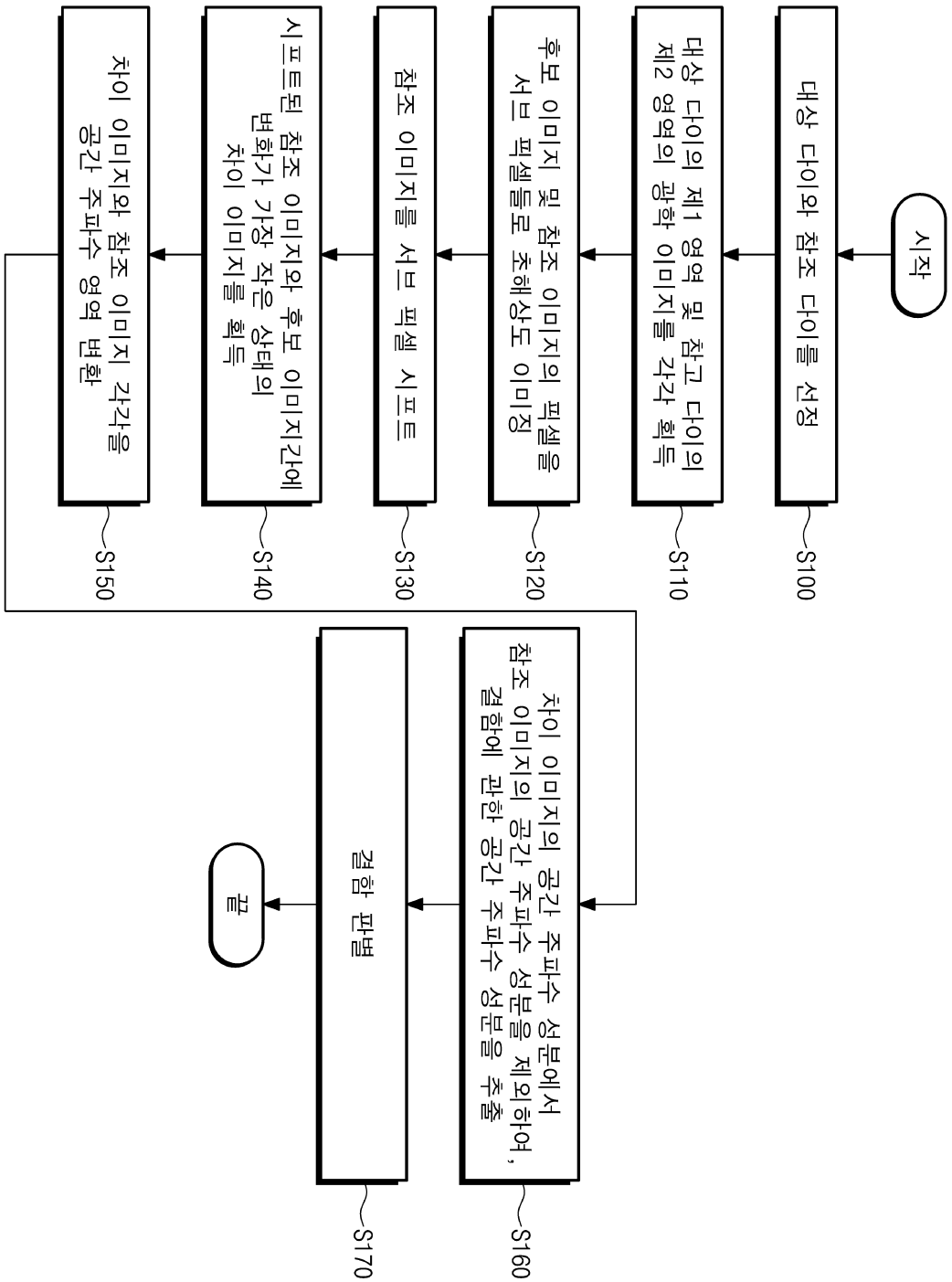
[0111] 이상, 첨부된 도면들을 참조하여 본 발명의 실시 예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시 예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야 한다.

도면

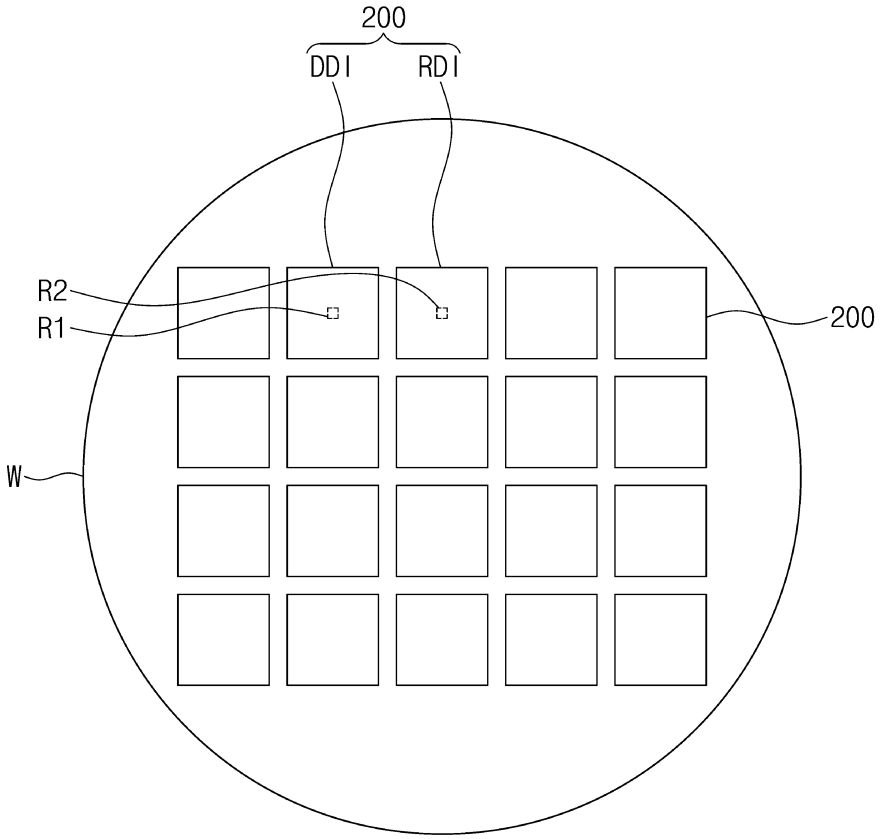
도면1



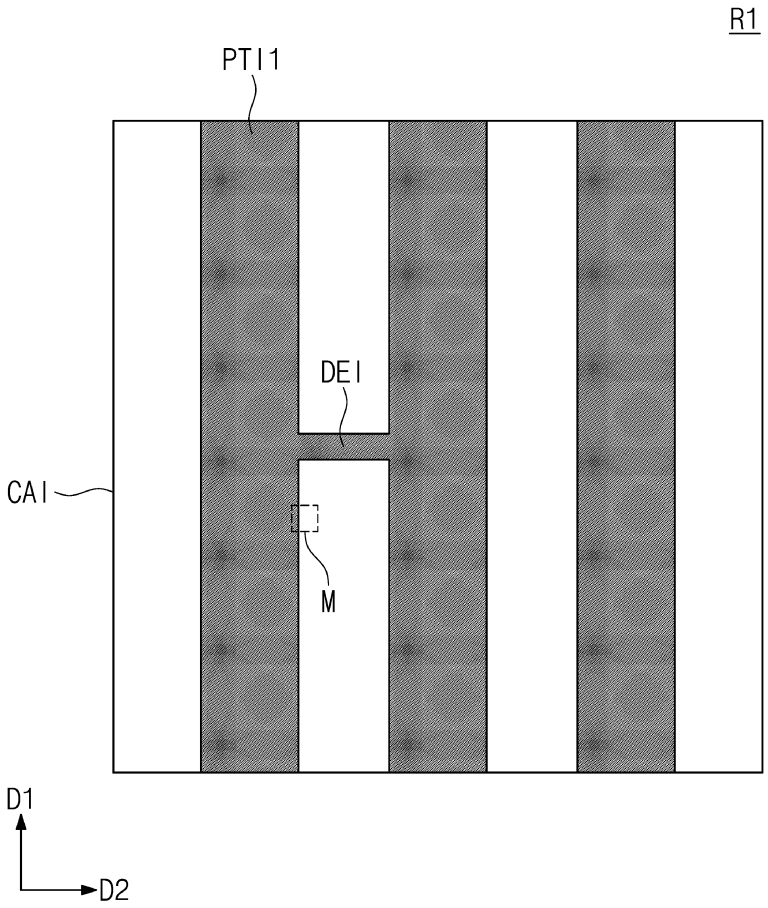
도면2


시작
대상 다이와 참조 다이를 선정
S100
대상 다이의 제1 영역 및 참고 다이의 제2 영역의 광학 이미지를 각각 획득
S110
후보 이미지 및 참조 이미지의 픽셀을 서브 픽셀들로 초해상도 이미징
S120
참조 이미지를 서브 픽셀 시프트
S130
시프트된 참조 이미지와 후보 이미지간에 변화가 가장 작은 상태의 차이 이미지를 획득
S140
차이 이미지와 참조 이미지 각각을 공간 주파수 영역 변환
S150
차이 이미지의 공간 주파수 성분에서 참조 이미지의 공간 주파수 성분을 제외하여, 결함에 관한 공간 주파수 성분을 추출
S160
결함 판별
S170
끝

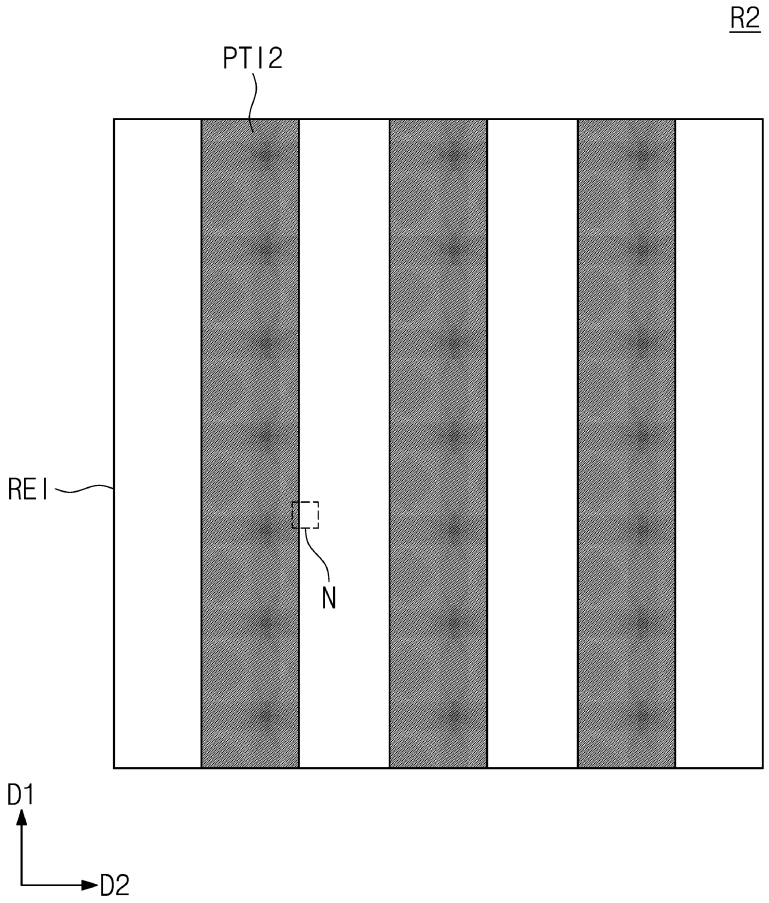
도면3



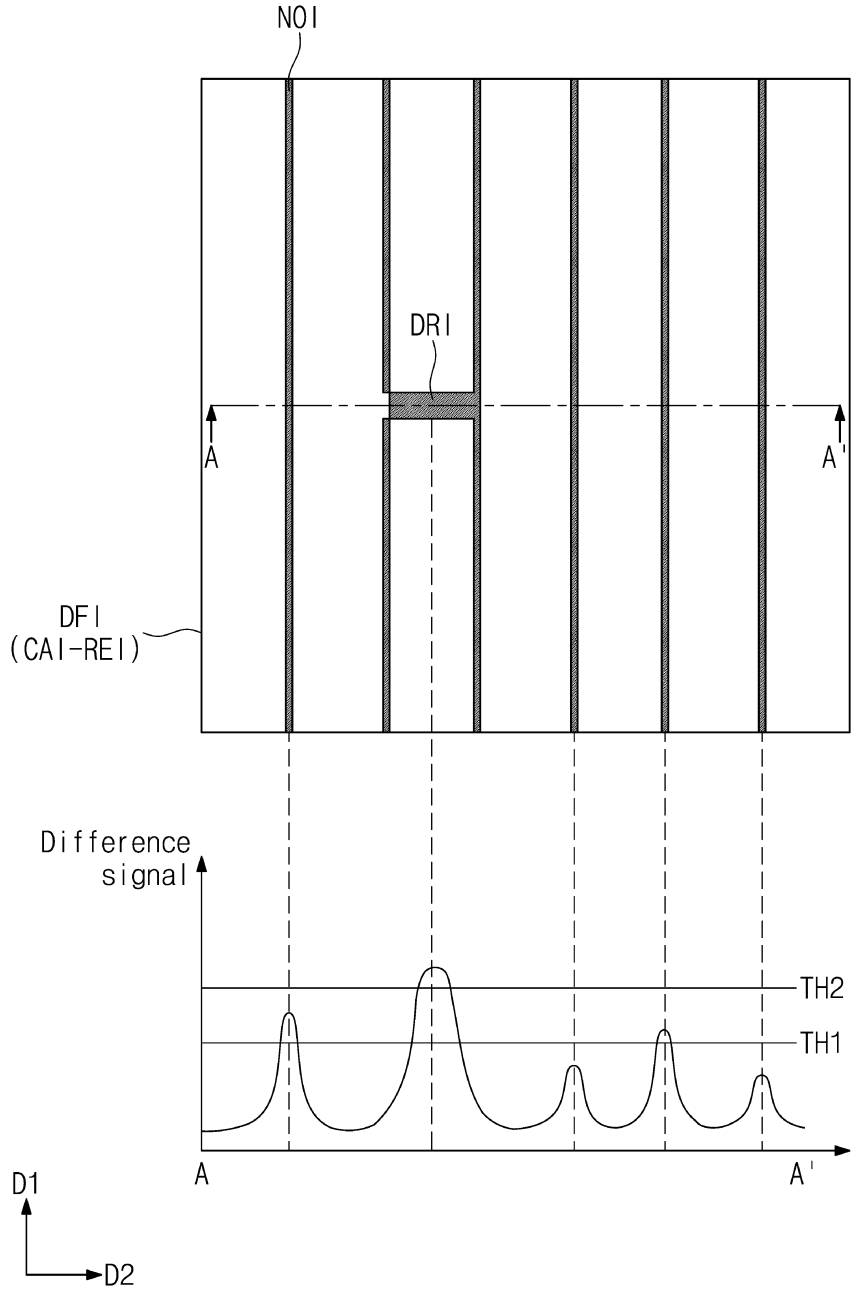
도면4



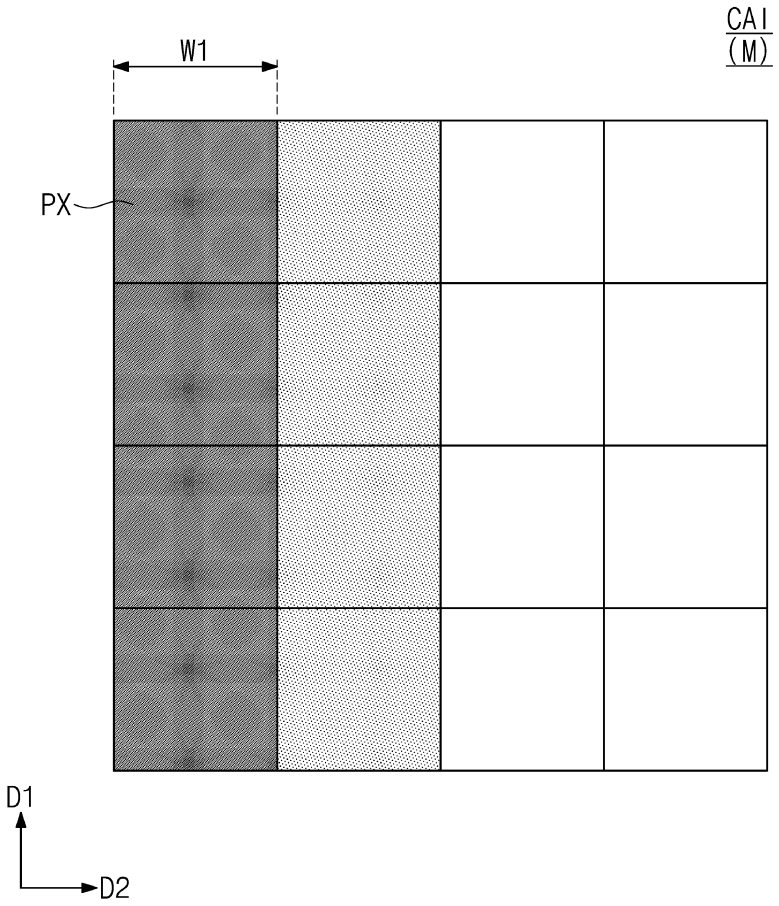
도면5



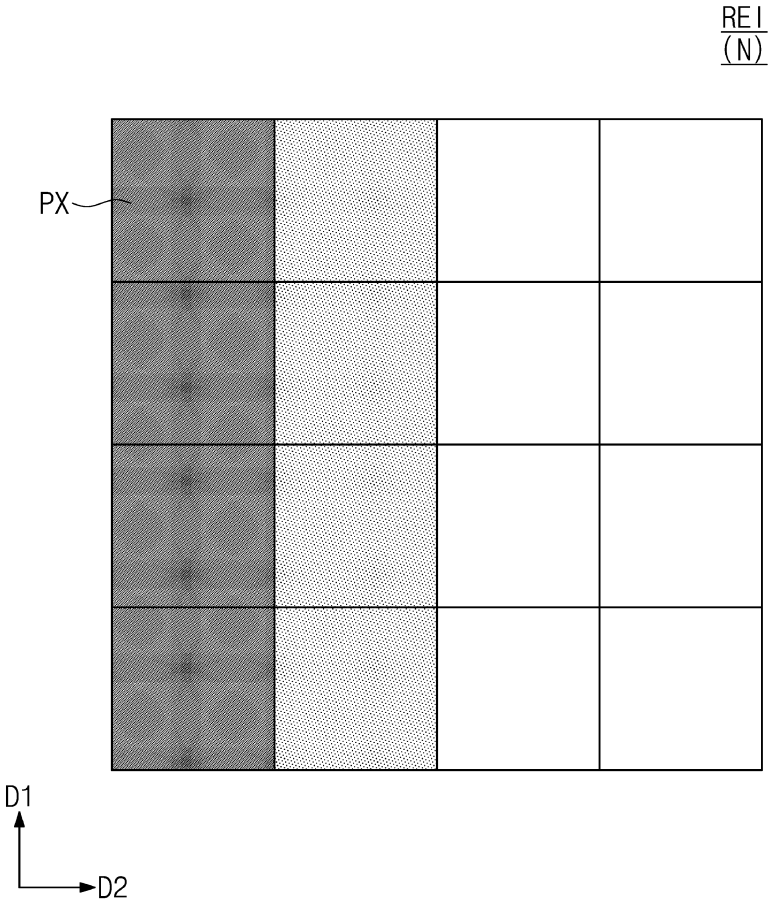
도면6



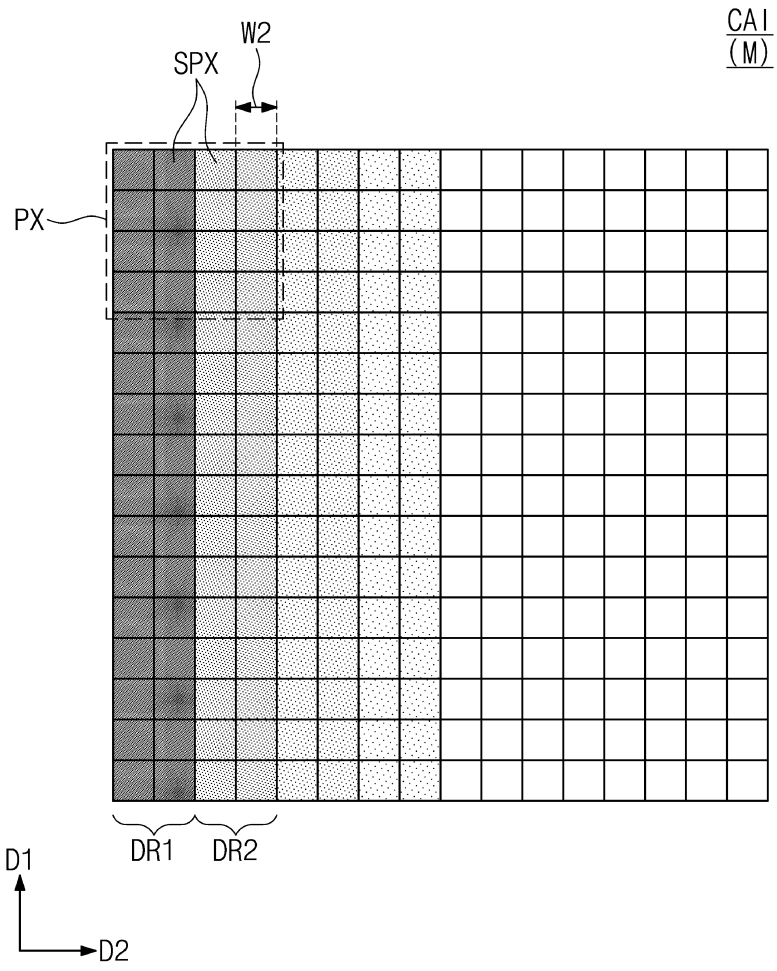
도면7a



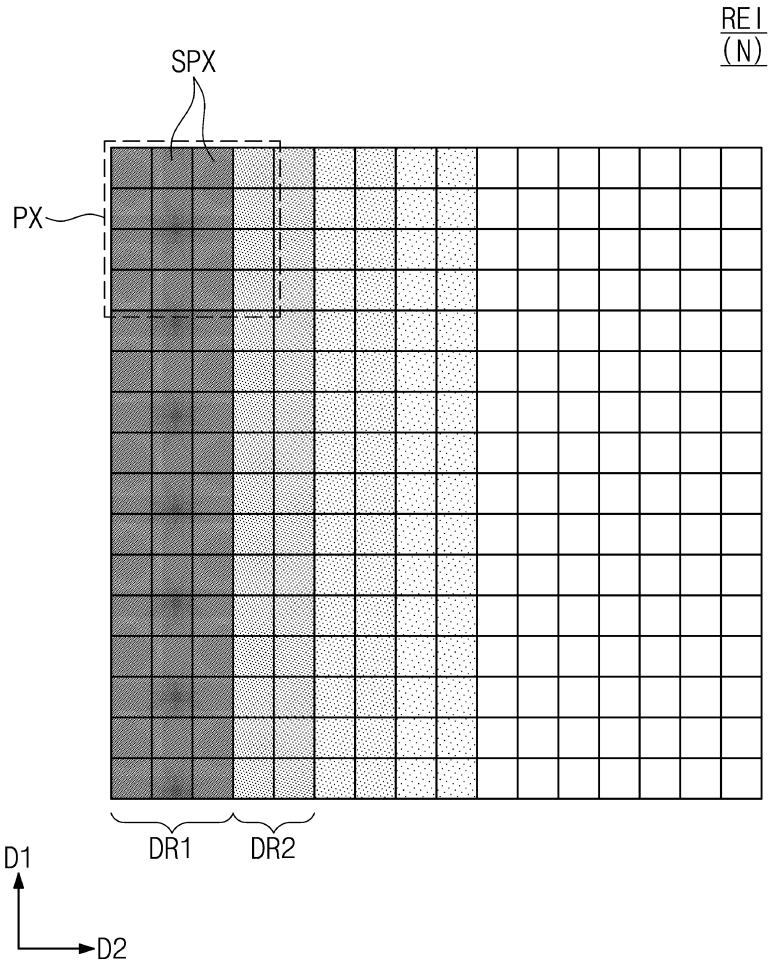
도면7b



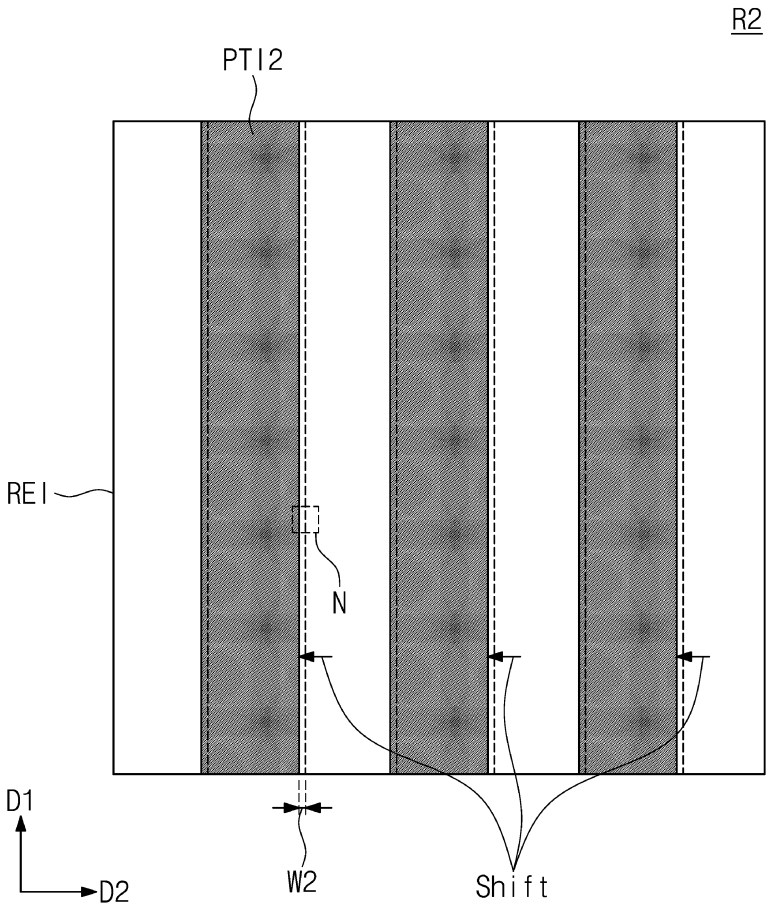
도면8a



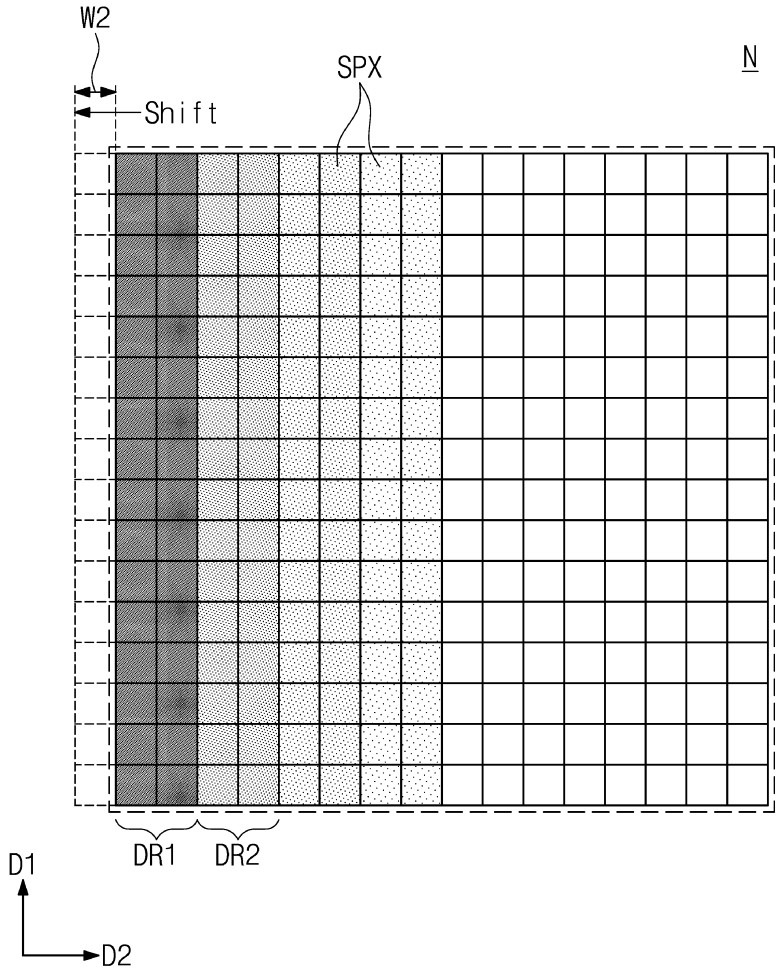
도면8b



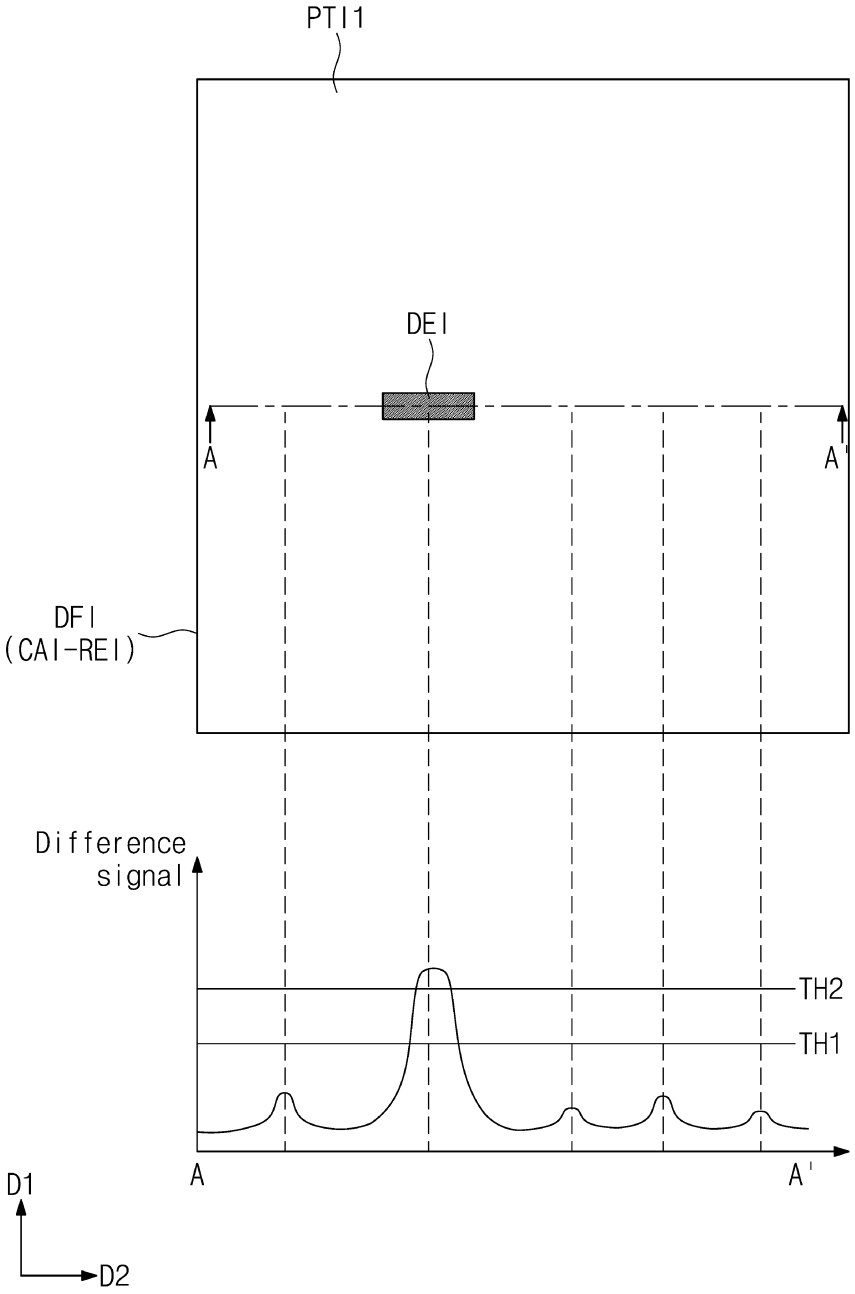
도면9



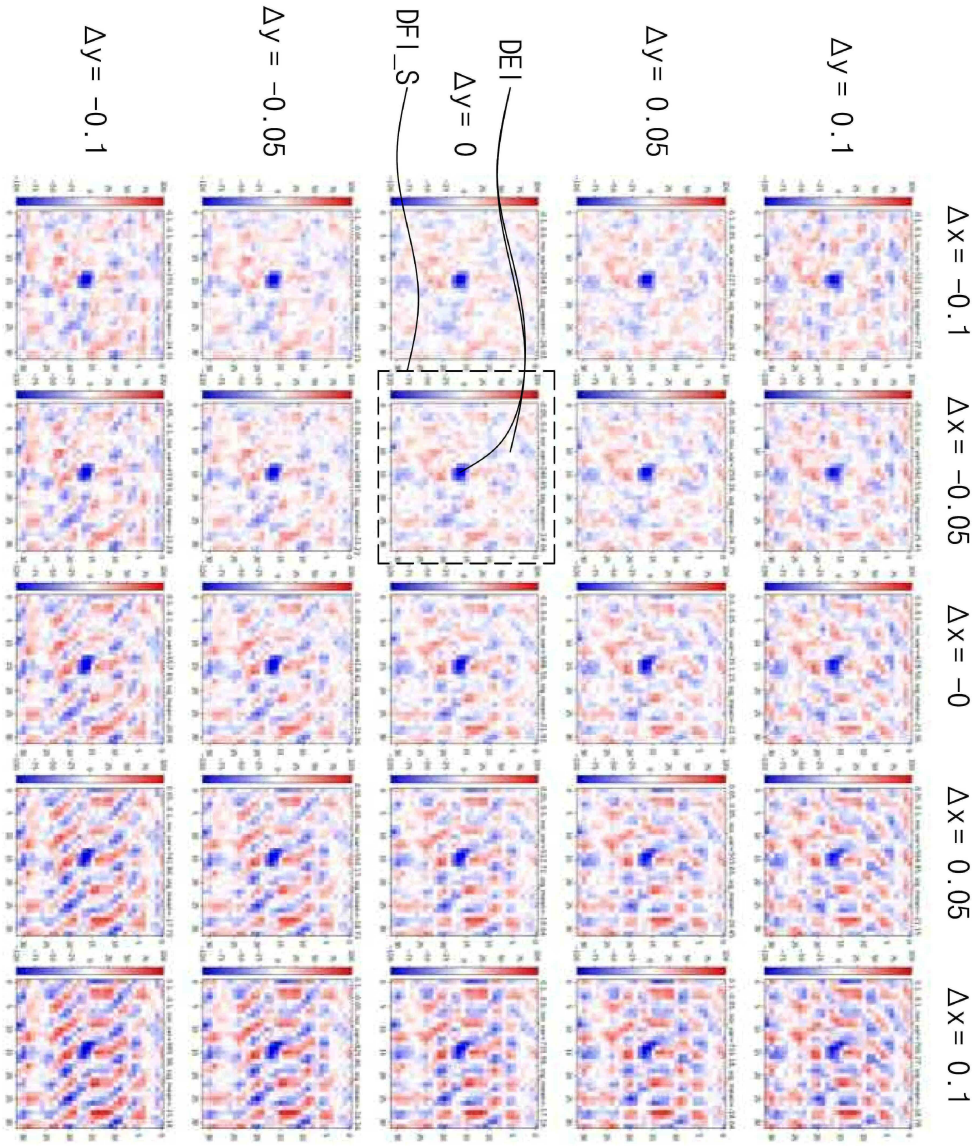
도면10



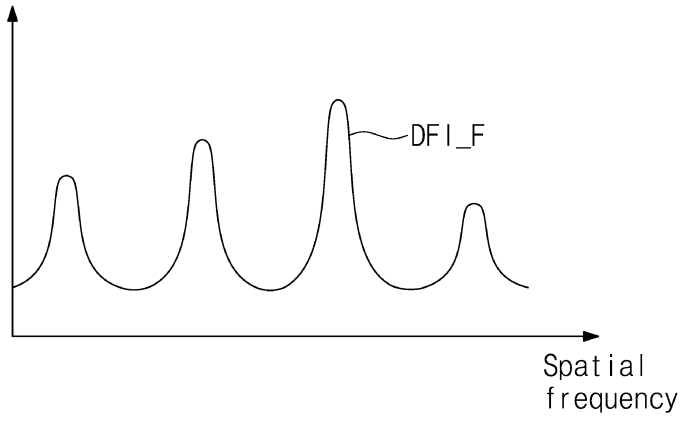
도면11



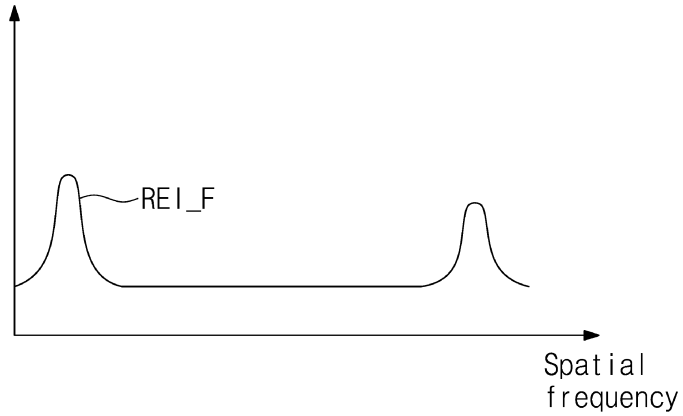
도면12


Δy = -0.1
Δy = -0.05
DFI_S
Δy= 0
DEI
Δy= 0.05
Δy = 0.1
Δx= -0.1
Δx= -0.05
Δx= -0
Δx= 0.05
Δx= 0.1

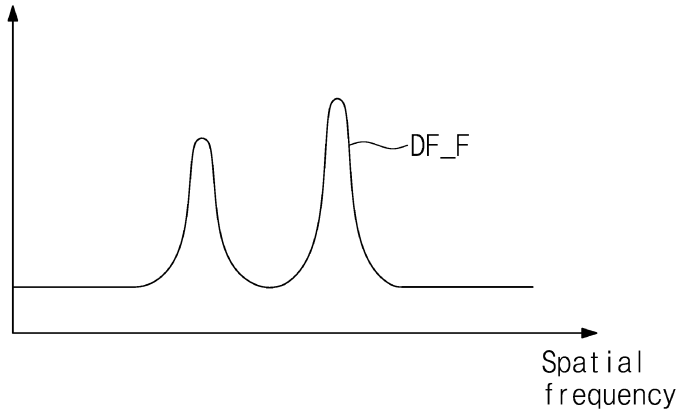
도면13


DFI_F
Spatial
frequency

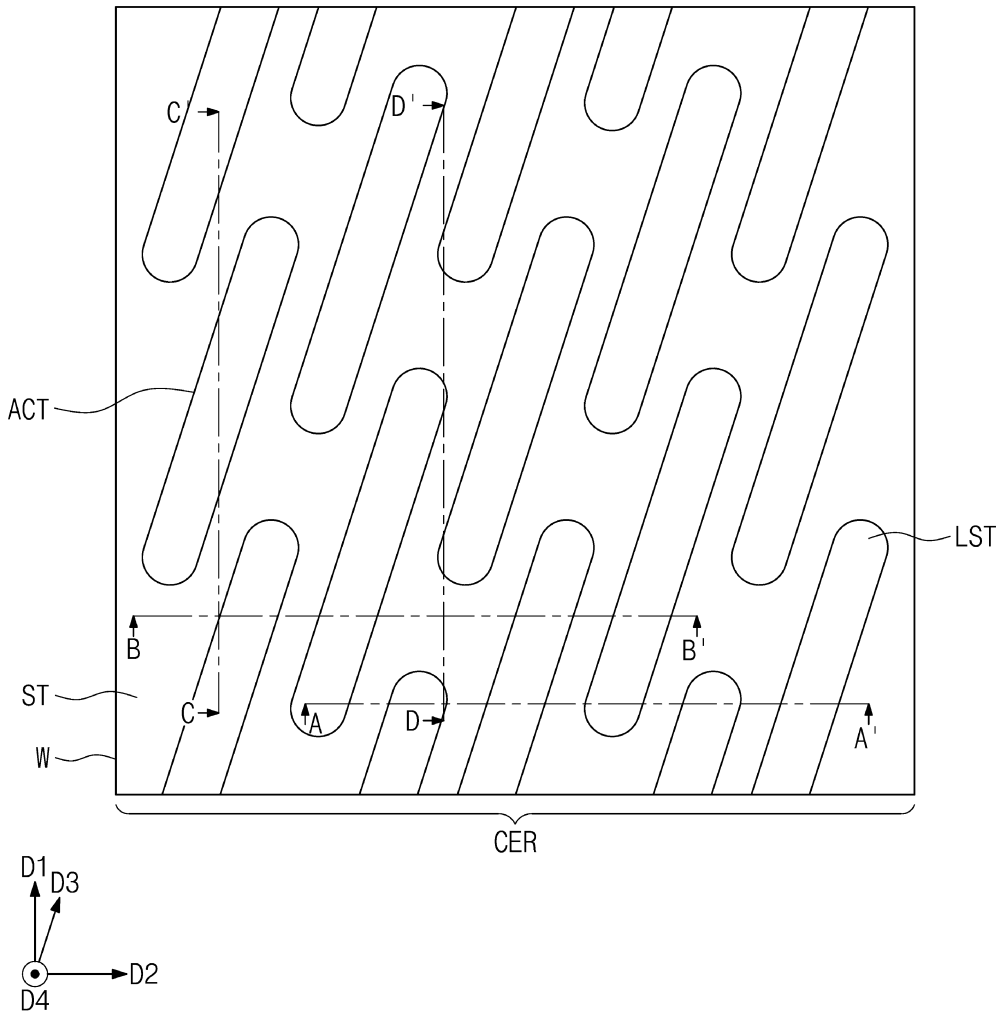
도면14



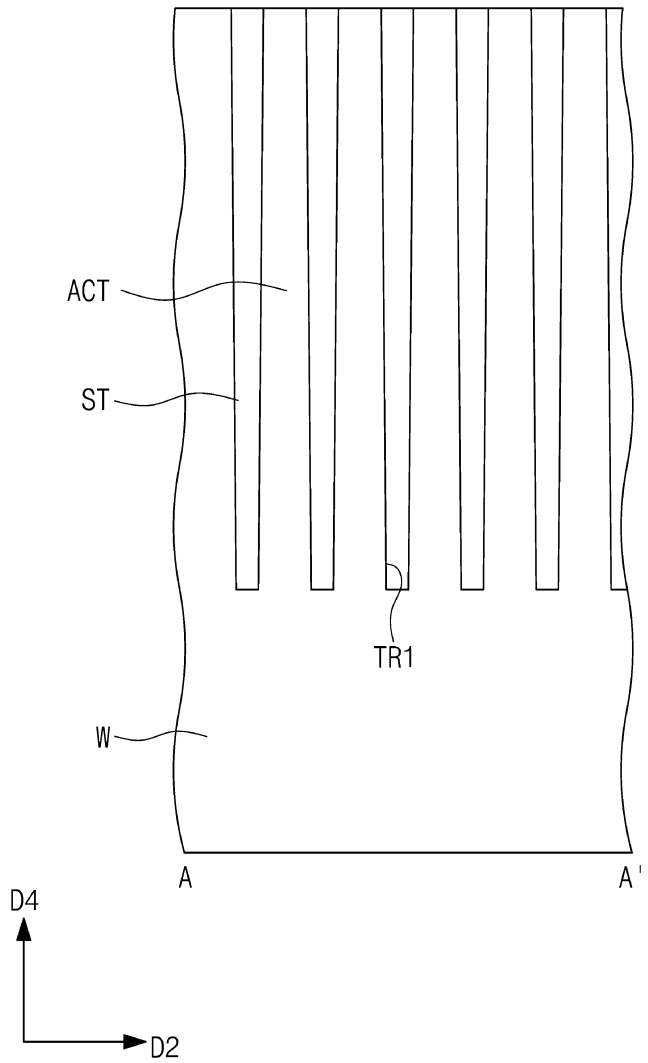
도면15



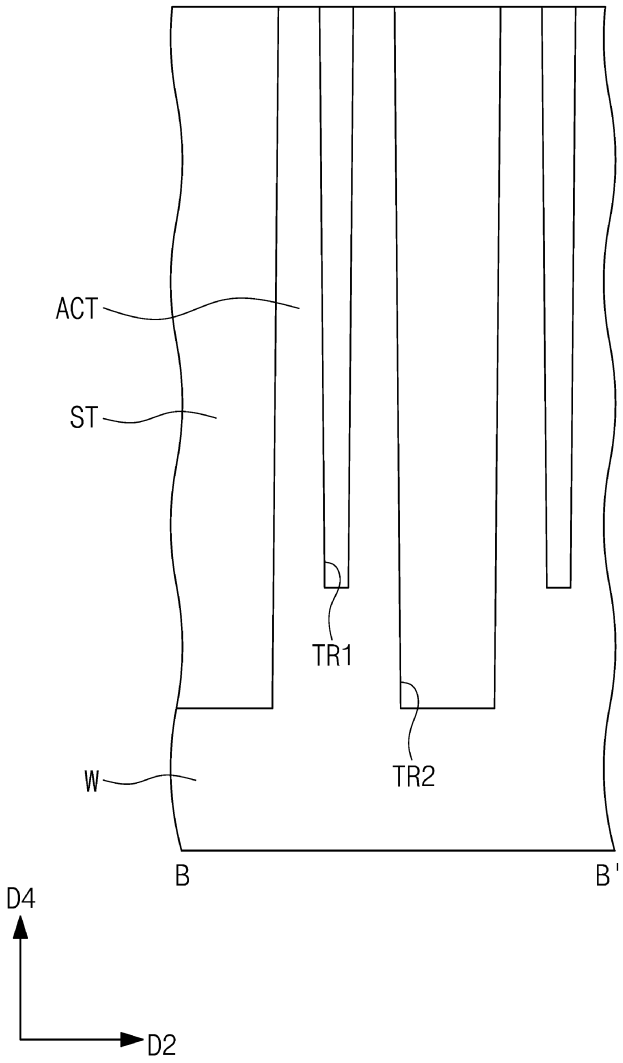
도면16



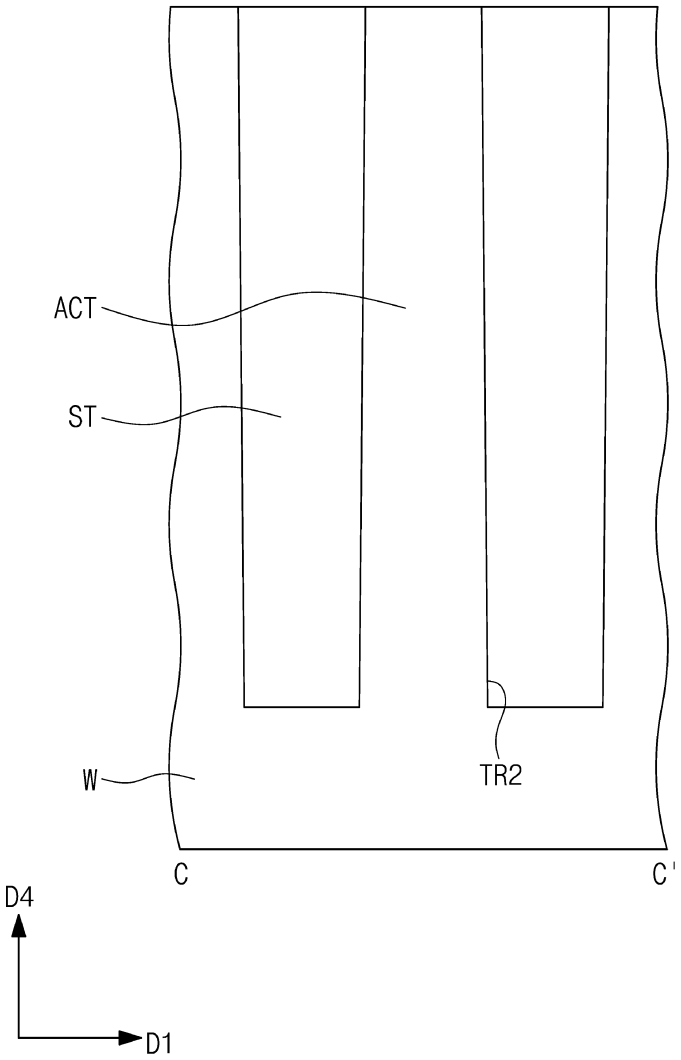
도면17a



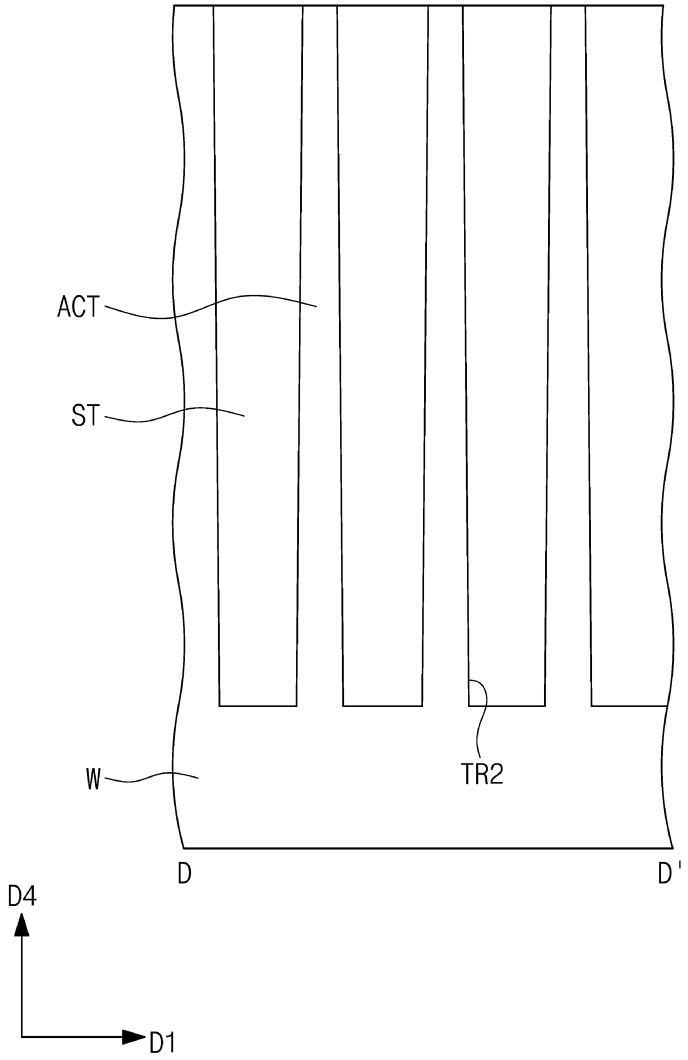
도면17b



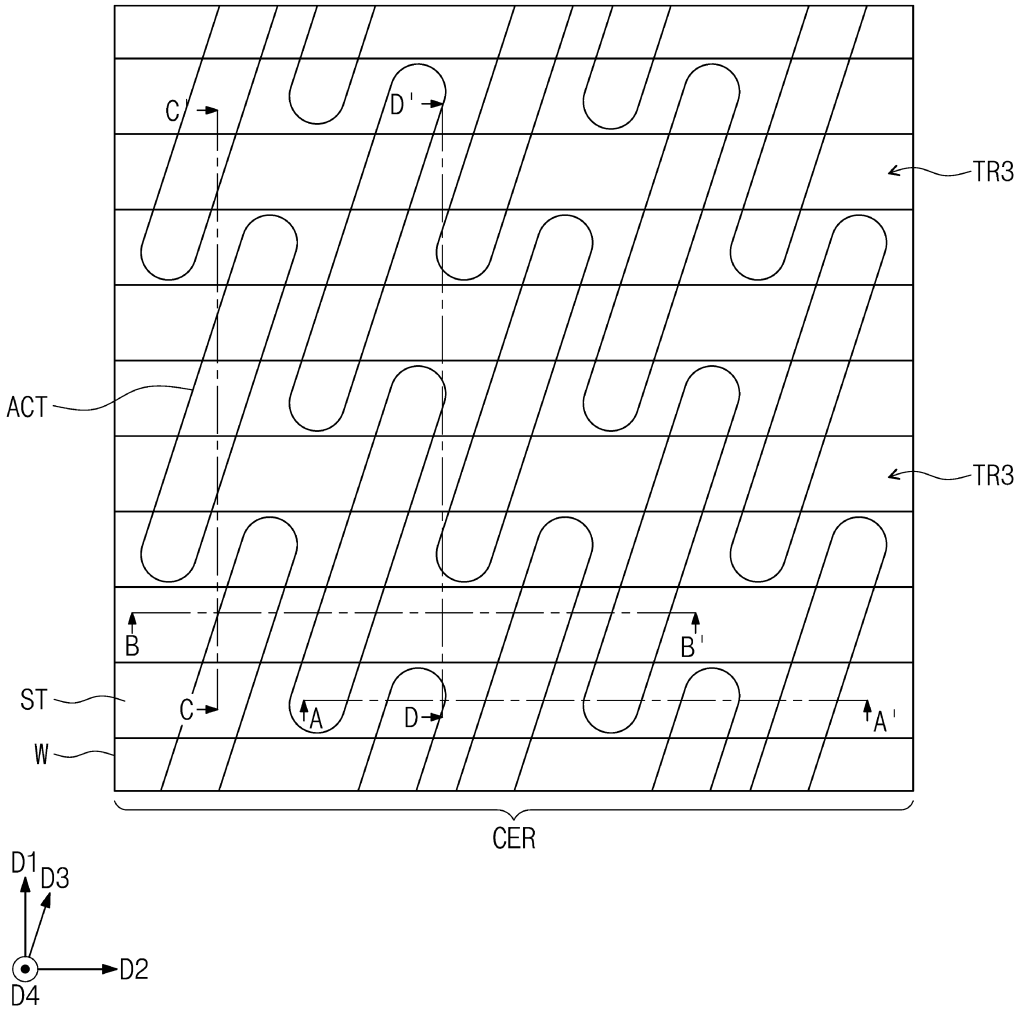
도면17c



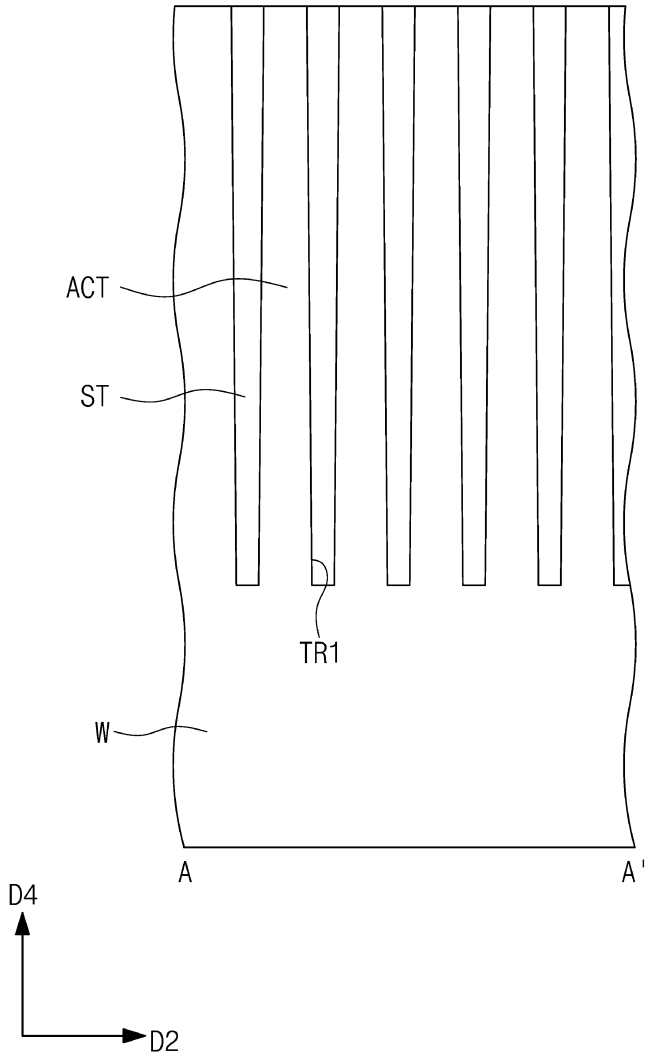
도면17d



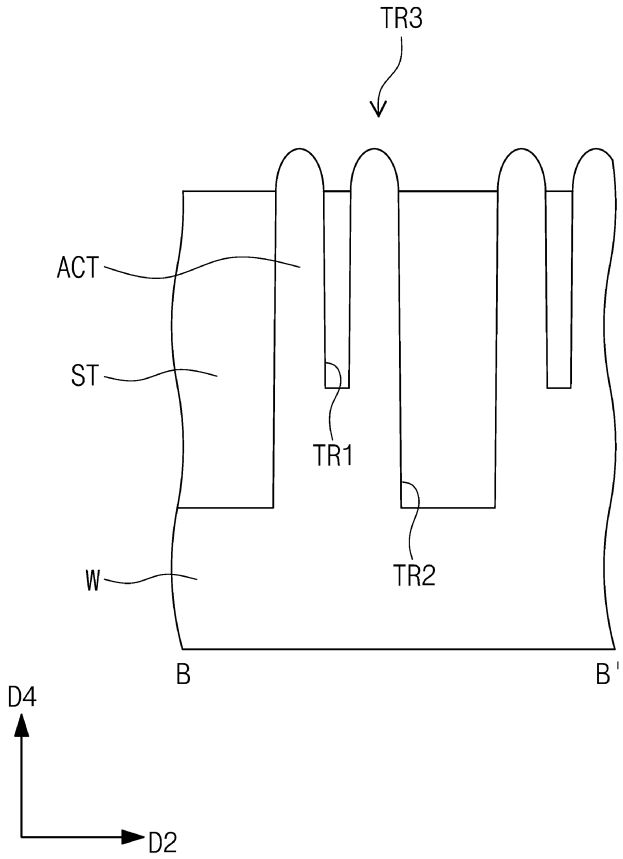
도면18



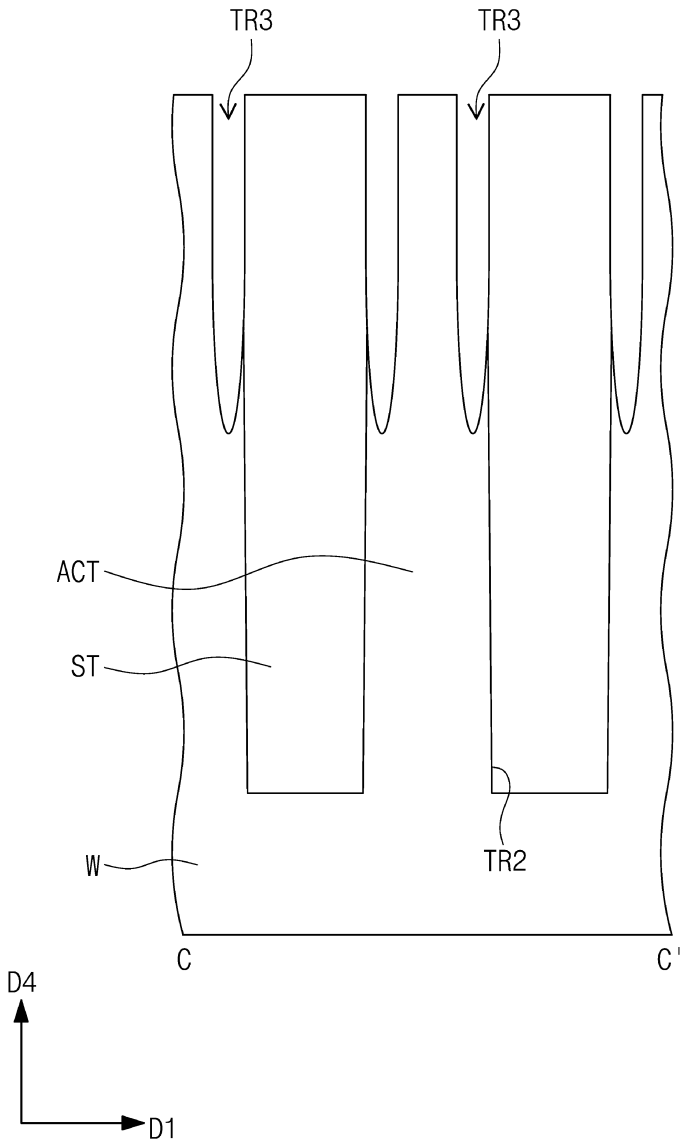
도면19a



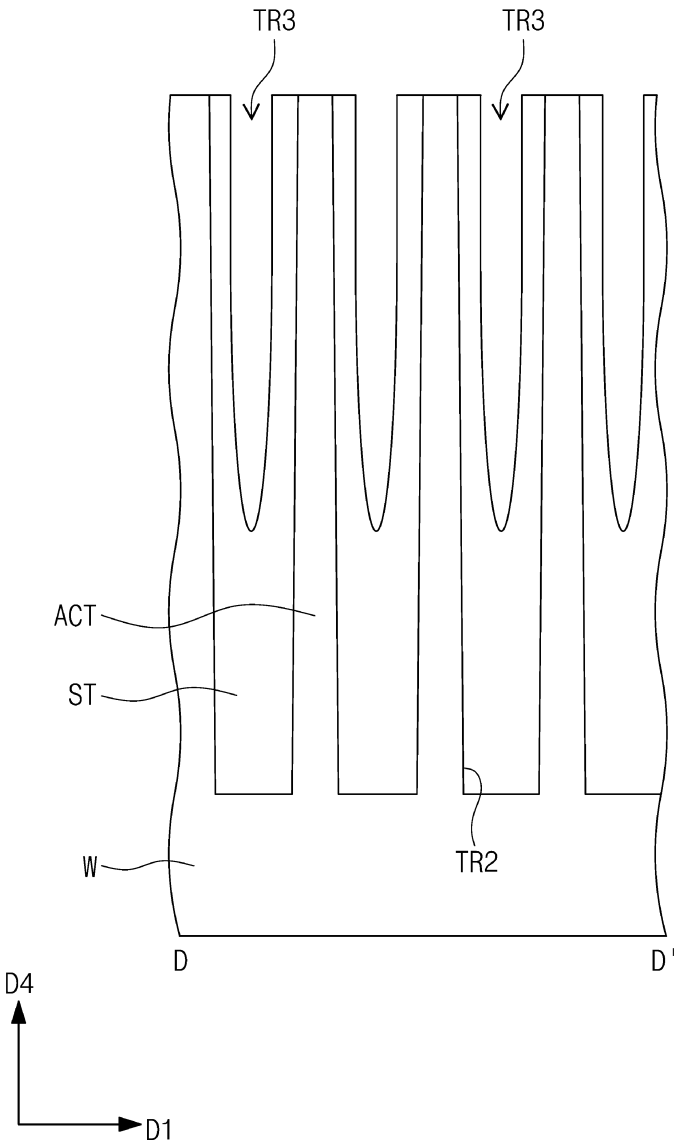
도면19b



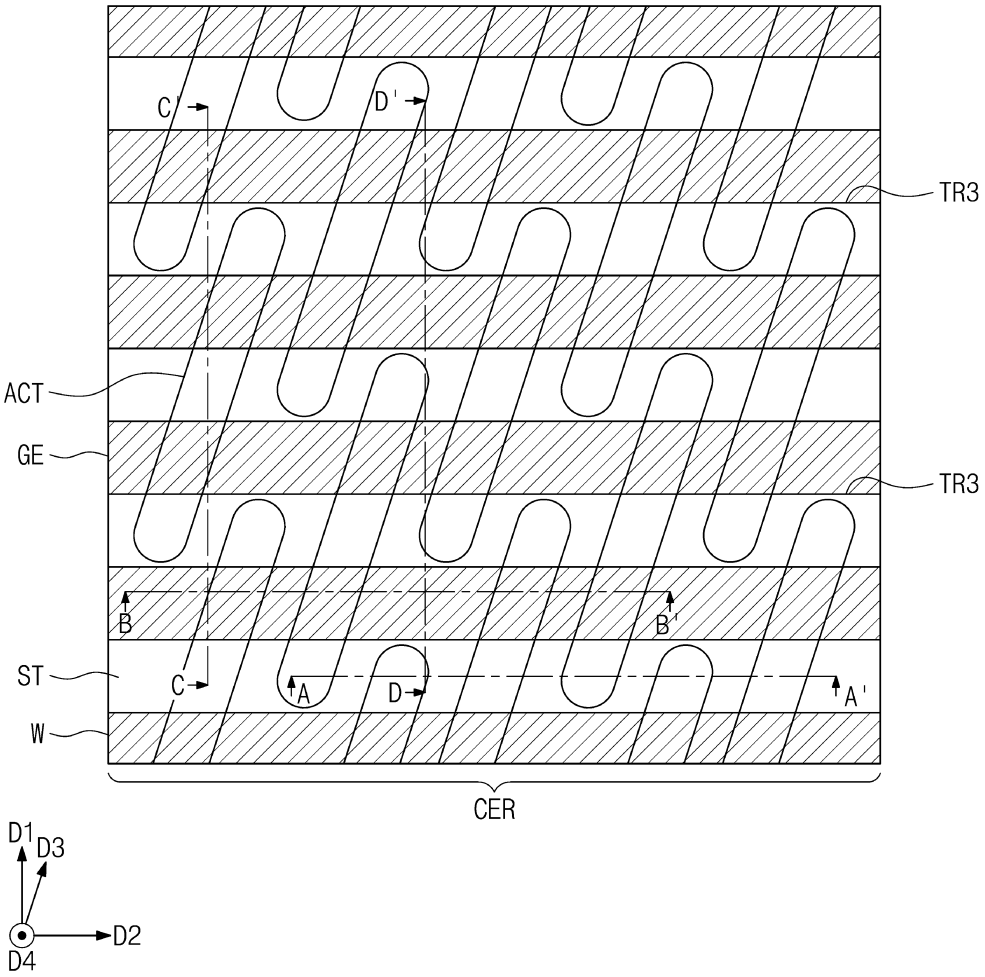
도면19c



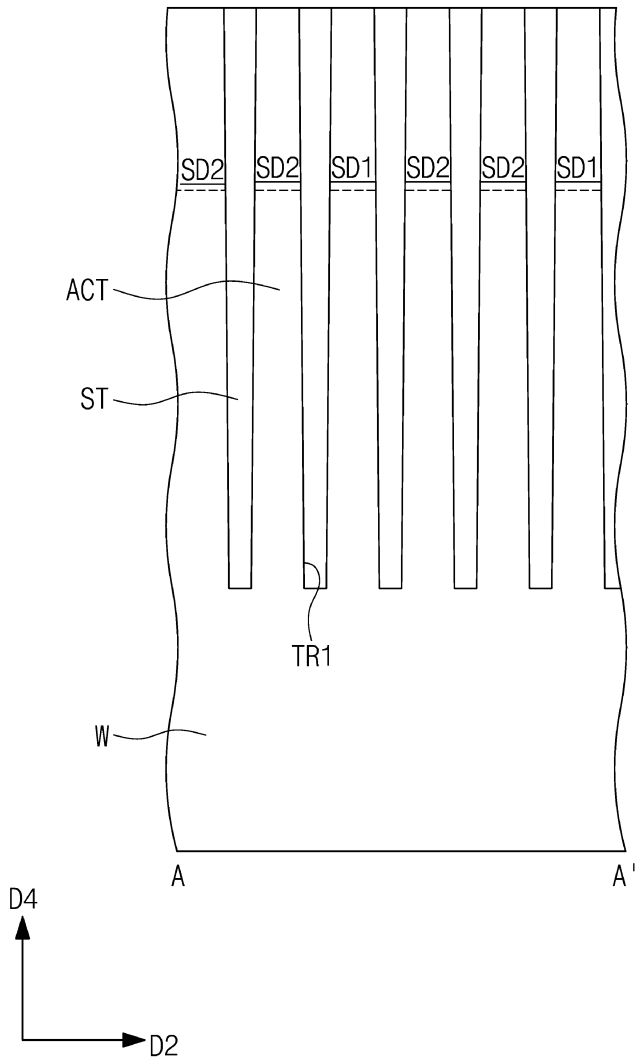
도면19d



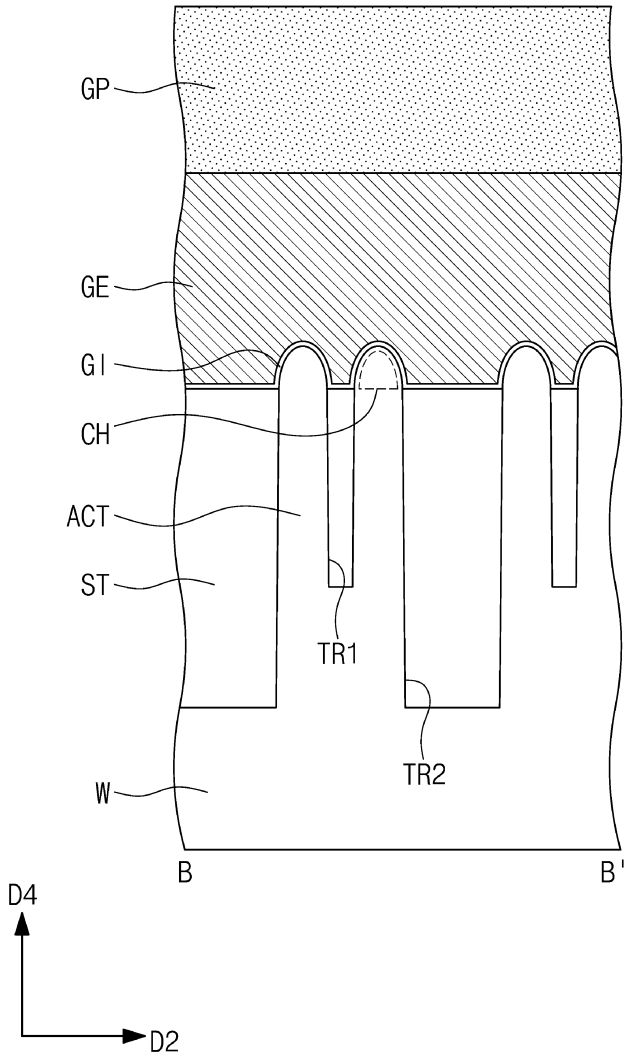
도면20



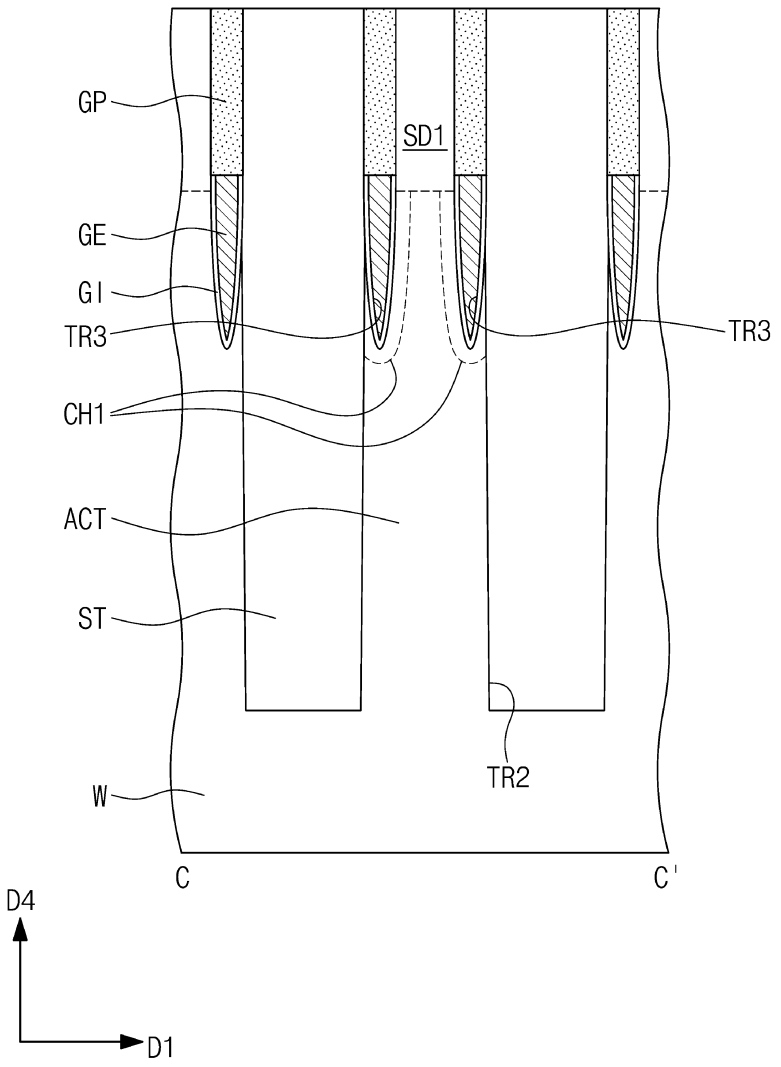
도면21a



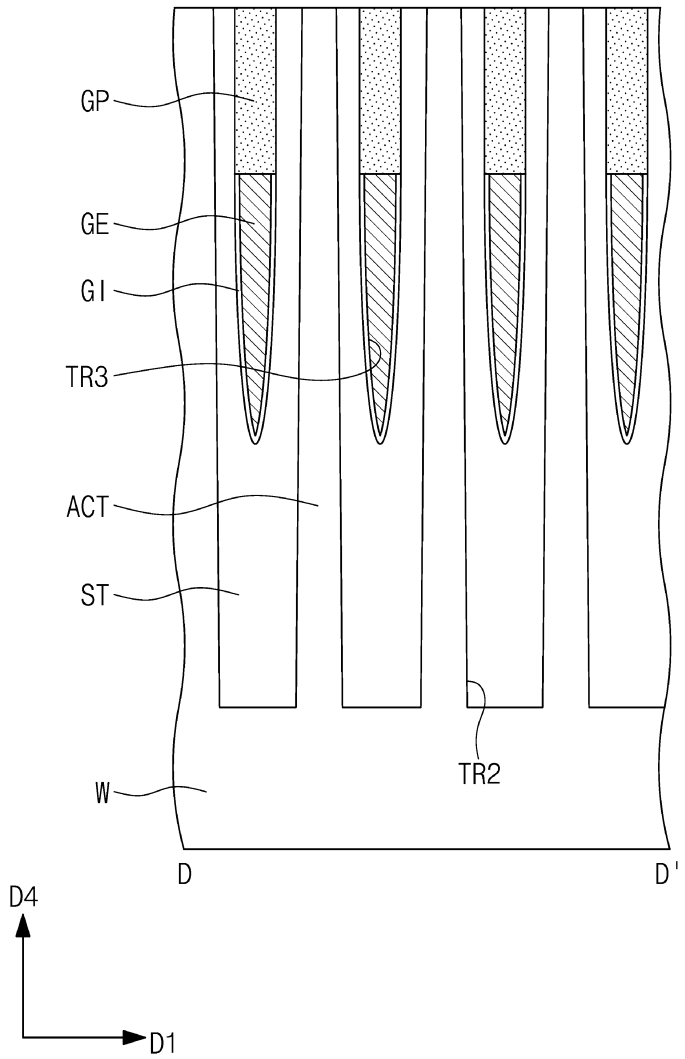
도면21b



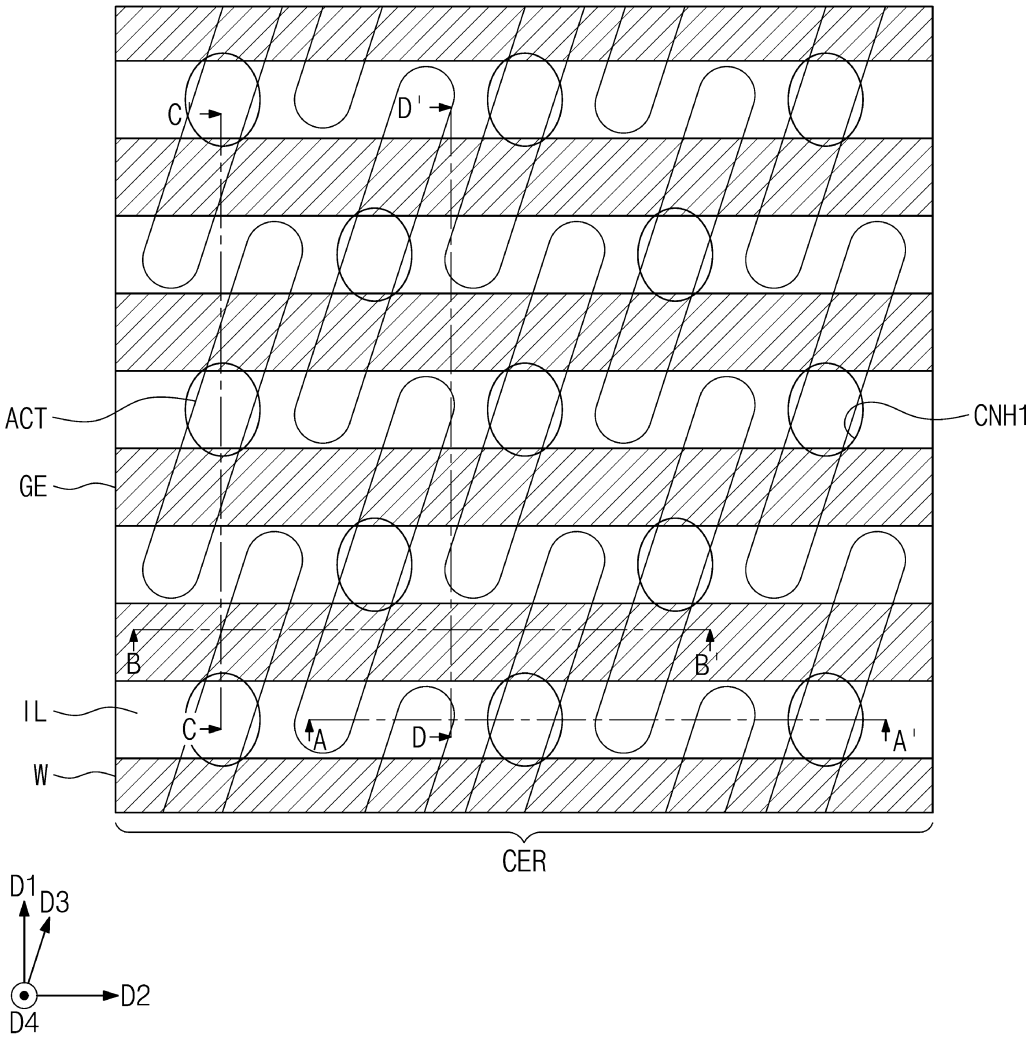
도면21c



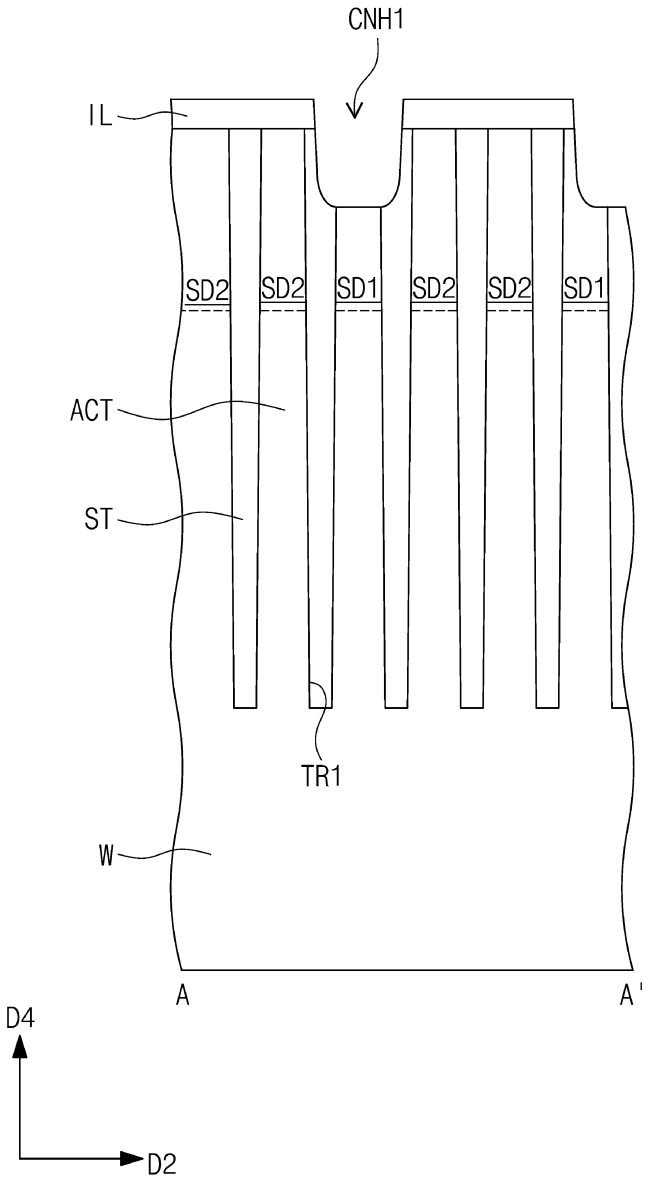
도면21d



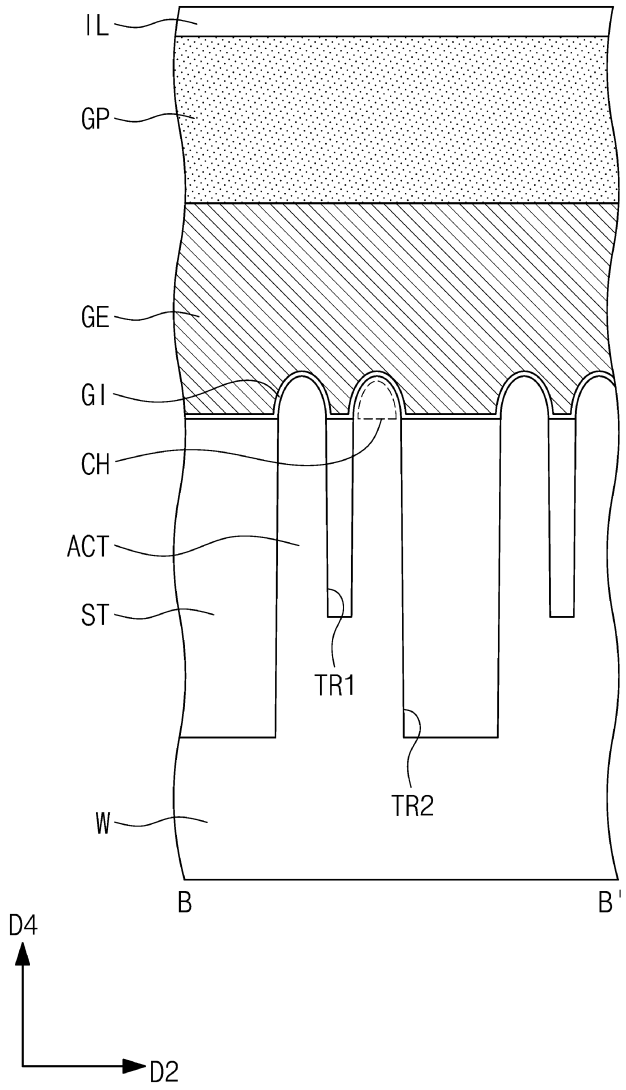
도면22



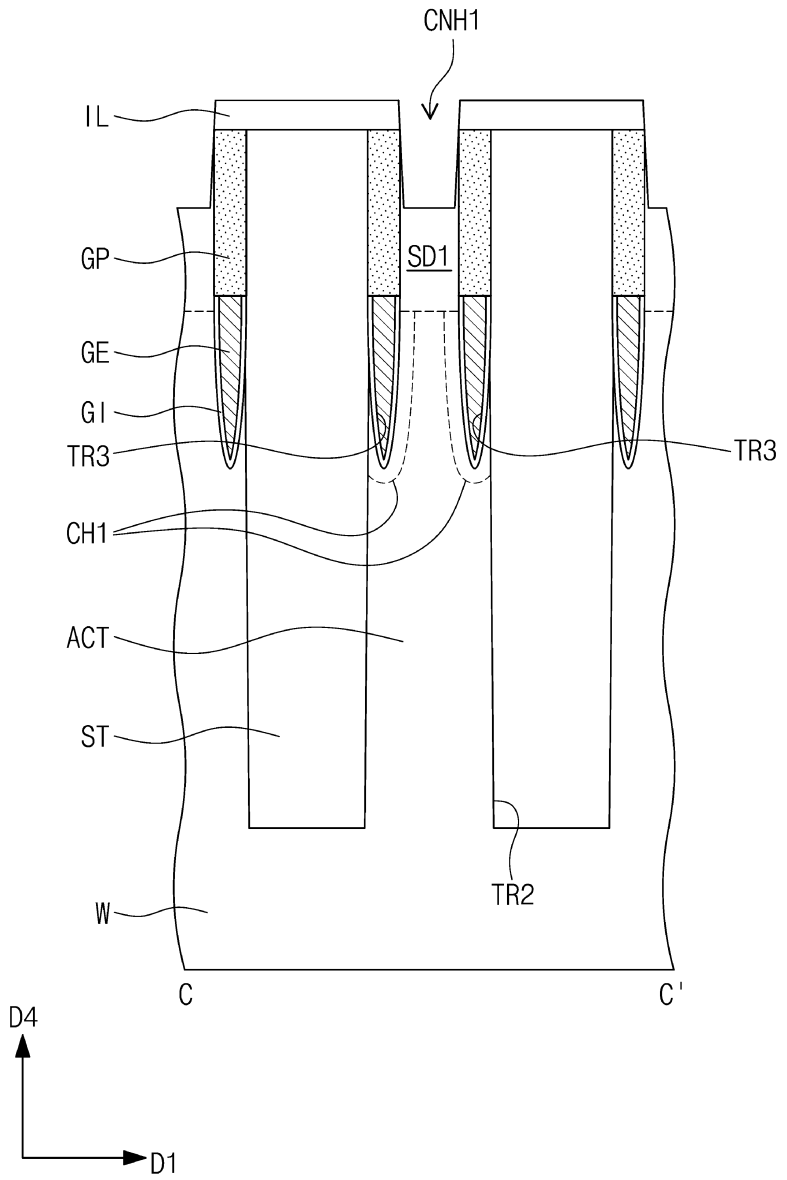
도면23a



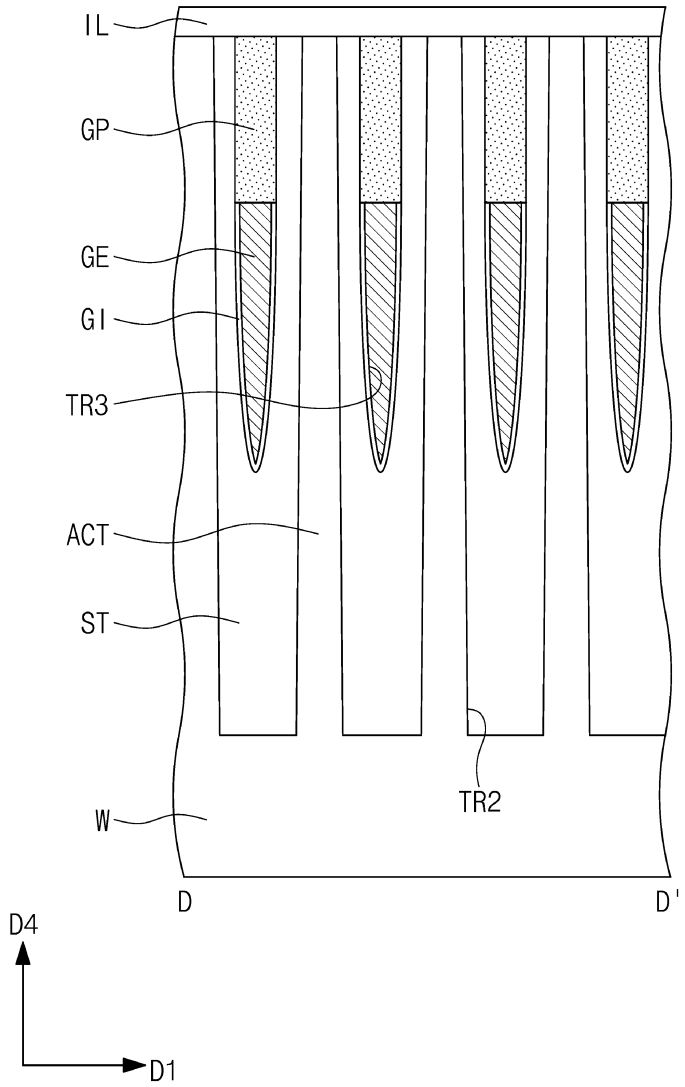
도면23b



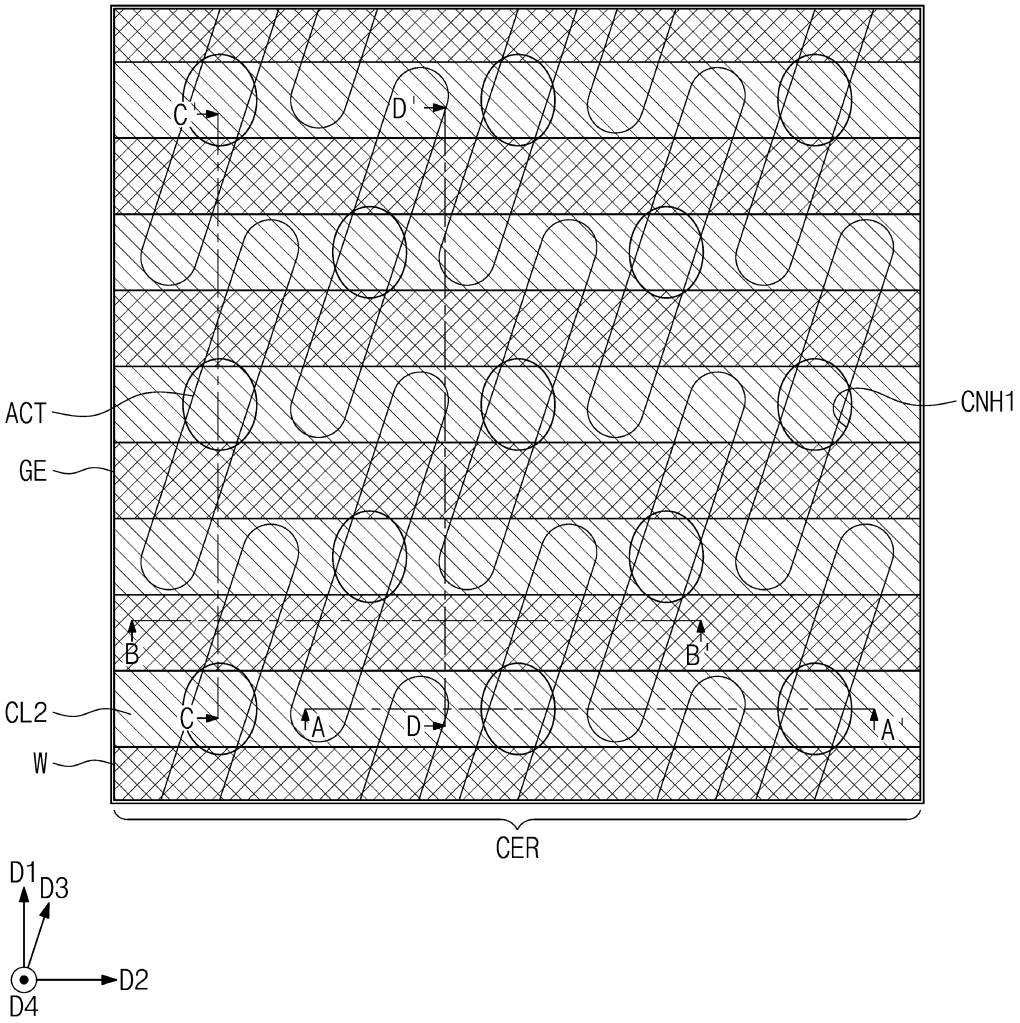
도면23c



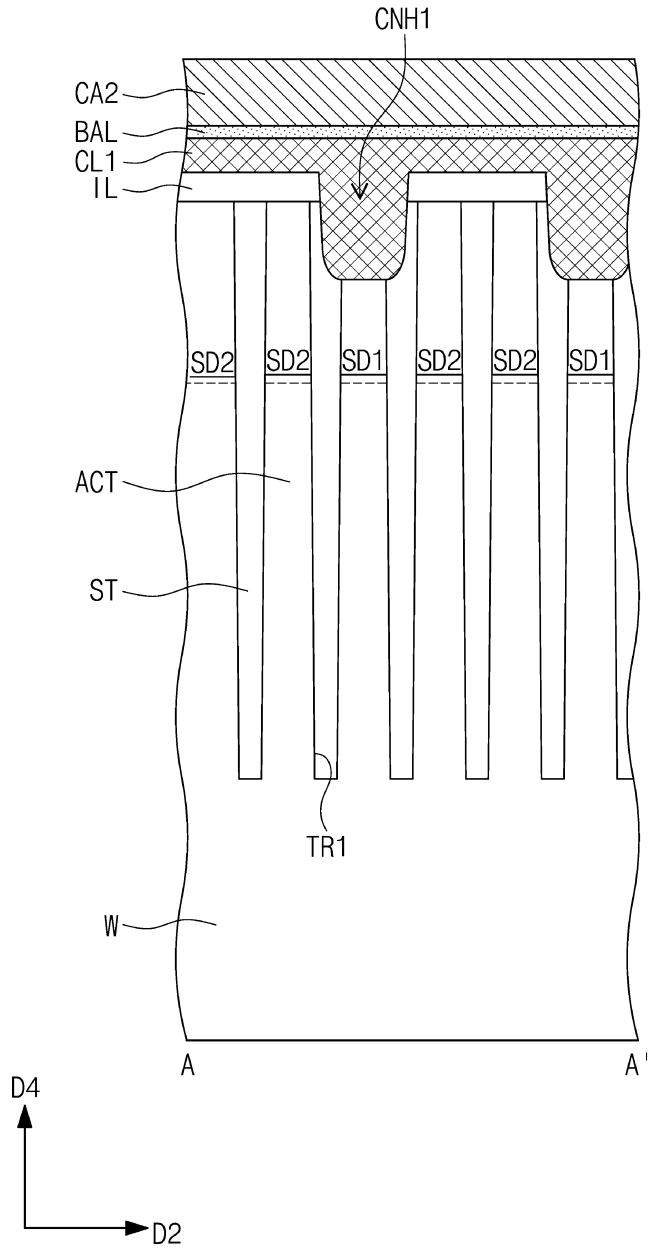
도면23d



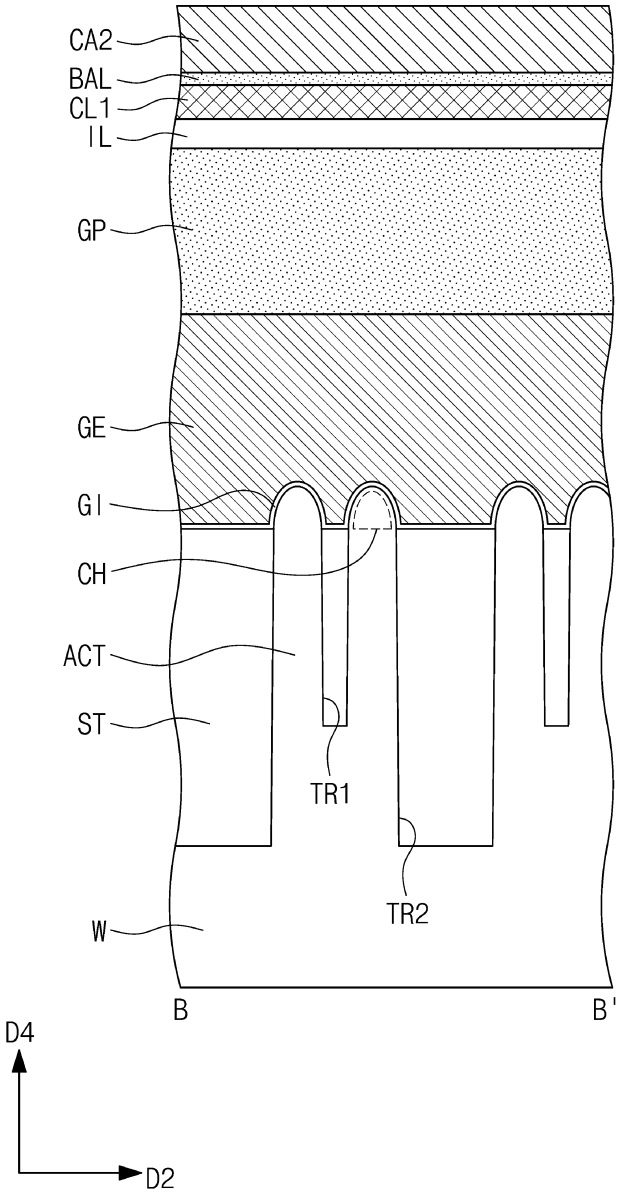
도면24



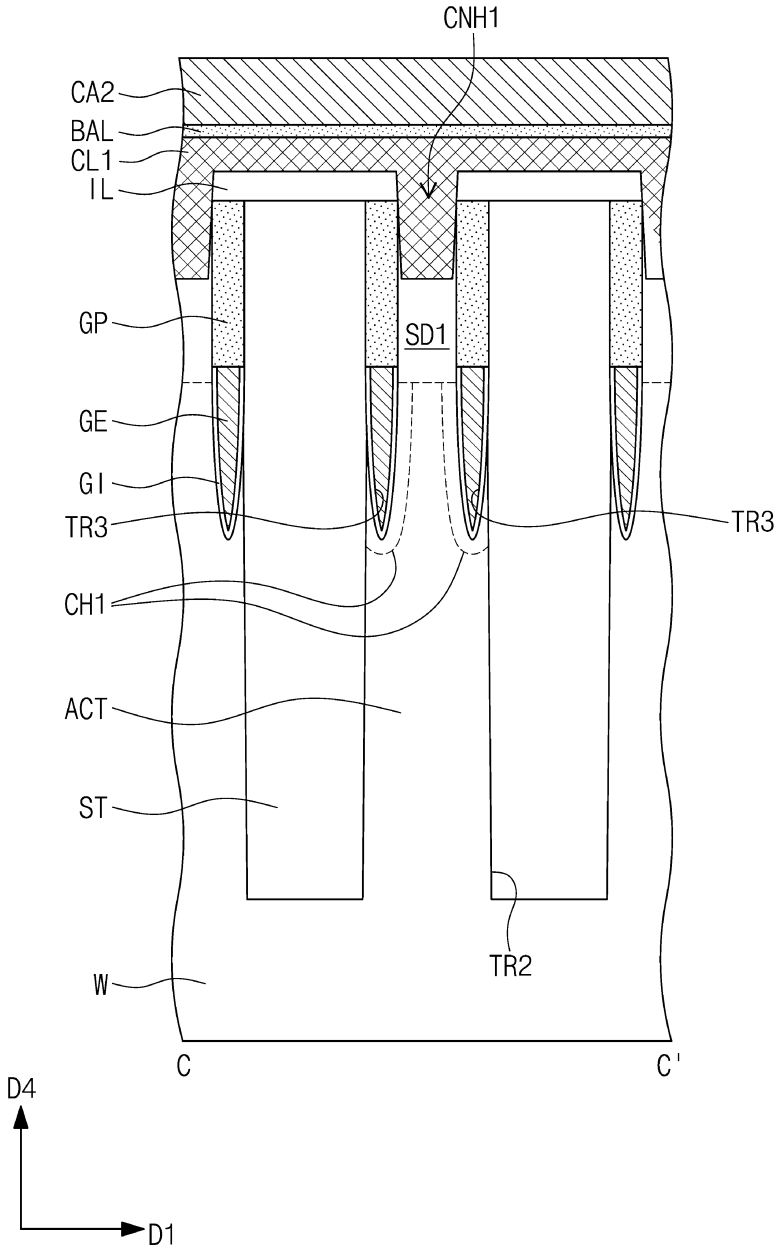
도면25a



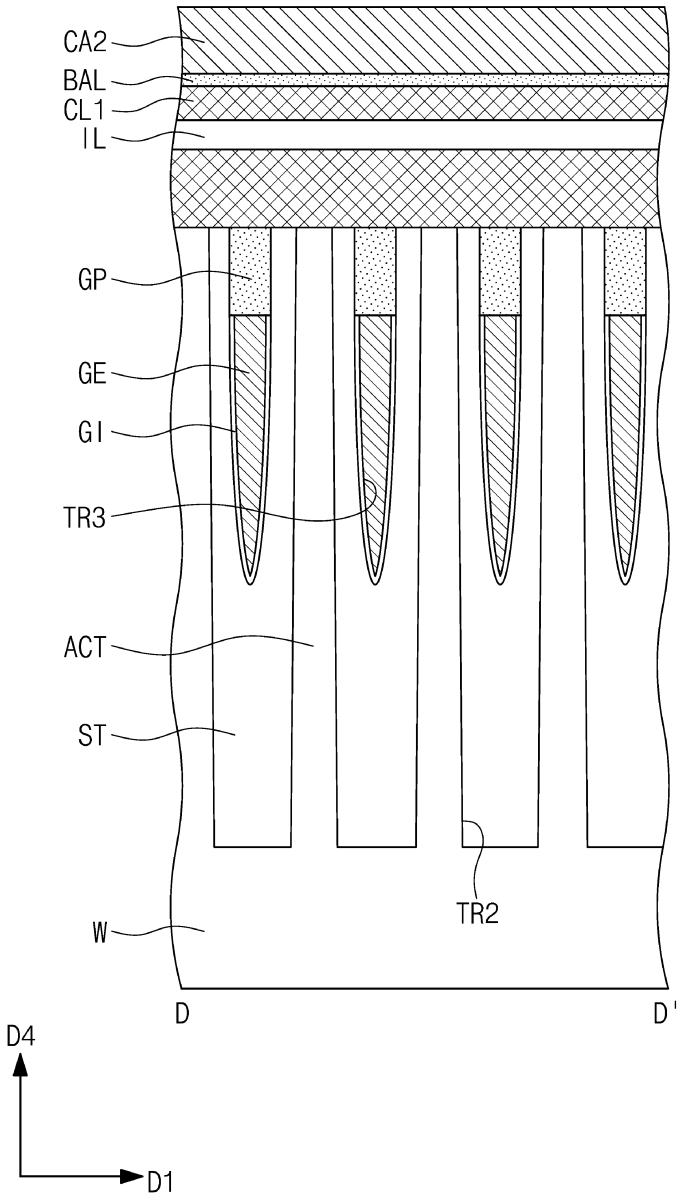
도면25b



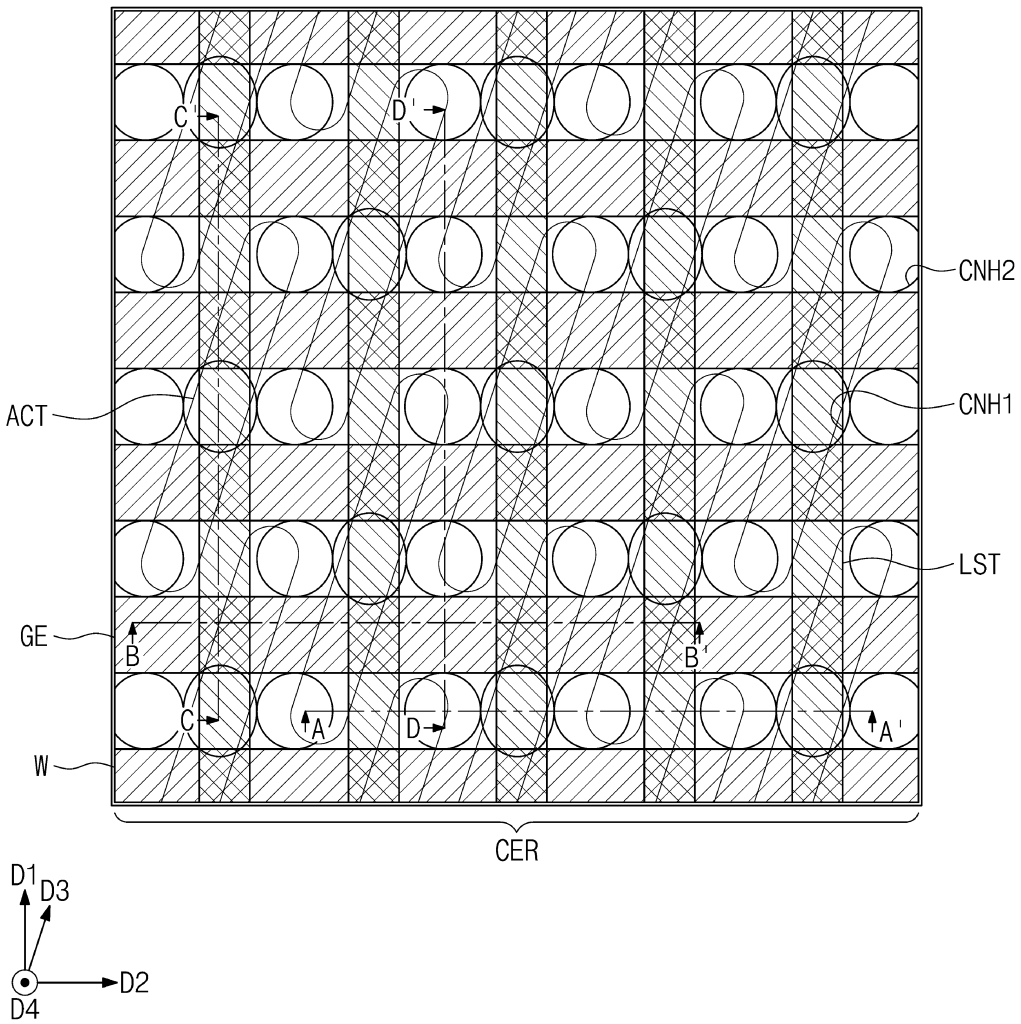
도면25c



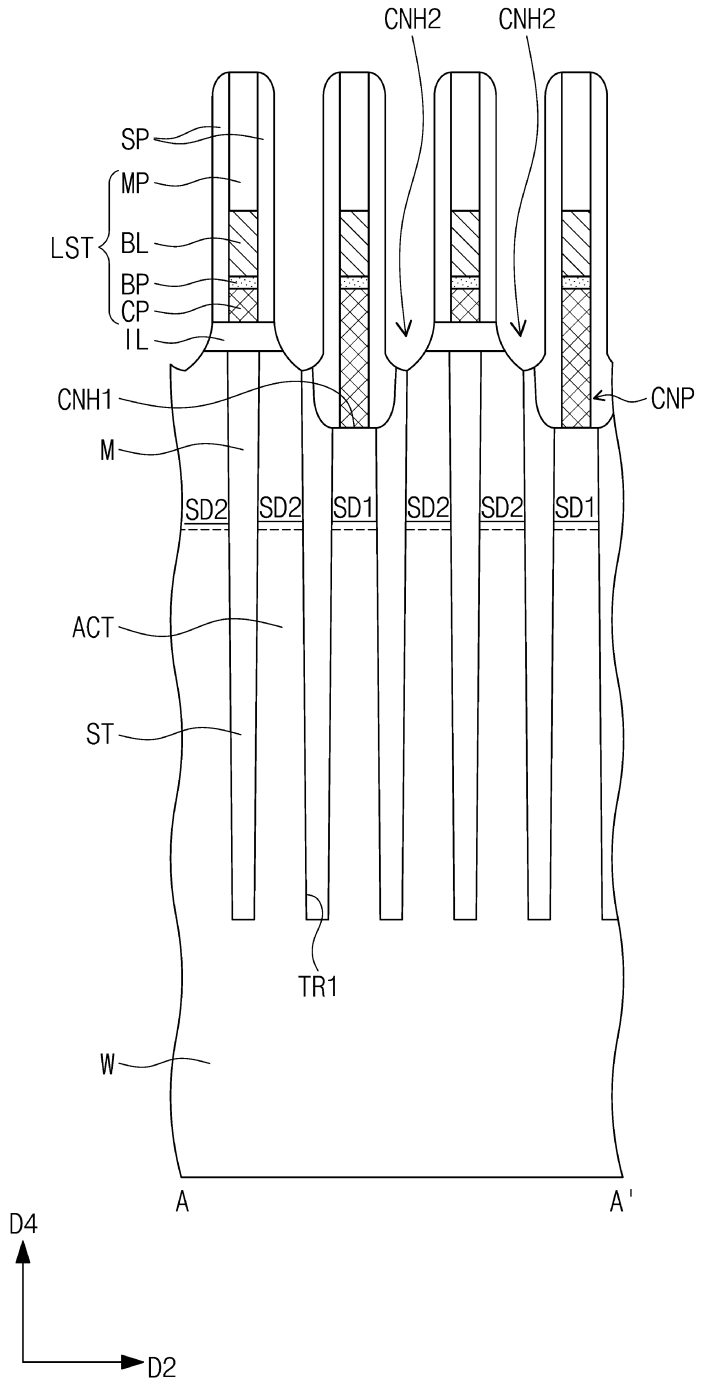
도면25d



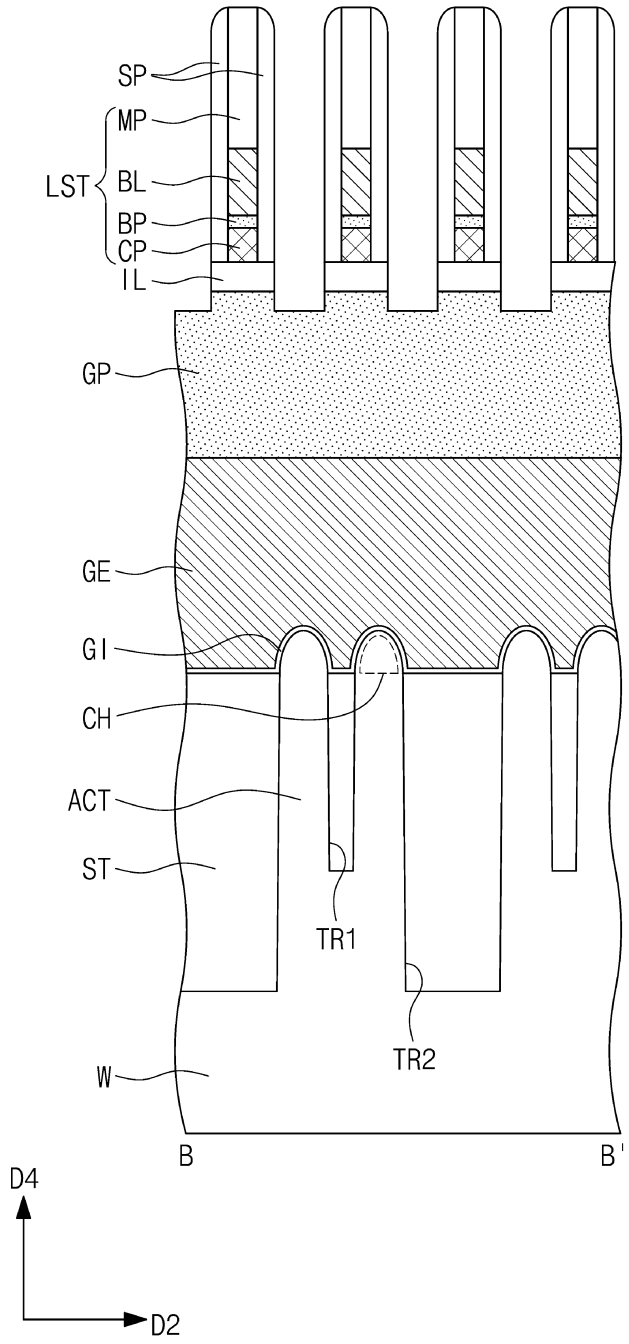
도면26



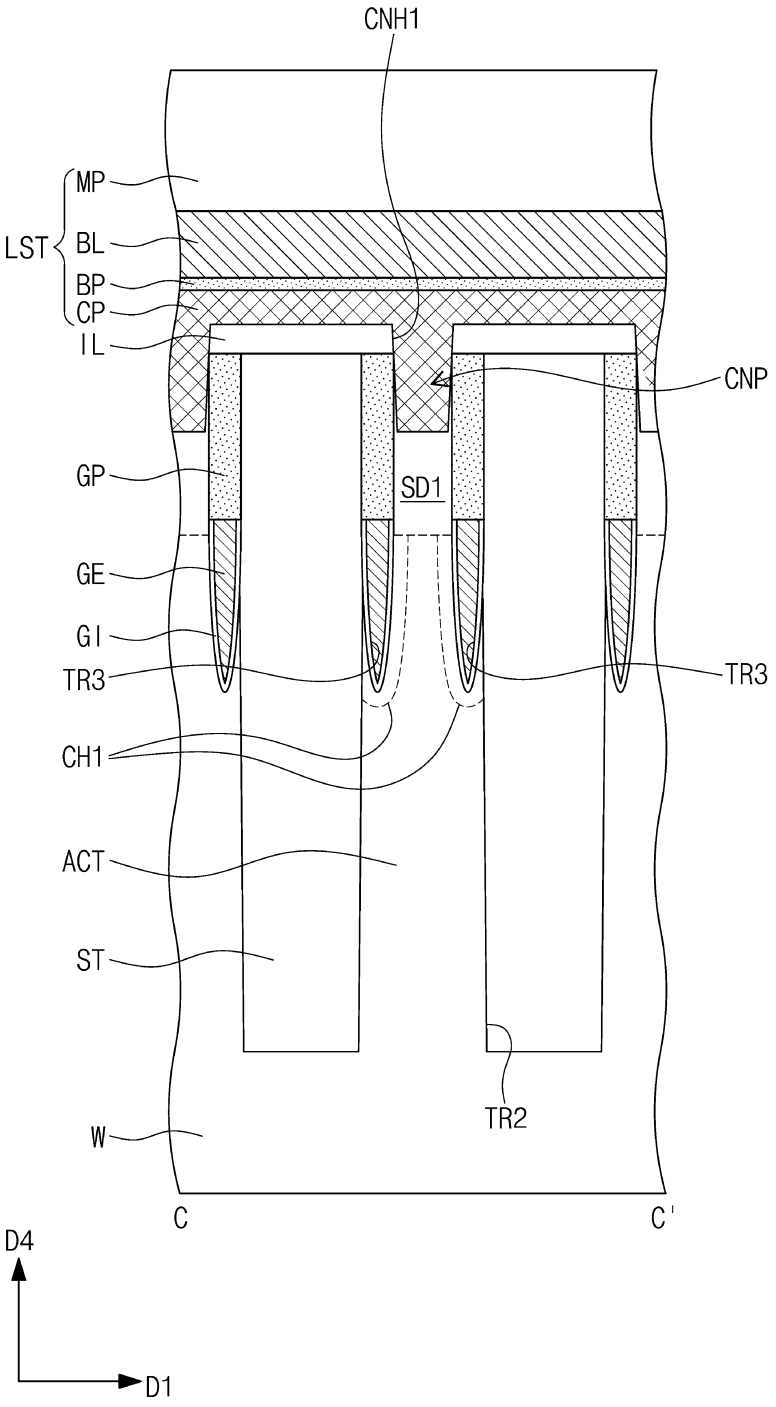
도면27a


CNH2
CNH2
SP
MP
LST
BL
BP
CP
IL
CNH1
CNP
M
SD2
SD2
SD1
SD2
SD2
SD1
ACT
ST
TR1
W
A
A'
D4
D2

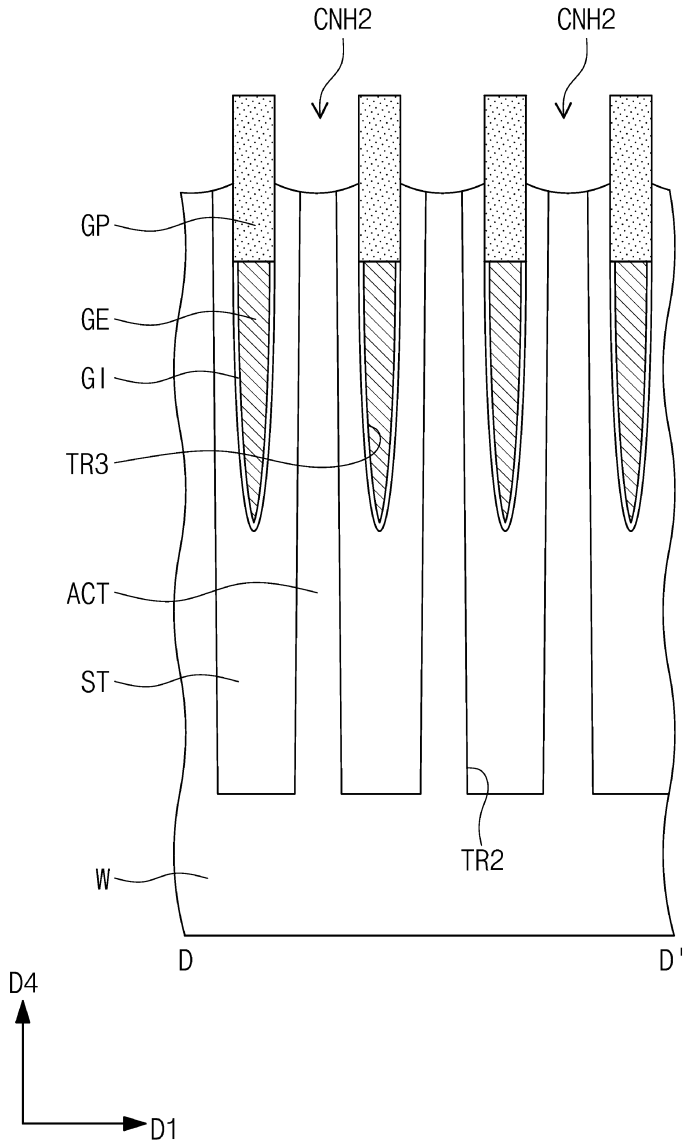
도면27b



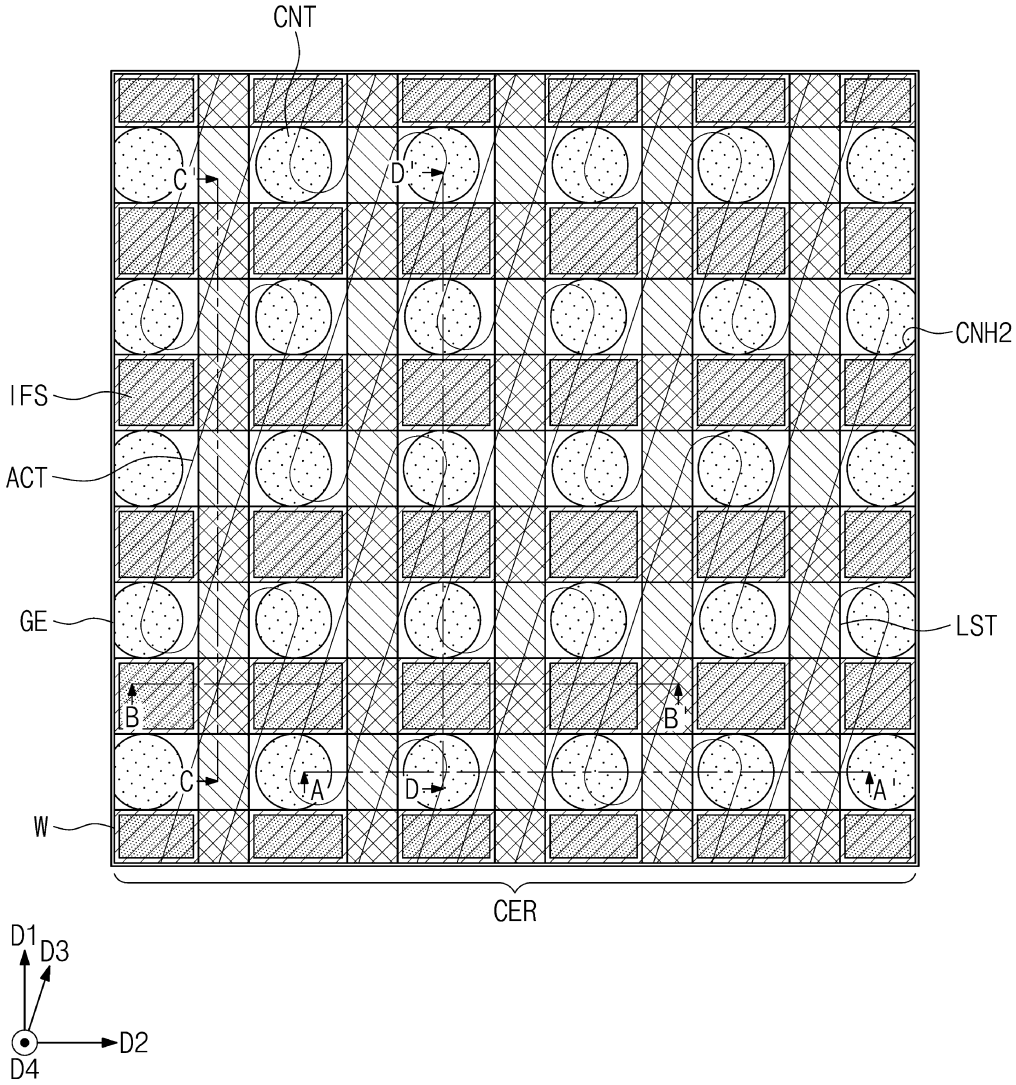
도면27c


CNH1
MP
LST
BL
BP
CP
IL
CNP
GP
SD1
GE
GI
TR3
TR3
CH1
ACT
ST
TR2
W
C
C'
D4
D1

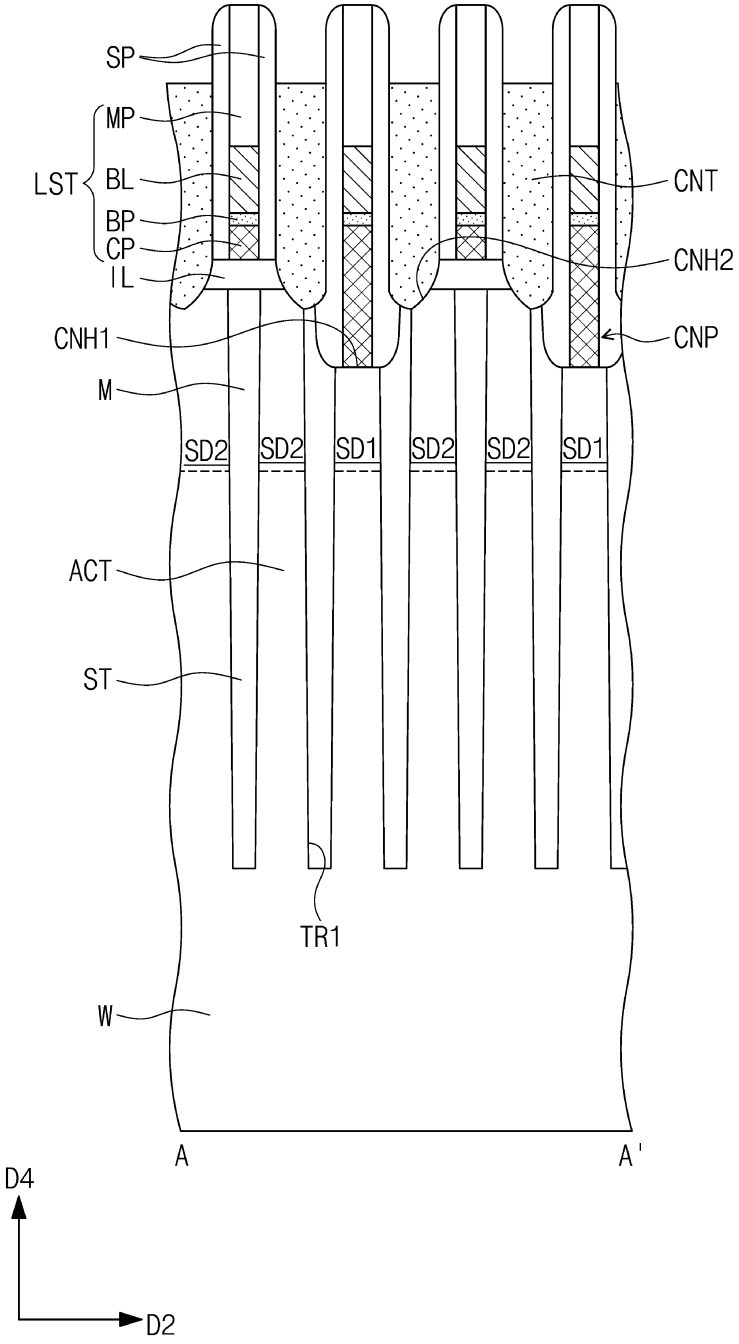
도면27d



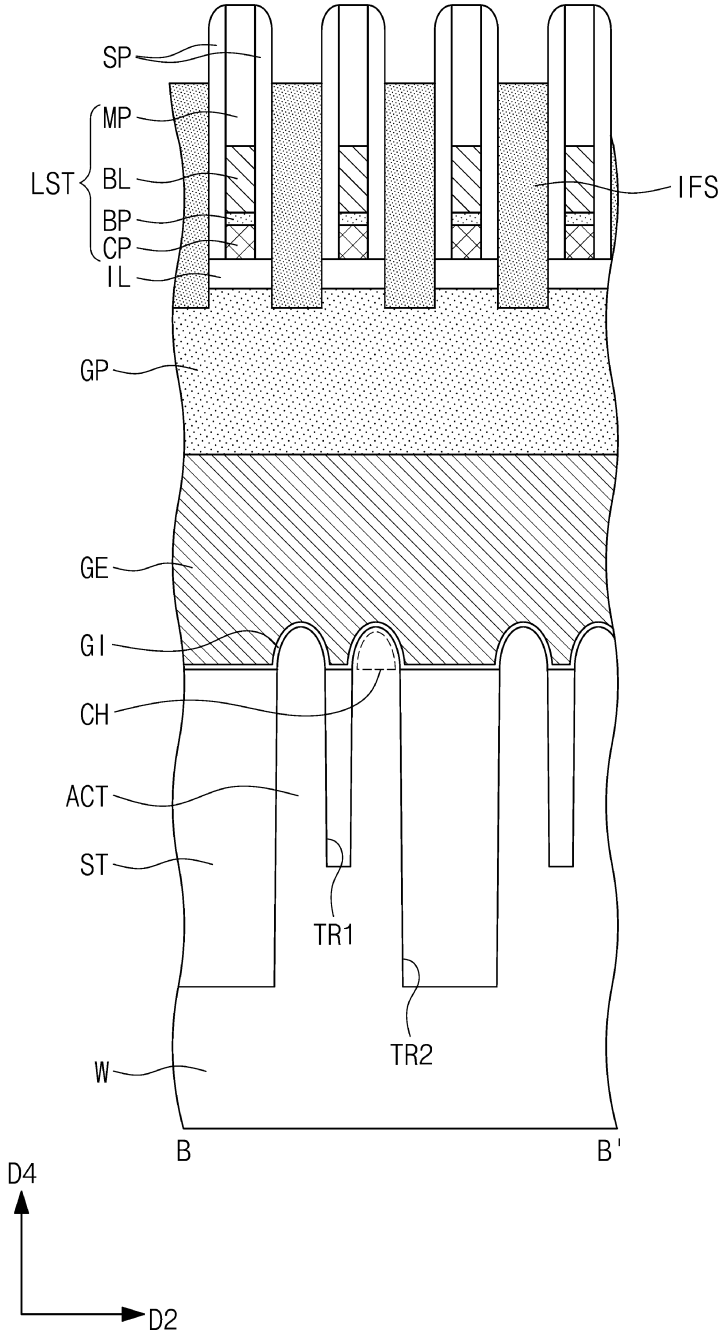
도면28



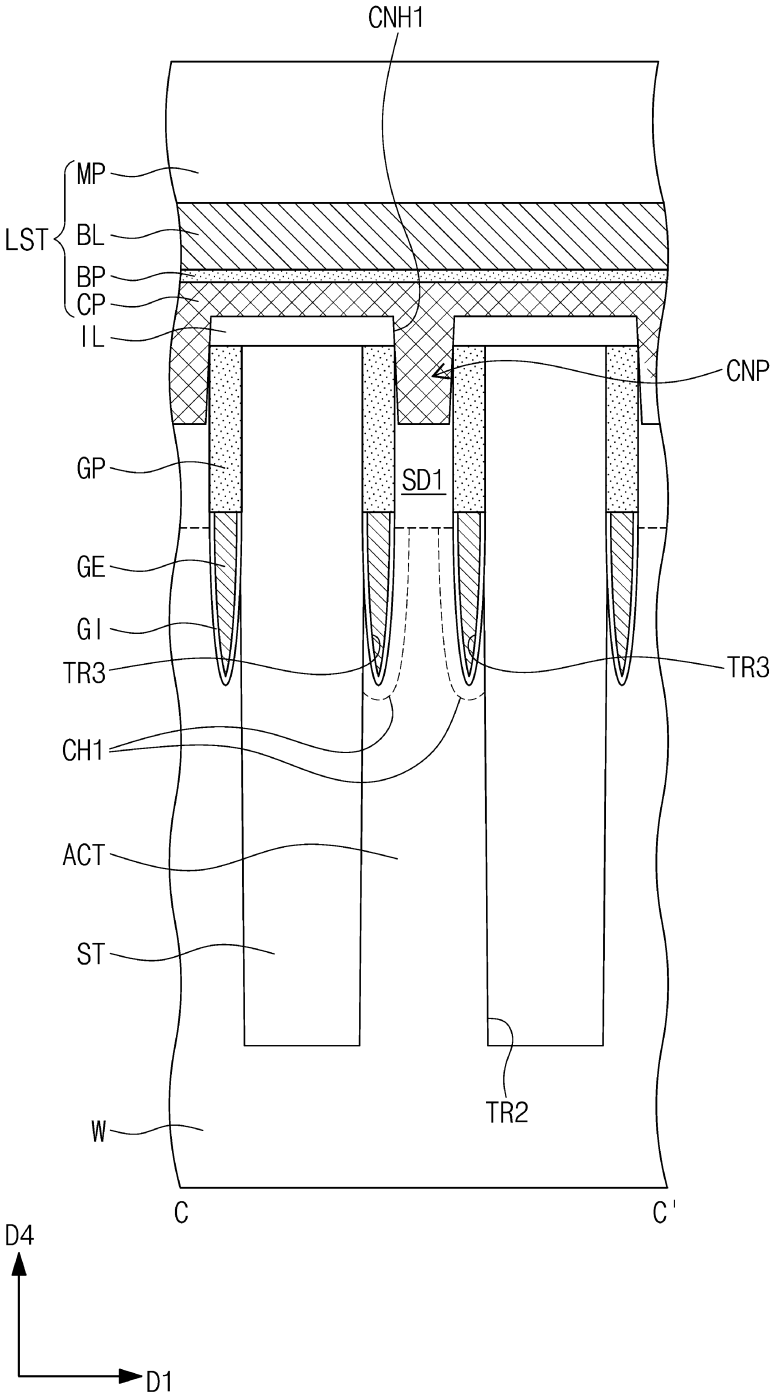
도면29a


SP
MP
LST
BL
BP
CP
IL
CNT
CNH2
CNH1
CNP
M
SD2
SD2
SD1
SD2
SD2
SD1
ACT
ST
TR1
W
A
A'
D4
D2

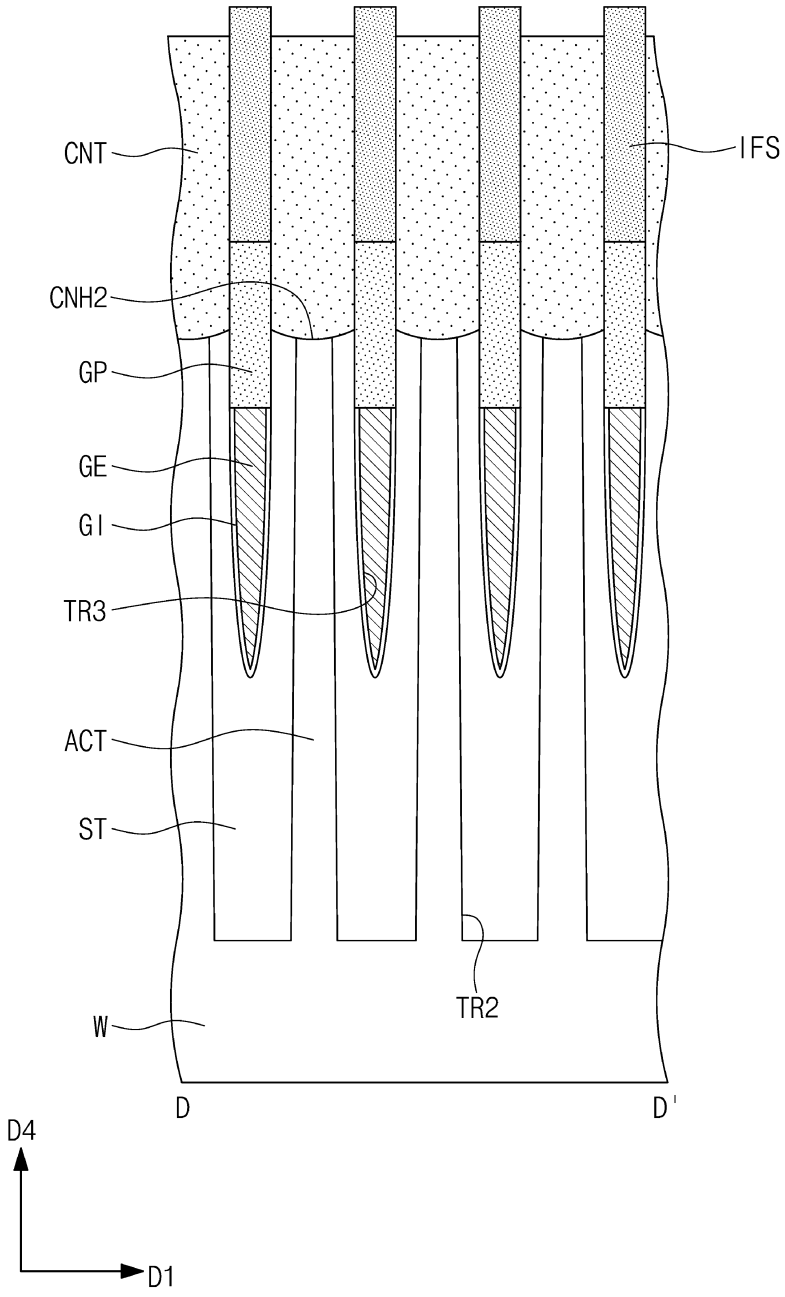
도면29b



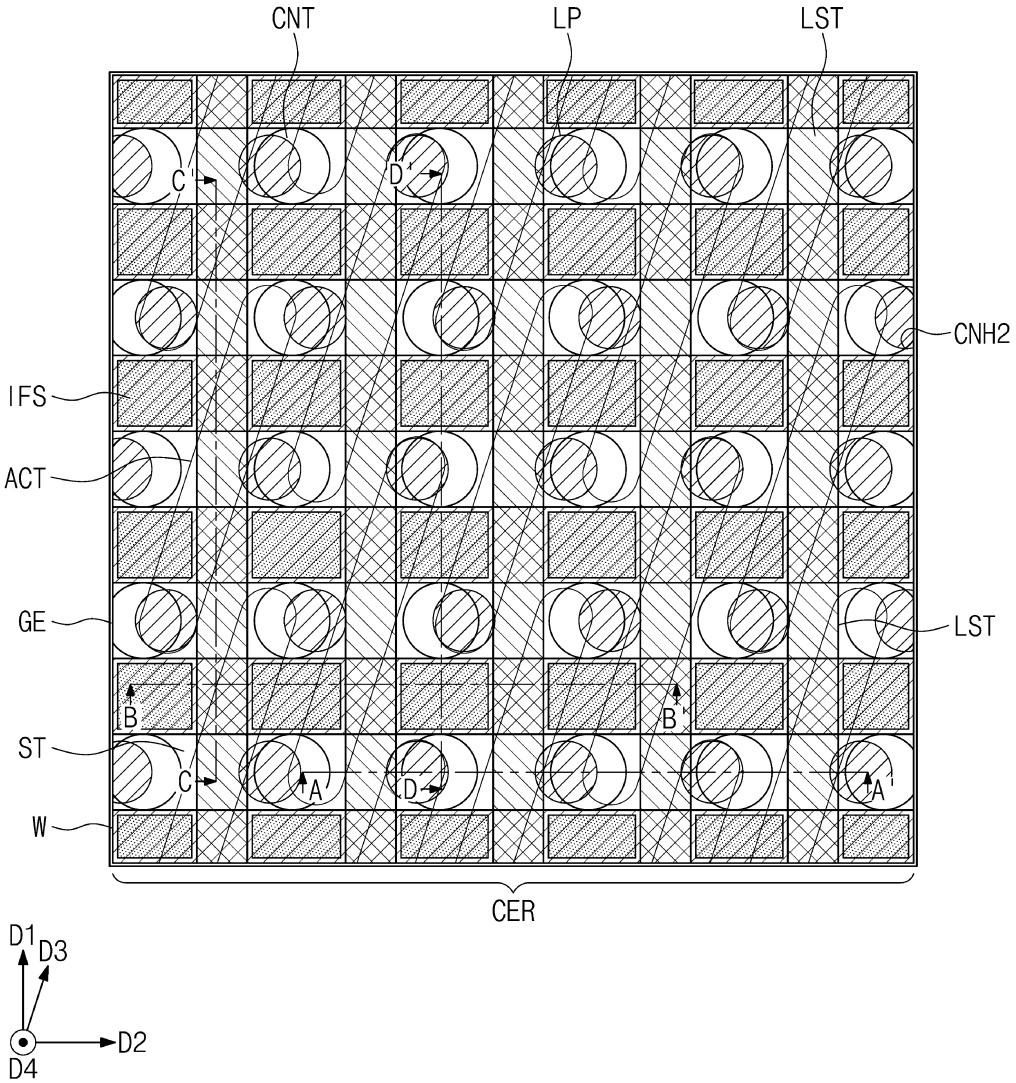
도면29c


CNH1
MP
LST
BL
BP
CP
IL
CNP
GP
SD1
GE
GI
TR3
TR3
CH1
ACT
ST
TR2
W
C
C'
D4
D1

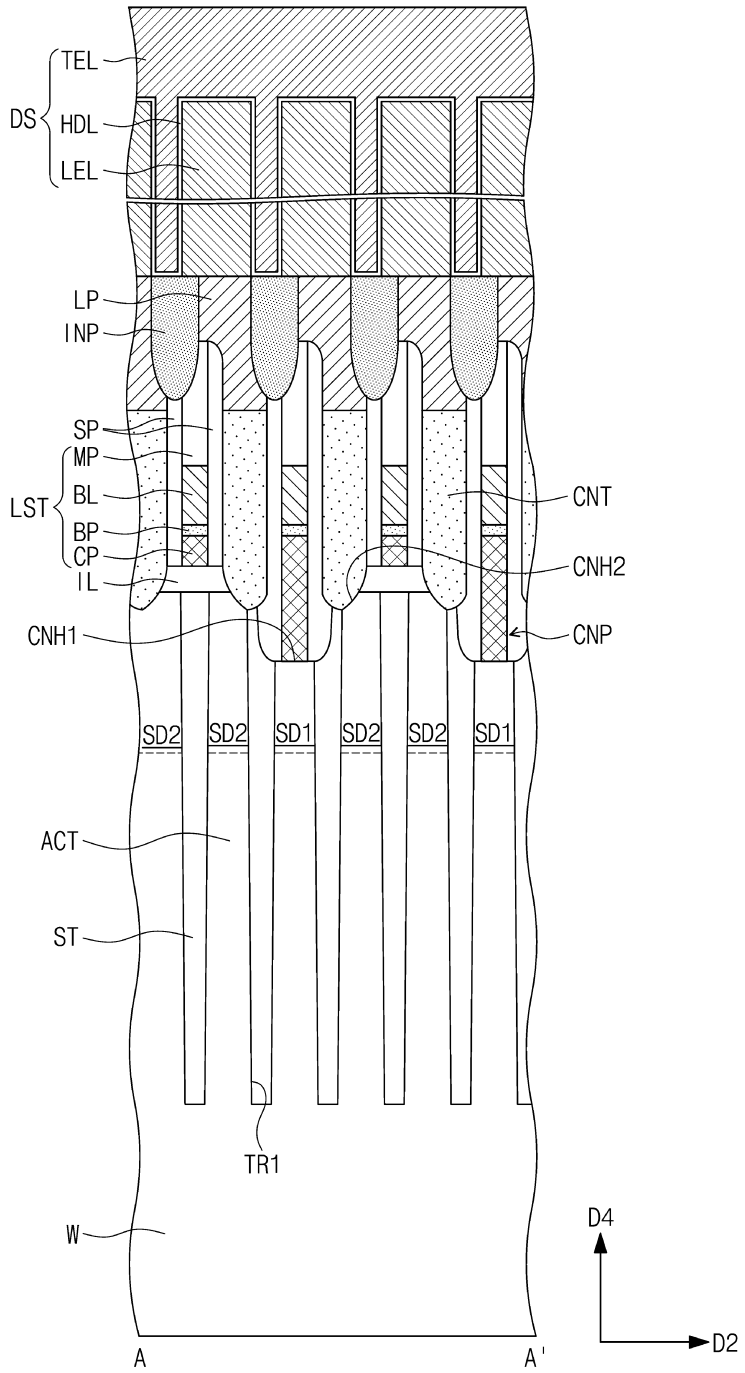
도면29d



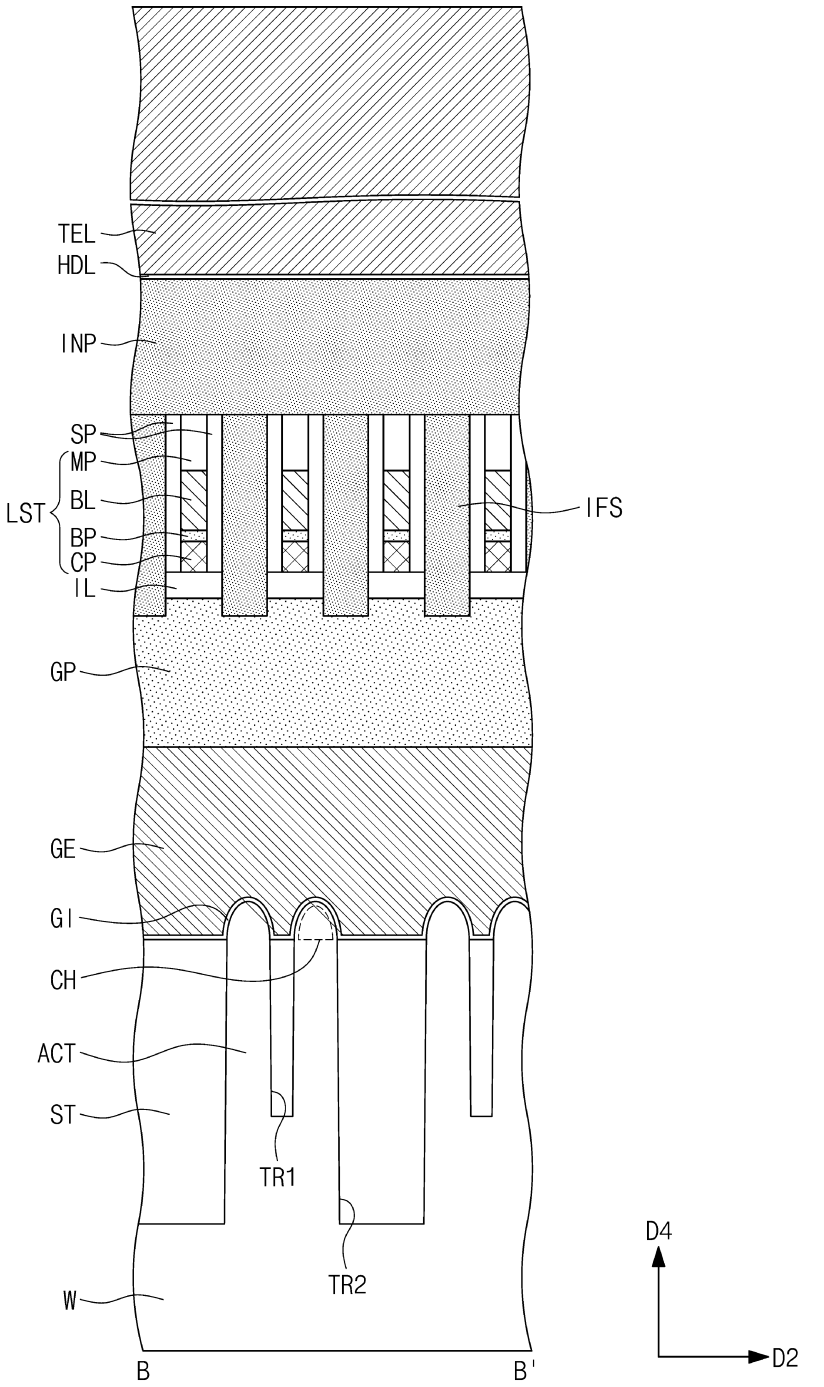
도면30



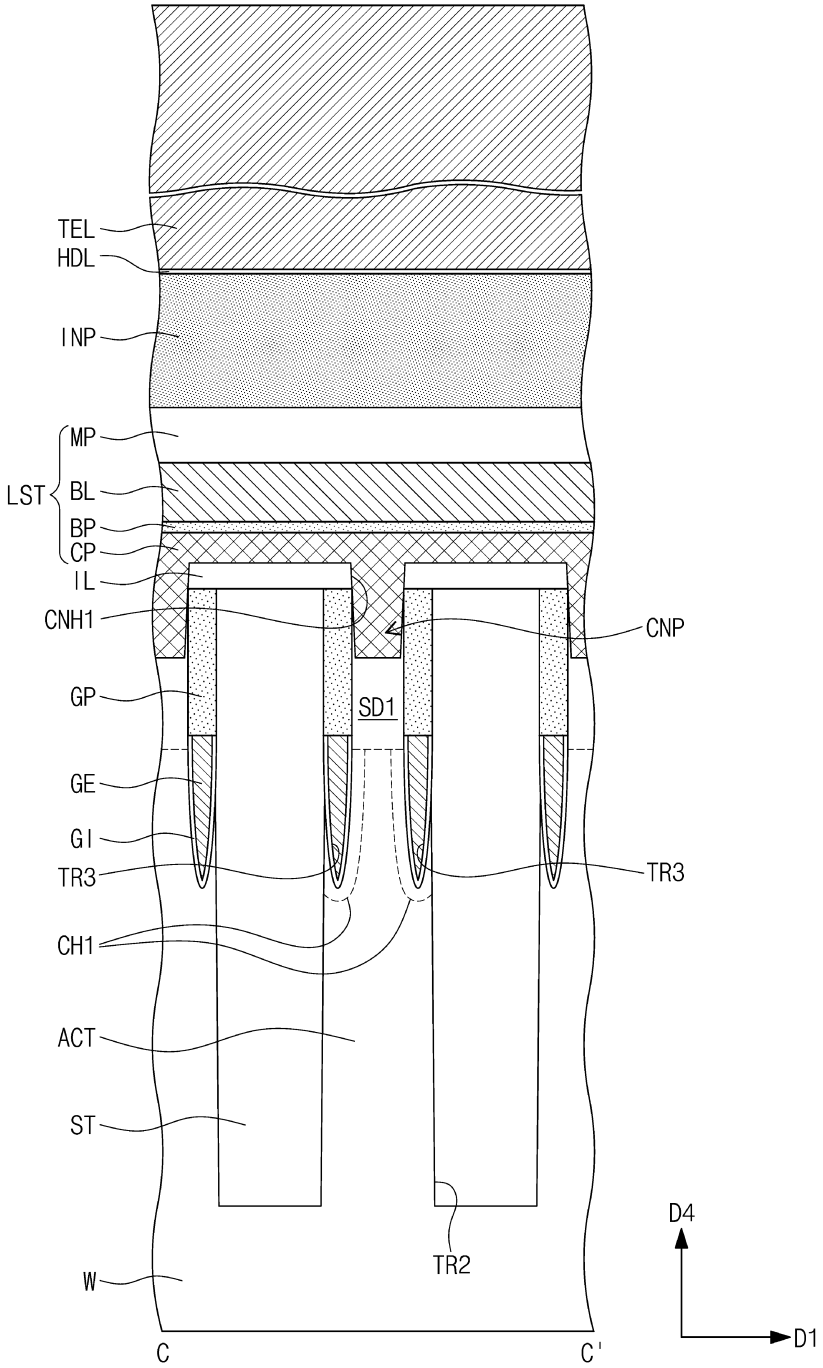
도면31a


TEL
DS
HDL
LEL
LP
INP
SP
MP
LST
BL
BP
CP
IL
CNT
CNH2
CNH1
CNP
SD2
SD2
SD1
SD2
SD2
SD1
ACT
ST
TR1
W
D4
D2
A
A'

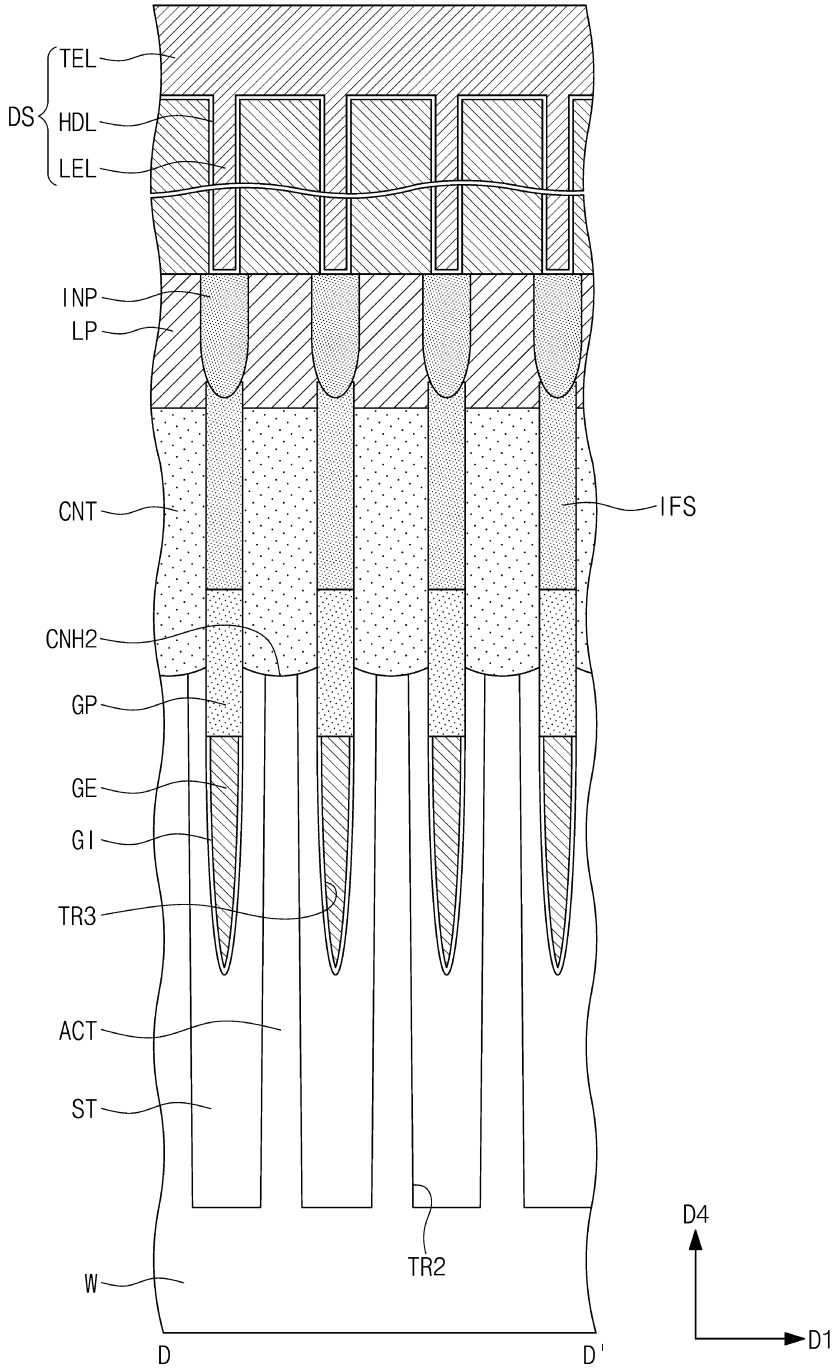
도면31b


TEL
HDL
INP
SP
MP
BL
BP
CP
IL
LST
IFS
GP
GE
GI
CH
ACT
ST
TR1
TR2
W
B
B'
D4
D2

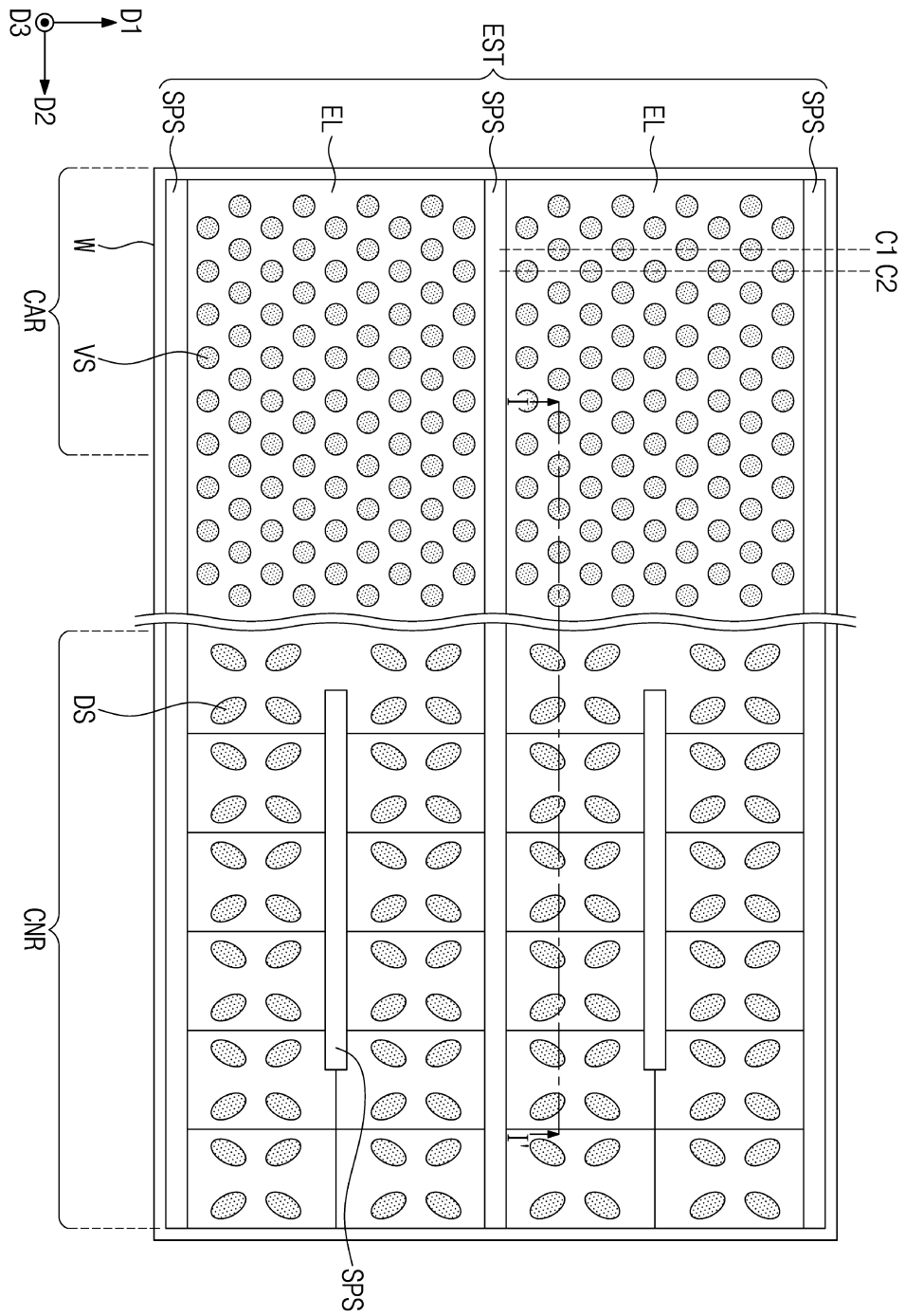
도면31c


TEL
HDL
INP
LST
MP
BL
BP
CP
IL
CNH1
CNP
GP
SD1
GE
GI
TR3
TR3
CH1
ACT
ST
TR2
W
C
C'
D4
D1

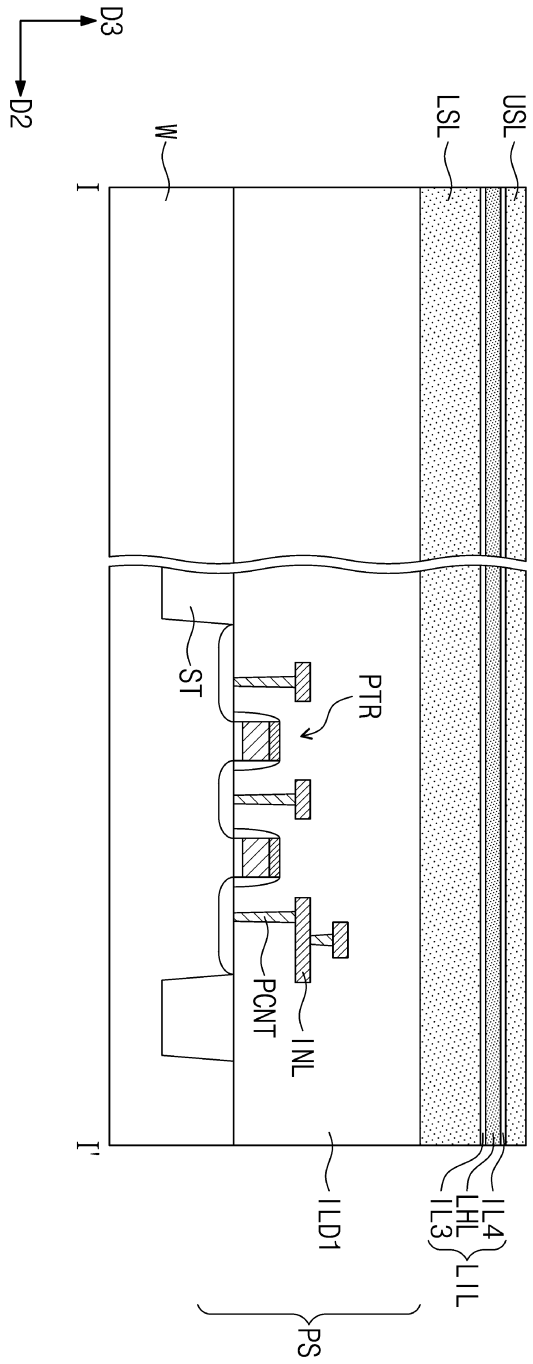
도면31d


TEL
DS
HDL
LEL
INP
LP
CNT
IFS
CNH2
GP
GE
GI
TR3
ACT
ST
TR2
W
D
D'
D4
D1

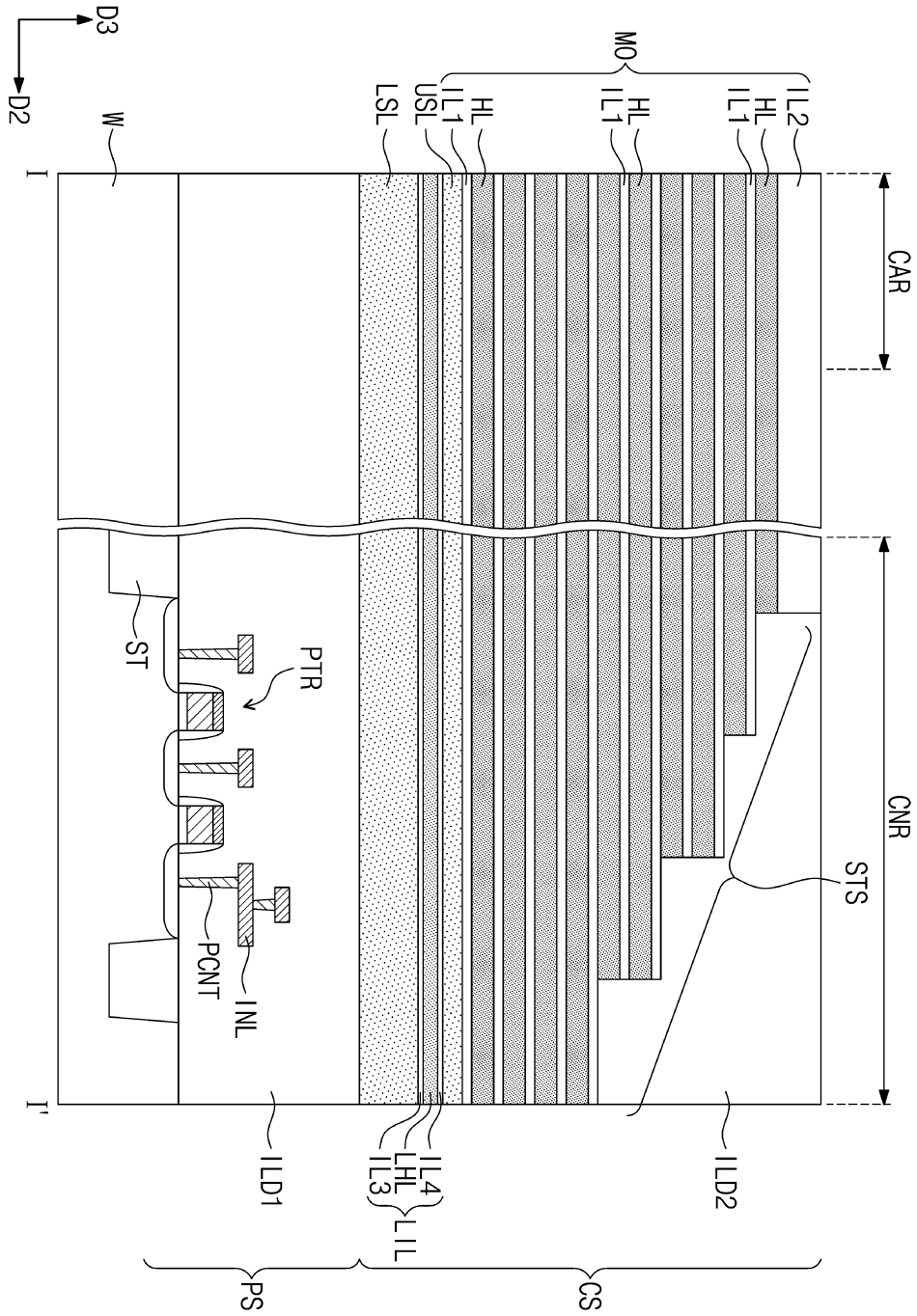
도면32



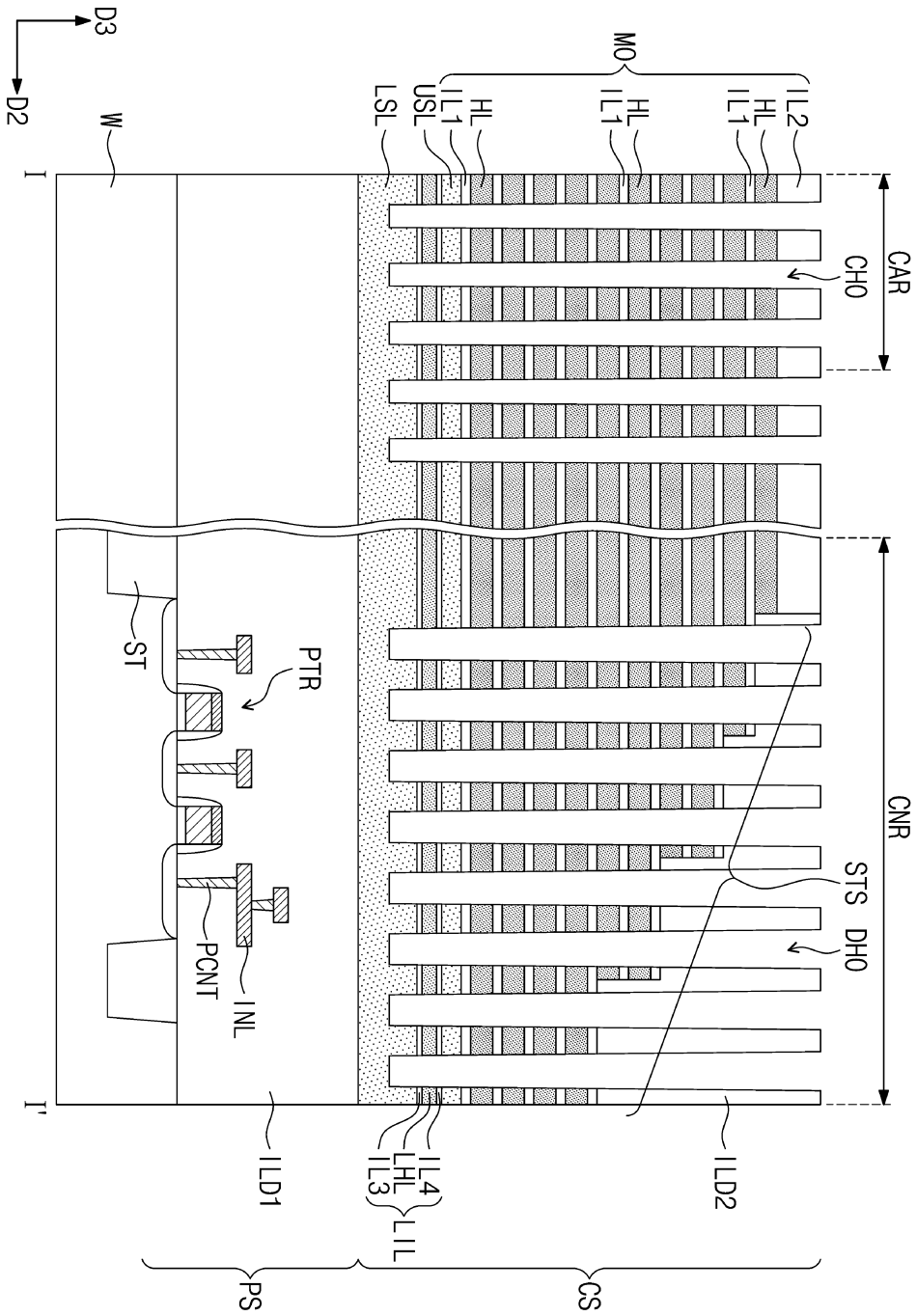
도면33



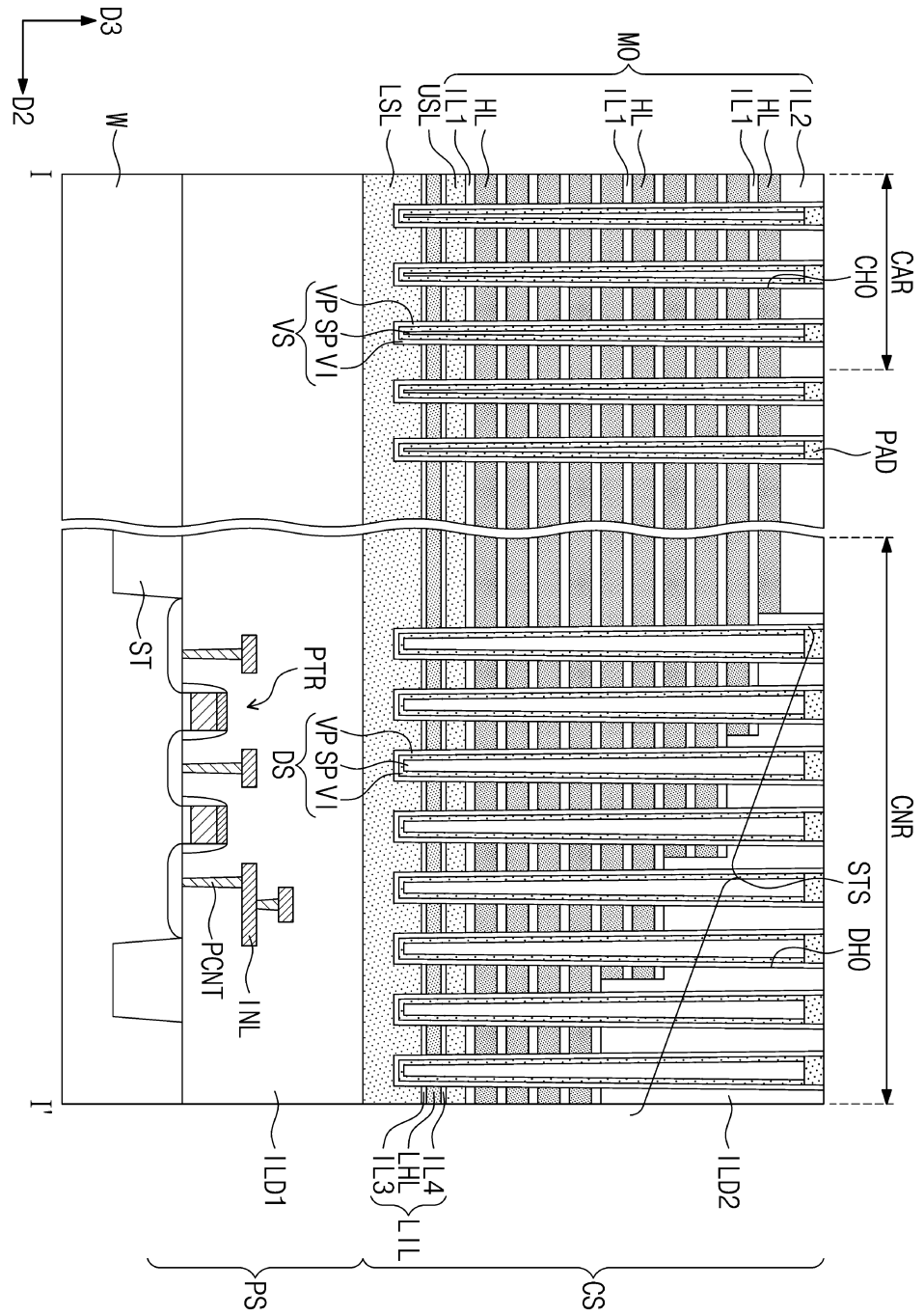
도면34


D3
D2
W
I
I'
MO
LSL
USL
IL1
HL
IL1
HL
IL1
HL
IL2
CAR
CNR
ST
PTR
PCNT
INL
STS
ILD1
ILD2
IL4
LHL
IL3
LIL
PS
CS

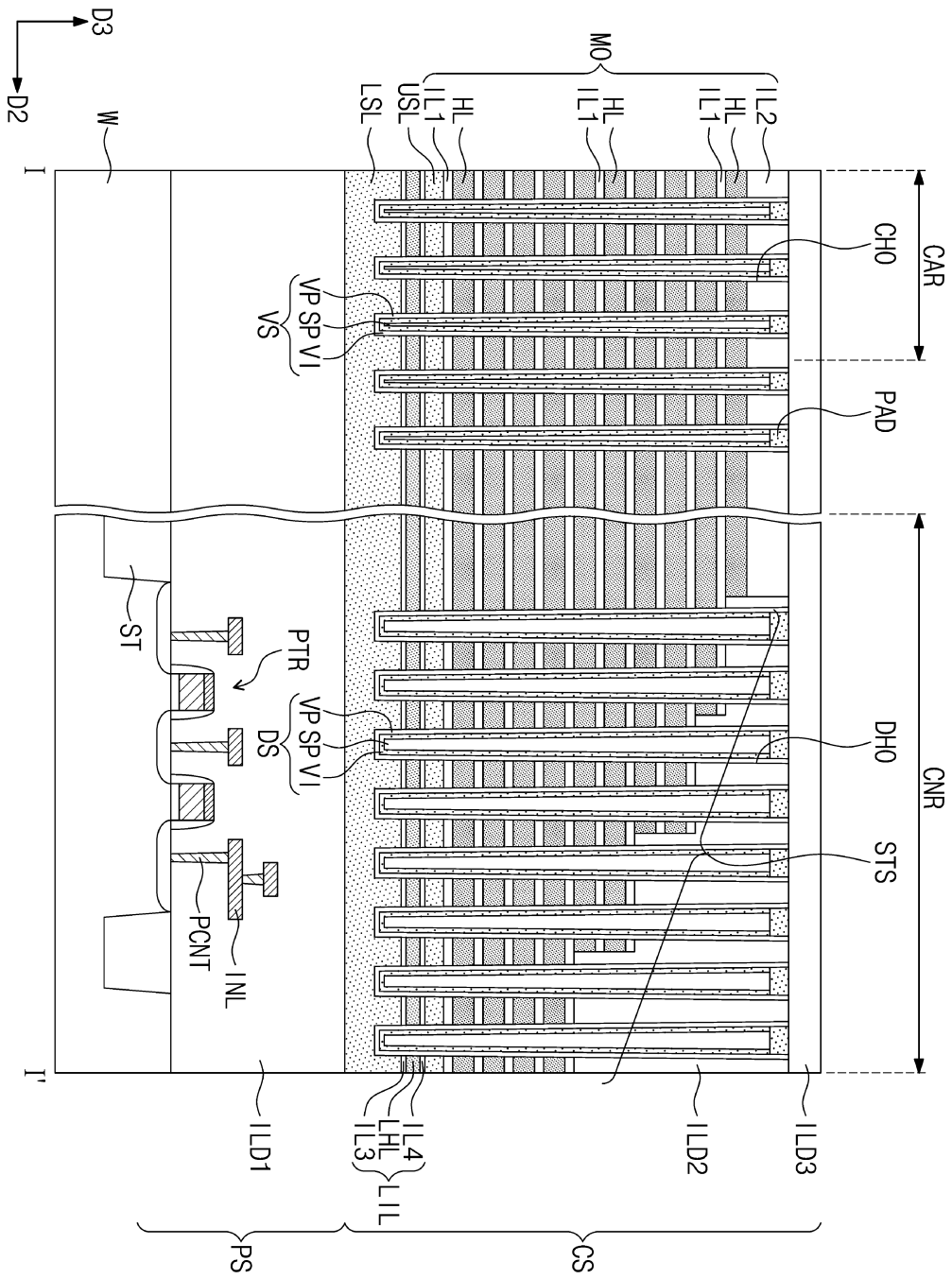
도면35


D3
D2
W
I
I'
MO
LSL
USL
IL1
HL
IL1
HL
IL1
HL
IL2
CHO
CAR
CNR
ST
PTR
PCNT
INL
STS
DHO
ILD1
ILD2
IL4
LHL
IL3
LIL
PS
CS

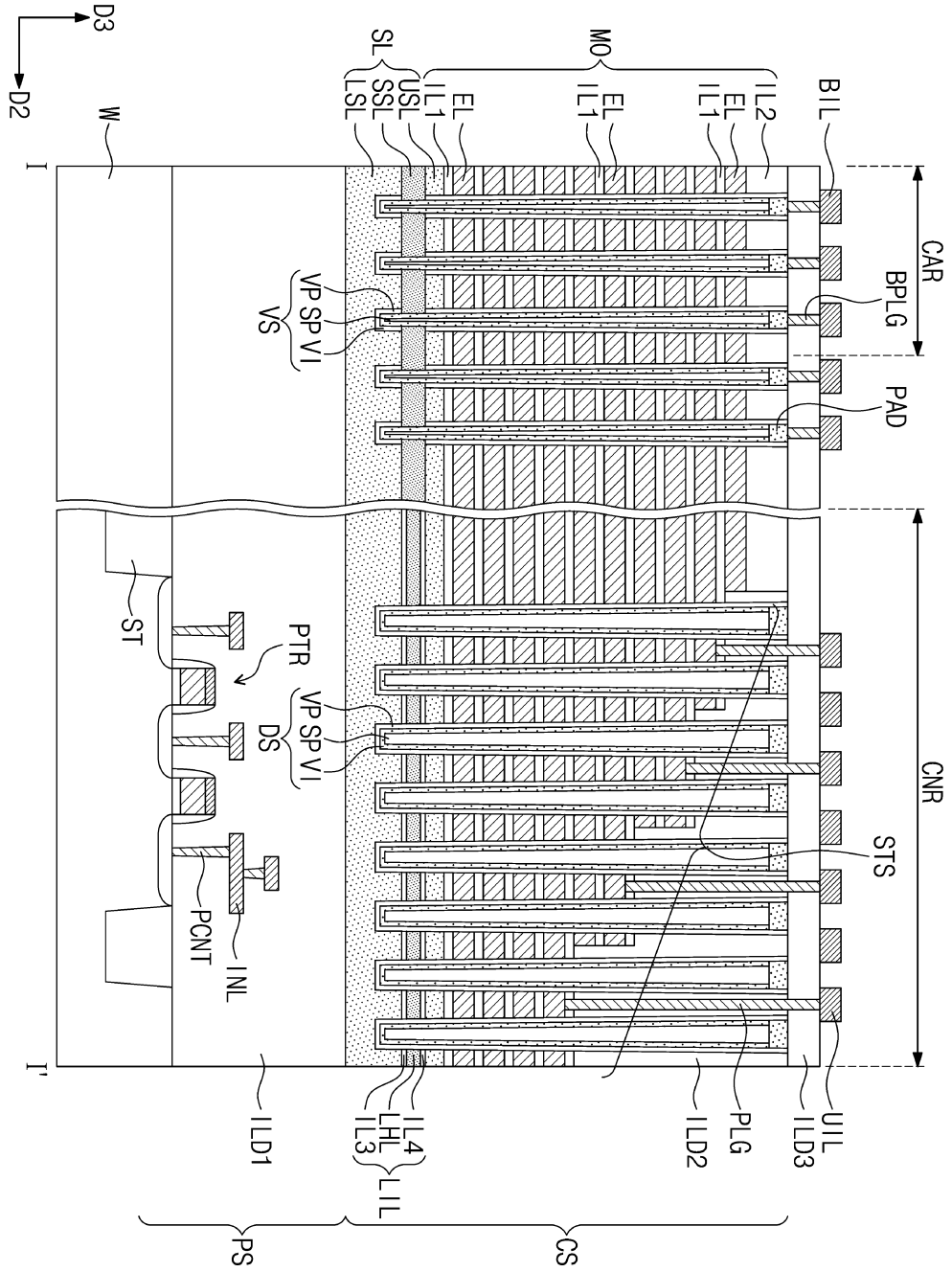
도면36


D3
D2
W
I
I'
MO
LSL
USL
IL1
HL
IL1
HL
IL1
HL
IL2
CAR
CHO
VP
SP
VI
VS
PAD
CNR
ST
PTR
VP
SP
VI
DS
STS
DHO
PCNT
INL
ILD1
ILD2
IL4
LHL
IL3
LIL
PS
CS

도면37


D3
D2
W
I
I'
MO
LSL
USL
IL1
HL
IL2
CH0
CAR
VP
SP
VI
VS
PAD
CNR
ST
PTR
DS
DH0
STS
PCNT
INL
ILD1
IL4
LHL
IL3
LIL
ILD2
ILD3
PS
CS

도면38


D3
D2
W
I
I'
SL
LSL
USL
SSL
IL1
EL
MO
IL1
EL
IL1
EL
IL2
BIL
CAR
BPLG
PAD
CNR
VP
SP
VI
VS
ST
PTR
VP
SP
VI
DS
STS
PCNT
INL
ILD1
IL4
LHL
IL3
LIL
ILD2
PLG
UIL
ILD3
PS
CS