

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6235325号
(P6235325)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

(51) Int. Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 8 E		
HO 1 L 21/8234 (2006.01)	HO 1 L	29/78	6 1 8 C		
HO 1 L 27/088 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 29/423 (2006.01)	HO 1 L	29/78	6 1 3 A		
HO 1 L 29/49 (2006.01)	HO 1 L	27/088	B		
請求項の数 11 (全 20 頁) 最終頁に続く					

(21) 出願番号	特願2013-255383 (P2013-255383)	(73) 特許権者	000003078
(22) 出願日	平成25年12月10日 (2013.12.10)		株式会社東芝
(65) 公開番号	特開2015-115415 (P2015-115415A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成27年6月22日 (2015.6.22)	(74) 代理人	100108855
審査請求日	平成28年8月31日 (2016.8.31)		弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100153051
			弁理士 河野 直樹
		(74) 代理人	100140176
			弁理士 砂川 克
最終頁に続く			

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法、半導体デバイス及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体領域内に設けられたソース領域及びドレイン領域と、
前記半導体領域内において前記ソース領域と前記ドレイン領域との間に設けられ、前記
ソース領域及び前記ドレイン領域と同じ導電型のチャネル領域と、
前記チャネル領域上に設けられ、前記チャネル領域と異なる材料を含む半導体層と、
前記半導体層上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
を具備し、
前記半導体領域は、ゲルマニウムを主成分としている、
電界効果トランジスタ。

10

【請求項 2】

前記半導体領域は、多結晶半導体領域である、
請求項 1 に記載の電界効果トランジスタ。

【請求項 3】

前記半導体層は、シリコンを主成分としている、
請求項 1 又は 2 に記載の電界効果トランジスタ。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載された電界効果トランジスタを複数個含み、
前記複数の電界効果トランジスタのうち少なくとも 1 つの第 1 の電界効果トランジスタ

20

は、第 1 の導電型を有し、

前記複数の電界効果トランジスタのうち少なくとも 1 つの第 2 の電界効果トランジスタは、前記第 1 の導電型と異なる第 2 の導電型を有し、

前記第 1 の電界効果トランジスタの前記ゲート電極の材料は、前記第 2 の電界効果トランジスタの前記ゲート電極の材料と同じである、

半導体デバイス。

【請求項 5】

基板上に、第 1 の導電型のソース領域、前記第 1 の導電型のドレイン領域、及び、前記ソース領域及び前記ドレイン領域間の前記第 1 の導電型のチャンネル領域を含み、ゲルマニウムを主成分としている半導体領域を、形成する工程と、

10

前記チャンネル領域上に、前記チャンネル領域と異なる材料を含む半導体層を形成する工程と、

前記半導体層上のゲート絶縁膜上に、ゲート電極を形成する工程と、

を具備する電界効果トランジスタの製造方法。

【請求項 6】

前記半導体領域は、多結晶半導体領域である、

請求項 5 に記載の電界効果トランジスタの製造方法。

【請求項 7】

前記半導体層は、シリコンを主成分としている、

請求項 5 又は 6 に記載の電界効果トランジスタの製造方法。

20

【請求項 8】

基板上に、第 1 の導電型の第 1 のソース領域、前記第 1 の導電型の第 1 のドレイン領域、及び、前記第 1 のソース領域及び前記第 1 のドレイン領域間の前記第 1 の導電型の第 1 のチャンネル領域を含む第 1 の半導体領域を形成する工程と、

前記基板上に、前記第 1 の導電型と異なる第 2 の導電型の第 2 のソース領域、前記第 2 の導電型の第 2 のドレイン領域、及び、前記第 2 のソース領域及び前記第 2 のドレイン領域間の前記第 2 の導電型の第 2 のチャンネル領域を含む第 2 の半導体領域を形成する工程と、

前記第 1 及び第 2 の半導体領域上に、前記第 1 及び第 2 の半導体領域と異なる材料を含む半導体層を、それぞれ形成する工程と、

30

前記第 1 の半導体領域上方のゲート絶縁膜上に、第 1 の材料の第 1 のゲート電極を形成すると同時に、前記第 2 の半導体領域上方のゲート絶縁膜上に、前記第 1 の材料の第 2 のゲート電極を、形成する工程と、

を具備する半導体デバイスの製造方法。

【請求項 9】

前記第 1 及び第 2 の半導体領域は、多結晶半導体領域である、

請求項 8 に記載の半導体デバイスの製造方法。

【請求項 10】

前記第 1 及び第 2 の半導体領域は、ゲルマニウムを主成分としている、

請求項 8 又は 9 に記載の半導体デバイスの製造方法。

40

【請求項 11】

前記半導体層は、シリコンを主成分としている、

請求項 8 乃至 10 のいずれか 1 項に記載の半導体デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、電界効果トランジスタ及びその製造方法、半導体デバイス及びその製造方法に関する。

【背景技術】

【0002】

50

これまで、集積回路（IC）は、トランジスタの微細化、つまり、スケーリングによって高集積化、高性能化が実現されてきた。

【0003】

スケーリングを更に進める一つの手法として、近年、トランジスタ構造をジャンクションレス（JL）構造にすることが検討されている（非特許文献1）。このジャンクションレスMISFET（metal-insulator-semiconductor field effect transistor）は、ソース/ドレイン領域及びチャンネル領域の導電型不純物が同じ型であり、ソース/ドレイン領域とチャンネル領域との間に接合が無い。そのため、そのような構造を有するFETは、ジャンクションレスFETと、呼ばれている。

【0004】

ジャンクションレスFETは、ソース/ドレイン領域及びチャンネル領域の不純物濃度プロファイルを精緻に制御せずともよい。そのため、ジャンクションレスFETは、製造プロセスが非常に簡便であり、ソース/ドレイン接合の形成に制限されずにFETを微細化可能という特長を有する。

【0005】

但し、ジャンクションレスFETは、ソース/ドレイン領域及びチャンネル領域の導電型が同一であるため、トランジスタの駆動時においてゲート電極直下のチャンネル領域内に空乏層が形成されることによって、トランジスタがオフされる。一方、トランジスタにおける大きなオン電流を得るために、ジャンクションレスFETは、 10^{19} cm^{-3} 程度のチャンネル濃度になるように、比較的高い不純物濃度に設定される。

【0006】

そのため、ジャンクションレスFETのチャンネル幅が10nm程度の比較的狭い幅に設定され、更に、チャンネルの制御を多方向からゲート電極によって行うマルチゲート構造が適用されることによって、チャンネル領域内において多方向から空乏層が伸びる構造を有するジャンクションレスFETを形成することが望ましい。これによって、ジャンクションレスFETは、チャンネル領域内の空乏層幅を調節することにより、チャンネル領域内のチャンネルのオン/オフが制御される。

【0007】

ジャンクションレスFETは、ソース/ドレイン領域とチャンネル領域とのキャリア（導電型不純物）の導電型が同一であるため、ジャンクションレスFETは、基本的にノーマリーオン動作で駆動する。そのため、ノーマリーオフ動作で駆動するジャンクションレスFETを実現することが技術的課題の一つであった。

【0008】

ノーマリーオフ動作のジャンクションレスFETを形成するための方法の一つとしては、n型のジャンクションレスFETとp型のジャンクションレスFETとでゲート電極の材料を変え、それぞれのゲート電極の仕事関数を調整する方法が挙げられる。これによって、n型及びp型のジャンクションレスFETのそれぞれにおいてノーマリーオフ動作が可能であることが、単結晶シリコンを用いて形成されたn型及びp型のジャンクションレスFETにおいて実証されている（非特許文献1）。しかし、n型及びp型のジャンクションレスFETで別々に、ゲート電極の材料の仕事関数が制御される場合、ゲート電極を形成するためのプロセスが複雑になることに応じて、トランジスタを含むICの製造が高コスト化してしまう可能性がある。このため、n型及びp型ジャンクションレスFETの両方に同じ材料のゲート電極を用いて、n型及びp型ジャンクションレスFETの両方をノーマリーオフ動作させることが望まれていた。

【0009】

また、近年では、素子の微細化は物理的に限界に近づきつつあり、素子の微細化以外に素子及び回路を高性能化及び高集積化するための手段として、3次元（3D）的にICを積層することが検討されている。

【0010】

IC（半導体チップ）を積層する手法としては、それぞれ別途に作製されたICチップ

10

20

30

40

50

が積層され、T S V (through silicon via) やマイクロバンプ等によって積層されたチップ間が接続される手法や、素子が形成される半導体領域 (F E T のチャンネル材料、アクティブ領域) が基板上の層間絶縁膜上に積層される手法が検討されている。

【 0 0 1 1 】

チャンネル材料が層間絶縁膜上に積層される手法による 3 D - I C は、通常の C M O S プロセスで層間絶縁膜上の半導体領域に素子及び回路を形成できるため、I C の高集積化、チップの低価格化を図り易い。

【 0 0 1 2 】

また、貼りあわせ手法等によって単結晶チャンネル材料を層間絶縁膜上に形成することは可能であるが、製造コストを低減するために、スパッタ法等で絶縁膜上にチャンネル材料 (半導体領域) を堆積し、堆積されたチャンネル材料を多結晶化させる手法が望ましい。多結晶シリコン及び多結晶ゲルマニウムが F E T のチャンネル材料として用いられた報告例として、例えば、非特許文献 2 及び 3 が挙げられる。

10

【 0 0 1 3 】

ゲルマニウムはシリコンよりもキャリアの移動度が高いため、次世代の M I S F E T のチャンネル材料として検討されている (非特許文献 4) 。単結晶ゲルマニウムからなるチャンネル領域と高誘電体膜との間に S i 層を介在させることによって、チャンネル領域 - 高誘電体膜間の界面特性が向上し、キャリアの移動度が増大することが報告されている (非特許文献 5 及び 6) 。しかし、多結晶ゲルマニウムについてゲート絶縁膜 / 多結晶ゲルマニウムとの界面に S i 層を介在させる効果についての知見は、報告されていない。

20

【 先行技術文献 】

【 非特許文献 】

【 0 0 1 4 】

【 非特許文献 1 】 J-P. Colinge et al., Nature Nano. 5 225 (2010)

【 非特許文献 2 】 S.D. Suk, et al., Symposium on VLSI technology 2009, p.142

【 非特許文献 3 】 Y. Kamata et al., Symposium on VLSI technology 2013, T7p5

【 非特許文献 4 】 Y. Kamata, Materials Today 11 30 (2008)

【 非特許文献 5 】 R. People and J.C. Bean, Appl. Phys. Lett. 47 322 (1985)

【 非特許文献 6 】 B. De Jaeger et al., Microelectronic Engineering 80 26 (2005)

【 発明の概要 】

30

【 発明が解決しようとする課題 】

【 0 0 1 5 】

本発明は、上記事情を考慮してなされたものであって、ノーマリーオフ動作を実現可能なジャンクションレス電界効果トランジスタ及びその製造方法を提供する。

【 課題を解決するための手段 】

【 0 0 1 6 】

本発明の実施形態の電界効果トランジスタは、半導体領域内に設けられたソース領域及びドレイン領域と、前記半導体領域内において前記ソース領域と前記ドレイン領域との間に設けられ、前記ソース領域及び前記ドレイン領域と同じ導電型のチャンネル領域と、前記チャンネル領域上に設けられ、前記チャンネル領域と異なる材料を含む半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、を含み、前記半導体領域は、ゲルマニウムを主成分としている。

40

【 0 0 1 7 】

本発明の実施形態の電界効果トランジスタの製造方法は、基板上に、第 1 の導電型のソース領域、前記第 1 の導電型のドレイン領域、及び、前記ソース領域及び前記ドレイン領域間の前記第 1 の導電型のチャンネル領域を含み、ゲルマニウムを主成分としている半導体領域を、形成する工程と、前記チャンネル領域上に、前記チャンネル領域と異なる材料を含む半導体層を形成する工程と、前記半導体層上のゲート絶縁膜上に、ゲート電極を形成する工程と、を含む。

【 0 0 1 8 】

50

本発明の実施形態の半導体デバイスの製造方法は、基板上に、第1の導電型の第1のソース領域、前記第1の導電型の第1のドレイン領域、及び、前記第1のソース領域及び前記第1のドレイン領域間の前記第1の導電型の第1のチャンネル領域を含む第1の半導体領域を形成する工程と、前記基板上に、前記第1の導電型と異なる第2の導電型の第2のソース領域、前記第2の導電型の第2のドレイン領域、及び、前記第2のソース領域及び前記第2のドレイン領域間の前記第2の導電型の第2のチャンネル領域を含む第2の半導体領域を形成する工程と、前記第1及び第2の半導体領域上に、前記第1及び第2の半導体領域と異なる材料を含む半導体層を、それぞれ形成する工程と、前記第1の半導体領域上方のゲート絶縁膜上に、第1の材料の第1のゲート電極を形成するのと同時に、前記第2の半導体領域上方のゲート絶縁膜上に、前記第1の材料の第2のゲート電極を、形成する工程と、を含む。

10

【発明の効果】

【0019】

本発明によれば、チャンネル領域とゲート絶縁膜との間に半導体層を設けることによって、ノーマリーオフ動作のジャンクションレス電界効果トランジスタを提供できる。

【図面の簡単な説明】

【0020】

【図1】実施形態の半導体デバイスの構造を示す鳥瞰図。

【図2】実施形態の半導体デバイスの構造を示す断面図。

【図3】実施形態の半導体デバイスの構造を示す断面図。

20

【図4】実施形態の半導体デバイスの変形例の構造を示す鳥瞰図。

【図5】実施形態の半導体デバイスの製造方法の一工程を示す工程図。

【図6】実施形態の半導体デバイスの製造方法の一工程を示す工程図。

【図7】実施形態の半導体デバイスの製造方法の一工程を示す工程図。

【図8】実施形態の半導体デバイスの製造方法の一工程を示す工程図。

【図9】実施形態の半導体デバイスの製造方法の一工程を示す工程図。

【図10】実施形態の半導体デバイスの効果を説明するための図。

【図11】実施形態の半導体デバイスの効果を説明するための図。

【図12】実施形態の半導体デバイスの効果を説明するための図。

【図13】実施形態の半導体デバイスの効果を説明するための図。

30

【図14】実施形態の半導体デバイスの効果を説明するための図。

【図15】実施形態の半導体デバイスの効果を説明するための図。

【図16】実施形態の半導体デバイスの適用例を説明するための図。

【発明を実施するための形態】

【0021】

[実施形態]

以下に、本発明の各実施の形態について図面を参照しながら説明する。なお、実施の形態を通して共通の構成には同一の符号を付すものとし、重複する説明は省略する。また、各図は発明の説明とその理解を促すための模式図であり、その形状や寸法、比などは実際の装置と異なる個所があるが、これらは以下の説明と公知の技術を参酌して適宜、設計変更することができる。

40

【0022】

(1) 構造

図1乃至図3を参照して、本発明の実施形態に係る電界効果トランジスタの構造について説明する。

【0023】

図1は、実施形態の電界効果トランジスタの構造を示す鳥瞰図である。図2は、図1のII-II線に沿う断面を示す実施形態の電界効果トランジスタの断面構造図である。図3は、図1のIII-III線に沿う断面を示す実施形態の電界効果トランジスタの断面構造図である。

50

【0024】

図1乃至図3は、本実施形態の電界効果トランジスタ（以下では、FETとも表記する）である。

【0025】

図1乃至図3に示されるように、本実施形態の電界効果トランジスタ1は、絶縁膜81を介して、半導体基板80上方に設けられている。例えば、半導体基板80は、シリコン（Si）基板であり、絶縁膜81は、シリコン酸化物からなる膜である。以下では、半導体基板80と半導体基板上のシリコン酸化物膜81からなる構成のことを、基板とも呼ぶ。シリコン酸化物からなる絶縁膜81は、半導体基板を酸化することによって形成されるSiO₂に限らず、ボロン（B）やリン（P）が混ざったBSG膜、PSG膜、BPSG膜やTEOS膜等の堆積膜でもよい。また、絶縁膜81は、窒素（N）、炭素（C）、又はフッ素（F）等が混ざっている一般に層間絶縁膜として使われている膜でも良い。

10

【0026】

本実施形態の電界効果トランジスタ1において、絶縁膜81上の半導体層（半導体領域）10が、電界効果トランジスタのチャンネル材料（アクティブ領域）に用いられている。

【0027】

本実施形態のトランジスタ1において、チャンネル領域100、2つのソース/ドレイン領域101A、101Bは、絶縁膜81上の半導体層10内に設けられている。

【0028】

実施形態の電界効果トランジスタ1は、例えば、マルチゲート構造の電界効果トランジスタであり、図1乃至図3に示される例では、実施形態のトランジスタはFinFETである。本実施形態のように、マルチゲート構造のトランジスタ1がFinFETである場合、半導体層10は、所望の線幅（フィン幅）の短冊状の構造（フィン構造）を有する。

20

【0029】

電界効果トランジスタ1のゲート電極25が、ゲート絶縁膜21を介して、フィン構造の半導体層10にまたがることによって、マルチゲート構造の電界効果トランジスタが形成される。ここで、本実施形態におけるFinFETとは、フィン部上部上のゲート電極下の半導体領域がチャンネルとして機能しない狭義のFinFETだけでなく、フィン部側面のチャンネルとゲート電極下の半導体領域（フィン部上面）のチャンネルとがトランジスタの駆動時のチャンネルとして機能するマルチゲートFETを含めて、FinFETと呼び、以下の説明でもそれらのトランジスタを同様にFinFETと呼ぶ。

30

【0030】

チャンネル材料としての半導体層10におけるゲート電極25と交差する部分が、電界効果トランジスタ1のチャンネル領域100となる。ソース/ドレイン領域101A、101Bが、フィン構造の半導体層10の延在方向（x方向）において半導体層10内のチャンネル領域100を挟むように、半導体層10内に設けられている。以下では、2つのソース/ドレイン領域101A、101Bを区別しない場合には、ソース/ドレイン領域101と表記する。

【0031】

半導体層10の延在方向（x方向、トランジスタのチャンネル長方向）の一端及び他端に、半導体層10の幅方向（y方向）においてフィン幅より大きい寸法を有する部分109が、それぞれ設けられている。例えば、フィン幅より大きい寸法を有する部分109に、コンタクトプラグ（コンタクト部）CPが接続される。以下では、このフィン幅より大きい寸法を有する部分109のことを、コンタクトエリア109とよぶ。コンタクトエリア109がフィン幅より大きい寸法を有する部分を有することによって、フィン構造を有する半導体層10とコンタクトプラグCPとの接触面積が増加し、半導体層10とコンタクトプラグCPとの接触抵抗が低減される。

40

【0032】

例えば、コンタクトエリア109内には、導電層（例えば、金属化合物層、具体例としては、NiGe）29A、29Bが設けられている。コンタクトエリア109内の導電層

50

29A, 29Bにより、コンタクトエリア109とコンタクトプラグCPとの間の接触抵抗が低減される。

【0033】

尚、コンタクトエリア109は、ソース/ドレイン領域101A, 101Bの一部として扱われてもよい。

【0034】

ゲート絶縁膜21には、例えば、 SiO_2 のようなシリコンを主成分とする酸化物、又は、ハフニウムアルミニウム酸化物(HfAlO)のような高誘電体材料が、用いられる。ゲート電極25には、多結晶シリコン、多結晶ゲルマニウム、シリサイドのような導電性シリコン化合物、導電性ジャーマナイド、窒化チタン(TiN)、窒化タンタル(TaN)のような導電性化合物、タングステン(W)、銅(Cu)等の単体金属等が、用いられる。

10

【0035】

図1及び図2に示されるように、本実施形態のFinFETは、FETの駆動時に、チャンネル領域100の上面及び両側面の3つの面(方向)において、ゲート絶縁膜21を挟んで、ゲート電極25とチャンネル領域100とが対向している。尚、チャンネル領域100の上面とゲート絶縁膜21との間に、ゲート絶縁膜21よりも厚い絶縁膜が介在していてもよい。

【0036】

例えば、本実施形態の電界効果トランジスタ1のチャンネル領域100及びソース/ドレイン領域101は、Si以外の半導体材料を用いて、形成される。本実施形態において、チャンネル領域100及びソース/ドレイン領域101が形成される半導体層10は、多結晶ゲルマニウム(Ge)層10である。

20

【0037】

本実施形態の電界効果トランジスタ1は、ジャンクションレスFETである。

本実施形態のジャンクションレスFET1において、ソース/ドレイン領域101の導電型は、チャンネル領域100の導電型と同じである。すなわち、本実施形態のジャンクションレスFET(ジャンクションレスFinFET)1が、p型MISFETである場合、チャンネル領域100及びソース/ドレイン領域101は、p型の半導体領域(例えば、p型の多結晶Ge層)であり、本実施形態のジャンクションレスFET1が、n型MISFETである場合、チャンネル領域100及びソース/ドレイン領域101は、n型の半導体領域(例えば、n型の多結晶Ge層)である。

30

【0038】

p型のジャンクションレスFETにおいて、チャンネル領域及びソース/ドレイン領域としての半導体領域(半導体層)10は、 $10^{19}/cm^3$ 程度の不純物濃度のp型ドーパントを含む。一方、n型ジャンクションレスFETにおいて、チャンネル領域及びソース/ドレイン領域としての半導体領域10は、 $10^{18}/cm^3$ 程度の不純物濃度のn型ドーパントを含む。

【0039】

図1乃至図3に示されるように、本実施形態のジャンクションレスFET1において、トランジスタ1のチャンネル領域100とゲート絶縁膜21との間に、半導体層30が設けられている。以下では、チャンネル領域100とゲート絶縁膜21との間の半導体層30のことを、キャップ層30とよぶ。

40

【0040】

チャンネル領域100とゲート絶縁膜21との間のキャップ層30は、例えば、チャンネル領域100を形成するための半導体材料と異なる材料からなる。キャップ層30を形成するための半導体材料のバンドギャップの大きさは、チャンネル領域100を形成するための半導体材料のバンドギャップの大きさと異なる。

【0041】

チャンネル領域100が多結晶Ge層から形成される場合、キャップ層30は、非晶質S

50

i層から形成される。尚、非晶質Si以外の半導体材料からなるキャップ層30が、Ge層からなるチャンネル領域100に用いられてもよい。但し、キャップ層30の材料とチャンネル領域100の材料とは、互いに異なる材料であることが望ましい。例えば、キャップ層30は、SiGe層や、アンチモン化インジウム(InSb)でもよい。

【0042】

キャップ層30は、n型の半導体層でもよいし、p型の半導体層でもよいし、さらには、p型及びn型の不純物をほとんど含まない真性半導体層でもよい。例えば、キャップ層30の膜厚は、例えば、ゲート絶縁膜21の膜厚以下、具体的な数値としては、0.7nm~1.5nm程度であるが、この膜厚に限定されない。キャップ層30は、複数の半導体膜の積層構造、又は、半導体膜と絶縁膜との積層構造でもよい。キャップ層30の結晶性は、非晶質でもよいし、多結晶でもよい。

10

【0043】

図4は、本実施形態の電界効果トランジスタの変形例を示す鳥瞰図である。

図4に示されるFETは、プレーナー構造のジャンクションレスFETである。

図4に示されように、プレーナー構造のジャンクションレス型FETのゲート絶縁膜21とチャンネル領域(例えば、多結晶ゲルマニウム層)10との間に、キャップ層30が用いられてもよい。また、実施形態の電界効果トランジスタ1は、ダブルゲート構造の電界効果トランジスタでもよい。尚、プレーナー構造のジャンクションレス型FETにおいて、例えば、絶縁膜81上の多結晶ゲルマニウム層10は、絶縁膜82によって区画されている。

20

【0044】

本実施形態のジャンクションレスFET1は、ゲート絶縁膜21とチャンネル領域100との間に、キャップ層30が設けられることによって、FET1の閾値電圧(オン電圧)が、FETのチャンネル領域-ゲート絶縁膜間にキャップ層が設けられない場合におけるノーマリーオン状態の値から、ノーマリーオフ状態の値へシフトする。

この結果として、本実施形態のジャンクションレスFETは、ノーマリーオフ動作を実現できる。

【0045】

したがって、本実施形態によれば、ノーマリーオフ型のジャンクションレス電界効果トランジスタを提供できる。

30

【0046】

(2) 製造方法

図5乃至図9を参照して、本発明の実施形態の半導体デバイス(電界効果トランジスタ)の製造方法について説明する。

【0047】

以下の本実施形態の電界効果トランジスタ(ジャンクションレスFinFET)の製造方法において、トランジスタのチャンネル領域100を形成するための半導体層(チャンネル材料、アクティブ領域)10が多結晶ゲルマニウム(poly-Ge)、キャップ層を形成するための半導体層30が非晶質シリコン、ゲート絶縁膜21がハフニウムアルミニウム酸化物(HfAlO)、ゲート電極25が窒化タンタル(TaN)である場合について、説明する。

40

【0048】

図5に示されるように、半導体基板(例えば、単結晶Si基板)80に対する酸化処理により、半導体基板80上に、酸化膜(ここでは、SiO₂膜)81が形成される。非晶質Ge層(半導体層)10Zが、例えば、スパッタ法によって、SiO₂膜81上に形成される。尚、Si基板80上のSiO₂膜81は、CVD法によって、Si基板80上に堆積されたシリコン酸化物膜でもよい。

【0049】

レジスト膜が非晶質Ge層10Z上に塗布された後、レジスト膜に対する電子線描画工程及びエッチング工程により、所定のパターンのレジストマスク99が、非晶質Ge層1

50

0 Z上に形成される。

【0050】

図6に示されるように、パターニングされたレジストマスク99をマスクに用いて、非晶質Ge層が、異方性エッチングにより、加工される。

【0051】

これによって、レジストマスク99に基づいた平面パターンを有する非晶質Ge層10Aが、SiO₂膜81上に形成される。例えば、フィン構造を有する非晶質Ge層10Aが、形成される。尚、フィン構造の延在方向における非晶質Ge層10Aの一端及び他端には、コンタクトエリア109が、形成される。フィン構造の延在方向に交差する方向(フィン幅方向)におけるコンタクトエリア109の寸法が、フィン幅より大きくなるように、コンタクトエリア109はパターニング及び加工されている。

10

【0052】

レジストマスクが剥離された後、図7に示されるように、パターニングされた非晶質Ge層10Aを覆うように、SiO₂膜98が、Plasma enhanced - CVD (PE - CVD)法によって、非晶質Ge層10A上に堆積される。

【0053】

フィン構造の非晶質Ge層がSiO₂膜98で覆われた状態で、窒素雰囲気中において500 ~ 600の温度範囲の熱処理が、非晶質Ge層が設けられた基板80に対して、5時間程度、施される。この加熱処理によって、非晶質Ge層が、多結晶化する。

このように、多結晶Ge層10が、半導体基板80上方に、形成される。

20

【0054】

ここで、多結晶Ge層10がp型MISFETのチャネル材料(アクティブ領域)に用いられる場合、p型MISFETの形成領域となる多結晶Ge層10は、ドーパント(導電型不純物)がイオン注入により添加されなくとも、p型MISFETの動作に十分なキャリア濃度(例えば、 $10^{19} / \text{cm}^3$ 程度のホール濃度)が得られている。

【0055】

多結晶Ge層10がn型MISFETのチャネル材料(アクティブ領域)に用いられる場合、n型MISFETの形成領域となる多結晶Ge層10内に、例えば、リン(P)が、 $2 \times 10^{15} \text{ cm}^2$ のドーズ量及び10keVのイオン加速度で、注入される。リンが注入された多結晶Ge層10に対して、窒素雰囲気中で、500 ~ 600の温度範囲の熱処理が、5時間程度、施される。これによって、多結晶Ge層10中のリンが活性化され、 $10^{18} / \text{cm}^3$ 程度のキャリア濃度(ドナー濃度)のn型多結晶Ge層10が、形成される。

30

【0056】

図8に示されるように、多結晶Ge層が形成された後、0.5%の濃度の希フッ酸溶液によるウェットエッチングによって、多結晶Ge層10上のSiO₂膜が、除去される。

【0057】

露出された多結晶Ge層10に対して、水素雰囲気中で450の熱処理が、90分程度施された後、露出された多結晶Ge層10に対して、SiH₄/H₂雰囲気中で450の熱処理が、30分程度施される。

40

【0058】

このSi化合物を含むガス雰囲気中の加熱処理によって、多結晶Ge層10上に、Si層(Siキャップ層)30が形成される。尚、Siキャップ層30は、CVD法などの膜堆積技術によって、多結晶Ge層10上及び絶縁膜81上に、堆積されてもよい。

【0059】

尚、この工程において、Ge層10上のSi層30の一部は酸化され、SiO₂が形成される可能性があるが、Si層30は、Ge層10上に残存し、半導体からなるキャップ層30として機能する。

【0060】

図9に示されるように、ゲート絶縁膜21が、多結晶Ge層10上のSiキャップ層3

50

0 上に、形成される。例えば、H f A l O 膜 2 1 が、ゲート絶縁膜 2 1 として、Atomic l ayer deposition (A L D) 法によって、S i キャップ層 3 0 上及び絶縁膜 8 1 上に堆積される。

【 0 0 6 1 】

導電膜 (例えば、T a N 膜) 2 5 が、スパッタ法によって、ゲート絶縁膜 2 1 上に堆積される。

【 0 0 6 2 】

堆積された導電膜 2 5 が、電子線描画及び異方性エッチングによって、所定の形状に加工される。これによって、ゲート絶縁膜 2 1 を介してフィン構造の多結晶 G e 層 1 0 のチャンネル領域 1 0 0 と交差するゲート電極 2 5 が、基板 8 0 上の S i O ₂ 膜 8 1 上方に形成される。

10

【 0 0 6 3 】

図 9 に示される工程に続いて、図 1 乃至図 3 に示されるように、0 . 5 % の濃度の希フッ酸溶液によるウェットエッチングによって、多結晶 G e 層 1 0 のソース/ドレイン領域 1 0 1 及びコンタクトエリア 1 0 9 上において露出しているゲート絶縁膜 (ここでは、H f A l O 膜) 2 1 が、除去される。

【 0 0 6 4 】

この後、G e と導電性化合物 (例えば、ジャーマニド) を形成する金属膜 (例えば、N i 膜) が、露出した多結晶 G e 層 1 0 1 , 1 0 9 上に、スパッタ法によって、形成される。金属膜と G e 層とに対する熱処理によって、N i G e 膜 2 9 A , 2 9 B が、ソース/ドレイン領域 1 0 1 , 1 0 9 の少なくともコンタクトエリア 1 0 9 内に形成される。

20

【 0 0 6 5 】

H f A l O 膜 2 1 上の N i 膜のような G e 層 1 0 と反応しなかった N i 膜は、6 0 の H C l 溶液によるエッチングによって選択的に除去される。このように、N i G e 層が、多結晶 G e 層 1 0 の所定の部分 1 0 9 において、自己整合的に形成される。

【 0 0 6 6 】

この後、周知の B E O L プロセスによって、層間絶縁膜が、絶縁膜 8 1 及び F E T 1 上に形成された後、ゲート電極 2 5 及びコンタクトエリア 1 0 9 のそれぞれに接続されるコンタクトプラグ C P、及び、コンタクトプラグ C P のそれぞれに接続される配線が、順次形成される。

30

【 0 0 6 7 】

以上の工程によって、チャンネル領域と異なる導電型のソース/ドレイン領域を形成すること無し、本実施形態の電界効果トランジスタ 1 としてのジャンクションレス F E T (F i n F E T) 1 が、形成される。

【 0 0 6 8 】

本実施形態の電界効果トランジスタの製造方法によれば、ゲート絶縁膜 2 1 とチャンネル領域 (例えば、多結晶 G e 層) 1 0 0 との間に、半導体層 (例えば、S i 層) 3 0 が形成される。ゲート絶縁膜 2 1 と多結晶 G e 層 1 0 内のチャンネル領域 1 0 0 との間の半導体層 3 0 によって、本実施形態における製造方法によって形成されたジャンクションレス F E T の閾値電圧は、F E T のチャンネル領域 - ゲート絶縁膜間にキャップ層が設けられない場合におけるノーマリーオン状態の値から、ノーマリーオフ状態の値へシフトする。

40

【 0 0 6 9 】

これによって、本実施形態の電界効果トランジスタの製造方法によれば、ノーマリーオフ型のジャンクションレス F E T が形成される。

【 0 0 7 0 】

(3) 効果

図 1 0 乃至図 1 5 を参照して、実施形態の半導体デバイス (電界効果トランジスタ) の作用及び効果について、説明する。

【 0 0 7 1 】

図 1 0 は、プレーナー構造のジャンクションレス F E T における電子顕微鏡の観測像を

50

示している。

【0072】

図10の(a)は、従来のジャンクションレスFETのチャンネル領域近傍のX-TEM(断面透過型電子線顕微鏡)の観測像を示している。図10の(b)は、本実施形態のジャンクションレスFETのチャンネル領域近傍のX-TEMの観測像を示している。従来のジャンクションレスFETには、チャンネル領域とゲート絶縁膜との間に、半導体からなるキャップ層が設けられていない。本実施形態のジャンクションレスFETには、チャンネル領域とゲート絶縁膜との間に半導体層(キャップ層)が設けられている。

【0073】

図10の(a)及び(b)には、チャンネル領域及びゲート電極を含む積層構造(以下では、ゲートスタックとよぶ)の断面構造が示されている。キャップ層の有無以外、ゲートスタックの構成部材は、従来のFETと本実施形態のFETとで同じである。

10

【0074】

図10の(a)及び(b)にそれぞれ示されるゲートスタックのチャンネル領域(多結晶Ge層)10とゲート絶縁膜(HfAlO膜)21との界面に関して、Siキャップ層が無い場合(図10の(a))におけるチャンネル領域及びゲート電極間の界面層39の膜厚に比べて、Siキャップ層30がチャンネル領域10とゲート絶縁膜21との間に設けられる場合(図10の(b))における層30の膜厚は、厚い。それゆえ、図10の(b)の本実施形態のFETでは、キャップ層30が、界面層として、チャンネル領域10とゲート絶縁膜21との間に介在していることが、示される。

20

【0075】

尚、図10の(b)のX-TEM像において、キャップ層30は原子層換算で数層であるため、キャップ層30の結晶性は非晶質のように観測される。但し、キャップ層30は多結晶であっても良い。

【0076】

図11は、本実施形態のジャンクションレスFETのXPS(X-ray Photoelectron Spectroscopy)の分析結果を示している。図11において、XPSの分析結果を示すグラフの横軸は、結合エネルギー(単位: eV)を示し、XPSの分析結果を示すグラフの縦軸は、検出された信号の強度(任意単位)を示している。

【0077】

図11のXPSの分析結果に示されるように、本実施形態のキャップ層を含むジャンクションレスFETにおいて、Si-Oの結合エネルギーとSi-Siの結合エネルギーが検出されている。したがって、本実施形態において、多結晶Geのチャンネル領域とHfAlOのゲート絶縁膜との間の界面層は、Si及びSiO₂を含む層(Siキャップ層)30であると、判別される。

30

【0078】

尚、図10の(b)及び図11に示される例において、多結晶Geのチャンネル領域10とHfAlOのゲート絶縁膜21との間のSiのキャップ層30が設けられた場合に、キャップ層30内にSiO₂が含まれる理由は、Si層を形成後にウエハをチャンバーから大気に取り出した際に大気中の酸素もしくは水分とキャップ層30のSiが結合したためであると、考えられる。

40

【0079】

図10及び図11の測定結果によって、キャップ層としてのSi層が、多結晶Geのチャンネル領域とHfAlOのゲート絶縁膜との間に存在していることが、示される。

【0080】

図12乃至図14は、本実施形態におけるキャップ層を含むジャンクションレスFETの電気的特性を示す図である。

【0081】

図12は、ジャンクションレスFETのゲート電圧とドレイン電流の関係を示すグラフである。図12の(a)及び(b)において、各グラフの横軸は、ゲート電圧の大きさ(

50

単位：V)を示し、各グラフの縦軸は、ドレイン電流の大きさ(単位：A/μm)をlogスケールで示している。

【0082】

図12の(a)は、キャップ層を有する場合及びキャップ層を有さない場合のそれぞれにおける、p型ジャンクションレスFETの特性を示している。

【0083】

図12の(b)は、キャップ層を有する場合及びキャップ層を有さない場合のそれぞれにおける、n型ジャンクションレスFETの特性を示している。

【0084】

図12の(a)及び(b)に示されるように、キャップ層を有さないn型及びp型ジャンクションレスFETは、ノーマリーオン動作で、駆動する。

図12の(a)及び(b)において、n型及びp型ジャンクションレスFETのそれぞれに対してゲート絶縁膜(HfAlO膜)とチャネル領域(多結晶Ge領域)との間にキャップ層(Si層)を介在させることで、p型及びn型のジャンクションレスFETは、ノーマリーオフ動作になる。

【0085】

図13は、ジャンクションレスFETのゲート長と閾値電圧との関係を示すグラフである。図13の(a)は、p型のジャンクションレスFETのゲート長と閾値電圧との関係を示している。図13の(b)は、n型のジャンクションレスFETのゲート長と閾値電圧との関係を示している。図13の(a)及び(b)のそれぞれにおいて、グラフの横軸は、ジャンクションレスFETのゲート長(単位：nm)をlogスケールで示している。図13の(a)及び(b)のそれぞれにおいて、グラフの縦軸は、ジャンクションレスFETの閾値電圧(単位：V)を示している。

【0086】

図13の(a)に示されるように、ゲート長の長さに依存せずに、キャップ層がゲート絶縁膜とチャネル領域との間に設けられたp型ジャンクションレスFETの閾値電圧は、キャップ層がゲート絶縁膜とチャネル領域との間に設けられないp型ジャンクションレスFETの閾値電圧と比較して、負の方向($V_{th} < 0$)にシフトしている。したがって、ゲート長の長さに依存せずに、キャップ層がゲート絶縁膜とチャネル領域との間に設けられることによって、本実施形態のp型ジャンクションレスFETは、ノーマリーオフ動作で駆動する。

【0087】

図13の(b)に示されるように、ゲート長の長さに依存せずに、キャップ層がゲート絶縁膜とチャネル領域との間に設けられたn型ジャンクションレスFETの閾値電圧は、キャップ層がゲート絶縁膜とチャネル領域との間に設けられないn型ジャンクションレスFETの閾値電圧と比較して、正の方向($V_{th} > 0V$)にシフトしている。したがって、ゲート長の長さに依存せずに、キャップ層がゲート絶縁膜とチャネル領域との間に設けられることによって、本実施形態のn型ジャンクションレスFETは、ノーマリーオフ動作で駆動する。

【0088】

図14は、ジャンクションレスFETのゲート電圧とドレイン電流との関係を示す図である。図14の(a)及び(b)において、各グラフの横軸は、ゲート電圧の大きさ(単位：V)を示し、各グラフの縦軸は、ドレイン電流の大きさ(単位：A)を示している。図14の(a)は、キャップ層を有さないp型ジャンクションレスFETの特性線APを示し、キャップ層を有するp型ジャンクションレスFETの特性線BPを示している。図14の(b)は、キャップ層を有さないn型ジャンクションレスFETの特性線ANを示し、キャップ層を有するn型ジャンクションレスFETの特性線BNを示している。

【0089】

図14に示されるように、多結晶Geチャネル領域及びSiキャップ層を用いたジャンクションレスFETが形成されることによって、n型及びp型のFETの両方の閾値電圧

10

20

30

40

50

は、Siキャップ層を含まないジャンクションレスFETのノーマリーオン動作の閾値電圧からシフトし、多結晶Geチャンネル領域及びSiキャップ層を用いたジャンクションレスFETは、ノーマリーオフ動作が実現されている。

【0090】

図15を参照して、本実施形態のジャンクションレスFETのノーマリーオフ動作が実現される理由の一例について、説明する。

【0091】

図15の(a)、(b)、(c)及び(d)のそれぞれは、ゲート絶縁膜 - キャップ層 - チャンネル領域のバンドギャップ構造を模式的に示す図である。

図15の(a)は、ゲート絶縁膜、キャップ層(Si)及びチャンネル領域(Ge)の定常状態におけるバンドギャップ構造を示している。図15の(b)は、プレーナー構造のn型FETにおけるゲート絶縁膜、キャップ層(Si)及びチャンネル領域(Ge)のバンド構造を示し、図15の(c)は、プレーナー構造のp型FETにおけるゲート絶縁膜、キャップ層(Si)及びチャンネル領域(Ge)のバンドギャップ構造を示している。図15の(d)は、マルチゲート構造のFETのゲート絶縁膜、キャップ層(Si)及びチャンネル領域(Ge)のバンドギャップ構造を示している。

【0092】

図15の(a)に示されるように、本実施形態のノーマリーオフ動作のジャンクションレスFETが形成されるモデルの一例として、ゲート絶縁膜21とキャップ層30との界面で、キャップ層(ここでは、Si)30の準位PLがピン止めされると考えられる。

【0093】

図15の(b)及び(c)において、n型及びp型のチャンネル材(ここでは、Ge)10のフェルミ準位が、キャップ層30のピン止めされた準位(以下では、ピンング準位ともよぶ)PLと揃うことに伴って、ゲート絶縁膜21下に空乏層が形成される。

【0094】

この結果として、n型及びp型MISFETのそれぞれで、ゲート電圧が0Vのときにおいて、ゲート絶縁膜21下にチャンネルが形成されること無しに、ジャンクションレスFETは、オフ状態となる。

【0095】

図15の(d)に示されるように、チャンネル領域10が多方向から制御されるマルチゲート構造のジャンクションレスFETにおいて、ゲート絶縁膜21とチャンネル領域10との間のそれぞれにキャップ層30が設けられた場合、チャンネル領域10の中心部が空乏化し易くなる。それゆえ、本実施形態のように、ゲート電極とチャンネル領域10との間にキャップ層30が設けられた構造をマルチゲート構造のジャンクションレスFETに適用することは、効果的である。

【0096】

以上のように、本実施形態のFET及びその製造方法によれば、チャンネル領域10とゲート絶縁膜21との間に、チャンネル領域10と異なる材料の半導体層30が設けられることによって、ノーマリーオフ型のジャンクションレスFETを提供できる。

【0097】

(4) 適用例

図16を参照して、実施形態の電界効果トランジスタ(ジャンクションレスFET)の適用例について説明する。

【0098】

本実施形態のジャンクションレスFETは、半導体回路(IC)に適用される。例えば、本実施形態のジャンクションレスFETを含む半導体回路は、ロジック回路、イメージセンサ、メモリ回路(例えば、フラッシュメモリ、MRAM)、FPGAなどである。

【0099】

図16は、本実施形態のジャンクションレスFETを含む半導体回路の構成を模式的に示す断面図である。

【 0 1 0 0 】

図 1 6 に示されるように、例えば、S i 単結晶基板（バルク基板）などの半導体基板 8 0 上に、複数の F E T 7 が設けられている。F E T 7 は、例えば、プレーナー構造の F E T である。F E T 7 は、F E T 7 の導電型に応じて、半導体基板 8 0 内の p 型又は n 型ウェル領域 8 0 0 上に設けられている。

【 0 1 0 1 】

F E T 7 のゲート電極 7 5 が、ゲート絶縁膜 7 1 を介して、ウェル領域 8 0 0（半導体基板 8 0）内のチャンネル領域上方に設けられている。F E T 7 は、エンハンスメント型の F E T であり、ウェル領域 8 0 0 内に、チャンネル領域の導電型と異なる導電型のソース / ドレイン領域（拡散層）7 3 を有している。

10

【 0 1 0 2 】

層間絶縁膜 8 1 が、F E T 7 を覆うように、半導体基板 8 0 上に設けられている。

【 0 1 0 3 】

1 以上の半導体領域（半導体層）1 0 P , 1 0 N が、F E T のチャンネル材料（アクティブ領域）として、層間絶縁膜 8 1 上に設けられている。図 1 6 には、2 つの半導体領域（例えば、多結晶 G e 層）1 0 P , 1 0 N が層間絶縁膜 8 1 上に設けられた例が示されているが、半導体領域 1 0 P , 1 0 N の個数は、2 個に限定されない。以下では、半導体領域 1 0 P , 1 0 N を区別しない場合には、半導体領域 1 0 と表記する。

【 0 1 0 4 】

層間絶縁膜 8 1 上の半導体領域 1 0 を用いて、本実施形態のジャンクションレス F E T 1 N , 1 P が形成される。層間絶縁膜 8 1 上のジャンクションレス F E T 1 N , 1 P を区別しない場合には、ジャンクションレス F E T 1 と表記する。

20

【 0 1 0 5 】

層間絶縁膜 8 1 , 8 2 内に、コンタクトプラグ C P 1 , C P 2、ビアプラグ V P 1 及び配線層 M 1 , M 2 が、多層配線技術によって、形成される。

【 0 1 0 6 】

各プラグ C P 1 , C P 2 及び各配線 M 1 , M 2 によって、半導体基板 8 0 上の F E T 7 が、層間絶縁膜 8 1 上に設けられた本実施形態の F E T 1 に接続される。これによって、積層チャンネル構造の 3 次元積層型半導体回路（3 D - I C）が、形成される。

【 0 1 0 7 】

図 1 6 に示される半導体回路において、p 型の半導体領域（例えば、p 型多結晶 G e 層）1 0 P を用いて、p 型のジャンクションレス F E T（例えば、ジャンクションレス F i n F E T）1 P が、層間絶縁膜 8 1 上に形成され、n 型の半導体領域（例えば、n 型多結晶 G e 層）1 0 N を用いて、n 型のジャンクションレス F E T が層間絶縁膜 8 1 上に形成される。p 型及び n 型の半導体領域 1 0 P , 1 0 N は、それぞれ異なる工程で形成される。

30

【 0 1 0 8 】

p 型のジャンクションレス F E T 1 P は、ゲート絶縁膜 2 5 と p 型の半導体領域（チャンネル領域）1 0 P との間に、キャップ層としての半導体層 3 0 を含んでいる。n 型のジャンクションレス F E T 1 N は、ゲート絶縁膜 2 5 と n 型の半導体領域 1 0 N との間に、キャップ層 3 0 を含んでいる。n 型のジャンクションレス F E T 1 N のキャップ層 3 0 と p 型ジャンクションレス F E T 1 P のキャップ層 3 0 は、実質的に同時に形成される。n 型のジャンクションレス F E T 1 N のキャップ層 3 0 及び p 型ジャンクションレス F E T 1 P のキャップ層 3 0 は、同じ材料（例えば、非晶質 S i）から形成され、同じ導電型及び同じ膜厚を有している。尚、ゲート絶縁膜 2 5 は、p 型及び n 型の半導体領域 1 0 P , 1 0 N 上に、実質的に同時に形成され、p 型及び n 型のジャンクションレス F E T において同じ材料のゲート絶縁膜 2 5 が用いられている。

40

【 0 1 0 9 】

本適用例の半導体回路において、n 型のジャンクションレス F E T 1 N のゲート電極 2 5 の材料 2 0 0 は、p 型のジャンクションレス F E T 1 P のゲート電極 2 5 の材料 2 0 0

50

と同じ材料である。

【0110】

上述のように、本実施形態のジャンクションレスFET1は、ゲート絶縁膜25と半導体領域(多結晶半導体層)10との間にキャップ層(半導体層)30が設けられた構造によって、p型及びn型のジャンクションレスFET1の両方で、ノーマリーオフ動作のジャンクションレスFET1を、形成できる。

【0111】

ゲート絶縁膜25と半導体領域10との間にキャップ層30が設けられない構造を有する従来のn型及びp型ジャンクションレスFETが、同じゲート材料のゲート電極を有する場合、p型及びn型のジャンクションレスFETの少なくとも一方は、ノーマリーオン動作のFETとなる。

10

【0112】

それゆえ、従来のp型及びn型のジャンクションレスFETの両方で、ノーマリーオフ動作を実現するために、p型ジャンクションレスFETのゲート電極とn型ジャンクションレスFETのゲート電極と、互いに異なる材料が用いられ、ゲート電極材の選択及び仕事関数の調整によってトランジスタの閾値電圧が制御されていた。

【0113】

この場合、p型ジャンクションレスFETとn型ジャンクションレスFETとにおいて、互いに異なる材料からなるゲート電極が、互いに異なる工程でそれぞれ形成される。そのため、従来のジャンクションレスFETを含む半導体回路の製造工程数は、増加し、半導体回路の製造コストが増加する。

20

【0114】

本実施形態のジャンクションレスFETにおいて、n型のジャンクションレスFET1Nのゲート電極25とp型のジャンクションレスFET1Pのゲート電極25とが同じ材料を用いて形成できることによって、n型及びp型のジャンクションレスFET1N、1Pのゲート電極25を形成するための材料の堆積を、実質的に同時に実行でき、及び、トランジスタ1N、1Pのゲート電極25のゲート加工を、実質的に同時に実行できる。

【0115】

これによって、p型ジャンクションレスFETのゲート電極とn型ジャンクションレスFETのゲート電極とを異なる製造工程で形成せずともよく、本実施形態のジャンクションレスFETを含む半導体回路は、低コスト化できる。

30

【0116】

尚、層間絶縁膜81上のGe層10を用いて形成された複数のジャンクションレスFETは、全てp型FETでもよいし、全てn型FETでもよい。半導体基板80は、SiGe基板のようなSi単結晶基板以外の基板でもよい。層間絶縁膜81上のジャンクションレスFETは、プレーナー構造のFETでもよい。図16には、プレーナー構造のFETが半導体基板80のウェル上に形成された例が図示されているが、マルチゲート構造のFET(例えば、FinFET)が半導体基板80上に設けられてもよい。

【0117】

(5) その他

40

本実施形態の電界効果トランジスタ及びその製造方法は、以下の構成を含む。

【0118】

実施形態において、チャンネル領域及びソース/ドレイン領域が形成される半導体領域(チャンネル材料)としてのゲルマニウム(Ge)層は、シリコン(Si)、炭素(C)及び錫(Sn)を含むグループから選択される1以上の元素を含んでいてもよい。また、半導体領域としてのGe層は、導電型不純物として、リン(P)、ヒ素(As)及びアンチモン(Sb)、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)を含むグループの中から選択される1以上の元素を含んでいてもよい。

【0119】

実施形態において、半導体領域としてのGe層10が多結晶である場合について述べた

50

が、半導体領域としてのGe層10は、単結晶又は非晶質でもよい。また、実施形態において、FETのチャンネル領域及びソース/ドレイン領域を形成するための半導体領域(チャンネル材料)は、Ge層に限定されない。チャンネル材料としての半導体領域に、一般的な半導体材料、例えば、酸化物半導体材料や窒化物半導体材料などが、用いられてもよい。

【0120】

本実施形態において、キャップ層としての半導体層30は、Siに限らず、一般的な半導体材料でもよく、C、Si及びSnのグループの中から選択される少なくとも1つを含む14族半導体材料、酸化物半導体材料、又は、窒化物半導体材料でも良い。チャンネル領域に用いられる半導体材料とキャップ層に用いられる半導体材料とが互いに異なっていれば、FETのチャンネル領域となる半導体材料とキャップ層となる半導体材料の組み合わせは、限定されない。

10

【0121】

尚、本実施形態において、チャンネル領域を形成する半導体材料とキャップ層を形成する半導体材料のバンドギャップの大小関係は限定されない。すなわち、キャップ層を形成する半導体材料のピニング準位がチャンネル領域を形成する半導体材料の準位(例えば、フェルミ準位)に揃うように形成することが可能な材料であれば、キャップ層を形成する材料のバンドギャップは、チャンネル領域を形成する半導体材料のバンドギャップより大きくともよいし、キャップ層を形成する材料のバンドギャップは、チャンネル領域を形成する半導体材料のバンドギャップより小さくともよい。また、チャンネル領域を形成する半導体材料及びキャップ層を形成する半導体材料のバンド構造が異なっていれば、バンドギャップの大きさがほぼ同じ材料が、各層に用いられてもよい。

20

【0122】

本実施形態において、電界効果トランジスタのゲート絶縁膜21は、HfAlOに限定されず、例えば、SiO₂のようなHfAlO以外の絶縁膜でもよい。また、本実施形態において、電界効果トランジスタのゲート電極は、Ta₂N₅に限定されず、シリサイド及び金属のような、Ta₂N₅以外の導電体でもよい。

【0123】

実施形態の電界効果トランジスタの製造方法において、非晶質半導体層(例えば、非晶質Ge層)がフィン構造に加工される工程が述べられているが、多結晶半導体層(例えば、多結晶Ge層)がフィン構造に加工されても良い。

30

【0124】

実施形態の電界効果トランジスタの製造方法において、各膜(層)の形成方法には、スパッタ法、蒸着法、化学気相堆積法(CVD)、原子層堆積法(ALD)、パルスレーザー堆積法(PLD)など、周知の堆積法を用いることができる。

【0125】

以上、本発明の実施の形態を説明したが、本発明はこれらに限られず、特許請求の範囲に記載の発明の要旨の範疇において様々に変更可能である。また、本発明は、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記実施形態に開示されている複数の構成要素を適宜組み合わせることにより種々の発明を形成できる。

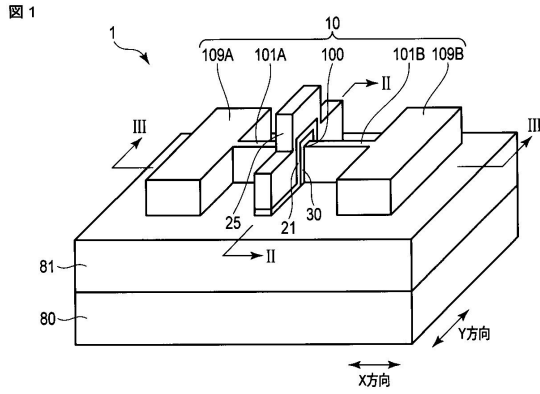
40

【符号の説明】

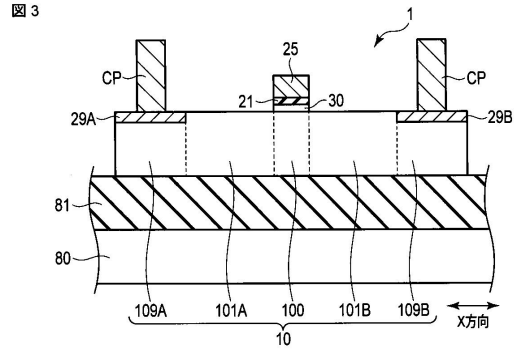
【0126】

1：ジャンクションレス電界効果トランジスタ、80：基板、10：半導体領域、100：チャンネル領域、101：ソース/ドレイン領域、21：ゲート絶縁膜、25：ゲート電極、30：半導体層(キャップ層)。

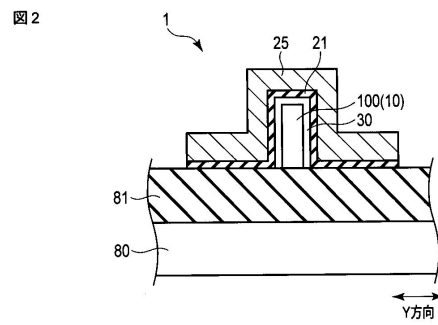
【 図 1 】



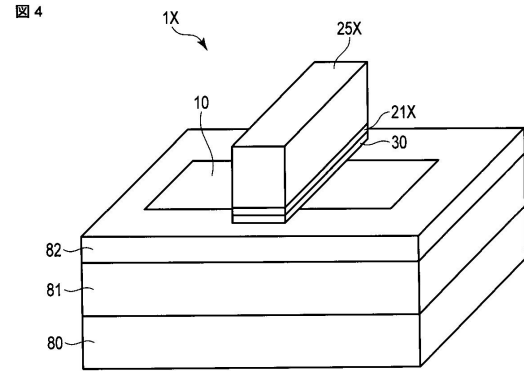
【 図 3 】



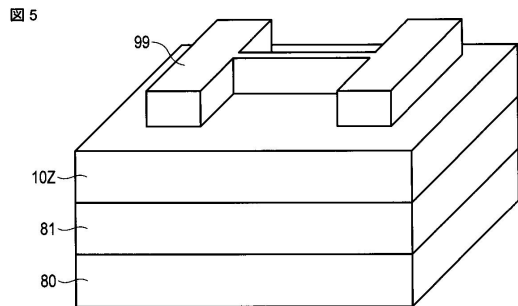
【 図 2 】



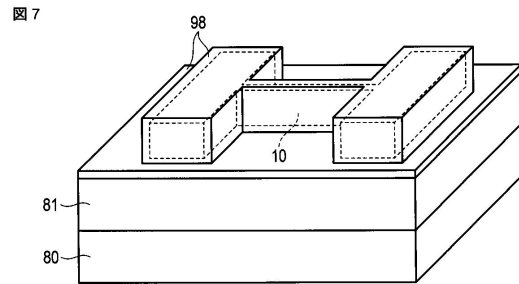
【 図 4 】



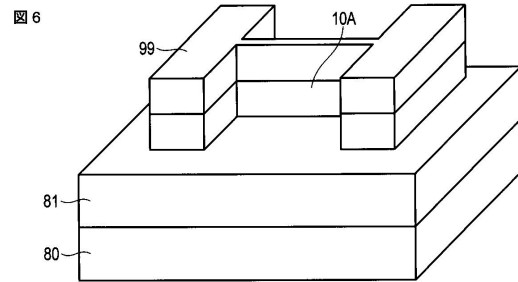
【 図 5 】



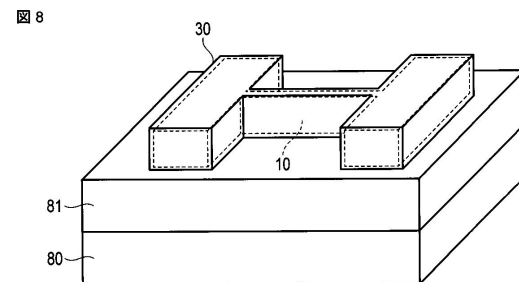
【 図 7 】



【 図 6 】

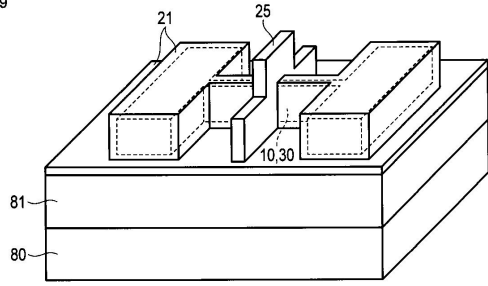


【 図 8 】



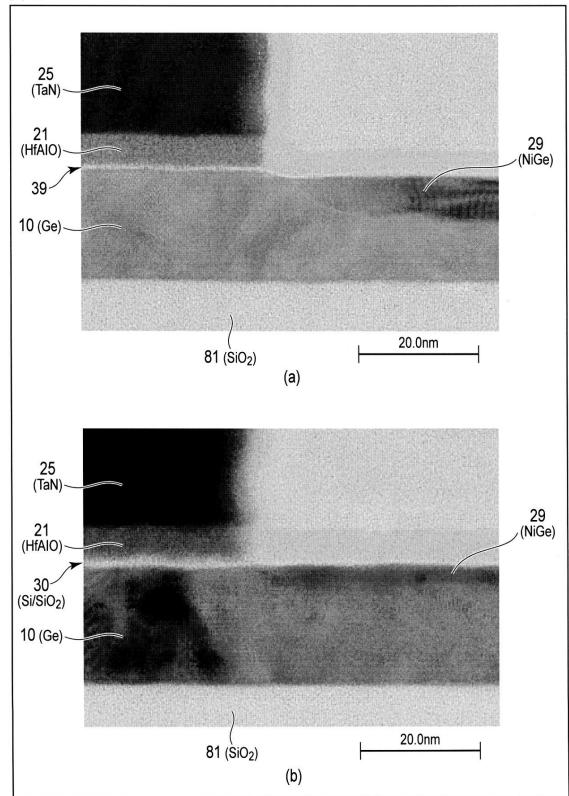
【 9 】

図 9



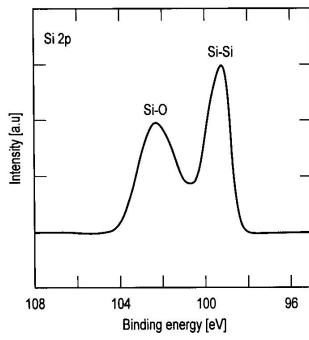
【 10 】

図 10



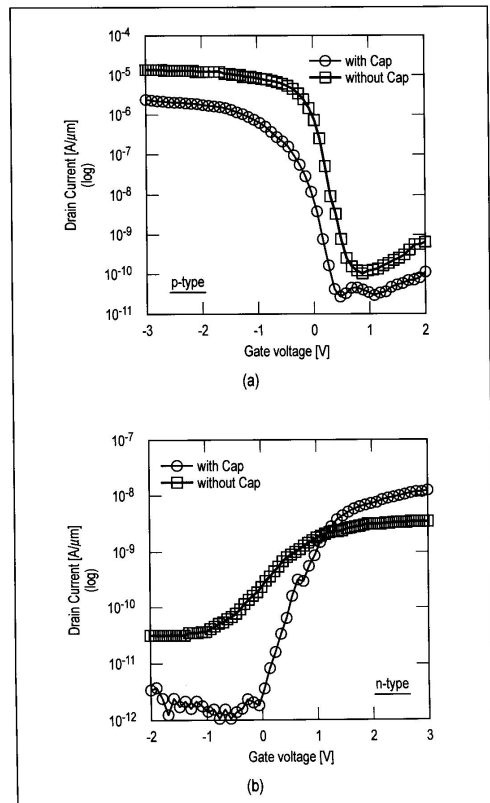
【 11 】

図 11



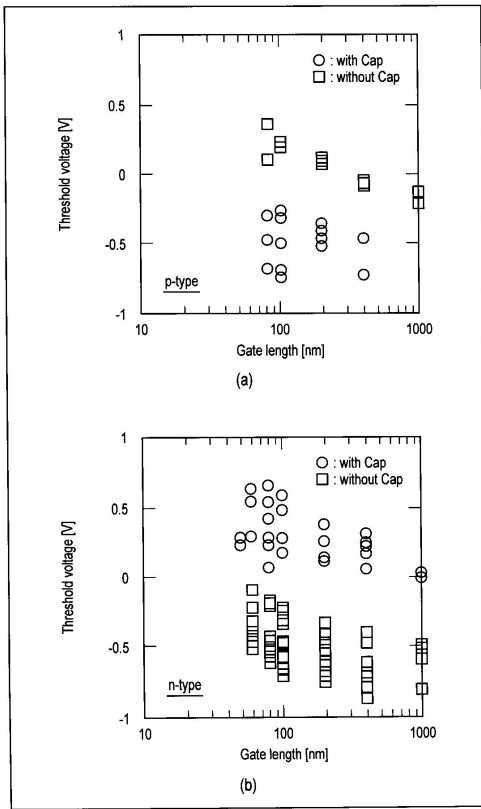
【 12 】

図 12



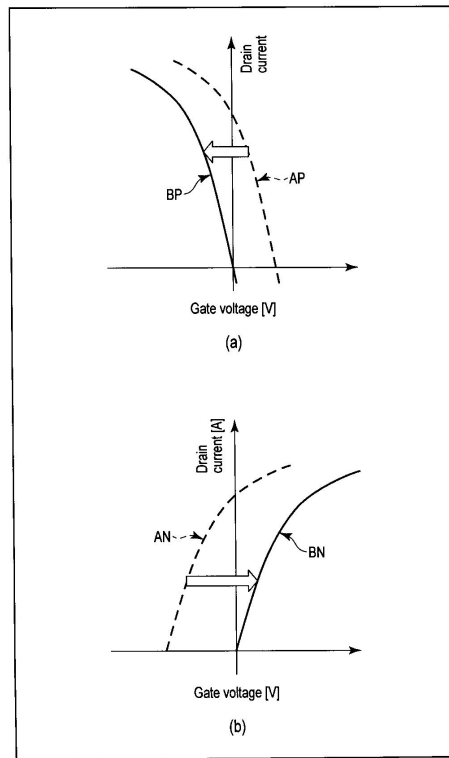
【 13 】

13



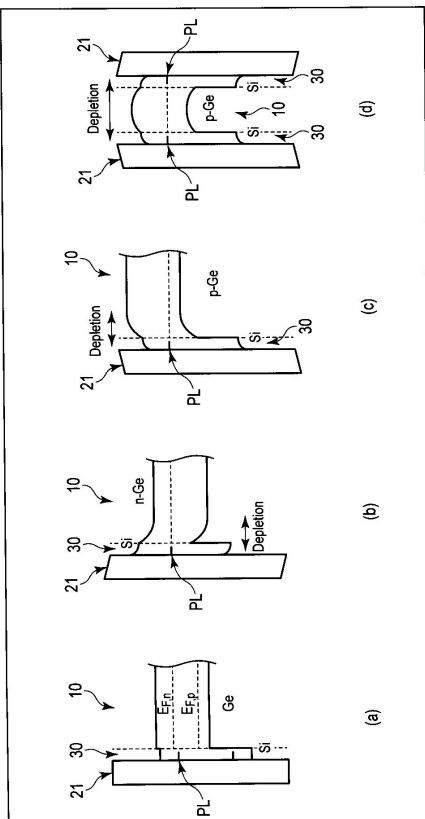
【 14 】

14



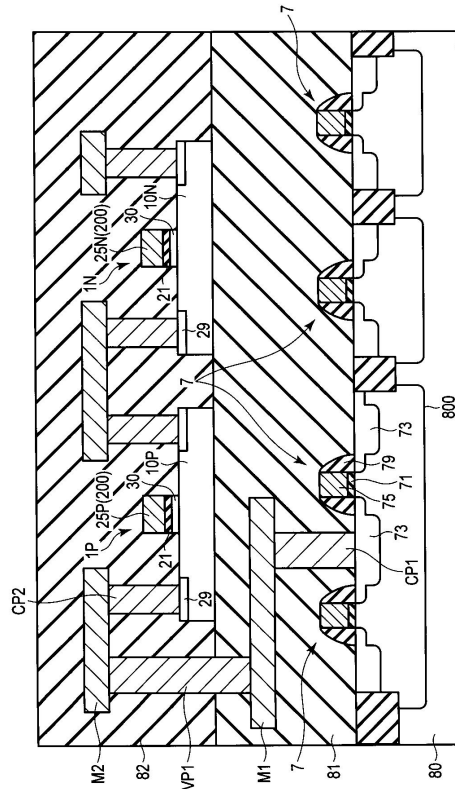
【 15 】

15



【 16 】

16



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/47	(2006.01)	H 0 1 L	27/088 3 3 1 E
H 0 1 L	29/872	(2006.01)	H 0 1 L	29/58 G
			H 0 1 L	29/48 D

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100179062
弁理士 井上 正

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(72)発明者 鎌田 善己
茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

審査官 市川 武宜

(56)参考文献 特開2012-160679(JP,A)
特開2013-225551(JP,A)
特開2003-243667(JP,A)
特開2005-159362(JP,A)
特表2006-511091(JP,A)
特表2008-527742(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 9 / 4 2 3
H 0 1 L 2 9 / 4 7
H 0 1 L 2 9 / 4 9
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 9 / 8 7 2