

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
G06F 13/14
H03K 19/08
H03K 17/00

(45) 공고일자 1989년 12월 04일
(11) 공고번호 특 1989-0004998

(21) 출원번호	특 1985-0000791	(65) 공개번호	특 1985-0006088
(22) 출원일자	1985년 02월 08일	(43) 공개일자	1985년 09월 28일
(30) 우선권 주장	59-022966 1984년 02월 13일 일본 (JP)		
(71) 출원인	후지쓰가부시끼가이샤 야마모토 다쿠마		
	일본국 가나가와켄 가와자끼시 나가하라구 가미고다나카 1015반찌		

(72) 발명자 에노모토 히로무
일본국 가나가와켄 가와자끼시 나가하라구 가미고다나카 1015반찌 후지쓰가부시끼가이샤내
야스다 야스시
일본국 가나가와켄 가와자끼시 나가하라구 가미고다나카 1015반찌 후지쓰가부시끼가이샤내
다하라 아끼노리
일본국 가나가와켄 가와자끼시 나가하라구 가미고다나카 1015반찌 후지쓰가부시끼가이샤내
구마가이 마사오
일본국 가나가와켄 가와자끼시 나가하라구 가미고다나카 1015반찌 후지쓰가부시끼가이샤내
(74) 대리인 문기상, 조기호

심사관 : 고금영 (책자공보 제1705호)

(54) 마이크로 컴퓨터 시스템용 게이트회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

마이크로 컴퓨터 시스템용 게이트회로

[도면의 간단한 설명]

제 1 도는 다수의 SRL(세트/리세트 래치)회로와 게이트회로를 사용하는 마이크로 컴퓨터 시스템의 개략적인 부분개통도.

제 2 도는 집적회로로서 사용되는 다수의 SRL회로(SRL₁ 내지 SRL_n)와 종래의 게이트회로의 기본회로도.

제 3 도는 본 발명의 일 실시예에 의한 게이트회로와 제 2 도에 보인 바와같은 동일한 다수의 SRL회로들의 기본회로도.

제 4a도는 제 2 도에 보인 게이트회로에서 각 스트로브(strobe) 신호를 설명하는 타이밍 도표.

제 4b도는 제 3 도에 보인 게이트회로의 각 스트로브 신호를 설명하는 타이밍 도표.

제 5a도, 제 5b도 및 제 5c도는 본 발명의 다른 실시예에 의한 제어 수단의 회로도.

[발명의 상세한 설명]

본 발명은 게이트회로에 관한 것으로 특히 마이크로 컴퓨터 시스템에 사용 적합한 예를들어 트랜지스터 결합 트랜지스터 로직(transistor-coupled transistor logic : TTL)과 다이오드 결합 트랜지스터 로직(diode-transistor logic : DTL)을 한조로 하여 그에 의해 구성된 게이트회로에 관한

것이다.

공지된 바와같이 마이크로 컴퓨터 시스템에서 다수의 인터페이스회로(interface circuit)들은 데이터 버스를 통하여 중앙처리유닛(central processing unit : CPU)와 판독 전용 메모리(read only memory : ROM), 랜덤 액세스 메모리(random access memory : RAM) 및 입/출력(input/output : I/O)유닛사이에 제공된다.

각 인터페이스회로는 예를들어 CPU로 전송될 데이터의 기입(writing) 또는 유지(holding)를 제어하기 위한 다수조의 세트/리세트 래치(set/reset latch : SRL)회로들을 갖고 있다. 데이터를 기입 또는 유지하기 위한 타이밍은 게이트회로로부터 발생하는 반전 스트로브 신호(strobe signal)와 비반전 스트로브 신호에 의해 제어된다. 게이트회로는 이 신호들을 병렬로 각각의 SRL회로들에 인가한다. SRL회로들은 어떤 스트로브 신호들의 변동에도 불구하고 "기입" 및 "유지"양모드에서 고레벨 출력을 유지하도록 할 필요가 있다.

게이트회로에서, 스트로브 신호가 예를들어 저레벨로부터 고레벨로 변동될때 반전신호는 고레벨로부터 저레벨로 전환되고 비반전신호는 저레벨로부터 고레벨로 변동된다.

그러나, 비반전신호가 저레벨로부터 고레벨로 변동될때 반전신호의 타이밍에 비해 전환 타이밍에서 시간지연이 생긴다. 그러므로 비반전신호와 반전신호가 모두 동시에 저레벨에 있는 영동한 경우가 생긴다.

이러한 타이밍으로 인하여 소위 "글리치(glitch)"잡음이 SRL회로들의 출력에서 생긴다. 이 글리치 잡음은 CPU와 기타 회로들에서 데이터 오차를 유발한다.

본 발명의 주요목적은 마이크로 컴퓨터 시스템에서 인터페이스회로를 제어하는데 사용되는 게이트회로를 제공하는데 있다.

본 발명의 또 다른 목적은 예를들어 한조의 TTL회로와 DTL회로로 구성된 게이트회로를 제공하여 마이크로 컴퓨터 시스템에서 글리치 잡음을 감소시켜 데이터 오차를 감소시키는데 있다.

본 발명에 의하면, 입력신호의 레벨변동에 반응하기 위한 위상분할 트랜지스터와 위상분할 트랜지스터에 의해 제어되는 반전신호를 출력시키기 위한 출력회로를 갖는 제 1 단 게이트회로와, 제 1 단 게이트회로의 반전스트로브 신호를 입력시키고 비반전신호를 출력시키기 위한 제 1 단 게이트회로의 반전 스트로브 신호를 입력시키기 위한 제 2 단 게이트회로와, 제 1 단 게이트회로내의 입력단자의 레벨을 제어하기 위해 제 1 단 게이트회로내의 위상분할 트랜지스터의 콜렉터와 제 2 단 게이트회로의 입력단사이에 연결되는 장치를 포함하는 입력신호의 반전신호와 비반전신호를 발생시키기 위한 게이트회로가 제공된다.

본 발명의 구조에 의하면, 인터페이스회로로서 사용되는 SRL회로로부터 글리치 잡음출력을 현저히 감소시켜 데이터 오차를 없애고 마이크로 컴퓨터 시스템의 고속계산이 가능하다.

이하 첨부된 도면을 참고로 본 발명의 양호한 실시예들을 상세히 설명하면 다음과 같다.

양호한 실시예들을 설명하기 전에 우선 예를들어 한조의 TTL회로와 DTL회로로 구성된 종래의 게이트회로에 대해 설명한다.

제 1 도를 참조하면, 인터페이스회로로서 사용되는 다수의 SRL회로들(SRL₁ 과 SRL_n)은 CPU와 ROM, RAM 및 I/O회로 사이에서 데이터 버스라인(data bus line)을 통하여 제공된다.

제 2 도를 참조하면, 각 SRL회로 예를들어 SRL₁은 기본적으로 두개의 AND게이트들 AND₁ 과 AND₂, NOR 게이트 NOR 그리고 반전기 NOT를 포함한다. 고레벨(H) 입력데이터 D_{in}은 데이터 버스라인으로부터 AND게이트 AND₁의 한 입력단자에 인가되며, 고레벨 출력데이터 D_{out}는 데이터 버스라인을 통하여 CPU로 인가된다.

SRL회로 SRL₁의 동작모드는 "기입모드"와 "유지모드"사이에서 반전 스트로브 신호와 비반전 스트로브 신호에 의해 변동된다.

"기입모드"에서 반전 스트로브 신호 \overline{S} 는 저레벨이고, 비반전 스트로브 신호 \overline{S} 는 고레벨이다.

"유지모드"에서, 신호 \overline{S} 는 고레벨이고, 신호 \overline{S} 는 저레벨이다.

비록 두신호 \overline{S} 와 \overline{S} 가 선택에 의해 저레벨로부터 고레벨로 또는 고레벨로부터 저레벨로 변동된다 할지라도 출력레벨 D_{out}는 고레벨로 유지되어야만 한다.

그러나, 이후 상세히 설명되는 바와같이 신호 \overline{S} 가 저레벨로부터 고레벨로 변동될때 문제가 발생된다. 게이트회로는 예를들어 제 1 단 게이트회로로서 TTL회로(게이트 1)로 그리고 제 2 단 게이트회로로서 DTL회로(게이트 2)로 구성된다. 다이오드 D₂(일반적으로 쇼트키 베리어 다이오드)는 게이

트 1내의 출력트랜지스터와 게이트 2내의 입력단자 사이에 연결된다. 게이트 1은 입력트랜지스터 Q_1 과 다이오드 D_2 를 제외하고는 게이트 2와 동일한 회로배열과 소자로 구성된다. 출력회로는 게이트 1내의 트랜지스터 Q_4 , Q_5 와 Q_6 로 그리고 게이트 2내의 트랜지스터 Q_9 , Q_{10} 및 Q_{11} 로 구성된다.

마이크로 컴퓨터내의 클럭발생기(도시안됨)로부터 전송된 고레벨 스트로브 또는 저레벨 스트로브 신호 S 가 게이트 1내의 입력트랜지스터 Q_1 의 베이스에 인가될때 신호 S 에 대응하는 저 또는 고레벨의

반전 스트로브 신호 \overline{S} 는 지정 P_1 으로부터 출력되며, 신호 \overline{S} 는 SRL회로 SRL_1 내의 AND게이트

AND_2 의 한 입력단자에 인가된다. 한편, 신호 \overline{S} 에 대응하는 고 또는 저레벨의 비반전 스트로브

신호 \overline{S} 는 게이트 2내의 지정 P_2 에 인가되며, 신호 \overline{S} 는 SRL회로 SRL_1 내의 AND게이트 AND_1 의

다른 입력단자에 인가된다. 명백한 바와같이 신호 \overline{S} 는 신호 S 의 위상과 동일한 위상이다.

스트로브 신호 S , \overline{S} 및 \overline{S} 의 신호변환 타이밍들은 제 4a도에 도시되어 있다. 도면으로부터

명백한 바와같이 신호 \overline{S} 가 고레벨로부터 저레벨로 변환될때 신호 \overline{S} 는 짧은 기간(시간지연

: t_2-t_1)경과후 저레벨로부터 고레벨로 변동된다. 따라서, 양스트로브 신호 \overline{S} 와 \overline{S} 는 짧은

기간동안 저레벨이 된다. 두 저레벨신호 \overline{S} 와 \overline{S} 가 SRL회로 SRL_1 내의 AND게이트 AND_1 과 AND_2 에 인가될때 출력 D_{out} 는 저레벨이 되고, 이 시간지연에 의해 원인이 되는 글리치 잡음 G 는 이 짧은 기간(t_2-t_1)동안 제4a도의 D_{out} 에 보인 바와같이 출력 D_{out} 으로부터 생긴다.

더우기, 여러부하들(일반적으로, 한 게이트회로마다 약 8개의 SRL회로가 한 부하로서 연결됨)이 출력부 P_1 과 P_2 에 병렬로 연결된다. 부하가 많으면 많을수록 더 많은 부하용량이 생기며 신호 S 의 더 큰 시간지연이 생긴다.

이해될 수 있는 바와같이, 이 기간(t_2-t_1)이 짧으면 짧을수록 글리치 잡음레벨 G 는 더 작아진다. 따라서, 본 발명은 시간지연(t_2-t_1)을 짧게해 줌으로서 글리치 잡음을 감소시킬 수 있는 게이트회로를 제공하는데 있다. 제 3 도를 참조하면, 본 발명에 의한 게이트회로는 일방향소자로서 다이오드 D_1 (에쇼트키 베리어 다이오드)가 트랜지스터 Q_3 의 컬렉터와 게이트 2의 입력단자 즉, 트랜지스터 Q_7 의 베이스 사이에 추가되는 이외에는 종래의 게이트회로와 동일한 회로배열과 소자들을 포함한다. 이 다이오드 D_1 는 제 2 단 게이트 2의 입력레벨을 제어하기 위해 제어수단 100으로서 동작한다.

게이트회로의 동작에 대해서 이하 상세히 설명한다. SRL회로 SRL_1 의 "유지모드"에서 저레벨 스트로브 신호 S 가 입력트랜지스터 Q_1 의 베이스에 인가될때 트랜지스터 Q_1 은 그것이 PnP트랜지스터이기 때문에 도통된다. 트랜지스터 Q_1 이 도통될때, 트랜지스터 Q_2 , 위상분할 트랜지스터 Q_3 와 출력트랜지스터 Q_6 은 이들이 nPn트랜지스터들이기 때문에 차단된다. 트랜지스터들 Q_4 와 Q_5 가 과도상태동안 고레벨

이 되기 때문에 지정 P_1 의 레벨은 고레벨이 된다. 즉, 스트로브 신호 \overline{S} 는 고레벨이다.

한편 트랜지스터 Q_3 와 Q_6 양자는 차단되기 때문에 다이오드 D_1 과 D_2 를 통하여 전류가 흐르지 않는다. 따라서, 트랜지스터 Q_7 의 베이스는 높게되고 트랜지스터 Q_7 은 도통되지 않는다. 왜냐하면 그것은 nPn 트랜지스터이기 때문이다. 트랜지스터 Q_7 은 도통될때 트랜지스터 Q_8 와 Q_{11} 은 도통되고 지정 P_2 의 레벨

은 낮아지게 되고 즉, 스트로브 신호 \overline{S} 는 저레벨(L)이다.

그다음, SRL회로 SRL_1 이 "기입모드"에서 저레벨 스트로브 신호 S 는 고레벨로 변동되어 트랜지스터 Q_1 은 차단되고, 트랜지스터 Q_2 , Q_3 와 Q_6 는 도통된다.

더우기, 트랜지스터 Q_4 와 Q_5 가 차단된다. 따라서, 지정 P_1 의 레벨은 저가된다. 즉, 신호 \overline{S} 는 저

레벨로 전환된다. 이 경우에, 트랜지스터 Q_3 의 컬렉터는 지정 P_1 에서 고레벨로부터 저레벨로 변동되기 전에 고레벨로부터 변동된다. 따라서 우선 전류는 다이오드 D_1 을 통해 트랜지스터 Q_7 의 베이스로부터 트랜지스터 Q_3 의 컬렉터로 흐른다.

짧은 시간후 전류는 다이오드 D_2 를 통하여 트랜지스터 Q_7 의 베이스로부터 트랜지스터 Q_6 의 컬렉터로

흐른다. 트랜지스터 Q_7 은 스트로브 신호 \overline{S} 가 고레벨로 부터 저레벨로 전환되기전에 다이오드 D_1 을 통해 흐르는 제 1 전류에 의해 차단될수 있다.

한편, 종래의 게이트회로에는 다이오드 D_1 이 없다. 단지 다이오드 D_2 만 제 2 도에 보인 바와같이 게이트 2내에 있다. 따라서 종래의 게이트회로내의 트랜지스터 Q_7 의 차단타이밍은 본 발명에 의한 회

로의 것보다 더 느리다. 결론적으로, 종래의 게이트회로에 의한 스트로브 신호 \overline{S} 의 고레벨로부터 저레벨로의 변동은 제4a도에 보인 바와같은 기간(t_2-t_1)에서 이루어지는 한편, 본 발명에 의한 스

트로브 신호 \overline{S} 의 저레벨로부터 고레벨로의 변동은 제4b도에 보인 바와같이 더 짧은 기간(t_3-t_1)에서 이루어진다. 이 기간(t_3-t_1)은 제 4a도에 보인 바와같은 종래의 게이트회로의 기간보다 훨씬 더 짧다.

두 스트로브 신호들 \overline{S} 의 저레벨 타이밍은 아주 짧기 때문에 즉, 시간지연이 아주 작기때문에 글리치 잡음G의 레벨은 아주 작다. 이 레벨은 SRL회로의 임계레벨이하로 감소된다. 이러한 작은 레벨의 글리치 잡음 G는 CPU기타 회로들에서 데이터오차의 원인이 되지 않는다.

또한 선택으로 제4b도에 보인 바와같이 스트로브 신호 \overline{S} 의 변환타이밍은 신호 \overline{S} 의 실선의

것보다 의견상 더 빠르게 된다. 왜냐하면 스트로브 신호 \overline{S} 의 고레벨로부터 저레벨의 변동기율기 특성은 부하의 수(SRL의수)가 8개($n>8$) 초과할때 완만해지기 때문이다.

이 경우에, 변환타이밍시 신호 \overline{S} 에서 시간지연이 발생하지 않으면 SRL회로의 출력 D_{out} 로부터 글리치 잡음이 생기지 않는다.

따라서, 본 발명의 효과 즉, 다이오드 D_1 의 삽입은 게이트회로에 연결된 부하의 증가와 더불어 증가된다.

제어수단 100에 관한 다른 실시예들이 제5a도 제5b도 및 제5c도에 도시되어 있다.

제5a도는 트랜지스터 Q_{20} 과 저항 R_1 을 포함하는 제어수단 100의 제 2 실시예를 보이고 있다. 트랜지스터 Q_{20} 의 제어기는 제 2 단 게이트 2의 입력에 연결된다. 그외 에미터는 위상분할 트랜지스터 Q_3 의 컬렉터에 연결되며, 그의 베이스는 저항 R_1 을 통하여 V_{cc} 에 연결된다. 이 트랜지스터 Q_{20} 은 제 3 도에서 다이오드 D_1 과 같은 일방향소자로서 동작한다.

제5b도는 본 발명의 제어수단 100의 제 3 실시예를 보이는 것이다. 이 실시예에서 저항 R_2 는 제5a도의 회로로부터 생략된다.

제5c도는 본 발명의 제어수단 100의 제 4 실시예를 보이는 것이다. 이 실시예에서 다수에미터 트랜지스터 Q_{22} 는 제 3 도에서 다이오드를 D_1 과 D_2 로서 사용된다. 즉, 제 2 단 게이트회로 2는 제 3 도, 제 5a도와 제5b도와 같은 DTL회로대신에 TTL회로를 포함한다. 그러므로 트랜지스터 Q_{22} 는 제 1 단 게이트 1의 출력에 연결된 입력회로용으로 사용된다. 제어수단 100은 일방향소자로서 작용하는 트랜지스터 Q_{22} 와 저항 R_1 을 포함한다.

실시예에서 설명된 바와같이, 게이트회로의 출력신호 \overline{S} , \overline{S} 는 SRL회로를 구동시킨다. 그러

나, 게이트회로는 반전 및 비반전신호 \overline{S} , \overline{S} 를 출력시켜야 하는 다른 회로 예를들어 메모리 장치내의 어드레스 디코더에 제공된 반전 어드레스신호와 비반전 신호를 출력시키는 어드레스 버퍼회로로서 사용될 수 있다.

(57) 청구의 범위

청구항 1

입력신호(S)의 반전신호(\overline{S})와 비반전신호($\overline{\overline{S}}$)를 발생시키기 위한 게이트회로에서, 상기 입력신호(S)의 레벨변동에 반응하기 위한 위상분할 트랜지스터(Q_3)와 상기 반전신호(\overline{S})를 출력시키기 위한 상기 위상분할 트랜지스터에 의해 제어되는 출력회로(Q_4 , Q_5 , Q_6)를 갖는 제 1 단 게이트회로(게이트 1)와, 상기 제 1 단 게이트회로의 상기 반전신호(\overline{S})를 입력시키고 비반전신호($\overline{\overline{S}}$)를 출력시키기 위한 제 2 단 게이트회로(게이트 2)와, 그리고 상기 제 1 단 게이트회로(게이트 1)내의 상기 위상분할 트랜지스터(Q_3)의 상기 콜렉터의 레벨에 의해 상기 제 2 단 게이트회로(게이트 2)내의 상기 입력단의 레벨을 제어하기 위해 상기 제 1 단 게이트회로(게이트 1)내의 상기 위상분할 트랜지스터의 콜렉터와 상기 제 2 단 게이트회로(게이트 2)내의 입력단 사이에 연결되는 제어수단(100)과를 포함하는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

청구항 2

제 1 항에 있어서, 상기 제어수단(100)은 일방향소자로 구성되는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

청구항 3

제 2 항에 있어서, 상기 일방향소자는 다이오드(D_1)로 구성되는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

청구항 4

제 2 항에 있어서, 상기 일방향소자는 저항(R_1)과 트랜지스터(Q_{20})로 구성되는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

청구항 5

제 2 항에 있어서, 상기 일방향소자는 저항(R_1)과 다수예미터 트랜지스터(Q_{22})로 구성되는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

청구항 6

제 1 항에 있어서, 상기 제1 및 제 2 단 게이트회로(게이트 1 및 게이트 2) 양자는 트랜지스터 결합 트랜지스터 로직회로(TTL)로 구성되는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

청구항 7

제 1 항에서, 상기 제 1 단 게이트회로(게이트 1)는 트랜지스터 결합 트랜지스터 로직회로(TTL)로 구성되고, 상기 제 2 단 게이트회로(게이트 2)는 다이오드 결합 트랜지스터 로직회로(DTL)로 구성되는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

청구항 8

제 1 항에서, 상기 제1 및 제 2 단 게이트회로(게이트 1 및 게이트 2) 양자는 다이오드 결합 트랜지스터 로직회로(DTL)로 구성되는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

청구항 9

제 1 항에서, 상기 제 1 단 게이트회로(게이트 1)는 다이오드 결합 트랜지스터 로직회로(DTL)로 구성되고, 상기 제 2 단 게이트회로(게이트 2)는 트랜지스터 결합 트랜지스터 로직회로(TTL)로 구성되는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

청구항 10

제 3 항에서, 상기 다이오드 수단(D_1)은 쇼트키 베리어 다이오드로 구성되는 것이 특징인 마이크로 컴퓨터 시스템용 게이트회로.

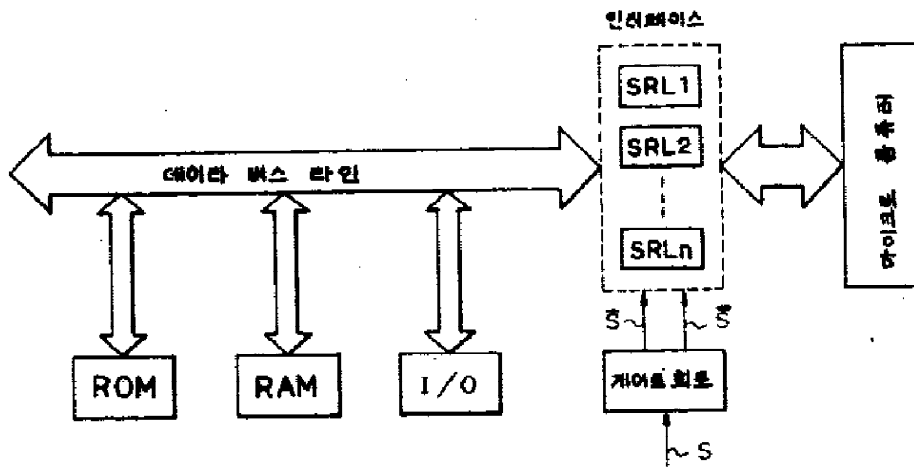
청구항 11

제 1 항에서, 상기 인터페이스회로내에 내포된 다수의 세트/리세트 래치회로(SRL_1 - SRL_n)는 상기 게이트회로에 의해 발생하는 상기 반전회로(\overline{S})와 비반전회로($\overline{\overline{S}}$) 양자에 의해 구동되는 것이

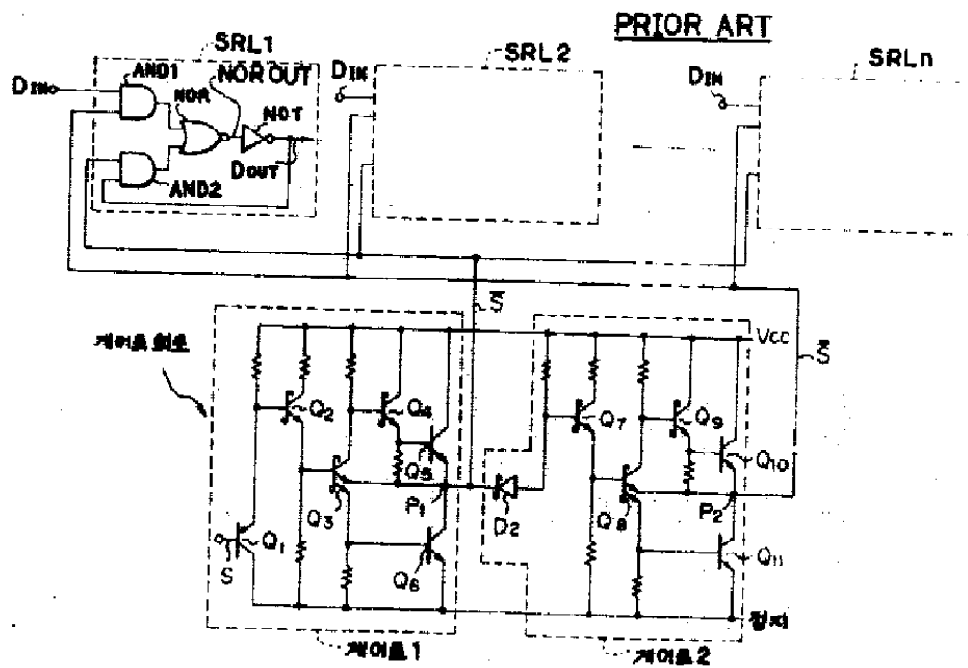
특징인 마이크로 컴퓨터 시스템용 게이트회로.

도면

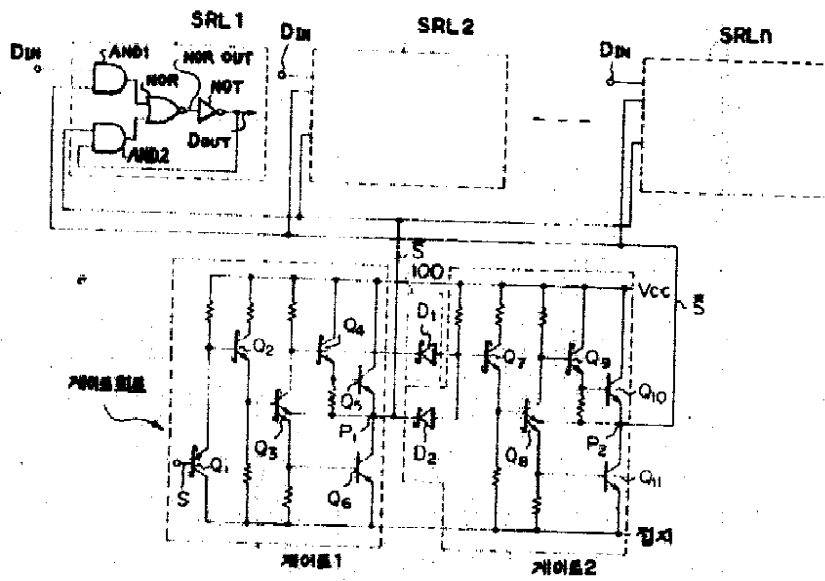
도면1



도면2

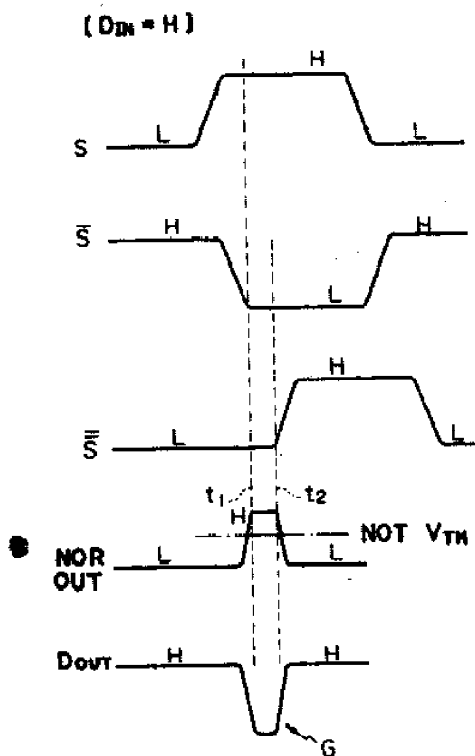


도면3

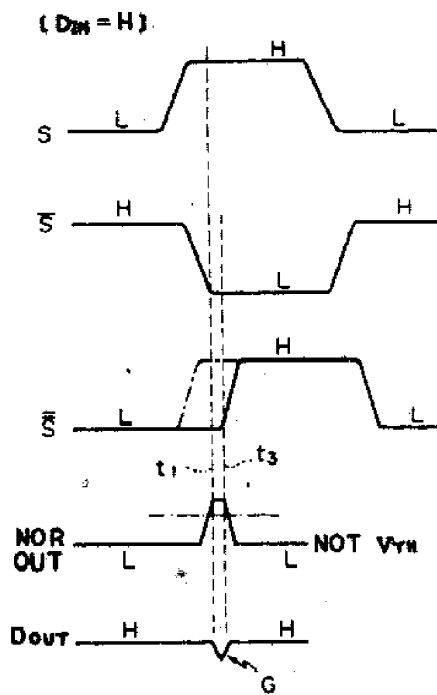


도면4A

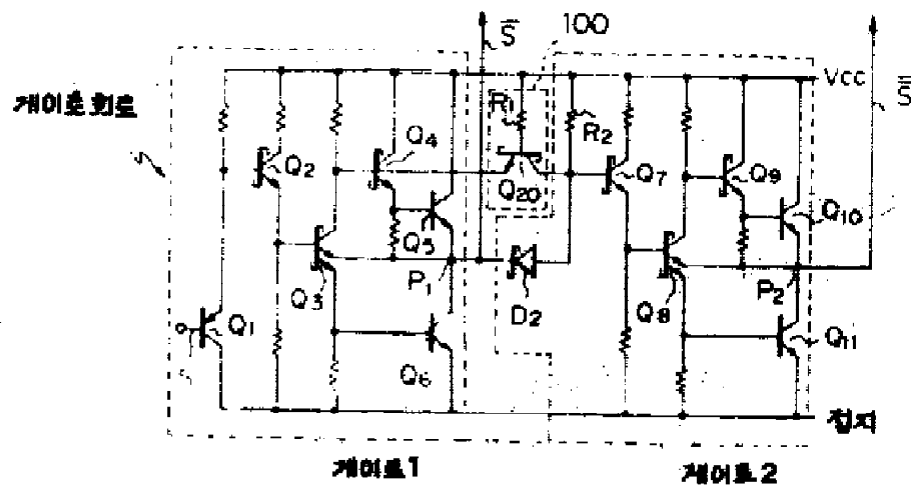
PRIOR ART



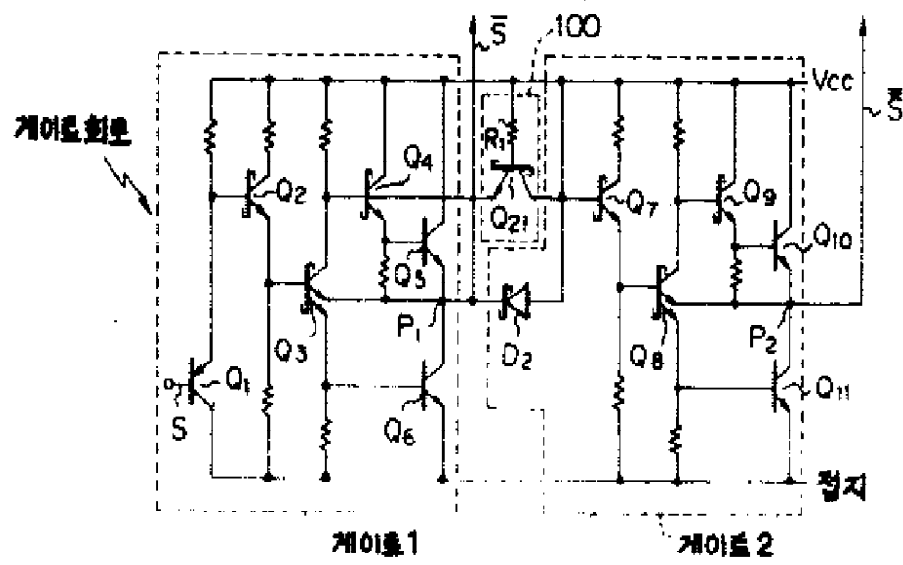
도면4B



도면5A



도면58



도면59

