



## (12)发明专利

(10)授权公告号 CN 104009012 B

(45)授权公告日 2018.04.13

(21)申请号 201410055843.1

(51)Int.Cl.

(22)申请日 2014.02.19

H01L 23/488(2006.01)

(65)同一申请的已公布的文献号

H01L 25/16(2006.01)

申请公布号 CN 104009012 A

(56)对比文件

(43)申请公布日 2014.08.27

CN 203746832 U, 2014.07.30,

(30)优先权数据

US 5028986 A, 1991.07.02,

2013-033097 2013.02.22 JP

JP 特开平10-74790 A, 1998.03.17,

2013-126533 2013.06.17 JP

JP 特开2002-270779 A, 2002.09.20,

(73)专利权人 瑞萨电子株式会社

US 2005/0235242 A1, 2005.10.20,

地址 日本东京

JP 特开2006-237459 A, 2006.09.07,

(72)发明人 精松高志 别井隆文 黑田淳

CN 102487020 A, 2012.06.06,

(74)专利代理机构 中国国际贸易促进委员会专

JP 特开2012-204733 A, 2012.10.22,

利商标事务所 11038

CN 102760721 A, 2012.10.31,

代理人 高科

CN 1540754 A, 2004.10.27,

审查员 汪灵

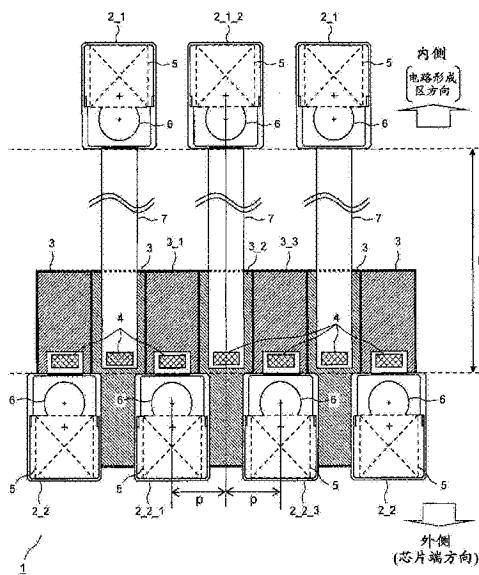
权利要求书5页 说明书27页 附图25页

(54)发明名称

半导体芯片和半导体器件

(57)摘要

提供一种半导体芯片和半导体器件，提高了以倒装片方式安装半导体芯片的衬底中的布线性。在以倒装片方式安装的半导体芯片中，在IO单元的内侧与外侧锯齿状配置的内侧芯片焊盘列和外侧芯片焊盘列离开预定的间隔以上地配置。预定的间隔是指在与内侧与外侧芯片焊盘列面对面连接的衬底上的内侧与外侧衬底焊盘列之间能够配置1个导通孔的间隔。或者，预定的间隔是指能够以该间隔形成用来布设以后要背蚀刻镀敷线的阻焊层的开口的间隔。即使在外侧衬底焊盘列之间没有形成布线的间隙时，也可以提高衬底的布线性。



1. 一种半导体器件，包括：具有多个芯片焊盘的半导体芯片、以及以倒装片方式安装上述半导体芯片且具有与上述芯片焊盘连接的衬底焊盘和导通孔的衬底，其中：

上述半导体芯片具有输入输出单元列，上述输入输出单元列由包含排列成直线状的、相邻的第1输入输出单元、第2输入输出单元和第3输入输出单元的多个输入输出单元构成，上述多个芯片焊盘包含：与上述第1输入输出单元电连接的第1焊盘、与上述第2输入输出单元电连接的第2焊盘和与上述第3输入输出单元电连接的第3焊盘，

上述衬底具有：与上述第1焊盘面对面地连接的第1衬底焊盘、与上述第2焊盘面对面地连接的第2衬底焊盘、以及与上述第3焊盘面对面地连接的第3衬底焊盘，上述第1衬底焊盘和上述第3衬底焊盘的焊盘之间的间隔小于以下两个值之和，其中一个值是上述衬底的设计制约所允许的布线的最小宽度，另一个值是布线和衬底焊盘所要求的间隙值的2倍，

在上述半导体芯片中，

上述第1焊盘和上述第3焊盘在上述输入输出单元列的外侧相邻地排列，

上述第2焊盘分别从上述第1焊盘和上述第3焊盘离开地配置，以使得上述第2焊盘配置在上述输入输出单元列的内侧，且使得上述第2衬底焊盘被配置成从上述第1衬底焊盘和上述第3衬底焊盘离开的距离大于等于以下两个值之和，其中一个值是设置于上述衬底的上述导通孔的直径，另一个值是上述导通孔和上述衬底焊盘之间的间隔因设计制约所要求的最小间隙值的2倍。

2. 如权利要求1所述的半导体器件，其中：

上述半导体芯片还具有由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的外侧呈直线状的第1焊盘列，

在上述第1焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

3. 如权利要求2所述的半导体器件，其中：

上述半导体芯片还具有由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的内侧呈直线状的第2焊盘列，

在上述第2焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

4. 如权利要求1所述的半导体器件，其中：

上述半导体芯片还具有：与上述第2输入输出单元电连接、在上述输入输出单元列的内侧配置在上述第2焊盘和上述输入输出单元列之间的第4焊盘，

在上述衬底的与上述第4焊盘面对的位置不配置衬底焊盘。

5. 如权利要求3所述的半导体器件，其中：

把上述输入输出单元列作为第1输入输出单元列，把在上述半导体芯片的1个角部与上述第1输入输出单元列成直角的方向上排列成直线状的多个输入输出单元作为第2输入输出单元列，上述半导体芯片具有排列成与上述第2输入输出单元列平行且在上述第2输入输出单元列的外侧呈直线状的第3焊盘列，

在上述第3焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

6. 如权利要求1所述的半导体器件，其中：

上述衬底还具有：在与上述第1衬底焊盘和上述第2衬底焊盘相同的布线层中连接上述第1衬底焊盘和上述第2衬底焊盘的布线、以及与上述布线连接且配置在上述第1衬底焊盘和上述第2衬底焊盘之间的导通孔。

7. 如权利要求1所述的半导体器件，其中：

上述衬底在与具有上述衬底焊盘的面相反的面上具有BGA焊盘，

上述半导体器件还具有与上述BGA焊盘连接的BGA电极。

8. 如权利要求7所述的半导体器件，其中：

把上述半导体芯片作为第1半导体芯片，上述半导体器件还具有层叠到上述第1半导体芯片的第2半导体芯片，

把上述衬底焊盘作为第1衬底焊盘组，上述衬底在与上述第1衬底焊盘组相同的面上还具有与上述第1衬底焊盘组不同的第2衬底焊盘组，

上述第2半导体芯片与上述第2衬底焊盘组通过键合丝线连接。

9. 如权利要求7所述的半导体器件，其中：

还具有：具有突起电极的封装安装的第2半导体器件，

把上述衬底焊盘作为第1衬底焊盘组，上述衬底在与上述第1衬底焊盘组相同的面上还具有与上述第1衬底焊盘组不同的第2衬底焊盘组，

通过连接上述突起电极和上述第2衬底焊盘组来层叠上述第2半导体器件。

10. 如权利要求1所述的半导体器件，其中：

上述半导体芯片夹着液状热固化性树脂地以倒装片方式安装在上述衬底上，

上述半导体芯片还具有：第1焊盘列，由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的外侧呈直线状；以及第2焊盘列，由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的内侧呈直线状，

上述衬底还具有：阻焊层；第1衬底焊盘列，由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；以及第2衬底焊盘列，由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成，

在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部，

基于上述液状热固化性树脂的以倒装片方式安装时的粘性、上述阻焊层的厚度、以及上述半导体芯片和上述衬底之间的间隔，算出配置在1个上述阻焊层开口部内的上述衬底焊盘的数目。

11. 如权利要求1所述的半导体器件，其中：

上述半导体芯片夹着液状热固化性树脂地以倒装片方式安装在上述衬底上，

上述半导体芯片还具有：第1焊盘列，由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的外侧呈直线状；以及第2焊盘列，由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的内侧呈直线状，

上述衬底还具有：阻焊层；第1衬底焊盘列，由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；以及第2衬底焊盘列，由与构成上述第2焊盘列的多

个焊盘的每一个面对面地连接的多个衬底焊盘构成，

在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部，

上述阻焊层开口部在离上述第1衬底焊盘列远的边上，在面对上述多个衬底焊盘的间隙的位置具有凹部；在离上述第1衬底焊盘列近的边上，在面对上述多个衬底焊盘的各边的位置具有凸部。

12. 如权利要求1所述的半导体器件，其中：

上述半导体芯片夹着液状热固化性树脂地以倒装片方式安装在上述衬底上，

上述半导体芯片还具有：第1焊盘列，由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的外侧呈直线状；以及第2焊盘列，由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的内侧呈直线状，

上述衬底还具有：阻焊层；第1衬底焊盘列，由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；以及第2衬底焊盘列，由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成，

在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部，

上述阻焊层开口部内的构成上述第2衬底焊盘列的上述多个衬底焊盘以衬底焊盘相互间在设计上所允许的最小间隔配置。

13. 如权利要求1所述的半导体器件，其中：

上述半导体芯片夹着液状热固化性树脂地以倒装片方式安装在上述衬底上，

上述半导体芯片还具有：第1焊盘列，由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的外侧呈直线状；以及第2焊盘列，由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的内侧呈直线状，

上述衬底还具有：阻焊层；第1衬底焊盘列，由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；以及第2衬底焊盘列，由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成，

在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部，

上述阻焊层开口部内的构成上述第2衬底焊盘列的上述多个衬底焊盘的每一个在离上述第1衬底焊盘列远的边上具有凸部。

14. 如权利要求1所述的半导体器件，其中：

上述半导体芯片夹着液状热固化性树脂地以倒装片方式安装在上述衬底上，

上述半导体芯片还具有：第1焊盘列，由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的外侧呈直线状；以及第2焊盘列，由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的内侧呈直线状，

上述衬底还具有：阻焊层；第1衬底焊盘列，由与构成上述第1焊盘列的多个焊盘的每一

个面对面地连接的多个衬底焊盘构成；以及第2衬底焊盘列，由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成，

在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部，

上述阻焊层开口部内的构成上述第2衬底焊盘列的上述多个衬底焊盘中的两端的衬底焊盘分别与在上述衬底上朝着上述第1焊盘列延伸的布线连接。

15. 一种半导体芯片，具有：输入输出单元列，由包含排列成直线状的、相邻的第一输入输出单元、第二输入输出单元和第三输入输出单元的多个输入输出单元构成；与上述第一输入输出单元电连接的第一焊盘；与上述第二输入输出单元电连接的第二焊盘；以及与上述第三输入输出单元电连接的第三焊盘，其中：

以倒装片方式安装上述半导体芯片的衬底具有：与上述第一焊盘面对面地连接的第一衬底焊盘、与上述第二焊盘面对面地连接的第二衬底焊盘、以及与上述第三焊盘面对面地连接的第三衬底焊盘，上述第一衬底焊盘和上述第三衬底焊盘的焊盘之间的间隔小于以下两个值之和，其中一个值是上述衬底的设计制约所允许的布线的最小宽度，另一个值是布线和衬底焊盘所要求的间隙值的2倍，

上述第一焊盘和上述第三焊盘在上述输入输出单元列的外侧相邻地排列，

上述第二焊盘配置在上述输入输出单元列的内侧，上述第二焊盘被配置成分别从上述第一焊盘和上述第三焊盘离开大于等于以下两个值之和的距离：其中一个值是设置于上述衬底的导通孔的直径，另一个值是上述导通孔和与上述半导体芯片的焊盘连接的上述衬底上的衬底焊盘之间的间隔因设计制约所要求的最小间隙值的2倍。

16. 如权利要求15所述的半导体芯片，其中：

上述半导体芯片还具有由包含上述第一焊盘和上述第三焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的外侧呈直线状的第一焊盘列，

在上述第一焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

17. 如权利要求16所述的半导体芯片，其中：

上述半导体芯片还具有由包含上述第二焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的内侧呈直线状的第二焊盘列，

在上述第二焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

18. 如权利要求15所述的半导体芯片，其中：

上述半导体芯片还具有与上述第二输入输出单元电连接、在上述输入输出单元列的内侧配置在上述第二焊盘和上述输入输出单元列之间的第四焊盘。

19. 如权利要求17所述的半导体芯片，其中：

把上述输入输出单元列作为第一输入输出单元列，把在上述半导体芯片的1个角部与上述第一输入输出单元列成直角的方向上排列成直线状的多个输入输出单元作为第二输入输出单元列，

上述半导体芯片还具有排列成与上述第二输入输出单元列平行且在上述第二输入输出单元列的外侧呈直线状的第三焊盘列，

在上述第3焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

20. 如权利要求15所述的半导体芯片，其中：

上述半导体芯片夹着液状热固化性树脂地以倒装片方式安装在上述衬底上，

上述半导体芯片还具有：第1焊盘列，由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的外侧呈直线状；以及第2焊盘列，由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的内侧呈直线状，

上述衬底还具有：阻焊层；第1衬底焊盘列，由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；以及第2衬底焊盘列，由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成，

在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部，

基于上述液状热固化性树脂的以倒装片方式安装时的粘性、上述阻焊层的厚度、以及上述半导体芯片和上述衬底之间的间隔，算出配置在1个上述阻焊层开口部内的上述衬底焊盘的数目。

21. 如权利要求15所述的半导体芯片，其中：

上述半导体芯片夹着液状热固化性树脂地以倒装片方式安装在上述衬底上，

上述半导体芯片还具有：第1焊盘列，由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的外侧呈直线状；第2焊盘列，由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的内侧呈直线状；以及第3焊盘列和第4焊盘列，排列成与上述输入输出单元列平行，在上述输入输出单元列的内侧且在上述第2焊盘列的外侧呈直线状，且配置在上述第2焊盘列的两侧，

上述衬底还具有：阻焊层；第1衬底焊盘列，由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；第2衬底焊盘列，由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；第3衬底焊盘列，由与构成上述第3焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；以及第4衬底焊盘列，由与构成上述第4焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成，

在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部，

在上述第2焊盘列的靠近上述第3焊盘列的一端配置的焊盘与在上述第3焊盘列的靠近上述第2焊盘列的一端配置的焊盘在上述衬底上短路，在上述第2焊盘列的靠近上述第4焊盘列的一端配置的焊盘与在上述第4焊盘列的靠近上述第2焊盘列的一端配置的焊盘在上述衬底上短路。

## 半导体芯片和半导体器件

### 技术领域

[0001] 本发明涉及在衬底上以倒装片方式安装的半导体芯片和安装了它的半导体器件，尤其是可以适用于改善被安装的衬底的布线性。

### 背景技术

[0002] 在倒装片安装中，在安装半导体芯片的衬底上，通过在与半导体芯片的焊盘面对面的位置设置要连接的焊盘，经由凸块等相互连接而电导通。以下，把为了与半导体芯片连接而在衬底上设置的焊盘称为衬底焊盘，把半导体芯片上的焊盘简称为焊盘或芯片焊盘。

[0003] 在半导体芯片中，尤其是伴随着用SoC(System on Chip, 系统芯片)等的大规模LSI(Large Scale Integrated circuit, 大规模集成电路)提高集成度，有要求更多的电极数即焊盘数的趋势。在这样的半导体芯片的焊盘中，提出了在半导体芯片的各边在排列成1列的输入输出单元(I0单元)的单侧或两侧相互错开地配置两列的所谓锯齿状配置。这是因为，由于焊盘比输入输出单元大很多，所以锯齿状配置时面积效率最高。

[0004] 在专利文献1中公开了，在半导体芯片的表面上排列多个焊盘时抑制焊盘配置区域的面积的技术。在输入输出缓冲器的单侧以2列或3列以上的多个列锯齿状地排列多个焊盘。

[0005] 在专利文献2中公开了，不会增加半导体芯片的模片尺寸(die size)地提高I0焊盘的配置密度的技术。在半导体芯片的外周部环状地配置包括用来与外部进行电气交换的输入输出电路的输入输出单元(I0单元)。夹着环状配置的I0单元锯齿状地配置I0焊盘。

[0006] 与此相对，在安装了半导体芯片的衬底中，在与芯片焊盘面对面的位置配置衬底焊盘，朝着其相反面配置贯通衬底整体或构成衬底的布线层的导通孔(through hole via, 也称为via)，使用与衬底焊盘相同的布线层与衬底焊盘进行布线。随着半导体芯片的小型化和多管脚化，焊盘间距变窄，在衬底中导通孔与布线的拥挤愈发明显。例如，导通孔不能配置在应与其连接的衬底焊盘的附近，从衬底焊盘到导通孔的布线的引出增长，布线阻抗增大，产生电气特性劣化等的问题。另外，布置面上的布线性下降，衬底的面积增大，在例如衬底为LSI封装的安装衬底时，产生可以收容的封装的尺寸增大等的问题。

[0007] 在专利文献3中公开了，在采用了POE(Pad On Element, 元件上焊盘)技术和锯齿状的电极焊盘排列的CSP(Chip Size Package, 芯片尺寸封装)型的半导体器件中，消除半导体芯片的尺寸增大的要因的技术。更详细地，如果参照该专利文献的图2、摘要和第0011-0013段，则公开了以下的技术。以与半导体芯片10的表面上的角部单元11相邻、与边缘部并排的方式形成输入输出单元12，在各输入输出单元12上分别形成电极焊盘13。电极焊盘13以形成锯齿状的焊盘排列的方式构成内侧焊盘列和外侧焊盘列。但是，通过省略构成内侧焊盘列的电极焊盘13中的、与角部单元11的两侧相邻的预定范围内的电极焊盘的配设，防止与半导体芯片10凸块连接的载体20(相当于衬底)的布线图案21和导通孔22的交叉。

[0008] 在专利文献4中公开了BGA(Ball Grid Array, 球栅阵列)的封装衬底中的镀敷布线的布置。封装衬底中的镀敷布线指为了电解镀敷衬底的表背面的电极而对全部的电极施

加电解处理所需的电位并流动电流的衬底上的布线。像该文献的图2所示的那样，镀敷布线9从键合引线向外侧引出。

- [0009] 现有技术文献
- [0010] 专利文献1：日本特开平10-74790号公报
- [0011] 专利文献2：日本特开2002-270779号公报
- [0012] 专利文献3：日本特开2008-252126号公报
- [0013] 专利文献4：日本特开平10-173087号公报

## 发明内容

- [0014] (发明要解决的问题)
  - [0015] 本发明人针对专利文献1、2、3和4进行了分析，结果发现有以下那样的新问题。
    - [0016] 在专利文献1所记载的焊盘的配置中，在离输入输出缓冲器近的一侧的多个焊盘列中，需要使从输入输出缓冲器到更远的其它焊盘列的布线在焊盘之间通过，不能使焊盘间距成为设计制约上允许的最小间距。
    - [0017] 专利文献2所记载的焊盘的配置是在I/O单元的两侧各配置一列焊盘，所以可以解决上述的问题，可以使焊盘间距成为设计制约上允许的最小间距。但是，对以倒装片方式安装了该半导体芯片时的衬底的布线性没进行任何考虑。
    - [0018] 专利文献3所记载的焊盘的配置考虑了以倒装片方式安装了在I/O单元的两侧各配置了一列焊盘的半导体芯片时的衬底的布线性，尤其是半导体芯片的角部处的布线性。在半导体芯片中，分别构成I/O单元的内侧焊盘列和外侧焊盘列的焊盘可以各自在设计制约上允许的最小的间距配置。与其连接的衬底侧的衬底焊盘也同样地，以设计制约上允许的最小的间距配置。虽然有时半导体芯片上的设计制约和衬底中的设计制约不同，但留出使布线在衬底焊盘之间通过的富余量在现实上很困难，所以也分别把衬底上的布线限定成，来自与半导体芯片的内侧焊盘列连接的内侧衬底焊盘列的布线限定在内侧方向，来自与半导体芯片的外侧焊盘列连接的外侧衬底焊盘列的布线限定在外侧方向。因此，专利文献3所记载的焊盘的配置，在角部处留下外侧焊盘列，省略内侧焊盘列的焊盘配设。
    - [0019] 分别把来自内侧衬底焊盘列的衬底上的布线限定在内侧方向，来自外侧衬底焊盘列的布线限定在外侧方向所造成的危害还体现在衬底中的镀敷线的布置上。在电解处理中必须对全部的电极施加相同的电位。因此，使用镀敷布线进行从衬底的外周部到全部电极的布线。由于把来自内侧衬底焊盘列的衬底上的布线限定成内侧方向的上述的制约，所以有难以将对内侧衬底焊盘施加电解处理的电位的镀敷布线布置在衬底上的半导体芯片的安装面上的问题。因此，对内侧衬底焊盘的镀敷布线不得不布置在BGA电极面上，产生BGA电极的配置受制约、可以配置的电极数目减少的问题。
    - [0020] 以下说明用来解决这样的问题的方案，但其它的课题和新颖特征可以从本说明书的描述和附图清楚地看出。
    - [0021] (用来解决问题的方案)
    - [0022] 根据一实施方式，如下所述。
    - [0023] 即，提供一种半导体器件，其包括：具有多个芯片焊盘的半导体芯片、以及以倒装片方式安装上述半导体芯片且具有与上述芯片焊盘连接的衬底焊盘和导通孔的衬底，像以

下那样构成。半导体芯片具有由输入输出单元排列成直线状而得到的输入输出单元列，具有在其外侧和内侧交互引出的外侧芯片焊盘列和内侧芯片焊盘列。外侧芯片焊盘列中至少包含两个外侧芯片焊盘，内侧芯片焊盘列中至少包含一个内侧芯片焊盘。在以倒装片方式安装半导体芯片的上述衬底上设置与内侧芯片焊盘列面对面地连接的内侧衬底焊盘列、以及与外侧芯片焊盘列面对面地连接的外侧衬底焊盘列。外侧衬底焊盘列中包含的、相邻的外侧衬底焊盘之间的间隔小于以下两个值之和，其中一个值是衬底的设计制约所允许的布线的最小宽度，另一个值是布线和衬底焊盘所要求的间隙值的2倍。此时，以外侧芯片焊盘列与内侧芯片焊盘列的距离为预定的间隔以上而离开配置。预定的间隔为例如以下两个值之和，其中一个值是设置于以倒装片方式安装半导体芯片的衬底的导通孔的直径，另一个值是导通孔和衬底焊盘之间的间隔因设计制约所要求的最小间隙值的2倍。另外，预定的间隔，是可以在衬底中，在内侧衬底焊盘列和外侧衬底焊盘列之间的阻焊膜中设置用来背蚀刻把内侧衬底焊盘和外侧衬底焊盘短路的镀敷布线的开口部的间隔。

[0024] (发明的效果)

[0025] 如果简要地说明由上述一实施方式得到的效果，则如下所述。

[0026] 即，可以提高以倒装片方式安装半导体芯片的衬底的布线性。例如，像上述那样基于导通孔的直径、导通孔与衬底焊盘之间的间隙值规定了预定的间隔时，可以提高衬底上的信号布线、电源布线的布线性。另外，像上述那样基于用来背蚀刻镀敷布线的阻焊膜的开口部的大小规定了预定的间隔时，可以提高衬底上的镀敷布线的布线性。

## 附图说明

[0027] 图1是示出实施方式1或实施方式2的半导体芯片中的焊盘的配置的布置图。

[0028] 图2是示出以往的半导体芯片中的焊盘的配置的布置图。

[0029] 图3是示出在衬底上以倒装片方式安装了实施方式1或实施方式2的半导体芯片的半导体器件的剖面方向的安装状态的示意图。

[0030] 图4是示出实施方式1或实施方式2的半导体芯片中的焊盘的布置和以倒装片方式安装它的衬底中的衬底焊盘的布置的示意图。

[0031] 图5是示出以倒装片方式安装实施方式1的半导体芯片的衬底中的衬底焊盘的配置的布置图。

[0032] 图6是示出以往的半导体芯片中的焊盘的配置例和以倒装片方式安装该半导体芯片的衬底中的衬底焊盘的配置例的布置图。

[0033] 图7是示出实施方式1的半导体芯片中的焊盘的配置例和以倒装片方式安装该半导体芯片的衬底中的衬底焊盘的配置例的布置图。

[0034] 图8是示出实施方式1的半导体芯片中的焊盘的配置例和以倒装片方式安装该半导体芯片的衬底中的衬底焊盘的配置的另一例的布置图。

[0035] 图9是示出以倒装片方式安装实施方式2的半导体芯片的衬底中的衬底焊盘的配置的布置图。

[0036] 图10是示出实施方式3的半导体芯片中的焊盘的配置的布置图。

[0037] 图11是示出以往的半导体芯片的角部中的焊盘的配置的布置图。

[0038] 图12是示出实施方式4的半导体芯片的角部中的焊盘的配置的布置图。

[0039] 图13是示出包含以倒装片方式安装了实施方式1~4的半导体芯片的衬底的、BGA的剖面方向的安装形态的一例的示意图。

[0040] 图14是示出包含以倒装片方式安装了实施方式1~4的半导体芯片的衬底的、SiP (System in Package, 系统级封装) 的剖面方向的安装形态的一例的示意图。

[0041] 图15是示出包含以倒装片方式安装了实施方式1~4的半导体芯片的衬底的、PoP (Package on Package, 封装体叠层) 的剖面方向的安装形态的一例的示意图。

[0042] 图16是示出在衬底上以倒装片方式裸片安装了实施方式1~4的半导体芯片的电路衬底中的、剖面方向的安装形态的一例的示意图。

[0043] 图17是针对新问题的说明图。

[0044] 图18是针对新问题的更详细的说明图。

[0045] 图19是示出在衬底上以倒装片方式安装了实施方式6的半导体芯片的半导体器件的平面方向和剖面方向的安装状态的示意图。

[0046] 图20是示出实施方式6的半导体器件的衬底中的衬底焊盘的配置的一例的布置图。

[0047] 图21是示出实施方式6的半导体器件的衬底中的衬底焊盘的配置的另一例的布置图。

[0048] 图22是示出实施方式6的半导体器件的衬底中的衬底焊盘的配置的又一例的布置图。

[0049] 图23是示出实施方式7的半导体器件的衬底中的阻焊层开口部的形状的一例的布置图。

[0050] 图24是示出实施方式8的半导体器件的衬底中的衬底焊盘的配置的一例的布置图。

[0051] 图25是示出实施方式9的半导体器件的衬底中的阻焊层开口部内配置的衬底焊盘的形状的一例的布置图。

[0052] 图26是示出实施方式10的半导体器件的衬底中的衬底焊盘和布线的配置的一例的布置图。

[0053] (附图标记说明)

[0054] 1: 半导体芯片; 2: 芯片焊盘; 2\_1: 内侧芯片焊盘 (in-line pad); 2\_2: 外侧芯片焊盘 (out-line pad); 2\_3: 探头用焊盘; 2\_4: 其它的芯片焊盘; 3: 输入输出单元 (I/O 单元); 4: 输入输出单元 (I/O 单元) 用电极; 5: 探测区; 6: 键合区; 7: 布线; 8: 衬底 (或中介片, interposer); 9: 衬底焊盘; 9\_1: 内侧衬底焊盘; 9\_2: 外侧衬底焊盘; 9\_4: 其它的衬底焊盘; 10: 衬底侧键合区; 11: 导通孔; 12: 布线; 13: 阻焊层 (阻焊膜); 14: 掩模; 15: 阻焊层的开口部; 16: 液状热固化性树脂 (底封胶, underfill); 17: 液状热固化性树脂的流动; 18: 液状热固化性树脂的预涂敷区域; 19: 空孔; 20: 半导体器件; 20\_1: BGA; 20\_2: SiP; 20\_3: PoP; 20\_4: 裸片安装了的半导体器件; 21: 凸块; 22: 衬底背面的布线和焊盘; 23: 突起电极; 24: 半导体芯片; 25: 键合丝线; 26: 半导体器件; 27: 突起电极; 28: 密封部件; 29: 半导体芯片的安装 (mount) 位置

## 具体实施方式

[0055] 1、实施方式的概要

[0056] 首先,针对在本申请中公开的代表性实施方式说明概要。在针对代表性实施方式的概要说明中,附带括号作为参照的附图中的附图标记不过是例示它所表示的构成要素的概念中包含的内容而已。

[0057] (1)〈安装后的LSI;扩大内侧与外侧的焊盘之间的间隔〉

[0058] 半导体器件(20),包括:具有多个芯片焊盘(2)的半导体芯片(1)、以及以倒装片方式安装上述半导体芯片且具有与上述芯片焊盘连接的衬底焊盘(9)和导通孔(11)的衬底(8),像以下那样构成。

[0059] 上述半导体芯片具有输入输出单元列,上述输入输出单元列由包含排列成直线状的、相邻的第1输入输出单元(3\_1)、第2输入输出单元(3\_2)和第3输入输出单元(3\_3)的多个输入输出单元构成,上述多个芯片焊盘包含:与上述第1输入输出单元电连接的第1焊盘(2\_2\_1)、与上述第2输入输出单元电连接的第2焊盘(2\_1\_2)和与上述第3输入输出单元电连接的第3焊盘(2\_2\_3)。

[0060] 上述衬底具有:与上述第1焊盘面对面地连接的第1衬底焊盘(9\_2\_1)、与上述第2焊盘面对面地连接的第2衬底焊盘(9\_1\_2)、以及与上述第3焊盘面对面地连接的第3衬底焊盘(9\_2\_3),上述第1衬底焊盘和上述第3衬底焊盘的焊盘之间的间隔小于以下两个值之和,其中一个值是上述衬底的设计制约所允许的布线的最小宽度,另一个值是布线和衬底焊盘所要求的间隙值的2倍,

[0061] 在上述半导体芯片中,上述第1焊盘和上述第3焊盘在上述输入输出单元列的外侧相邻地排列。上述第2焊盘配置在上述输入输出单元列的内侧,分别从上述第1焊盘和上述第3焊盘离开预定的距离地配置。上述预定的距离为大于等于以下两个值之和的距离(L),其中一个值是设置于以倒装片方式安装上述半导体芯片的衬底的导通孔的直径(L1),另一个值是上述导通孔和上述衬底焊盘之间的间隔因设计制约所要求的最小间隙值(L2)的2倍。

[0062] 由此,可以提高以倒装片方式安装半导体芯片的衬底的布线性。尤其可以提高衬底上的信号布线、电源布线的布线性。

[0063] (2)〈外侧的焊盘(out-line pad)以最小间距排列成直线状〉

[0064] 在项1中,上述半导体芯片还具有由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的外侧呈直线状的第1焊盘列(2\_2),在上述第1焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0065] 由此,在半导体芯片1的芯片尺寸为由端子数目决定的焊盘颈时,也可以抑制到与以往相同的芯片尺寸。

[0066] (3)〈内侧的焊盘(in-line pad)也以最小间距排列成直线状〉

[0067] 在项2中,上述半导体芯片还具有由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的内侧呈直线状的第2焊盘列(2\_1),在上述第2焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0068] 由此,可以在半导体芯片1中确保与以往相同数目的焊盘数(端子数)。

[0069] (4)<探头用焊盘>

[0070] 在项1中,上述半导体芯片还具有:与上述第2输入输出单元电连接、在上述输入输出单元列的内侧配置在上述第2焊盘和上述输入输出单元列之间的第4焊盘(2\_3)。

[0071] 由此,可以在用来探测的按压压力不会影响到内部电路的位置配置探头用焊盘。

[0072] 上述衬底具有:与上述第1焊盘面对面地连接的第1衬底焊盘(9\_2\_1)、与上述第2焊盘面对面地连接的第2衬底焊盘(9\_1\_2)、以及与上述第3焊盘面对面地连接的第3衬底焊盘(9\_2\_3),在上述衬底的与上述第4焊盘面对的位置不配置衬底焊盘。

[0073] (5)<角部>

[0074] 在项3中,在上述半导体芯片上,把上述输入输出单元列作为第1输入输出单元列(3\_W),把在上述半导体芯片的1个角部与上述第1输入输出单元列成直角的方向上排列成直线状的多个输入输出单元作为第2输入输出单元列(3\_S),上述半导体芯片具有排列成与上述第2输入输出单元列平行且在上述第2输入输出单元列的外侧呈直线状的第3焊盘列(2\_2\_S)。在上述第3焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0075] 由此,与以往相比,可以增加在半导体芯片1的角部配置的焊盘的数目。

[0076] (6)<在与靠近的输入输出单元连接的焊盘间共用导通孔>

[0077] 在项1中,上述衬底具有:与上述第1焊盘面对面地连接的第1衬底焊盘(9\_2\_1)、与上述第2焊盘面对面地连接的第2衬底焊盘(9\_1\_2)、以及与上述第3焊盘面对面地连接的第3衬底焊盘(9\_2\_3)。上述衬底还具有:在与上述第1衬底焊盘和上述第2衬底焊盘相同的布线层中连接上述第1衬底焊盘和上述第2衬底焊盘的布线、以及与上述布线连接且配置在上述第1衬底焊盘和上述第2衬底焊盘之间的导通孔(11\_4)。

[0078] 由此,在内侧焊盘列和外侧焊盘列中,与相互靠近的输入输出单元连接的芯片焊盘是相同的信号时,通过使对应的衬底焊盘相互短路而共用导通孔,可以进一步提高衬底的布线性。尤其,在靠近的焊盘都是电源或接地时有效。

[0079] (7)<BGA>

[0080] 在项1~项6中的任一项中,上述衬底在与具有上述衬底焊盘的面相反的面上具有BGA焊盘(22),上述半导体器件还具有与上述BGA焊盘连接的BGA电极(23)。

[0081] 由此,可以提高在安装于BGA的半导体器件(20\_1)中的衬底的布线性。

[0082] (8)<SiP(System in Package)>

[0083] 在项7中,把上述半导体芯片作为第1半导体芯片(1),上述半导体器件还具有层叠到上述第1半导体芯片的第2半导体芯片(24)。把上述衬底焊盘作为第1衬底焊盘组(9\_1、9\_2),上述衬底在与上述第1衬底焊盘组相同的面上还具有与上述第1衬底焊盘组不同的第2衬底焊盘组(9\_4),上述第2半导体芯片与上述第2衬底焊盘组通过键合丝线(25)连接。

[0084] 由此,可以提高在SiP(20\_2)中的衬底的布线性。

[0085] (9)<PoP(Package on Package)>

[0086] 在项7中,还具有:具有突起电极(27)的封装安装的第2半导体器件(26)。

[0087] 把上述衬底焊盘作为第1衬底焊盘组(9\_1、9\_2),上述衬底在与上述第1衬底焊盘组相同的面上还具有与上述第1衬底焊盘组不同的第2衬底焊盘组(9\_4),通过连接上述突起电极和上述第2衬底焊盘组来层叠上述第2半导体器件。

- [0088] 由此,可以提高在PoP(20\_3)中的衬底的布线性。
- [0089] (10)<倒装片用半导体芯片;扩大内侧与外侧的焊盘之间的间隔>
- [0090] 半导体芯片(1)具有:输入输出单元列,该输入输出单元列由包含排列成直线状的、相邻的第1输入输出单元(3\_1)、第2输入输出单元(3\_2)和第3输入输出单元(3\_3)的多个输入输出单元(3)构成。而且,半导体芯片(1)具有:与上述第1输入输出单元电连接的第1焊盘(2\_2\_1);与上述第2输入输出单元电连接的第2焊盘(2\_1\_2);以及与上述第3输入输出单元电连接的第3焊盘(2\_2\_3)。
- [0091] 以倒装片方式安装上述半导体芯片的衬底(8)具有:与上述第1焊盘面对面地连接的第1衬底焊盘(9\_2\_1)、与上述第2焊盘面对面地连接的第2衬底焊盘(9\_1\_2)、以及与上述第3焊盘面对面地连接的第3衬底焊盘(9\_2\_3)。上述第1衬底焊盘和上述第3衬底焊盘的焊盘之间的间隔小于以下两个值之和,其中一个值是上述衬底的设计制约所允许的布线的最小宽度,另一个值是布线和衬底焊盘所要求的间隙值的2倍。
- [0092] 上述第1焊盘和上述第3焊盘在上述输入输出单元列的外侧相邻地排列。上述第2焊盘配置在上述输入输出单元列的内侧。上述第2焊盘以以下方式分别从上述第1焊盘和上述第3焊盘离开地配置,即,配置为从上述第1衬底焊盘和上述第3焊盘离开的距离(L)大于等于以下两个值之和,其中一个值是设置于以倒装片方式装置上述半导体芯片的衬底的导通孔的直径(L1),另一个值是上述导通孔和与上述半导体芯片的焊盘连接的上述衬底上的衬底焊盘之间的间隔因设计制约所要求的最小间隙值(L2)的2倍。
- [0093] 由此,可以提高以倒装片方式安装半导体芯片的衬底的布线性。尤其,可以提高衬底上的信号布线、电源布线的布线性。
- [0094] (11)<外侧的焊盘(out-line pad)以最小间距排列成直线状>
- [0095] 在项10中,还具有由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的外侧呈直线状的第1焊盘列(2\_2),在上述第1焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。
- [0096] 由此,在半导体芯片1的芯片尺寸为由端子数决定的焊盘颈时,也可以抑制到与以往相同的芯片尺寸。
- [0097] (12)<内侧的焊盘(in-line pad)也以最小间距排列成直线状>
- [0098] 在项11中,上述半导体芯片还具有由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的内侧呈直线状的第2焊盘列(2\_1),在上述第2焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。
- [0099] 由此,可以在半导体芯片1中确保与以往相同数目的焊盘数(端子数)。
- [0100] (13)<探头用焊盘>
- [0101] 在项10中,上述半导体芯片还具有:与上述第2输入输出单元电连接、在上述输入输出单元列的内侧配置在上述第2焊盘和上述输入输出单元列之间的第4焊盘(2\_3)。
- [0102] 由此,可以在用来探测的抵压力不会影响到内部电路的位置配置探头用焊盘。
- [0103] (14)<角部>
- [0104] 在项12中,把上述输入输出单元列作为第1输入输出单元列(3\_W),把在上述半导

体芯片的1个角部与上述第1输入输出单元列成直角的方向上排列成直线状的多个输入输出单元作为第2输入输出单元列(3\_S)，上述半导体芯片具有排列成与上述第2输入输出单元列平行且在上述第2输入输出单元列的外侧呈直线状的第3焊盘列(2\_2\_S)。

[0105] 在上述第3焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0106] 由此，与以往相比，可以增加在半导体芯片1的角部配置的焊盘的数目。

[0107] (15)<安装后的LSI；将内侧与外侧的焊盘之间的间隔扩大相当于镀敷布线的部分>

[0108] 半导体器件(20)，包括：具有多个芯片焊盘(2)的半导体芯片(1)、和以倒装片方式安装上述半导体芯片的衬底(8)，像以下那样构成。

[0109] 上述衬底包括：与上述芯片焊盘连接的衬底焊盘(9)、与上述衬底焊盘相同的布线层的布线(12\_1～12\_6)、和覆盖上述布线的至少一部分的阻焊膜(13)。

[0110] 上述半导体芯片具有：输入输出单元列，该输入输出单元列由包含排列成直线状的、相邻的第1输入输出单元(3\_1)、第2输入输出单元(3\_2)和第3输入输出单元(3\_3)的多个输入输出单元(3)构成。上述多个芯片焊盘包含：与上述第1输入输出单元电连接的第1焊盘(2\_2\_1)；与上述第2输入输出单元电连接的第2焊盘(2\_1\_2)；以及与上述第3输入输出单元电连接的第3焊盘(2\_2\_3)。

[0111] 上述衬底具有：与上述第1焊盘面对面地连接的第1衬底焊盘(9\_2\_1)、与上述第2焊盘面对面地连接的第2衬底焊盘(9\_1\_2)、以及与上述第3焊盘面对面地连接的第3衬底焊盘(9\_2\_3)。上述第1衬底焊盘和上述第3衬底焊盘的焊盘之间的间隔小于以下两个值之和，其中一个值是上述衬底的设计制约所允许的布线的最小宽度，另一个值是布线和衬底焊盘所要求的间隙值的2倍。

[0112] 在上述半导体芯片中，上述第1焊盘和上述第3焊盘在上述输入输出单元列的外侧相邻地排列。上述第2焊盘配置在上述输入输出单元列的内侧。

[0113] 在上述衬底中，在上述第2衬底焊盘和上述第1和上述第3衬底焊盘的间的阻焊膜(13\_2、13\_3)中，设置用来背蚀刻把上述第1、第2和第3衬底焊盘短路的镀敷布线(12\_1)的开口部。

[0114] 由此，可以提高以倒装片方式安装半导体芯片的衬底的布线性。尤其，可以提高衬底上的镀敷布线的布线性。

[0115] (16)<外侧的焊盘(out-line pad)以最小间距排列成直线状>

[0116] 在项15中，上述半导体芯片还具有由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的外侧呈直线状的第1焊盘列(2\_2)，在上述第1焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0117] 由此，在半导体芯片1的芯片尺寸为由端子数目决定的焊盘颈时，也可以抑制到与以往相同的芯片尺寸。

[0118] (17)<内侧的焊盘(in-line pad)也以最小间距排列成直线状>

[0119] 在项16中，上述半导体芯片还具有由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的内侧呈直线状的第2焊盘列(2\_1)，

在上述第2焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0120] 由此,可以在半导体芯片1中确保与以往相同数目的焊盘数(端子数)。

[0121] (18)<探头用焊盘>

[0122] 在项15中,上述半导体芯片还具有:与上述第2输入输出单元电连接、在上述输入输出单元列的内侧配置在上述第2焊盘和上述输入输出单元列之间的第4焊盘(2\_3)。

[0123] 由此,可以在用来探测的按压压力不会影响到内部电路的位置配置探头用焊盘。

[0124] 上述衬底具有:与上述第1焊盘面对面地连接的第1衬底焊盘(9\_2\_1)、与上述第2焊盘面对面地连接的第2衬底焊盘(9\_1\_2)、以及与上述第3焊盘面对面地连接的第3衬底焊盘(9\_2\_3),在与上述第4焊盘面对的位置不配置衬底焊盘。

[0125] (19)<角部>

[0126] 在项17中,在上述半导体芯片中,把上述输入输出单元列作为第1输入输出单元列(3\_W),把在上述半导体芯片的1个角部与上述第1输入输出单元列成直角的方向上排列成直线状的多个输入输出单元作为第2输入输出单元列(3\_S),上述半导体芯片具有排列成与上述第2输入输出单元列平行且在上述第2输入输出单元列的外侧呈直线状的第3焊盘列(2\_2\_S)。在上述第3焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0127] 由此,与以往相比,可以增加在半导体芯片1的角部配置的焊盘的数目。

[0128] (20)<在与靠近的输入输出单元连接的焊盘间共用导通孔>

[0129] 在项15中,上述衬底还具有:在与上述第1衬底焊盘和上述第2衬底焊盘相同的布线层中连接上述第1衬底焊盘和上述第2衬底焊盘的布线、以及与上述布线连接且配置在上述第1衬底焊盘和上述第2衬底焊盘之间的导通孔(11\_4)。

[0130] 由此,在内侧焊盘列和外侧焊盘列中,与相互靠近的输入输出单元连接的芯片焊盘是相同的信号时,通过使对应的衬底焊盘相互短路而共用导通孔,可以进一步提高衬底的布线性。尤其,在靠近的焊盘都是电源或接地时有效。

[0131] (21)<BGA>

[0132] 在项15~项20中的任一项中,上述衬底在与具有上述衬底焊盘的面相反的面上具有BGA焊盘(22),上述半导体器件还具有与上述BGA焊盘连接的BGA电极(23)。

[0133] 由此,可以提高在安装于BGA的半导体器件(20\_1)中的衬底的布线性。

[0134] (22)<SiP>

[0135] 在项21中,把上述半导体芯片作为第1半导体芯片(1),上述半导体器件还具有层叠到上述第1半导体芯片的第2半导体芯片(24)。把上述衬底焊盘作为第1衬底焊盘组(9\_1、9\_2),上述衬底在与上述第1衬底焊盘组相同的面上还具有与上述第1衬底焊盘组不同的第2衬底焊盘组(9\_4),上述第2半导体芯片与上述第2衬底焊盘组通过键合丝线(25)连接。

[0136] 由此,可以提高在SiP(20\_2)中的衬底的布线性。

[0137] (23)<PoP>

[0138] 在项21中,还具有:具有突起电极(27)的封装安装的第2半导体器件(26)。

[0139] 把上述衬底焊盘作为第1衬底焊盘组(9\_1、9\_2),上述衬底在与上述第1衬底焊盘组相同的面上还具有与上述第1衬底焊盘组不同的第2衬底焊盘组(9\_4),通过连接上述突

起电极和上述第2衬底焊盘组来层叠上述第2半导体器件。

[0140] 由此,可以提高在PoP(20\_3)中的衬底的布线性。

[0141] (24)<倒装片用半导体芯片;将内侧与外侧的焊盘之间的间隔扩大与镀敷布线相当的部分>

[0142] 半导体芯片(1)具有:输入输出单元列,该输入输出单元列由包含排列成直线状的、相邻的第1输入输出单元(3\_1)、第2输入输出单元(3\_2)和第3输入输出单元(3\_3)的多个输入输出单元(3)构成。半导体芯片(1)包括:与上述第1输入输出单元电连接的第1焊盘(2\_2\_1);与上述第2输入输出单元电连接的第2焊盘(2\_1\_2);以及与上述第3输入输出单元电连接的第3焊盘(2\_2\_3)。

[0143] 以倒装片方式安装上述半导体芯片的衬底(8)具有:与上述第1焊盘面对面地连接的第1衬底焊盘(9\_2\_1)、与上述第2焊盘面对面地连接的第2衬底焊盘(9\_1\_2)、以及与上述第3焊盘面对面地连接的第3衬底焊盘(9\_2\_3)。上述第1衬底焊盘和上述第3衬底焊盘的焊盘之间的间隔小于以下两个值之和,其中一个值是上述衬底的设计制约所允许的布线的最小宽度,另一个值是布线和衬底焊盘所要求的间隙值的2倍。

[0144] 上述第1焊盘和上述第3焊盘在上述输入输出单元列的外侧相邻地排列。上述第2焊盘配置在上述输入输出单元列的内侧,分别从上述第1焊盘和上述第3焊盘离开预定的间隔以上地配置。

[0145] 上述预定的间隔根据能够在上述衬底的上述第2衬底焊盘与上述第1和第3衬底焊盘之间的阻焊膜(13\_2、13\_3)中设置用来背蚀刻把上述第1、第2和第3衬底焊盘短路的镀敷布线(12\_1)的开口部的间隔来规定。

[0146] 由此,可以提高以倒装片方式安装半导体芯片的衬底的布线性。尤其,可以提高衬底上的镀敷布线的布线性。

[0147] (25)<外侧的焊盘(out-line pad)以最小间距排列成直线状>

[0148] 在项24中,上述半导体芯片还具有由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的外侧呈直线状的第1焊盘列(2\_2),在上述第1焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0149] 由此,在半导体芯片1的芯片尺寸为由端子数目决定的焊盘颈时,也可以抑制到与以往相同的芯片尺寸。

[0150] (26)<内侧的焊盘(in-line pad)也以最小间距排列成直线状>

[0151] 在项25中,上述半导体芯片还具有由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行且在上述输入输出单元列的内侧呈直线状的第2焊盘列(2\_1),在上述第2焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0152] 由此,可以在半导体芯片1中确保与以往相同数目的焊盘数(端子数)。

[0153] (27)<探头用焊盘>

[0154] 在项24中,上述半导体芯片还具有:与上述第2输入输出单元电连接、在上述输入输出单元列的内侧配置在上述第2焊盘和上述输入输出单元列之间的第4焊盘(2\_3)。

[0155] 由此,可以在用来探测的按压压力不会影响到内部电路的位置配置探头用焊盘。

[0156] (28)〈角部〉

[0157] 在项26中,把上述输入输出单元列作为第1输入输出单元列(3\_W),把在上述半导体芯片的1个角部与上述第1输入输出单元列成直角的方向上排列成直线状的多个输入输出单元作为第2输入输出单元列(3\_S),上述半导体芯片具有排列成与上述第2输入输出单元列平行且在上述第2输入输出单元列的外侧呈直线状的第3焊盘列(2\_2\_S)。

[0158] 在上述第3焊盘列中相邻地排列的多个焊盘以上述半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。

[0159] 由此,与以往相比,可以增加在半导体芯片1的角部配置的焊盘的数目。

[0160] (29)〈安装后的LSI;限制每一个阻焊层开口部的衬底焊盘数〉

[0161] 在项1中,上述半导体芯片夹着液状热固化性树脂(16)地以倒装片方式安装在上述衬底上。

[0162] 上述半导体芯片还具有:第1焊盘列(2\_2),由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的外侧呈直线状;以及第2焊盘列(2\_1),由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的内侧呈直线状。

[0163] 上述衬底还具有:阻焊层(13);第1衬底焊盘列(9\_2),由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成;以及第2衬底焊盘列(9\_1),由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成。在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层,在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部(15)。

[0164] 基于上述液状热固化性树脂的以倒装片方式安装时的粘性、上述阻焊层的厚度、以及上述半导体芯片和上述衬底之间的间隔,算出配置在1个上述阻焊层开口部内的上述衬底焊盘的数目。

[0165] 液状热固化性树脂(16)以具有粘性的液体的状态涂敷在上述衬底上(将其称为预涂敷),从其上以倒装片方式重叠上述半导体芯片、按压粘接。在该倒装片安装之后,使液状热固化性树脂固化而成为底封胶(16)。半导体器件(20)通过采用上述的构成,在进行了把液状热固化性树脂作为底封胶预涂敷了之后,把半导体芯片按压在衬底上进行粘接的倒装片安装时,也不会在阻焊层开口部中形成跨过多个衬底焊盘那样的大的空孔,可以提高该半导体器件的可靠性。

[0166] (30)〈阻焊层开口部的形状〉

[0167] 在项1中,上述半导体芯片夹着液状热固化性树脂(16)地以倒装片方式安装在上述衬底上。

[0168] 上述半导体芯片还具有:第1焊盘列(2\_2),由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的外侧呈直线状;以及第2焊盘列(2\_1),由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的内侧呈直线状。

[0169] 上述衬底还具有:阻焊层(13);第1衬底焊盘列(9\_2),由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成;以及第2衬底焊盘列(9\_1),由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成。在上述衬底的

以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部(15\_4)。

[0170] 上述阻焊层开口部在离上述第1衬底焊盘列远的边上，在面对上述多个衬底焊盘的间隙的位置具有凹部；在离上述第1衬底焊盘列近的边上，在面对上述多个衬底焊盘的各边的位置具有凸部。

[0171] 由此，在进行了把液状热固化性树脂作为底封胶预涂敷了之后，把半导体芯片按压在衬底上进行粘接的倒装片安装时，也不会在阻焊层开口部形成跨过多个衬底焊盘那样的大的空孔，可以提高该半导体器件的可靠性。

[0172] (31)<减小阻焊层开口部内的衬底焊盘的间隙>

[0173] 在项1中，上述半导体芯片夹着液状热固化性树脂(16)地以倒装片方式安装在上述衬底上。

[0174] 上述半导体芯片还具有：第1焊盘列(2\_2)，由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的外侧呈直线状；以及第2焊盘列(2\_1)，由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的内侧呈直线状。

[0175] 上述衬底还具有：阻焊层(13)；第1衬底焊盘列(9\_2)，由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；以及第2衬底焊盘列(9\_1)，由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成。在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部(15\_5)。

[0176] 上述阻焊层开口部内的构成上述第2衬底焊盘列的上述多个衬底焊盘以衬底焊盘相互间在设计上所允许的最小间隔配置。

[0177] 由此，在进行了把液状热固化性树脂作为底封胶预涂敷了之后，把半导体芯片按压在衬底上进行粘接的倒装片安装时，也不会在阻焊层开口部形成跨过多个衬底焊盘那样的大的空孔，可以提高该半导体器件的可靠性。

[0178] (32)<阻焊层开口部内的衬底焊盘的形状>

[0179] 在项1中，上述半导体芯片夹着液状热固化性树脂(16)地以倒装片方式安装在上述衬底上。

[0180] 上述半导体芯片还具有：第1焊盘列(2\_2)，由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的外侧呈直线状；以及第2焊盘列(2\_1)，由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行，且在上述输入输出单元列的内侧呈直线状。

[0181] 上述衬底还具有：阻焊层(13)；第1衬底焊盘列(9\_2)，由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成；以及第2衬底焊盘列(9\_1)，由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成。在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层，在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部(15\_6)。

[0182] 上述阻焊层开口部内的构成上述第2衬底焊盘列的上述多个衬底焊盘的每一个在离上述第1衬底焊盘列远的边上具有凸部。

[0183] 由此,在进行了把液状热固化性树脂作为底封胶预涂敷了之后,把半导体芯片按压在衬底上进行粘接的倒装片安装时,也不会在阻焊层开口部形成跨过多个衬底焊盘那样的大的空孔,可以提高该半导体器件的可靠性。

[0184] (33)<与阻焊层开口部的两端的衬底焊盘连接的朝外的布线造成的毛细管现象>

[0185] 在项1中,上述半导体芯片夹着液状热固化性树脂(16)地以倒装片方式安装在上述衬底上。

[0186] 上述半导体芯片还具有:第1焊盘列(2\_2),由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的外侧呈直线状;以及第2焊盘列(2\_1),由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的内侧呈直线状。

[0187] 上述衬底还具有:阻焊层(13);第1衬底焊盘列(9\_2),由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成;以及第2衬底焊盘列(9\_1),由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成。在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层,在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部(15\_7)。

[0188] 上述阻焊层开口部内的构成上述第2衬底焊盘列的上述多个衬底焊盘中的两端的衬底焊盘(9\_1\_11)分别与在上述衬底上朝着上述第1焊盘列延伸的布线连接。

[0189] 由此,在进行了把液状热固化性树脂作为底封胶预涂敷了之后,把半导体芯片按压在衬底上进行粘接的倒装片安装时,也不会在阻焊层开口部形成跨过多个衬底焊盘那样的大的空孔,可以提高该半导体器件的可靠性。

[0190] (34)<倒装片用半导体芯片;限制被安装的衬底上的每一个阻焊层开口部的衬底焊盘数>

[0191] 在项10中,上述半导体芯片夹着液状热固化性树脂(16)地以倒装片方式安装在上述衬底上。

[0192] 上述半导体芯片还具有:第1焊盘列(2\_2),由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的外侧呈直线状;以及第2焊盘列(2\_1),由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的内侧呈直线状。

[0193] 以倒装片方式安装上述半导体芯片的上述衬底还具有:阻焊层(13);第1衬底焊盘列(9\_2),由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成;以及第2衬底焊盘列(9\_1),由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成。

[0194] 在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层,在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部(15)。

[0195] 基于上述液状热固化性树脂的以倒装片方式安装时的粘性、上述阻焊层的厚度、以及上述半导体芯片和上述衬底之间的间隔,算出配置在1个上述阻焊层开口部内的上述衬底焊盘的数目。在上述半导体芯片中,分别与上述阻焊层开口部内配置的上述衬底焊盘连接、构成上述第2焊盘列的第2焊盘的数目与上述衬底焊盘的数目相同。

[0196] 由此,在把液状热固化性树脂作为底封胶预涂敷了之后、把半导体芯片按压在衬

底上进行粘接的以倒装片方式安装的半导体芯片中,不会在安装后的阻焊层开口部形成跨过多个衬底焊盘那样的大的空孔,可以提供可以提高可靠性的半导体芯片。

[0197] (35)<与阻焊层开口部的两端的衬底焊盘连接的朝外的布线造成的毛细管现象>

[0198] 在项10中,上述半导体芯片夹着液状热固化性树脂(16)地以倒装片方式安装在上述衬底上。

[0199] 上述半导体芯片还具有:第1焊盘列(2\_2),由包含上述第1焊盘和上述第3焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的外侧呈直线状;以及第2焊盘列(2\_1),由包含上述第2焊盘的多个焊盘相邻地排列成与上述输入输出单元列平行,且在上述输入输出单元列的内侧呈直线状。而且,具有第3焊盘列和第4焊盘列(2\_5),排列成与上述输入输出单元列平行,在上述输入输出单元列的内侧且在上述第2焊盘列的外侧呈直线状,且配置在上述第2焊盘列的两侧。

[0200] 以倒装片方式安装上述半导体芯片的上述衬底还具有:阻焊层(13);第1衬底焊盘列(9\_2),由与构成上述第1焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成;以及第2衬底焊盘列(9\_1),由与构成上述第2焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘构成。而且,上述衬底还具有:第3衬底焊盘列,由与构成上述第3焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘(9\_5)构成;以及第4衬底焊盘列,由与构成上述第4焊盘列的多个焊盘的每一个面对面地连接的多个衬底焊盘(9\_5)构成。

[0201] 在上述衬底的以倒装片方式安装上述半导体芯片的面的表面上具有上述阻焊层,在配置构成上述第2衬底焊盘列的上述多个衬底焊盘的区域具有阻焊层开口部(15\_7)。

[0202] 在上述第2焊盘列的靠近上述第3焊盘列的一端配置的焊盘与在上述第3焊盘列的靠近上述第2焊盘列的一端配置的焊盘在上述衬底上短路,在上述第2焊盘列的靠近上述第4焊盘列的一端配置的焊盘与在上述第4焊盘列的靠近上述第2焊盘列的一端配置的焊盘在上述衬底上短路。

[0203] 由此,在把液状热固化性树脂作为底封胶预涂敷了之后、把半导体芯片按压在衬底上进行粘接的以倒装片方式安装的半导体芯片中,不会在安装后的阻焊层开口部形成跨过多个衬底焊盘那样的大的空孔,可以提供可以提高可靠性的半导体芯片。

[0204] 2、实施方式的详细

[0205] 对实施方式进行更详细的描述。

[0206] (实施方式1)<扩大内侧与外侧的焊盘之间的间隔>

[0207] 图1是示出实施方式1的半导体芯片1中的焊盘2的配置的布置图,图2是示出以往的半导体芯片中的焊盘的配置的布置图。图3是示出在衬底8上以倒装片方式安装了实施方式1的半导体芯片1的半导体器件20的剖面方向的安装状态的示意图,图4是示出实施方式1和实施方式2的半导体芯片1中的焊盘2的布置和以倒装片方式安装它的衬底8中的衬底焊盘9的布置的示意图。

[0208] 本实施方式1的半导体器件20像图3所示的那样在衬底8之上以倒装片方式安装半导体芯片1而构成。半导体芯片1具有芯片焊盘2\_1和2\_2;衬底8具有分别经由凸块21与芯片焊盘2\_1和2\_2连接的衬底焊盘9\_1和9\_2以及省略了图示的导通孔11。虽然图示了经由凸块21连接的例子,但也可以是其它连接方法。图4是示出半导体芯片1中的芯片焊盘2\_1和2\_2的布置(a)和以倒装片方式安装它的衬底8中的衬底焊盘9\_1和9\_2的布置(b)的示意图。像

图4所示的那样,衬底焊盘9\_1和9\_2分别配置在与要连接的芯片焊盘2\_1和2\_2面对面的位置。图4的(a)和(b)都是俯视图,所以芯片焊盘2\_1和2\_2的布置(a)与衬底焊盘9\_1和9\_2的布置(b)处于镜面对象的位置。

[0209] 图1是示出实施方式1的半导体芯片中的焊盘的配置的布置图,图2是示出以往的半导体芯片中的焊盘的配置的布置图。

[0210] 半导体芯片1具有输入输出单元列,该输入输出单元列由包含排列成直线状的、彼此相邻的输入输出单元3\_1~3\_3的多个输入输出单元3构成。在输入输出单元3的每一个中设置用于与焊盘之间的布线的电极4。多个芯片焊盘2中包含分别与输入输出单元3\_1、3\_2、3\_3电连接的焊盘2\_2\_1、2\_1\_2、2\_2\_3。焊盘2分别具有探测区5和键合区6。探测区5是用来在半导体芯片1的测试中,为了施加测试用的信号或观测输出的信号而供探针接触的区域。键合区6是用来进行焊盘2与衬底8的信号的电连接的区域,形成例如凸块(突起电极)。

[0211] 衬底8具有分别与半导体芯片1的焊盘2\_2\_1、2\_1\_2、2\_2\_3面对面连接的衬底焊盘9\_2\_1、9\_1\_2、9\_2\_3。衬底焊盘9\_2\_1与衬底焊盘9\_2\_3之间的间隔小于以下两个值之和,其中一个值是衬底8的设计制约所允许的布线的最小宽度,另一个值是布线和衬底焊盘9所要求的间隙值的2倍。因此,不能使布线在衬底焊盘9\_2\_1与衬底焊盘9\_2\_3之间通过。

[0212] 在半导体芯片1中,在由多个输入输出单元3构成的输入输出单元列的外侧彼此相邻地排列芯片焊盘2\_2\_1和2\_2\_3。芯片焊盘2\_1\_2配置在由多个输入输出单元3构成的输入输出单元列的内侧。在此,外侧指半导体芯片1的芯片端的方向,内侧指芯片的中心方向。像图2所示的那样,在以往的半导体芯片中,输入输出单元列的外侧的焊盘列(out-line pad)和内侧的焊盘列(in-line pad)靠近地布置。外侧焊盘列和内侧焊盘列以半导体芯片的焊盘相互间的间隔因设计制约所要求的最小的间距配置。由此,在半导体芯片的芯片尺寸为由焊盘数(端子数)决定的焊盘颈时可以使芯片尺寸最小化。

[0213] 与此相对,在本实施方式1的半导体芯片1中,焊盘2\_1\_2从焊盘2\_2\_1和2\_2\_3离开预定的距离L而布置。在焊盘2\_1\_2与输入输出单元3\_2的电极4之间用布线7布线。更优选地,分别与衬底焊盘9\_2\_1和9\_2\_3连接的芯片焊盘2\_2\_1和2\_2\_3包含在外侧的焊盘列中,以半导体芯片1的焊盘2相互间的间隔因设计制约所要求的最小的间距2p锯齿状配置。由此,与相邻的输入输出单元连接的外侧与内侧的焊盘可以以因设计制约所要求的最小的间距2p的半个间距p的间隔配置,在半导体芯片1的芯片尺寸为由端子数决定的焊盘颈时也可以抑制到与以往相同的芯片尺寸以下。另外,与衬底焊盘9\_1\_2连接的芯片焊盘2\_1\_2包含在内侧的焊盘列中,以半导体芯片1的焊盘2相互间的间隔因设计制约所要求的最小的间距2p配置。由此,在半导体芯片1中也是,与相邻的输入输出单元连接的外侧与内侧的焊盘可以以因设计制约所要求的最小的间距2p的一半即间距p的间隔配置,可以使焊盘数(端子数)与以往相比相同或更多。

[0214] 引用图5说明预定的距离L的规定方法的一例。考虑以倒装片方式安装半导体芯片1的衬底8中的布线性而规定预定的距离L。

[0215] 图5是示出以倒装片方式安装实施方式1的半导体芯片1的衬底8中的衬底焊盘9的配置例的布置图。在衬底8中配置由与半导体芯片1的内侧焊盘列连接的多个衬底焊盘9\_1构成的内侧衬底焊盘列(in-line pad)、和由与半导体芯片1的外侧的焊盘列连接的多个衬底焊盘9\_2构成的外侧衬底焊盘列(out-line pad)。此时,预定的距离L设为能够在衬底8中

在外侧衬底焊盘列和内侧衬底焊盘列之间配置至少1个导通孔11的距离。更具体地，设为大于等于以下两个值之和的距离，其中一个值是导通孔的直径(L1)，另一个值是上述导通孔和上述衬底焊盘之间的间隔因设计制约所要求的最小间隙值(L2)的2倍。与此相伴随，半导体芯片1上的焊盘2\_1\_2分别从芯片焊盘2\_2\_1和2\_2\_3离开配置，以使得要与焊盘2\_1\_2连接的衬底焊盘9\_1\_2从分别与芯片焊盘2\_2\_1和2\_2\_3连接的衬底焊盘9\_2\_1和9\_2\_3离开上述预定的距离。

[0216] 由此，可以提高以倒装片方式安装半导体芯片的衬底的布线性。尤其，可以提高衬底上的信号布线、电源布线的布线性。

[0217] 说明本实施方式1的效果。

[0218] 图6是示出以往的半导体芯片中的焊盘2\_1和2\_2的配置例和以倒装片方式安装该半导体芯片的衬底8中的衬底焊盘9\_1和9\_2的配置例的布置图。图7是示出实施方式1的半导体芯片1中的焊盘2\_1和2\_2的配置例和以倒装片方式安装该半导体芯片1的衬底8中的衬底焊盘9\_1和9\_2的配置例的布置图。在图6和图7中，像(a)所示的那样，分别在半导体芯片1侧锯齿状配置由多个焊盘2\_1构成的内侧焊盘列和由多个焊盘2\_2构成的外侧焊盘列。像(b)所示的那样，在衬底8侧示出通过从各衬底焊盘引出的布线12与由多个衬底焊盘9\_1构成的内侧衬底焊盘列和由多个衬底焊盘9\_2构成的外侧衬底焊盘列连接的多个导通孔11。半导体芯片1的焊盘的间距p为例如 $25\mu m$ 时，导通孔11的直径因该衬底的材质、加工精度而变成 $140\mu m \sim 200\mu m$ 。在图6和图7中比较真实地画出这样的焊盘与导通孔的尺寸比。

[0219] 图6所示的以往的半导体芯片中的内侧焊盘列和外侧焊盘列之间的间隔窄(a)，与其连接的衬底8的内侧衬底焊盘列和外侧衬底焊盘列之间的间隔也窄(b)。因此，与内侧衬底焊盘列连接的布线12和导通孔11\_1只能配置在内侧方向，与外侧衬底焊盘列连接的布线12和导通孔11\_2只能配置在外侧方向。导通孔11\_1和11\_2的直径像图示的那样或者比它大，所以可以配置导通孔11\_1和11\_2的位置不能只停留在衬底焊盘9\_1和9\_2的附近，需要利用很多信号线使布线延伸到远方。在图6中，布线区域扩展到(b)中用虚线表示的区域。为了纸面上的方便，只能示出内外各4个衬底焊盘9\_1和9\_2和导通孔11\_1和11\_2，但是很显然，如果该数目增加，则需要更大的布线区域。

[0220] 在图7所示的实施方式1的半导体芯片1中，扩大半导体芯片中的内侧焊盘列和外侧焊盘列之间的间隔，以使得像图5所示的那样，内侧衬底焊盘列和外侧衬底焊盘列之间的间隔扩大到能够配置导通孔11的距离L(a)。在(b)所示的衬底8侧，可以在内侧衬底焊盘列和外侧衬底焊盘列之间配置两个导通孔11\_3，所以虚线所示的布线区域更窄。为了纸面上的方便，只能示出内外各4个衬底焊盘9\_1和9\_2和导通孔11\_1、11\_2和11\_3，但是如果该数目增加，则与图6所示的以往的布线区域的面积的差有扩大的趋势。

[0221] 预定的间隔L只要是能够在内侧衬底焊盘列和外侧衬底焊盘列之间配置1个以上导通孔11的距离就可以，根据为了扩大间隔所必需的半导体芯片1的上的布线7所增加的阻抗的大小与通过改善衬底的布线性而降低的阻抗的大小的折衷的关系进行优化设计。另外，在几何学上，考虑焊盘间距p和导通孔直径L1的比而进行优化设计。例如，以间距p锯齿状配置的7个(两端的两个与相邻布线区域共通，所以实际上是6个)的焊盘的宽度为 $6p$ ，它与导通孔的直径L1相等时，如果可以在内侧衬底焊盘列的内侧配置两个导通孔11\_1，在外侧衬底焊盘列的外侧配置两个导通孔11\_2，在之间配置两个导通孔11\_3，则布线区域的宽

度为 $6p=L_1$ ,是最合适的。 $L=2 \times L_1 + 3 \times L_2$ 是最合适的。一般地,导通孔的直径 $L_1=N \times p$ 时, $L=N/3 \times L_1 + (N/3+1) \times L_2$ 是最合适的,即使采用比它大的距离L,衬底的布线性也几乎没有改善。反而有用来实现大的距离L的布线造成芯片侧的阻抗增加的问题更严重的担忧。

[0222] 像以上说明的那样,根据本实施方式1,可以提高以倒装片方式安装半导体芯片1的衬底8的布线性。尤其,可以提高衬底上的信号布线、电源布线的布线性。

[0223] 图8是示出实施方式1的半导体芯片1中的焊盘2\_1和2\_2的配置例和以倒装片方式安装该半导体芯片1的衬底8中的衬底焊盘9\_1和9\_2的配置的另一例的布置图。与图7所示的同样地,在(a)所示的半导体芯片1侧,由多个焊盘2\_1构成的内侧焊盘列和由多个焊盘2\_2构成的外侧焊盘列离开距离L地锯齿状配置。在(b)所示的衬底8侧,示出通过从各衬底焊盘引出的布线12与由多个衬底焊盘9\_1构成的内侧衬底焊盘列和由多个衬底焊盘9\_2构成的外侧衬底焊盘列连接的多个导通孔11。在图7所示的例子中,所有的衬底焊盘9分别布线到1个导通孔11。相对于此,在图8所示的例子中,衬底焊盘9\_2\_1和衬底焊盘9\_1\_2被布线12短路,具有在其间配置的导通孔11\_4。

[0224] 由此,在内侧衬底焊盘列和外侧衬底焊盘列中,与相互接近的输入输出单元连接的焊盘2\_2\_1和2\_1\_2为相同的信号时,通过把对应的衬底焊盘9\_2\_1和9\_1\_2相互短路而共用导通孔11\_4,可以进一步提高衬底的布线性。尤其,在相邻的靠近的焊盘都是电源或接地时有效。

[0225] [实施方式2]<扩大内侧与外侧的焊盘之间的间隔(镀敷布线)>

[0226] 针对预定的距离L的规定方法,引用图9说明与引用图5说明的例子不同的例子。在考虑以倒装片方式安装半导体芯片1的衬底8中的布线性而规定预定的距离L这一点上是同样的,但是还要特别考虑镀敷布线的布线性而进行规定。

[0227] 其它的构成与实施方式1中说明过的相同。针对图1、图3、图4的说明对于本实施方式2也都适用。

[0228] 图9是示出以倒装片方式安装实施方式2的半导体芯片1的衬底8中的衬底焊盘9\_1和9\_2的配置的布置图。

[0229] 在衬底8中配置由与半导体芯片1的内侧焊盘列连接的多个衬底焊盘9\_1构成的内侧衬底焊盘列、和由与半导体芯片1的外侧的焊盘列连接的多个衬底焊盘9\_2构成的外侧衬底焊盘列。内侧衬底焊盘列中的几个衬底焊盘9\_1和外侧衬底焊盘列中的几个衬底焊盘9\_2被布线12\_1~12\_6相互短路。布线12\_1~12\_6是镀敷布线,也可以进一步追加布线12而把全部的衬底焊盘短路。

[0230] 除了衬底焊盘9等,用阻焊膜13覆盖衬底8。在内侧衬底焊盘列的内侧形成阻焊膜13\_1,在外侧衬底焊盘列的外侧形成阻焊膜13\_4。布线12\_1~12\_6是镀敷布线,所以短路部分需要在电解镀敷处理之后通过蚀刻除去。在内侧衬底焊盘列和外侧衬底焊盘列之间的阻焊膜13\_2和13\_3中设置用来背蚀刻镀敷布线12\_1的开口部。在实际的背蚀刻工序中,用掩模14\_1和14\_2覆盖包含衬底焊盘9\_1和9\_2的蚀刻对象以外的区域。在背蚀刻工序后,通过清洗液等除去掩模14\_1和14\_2。

[0231] 预定的距离L被规定为大于等于阻焊膜的开口的最小宽度L3和阻焊膜自身的最小宽度L4的2倍之和的值。

[0232] 由此,可以提高衬底上的镀敷布线的布线性。如果与半导体芯片1的四边对应的衬

底8上的四边的全部衬底焊盘9\_1和9\_2都离开相同的宽度L地配置，则可以成为把全部的衬底焊盘9\_1和9\_2相互短路的镀敷布线12\_1围绕四边的布置。因此，无须在衬底8的相反面上设置镀敷布线。因此，如果该衬底为例如BGA用的封装衬底，则可以消除因为镀敷布线而不能配置BGA电极的区域。可以用相同的面积配置更多的BGA电极，或者，可以减小用来配置相同的数目的BGA电极的封装尺寸。

[0233] [实施方式3]<探头用焊盘>

[0234] 在实施方式1和2中示出在相同的芯片焊盘上具有探测区5和键合区6的例子。在此，由于探测区5像上述那样是用来在半导体芯片1的测试中施加测试用的信号或观测输出的信号的、用来供探针接触的区域，所以在测试时通过抵压探针而施加按压。在以往的半导体芯片中，可以配置在输入输出单元3的区域内或与内部电路的间隙区域之上，所以探针造成的按压不影响到内部电路。但是，像实施方式1和2所示的那样，使内侧焊盘列向内侧即电路形成区的方向移动，所以有内侧焊盘列配置在内部电路上的可能性。此时，探针造成的按压对内部电路的特性、动作施加影响，器件的可靠性、稳定动作的保证变得困难。这是实施方式1和2中产生的新问题。本实施方式3就是解决该问题的构成之一。

[0235] 图10是示出实施方式3的半导体芯片中的焊盘的配置的布置图。

[0236] 其它的构成与实施方式1和实施方式2中说明过的相同，针对图1、图3、图4的说明对于本实施方式3也适用。实施方式3的半导体芯片1还具有：与输入输出单元3\_2电连接、配置在输入输出单元列的内侧且在焊盘2\_1\_2和输入输出单元列之间的焊盘2\_3。

[0237] 以倒装片方式安装该半导体芯片1的衬底8具有：与焊盘2\_2\_1面对面连接的衬底焊盘9\_2\_1、与焊盘2\_1\_2面对面连接的衬底焊盘9\_1\_2、和与焊盘2\_2\_3面对面连接的衬底焊盘9\_2\_3，但不在与焊盘2\_3面对面的位置配置衬底焊盘。焊盘2\_3专门用于探测，焊盘2\_1\_2专门用于键合。在图10中，3个内侧焊盘2\_1都不具有探测区5而只具有键合区6，具有不具有键合区6而只具有探测区5的焊盘2\_3。不具有键合区6而只具有探测区5的焊盘2\_3可以配置在输入输出单元3的区域内或与内部电路的间隔区域之上。

[0238] 由此，可以减轻探测时的损伤，可以防止使产生器件特性劣化的问题。

[0239] 在内侧焊盘列的焊盘中，既可以只有在不能允许按压的电路上配置的焊盘2\_1还具有只具有探测区5的焊盘2\_3，也可以是内侧焊盘列的焊盘全都具有只具有探测区5的焊盘2\_3。

[0240] [实施方式4]<芯片角部>

[0241] 说明实施方式1和2的半导体芯片1中的芯片角部的构成例。

[0242] 图11是示出以往的半导体芯片的角部中的焊盘的配置的布置图，图12是示出实施方式4的半导体芯片的角部中的焊盘的配置的布置图。

[0243] 图11和图12示出半导体芯片1的左下的角部，下边的输入输出单元列3\_S和左边的输入输出单元列配置成直角方向，在该内侧与外侧分别锯齿状配置内侧焊盘列2\_1\_S和外侧焊盘列2\_2\_S、内侧焊盘列2\_1\_W和外侧焊盘列2\_2\_W。在图11所示的以往的半导体芯片的角部，为了避免与虚线包围的区域对应的衬底的区域中的布线的拥挤，所以像例如专利文献3所示的那样，禁止一部分内侧焊盘的配置。在图11中虚线所示的内侧焊盘2\_1是由于禁止配置而不能配置的焊盘。

[0244] 在图12中示出本实施方式4的半导体芯片1中的芯片角部的构成例。在左边，内侧

焊盘列2\_1\_W比外侧焊盘列2\_2\_W向内侧移动预定的距离L而配置,用布线7布线到输入输出单元列3\_W。另一方面,考虑到左边的内侧焊盘列2\_1\_W和衬底中的布线区域,下边的内侧焊盘列2\_1\_S中有几个焊盘2\_1不能从左端配置。

[0245] 如果比较图11和图12,则现有技术中共10个内侧焊盘列的焊盘被禁止配置,相对于此,在本实施方式4中,只有下边的5个内侧焊盘列的焊盘被禁止配置。与以往相比,可以增加能够在相同的芯片面积、衬底面积上配置的焊盘的数目。

[0246] 在图12中示出只在下边禁止内侧焊盘列的焊盘的配置的例子,但也可以在左边和下边这两边禁止大致相同数目的内侧焊盘列的焊盘的配置。由此,与实施方式2组合时,左边的镀敷布线与下边的镀敷布线的连接变得容易。本实施方式4以左下的角部为例进行了说明,但也可以同样地适用于其它角部,另外,当然,也可以4个角部全都适用。

[0247] (实施方式5)<安装形态>

[0248] 实施方式1~4的半导体芯片1可以构成在衬底8上以倒装片方式安装的各种安装形态的半导体器件。

[0249] 图13是示出包含以倒装片方式安装了实施方式1~4的半导体芯片1的衬底8的、BGA20\_1的剖面方向的安装形态的一例的示意图。半导体芯片1具有外侧焊盘列2\_2和从该外侧焊盘列2\_2离开预定的距离L而配置的内侧焊盘列2\_1。衬底8具有经由凸块21与半导体芯片1的内侧焊盘列2\_1和外侧焊盘列2\_2连接的内侧衬底焊盘列9\_1和外侧衬底焊盘列9\_2。衬底8在与具有衬底焊盘9\_1和9\_2的面相反的面上具有BGA焊盘22,具有与BGA焊盘22连接的BGA电极23。上部被密封部件28密封。密封部件28可以是例如具有树脂、金属制的盖的陶瓷等。

[0250] 由此,在安装于BGA的半导体器件20\_1中,可以提高衬底8的布线性。实施方式2的情况下,也可以省略BGA焊盘面的镀敷布线,可以在相同的衬底面积上配置更多的BGA端子23,或者可以把用来配置预定数目的BGA端子的衬底8的面积即BGA封装的尺寸抑制得更小。

[0251] 图14是示出包含以倒装片方式安装了实施方式1~4的半导体芯片1的衬底8的、SiP(System in Package)20\_2的剖面方向的安装形态的一例的示意图。

[0252] 与图13所示的同样地,半导体芯片1具有外侧焊盘列2\_2和从该外侧焊盘列2\_2离开预定的距离L而配置的内侧焊盘列2\_1。衬底8具有经由凸块21与半导体芯片1的内侧焊盘列2\_1和外侧焊盘列2\_2连接的内侧衬底焊盘列9\_1和外侧衬底焊盘列9\_2。衬底8在与具有衬底焊盘9\_1和9\_2的面相反的面上具有BGA焊盘22,具有与BGA焊盘22连接的BGA电极23。也可以是BGA以外的电极。在半导体芯片1之上进一步层叠另一半导体芯片24。在衬底8上进一步设置衬底焊盘组9\_4,用键合丝线25与半导体芯片24电连接。上部被密封部件28密封。密封部件28可以是例如具有树脂、金属制的盖的陶瓷等。

[0253] 例如,可以把半导体芯片1作为包含CPU的微计算机、系统LSI,把半导体芯片24作为存储器,而在单个封装中集成一个应用系统。

[0254] 由此,在SiP20\_2中,可以提高衬底的布线性。

[0255] 图15是示出包含以倒装片方式安装了实施方式1~4的半导体芯片1的衬底8的、PoP(Package on Package)20\_3的剖面方向的安装形态的一例的示意图。

[0256] 与图13、图14所示的同样地,半导体芯片1具有外侧焊盘列2\_2和从该外侧焊盘列2\_2离开预定的距离L而配置的内侧焊盘列2\_1。衬底8具有经由凸块21与半导体芯片1的内

侧焊盘列2\_1和外侧焊盘列2\_2连接的内侧衬底焊盘列9\_1和外侧衬底焊盘列9\_2。衬底8在与具有衬底焊盘9\_1和9\_2的面相反的面上具有BGA焊盘22，具有与BGA焊盘22连接的BGA电极23。也可以是BGA以外的电极。在半导体芯片1之上，层叠具有突起电极27的封装安装了的半导体器件26。在衬底8上进一步设置衬底焊盘组9\_4，用突起电极27与半导体芯片26电连接。

[0257] 突起电极27和与其连接的衬底焊盘9\_4的规格，例如，可以由JEDEC半导体技术协会规定，根据标准规格确定。

[0258] 由此，在PoP20\_3中，可以提高衬底的布线性。

[0259] 实施方式1～4的半导体芯片1也可以不采用图13～15例示的那样的特定的安装形态，而直接裸片安装在印刷衬底上。

[0260] 图16是示出在衬底上以倒装片方式裸片安装了实施方式1～4的半导体芯片的电路衬底(印刷衬底)中的剖面方向的安装形态的一例的示意图。

[0261] 与图13～15所示的同样地，半导体芯片1具有外侧焊盘列2\_2和从该外侧焊盘列2\_2离开预定的距离L而配置的内侧焊盘列2\_1。衬底8具有经由凸块21与半导体芯片1的内侧焊盘列2\_1和外侧焊盘列2\_2连接的内侧衬底焊盘列9\_1和外侧衬底焊盘列9\_2。在此，衬底8可以是裸片安装了其它的半导体芯片、或安装了被封装的其它半导体芯片和其它的分立部件的印刷衬底。另外，也可以构成安装这样的其它部件、在表面或背面上设置了电极的多芯片模块。

[0262] (实施方式6)<限制每一个阻焊层开口部的衬底焊盘数>

[0263] 在对应的衬底8之上以倒装片方式安装实施方式1的半导体芯片1，构成半导体器件20时，取决于倒装片安装的方法，在某些条件下有产生使半导体器件20的可靠性下降的问题的担忧。首先，说明该新问题。

[0264] 图17是针对新问题的说明图，图18是其更详细的说明图。

[0265] 图17是示出以倒装片方式安装实施方式1的半导体芯片1的衬底8的俯视图。在衬底8的表面上形成阻焊层13的层。在安装半导体芯片1的位置29的区域内，形成阻焊层13的开口部15，表面上露出衬底焊盘9\_1、9\_2、9\_5。衬底焊盘9\_1和9\_2和9\_5是例如作为在相同的边上，使面对面的半导体芯片1的焊盘2\_1和2\_2和2\_5与输入输出单元3的相同的列连接的焊盘的衬底焊盘列，衬底焊盘9\_2构成外侧衬底焊盘列，衬底焊盘9\_5构成与现有技术同样的内侧衬底焊盘列，衬底焊盘9\_1构成实施方式1的内侧衬底焊盘列。由衬底焊盘9\_2构成的外侧衬底焊盘列和由衬底焊盘9\_1构成的内侧衬底焊盘列按照上述的实施方式1中所述的位置关系配置。在安装半导体芯片1的工序中，首先，以具有粘性的液体的状态把液状热固化性树脂16涂敷到衬底8上。将其称为预涂敷。在图17中，在半导体芯片1的安装(mount)位置29的中央附近，例如，像作为预涂敷区域18示出的那样，X字状地预涂敷液状热固化性树脂16。然后，以倒装片方式把半导体芯片1重叠在安装位置29上并按压粘接。在该倒装片安装后，使液状热固化性树脂固化而成为底封胶16。

[0266] 采用了这样的倒装片安装的方法时，在某些条件下，在包围构成内侧衬底焊盘列的衬底焊盘9\_1的阻焊层开口部15中，有时在液状热固化性树脂固化而成的底封胶16内残留气泡(将其称为空孔)19。空孔19横跨多个衬底焊盘9形成时，有半导体器件20的可靠性下降的担忧。例如，有在空孔19内衬底焊盘被氧化或腐蚀，形成短路路径的担忧。

[0267] 使用图18说明产生空孔19的原理。

[0268] 图18是针对该新问题的更详细的说明图,包含把产生空孔19的附近放大的衬底8的俯视图(a)、和示出产生空孔19的位置即X-Y剖面的剖面图(b)。在X-Y剖面上,像(b)所示的那样,在衬底8上形成阻焊层13的层和衬底焊盘9\_1\_5,衬底焊盘9\_1\_5配置在阻焊层13的开口部15中。衬底焊盘9\_1\_5经由凸块21与面对面的半导体芯片1的焊盘2\_1\_5连接。在半导体芯片1与衬底8之间形成液状热固化性树脂16固化而成的底封胶16。底封胶16在用来把半导体芯片1和衬底8粘接的同时,实现防止水分等从外部向衬底焊盘9与半导体芯片1的焊盘2的连接部侵入的功能,确保半导体器件20的可靠性。

[0269] 在俯视图(a)中,用箭头17表示在预涂敷了液状固化性树脂16之后,按压半导体芯片1时的液状热固化性树脂16的流动。预涂敷区域18在安装位置29的中央附近,在图18中是朝上方向。液状热固化性树脂16从内侧向外侧按压流动。此时,通过阻焊层13的开口部15的液状热固化性树脂16比通过开口部15两侧的液状热固化性树脂16流速慢。因为通过开口部15的液状热固化性树脂16需要翻越开口部15的台阶和衬底焊盘9\_1\_5的台阶。如果通过开口部15两侧绕进开口部15的外侧的液状热固化性树脂16的流动比通过开口部15的液状热固化性树脂16更早到达开口部15的外侧,则在开口部15的端部被通过开口部15的液状热固化性树脂16挤出的空气无法逸出而被封入。这就成为气泡即空孔19,在液状热固化性树脂固化之后也残留在底封胶16内。

[0270] 空孔19的大小取决于被通过开口部15的液状热固化性树脂16挤出的空气的量,该空气的量由该开口部15的大小即在该开口部15内配置的衬底焊盘9的数目规定。因此,如果设置包围多个衬底焊盘9那样的大的开口部,则担心空孔19增大,从开口部15的边缘到达衬底焊盘9,甚至达到跨过多个衬底焊盘9的大小。空孔19跨过多个衬底焊盘9时,在空孔9内进行衬底焊盘、半导体芯片的焊盘的氧化、腐蚀,有引起氧化物造成的短路等的故障的担忧,半导体器件20的可靠性下降。

[0271] 像实施方式1所示的那样,使内侧衬底焊盘列从外侧衬底焊盘列比以往更向内侧移动,分别配置在不同的阻焊层开口部15内时,在内侧衬底焊盘列的开口部15产生该问题。

[0272] 为了解决该新问题,获得了以下的大致3个解决方案。

[0273] 第1解决方案基于以下的技术思想,即,把阻焊层开口部15细分,减少应挤出的空气的量,抑制产生的空孔19的大小。在本实施方式6中详述。

[0274] 第2解决方案基于以下的技术思想,即,提高通过开口部15的液状热固化性树脂16的流速,消除与从开口部15两侧绕进的液状热固化性树脂16的流速的差。在后述的实施方式7、实施方式8和实施方式9中详述。

[0275] 第3解决方案基于以下的技术思想,即,通过使从开口部15两侧绕进的液状热固化性树脂16延迟到达开口部15的外侧,减少封入的空气的量,抑制产生的空孔19的大小。在后述的实施方式10中详述。

[0276] 实施方式6~实施方式10所示的技术思想可以相互组合,而且,也可以与上述的实施方式1~实施方式5任意组合。

[0277] 首先,作为实施方式6对第1解决方案详述如下。

[0278] 图19是示出在衬底8上以倒装片方式安装了实施方式6的半导体芯片1的、半导体器件20的平面方向和剖面方向的安装状态的示意图。与图17、18所示的同样地,在衬底8上,

夹着液状热固化性树脂16以倒装片方式安装半导体芯片1。与图18同样地，(a)是衬底8的俯视图，(b)是芯片安装状态的剖面图。(b)是示出产生空孔19的位置即X-Y剖面的剖面图(b)，在X-Y剖面上，在衬底8上形成阻焊层13的层和衬底焊盘9\_1\_5，衬底焊盘9\_1\_5配置在阻焊层13的开口部15中。衬底焊盘9\_1\_5经由凸块21与面对的半导体芯片1的焊盘2\_1\_5连接。在半导体芯片1与衬底8之间形成液状热固化性树脂16固化而成的底封胶16。

[0279] 半导体芯片1虽然在图19中未图示，但与图1同样地，具有第1焊盘列2\_2(外侧焊盘列)和第2焊盘列2\_1(实施方式1的内侧焊盘列)和第3焊盘列2\_5(与现有技术同样的内侧焊盘列)。在第1焊盘列2\_2中，包含第1焊盘2\_2\_1和第3焊盘2\_2\_3的多个焊盘相邻，与输入输出单元列3\_1～3\_3平行且在输入输出单元列3\_1～3\_3的外侧排列成直线状。在第2焊盘列2\_1中，包含第2焊盘2\_1\_2的多个焊盘相邻，与输入输出单元列3\_1～3\_3平行且在输入输出单元列3\_1～3\_3的内侧排列成直线状。在第3焊盘列2\_5中，包含第2焊盘2\_1\_2的多个焊盘相邻，与输入输出单元列3\_1～3\_3平行且在输入输出单元列3\_1～3\_3的内侧、第2焊盘列2\_1的外侧排列成直线状。

[0280] 衬底8具有：阻焊层13、第1衬底焊盘列9\_2、第2衬底焊盘列9\_1和第3衬底焊盘列9\_5。第1衬底焊盘列9\_2、第2衬底焊盘列9\_1、第3衬底焊盘列9\_5分别由分别与构成半导体芯片1的第1焊盘列2\_2、第2焊盘列2\_1、第3焊盘列2\_5的多个焊盘面对面连接的多个衬底焊盘构成。与引用图17说明的同样地，第1衬底焊盘列9\_2是外侧衬底焊盘列，第3衬底焊盘列9\_5是与现有技术同样的内侧衬底焊盘列，第2衬底焊盘列9\_1是实施方式1的内侧衬底焊盘列。在衬底8的以倒装片方式安装半导体芯片1的面的表面上具有阻焊层13，在配置构成第1衬底焊盘列9\_2、第2衬底焊盘列9\_1、第3衬底焊盘列9\_5的多个衬底焊盘的区域上具有阻焊层开口部15。靠近配置的衬底焊盘包含在相同的阻焊层开口部15中。在图19中，由4个衬底焊盘构成的第2衬底焊盘列9\_1配置在1个阻焊层开口部15内，由3个衬底焊盘构成的第3衬底焊盘列9\_5和由7个衬底焊盘构成的第1衬底焊盘列9\_2配置在另1个阻焊层开口部15内。

[0281] 在第2衬底焊盘列9\_1侧(内侧衬底焊盘列侧)，基于包含液状热固化性树脂16的倒装片安装时的粘性、阻焊层13的厚度、半导体芯片1与衬底8之间的间隔的参数，算出配置在1个阻焊层开口部15内的衬底焊盘9的数目。例如可以通过把这些作为参数输入的流体模拟求出。或者，可以例如使用以这些为参数的试制品以实验方式求出。

[0282] 通过在内侧衬底焊盘列中，把配置在1个阻焊层开口部15内的衬底焊盘9的数目限制在算出的数目以下，减少挤出的空气的量，可以抑制产生的空孔19的大小。图19是配置在1个阻焊层开口部15内的衬底焊盘9的数目抑制为4个的例子。在图19中空孔19抑制得比图18所示的例子小，未到达第2衬底焊盘列9\_1的衬底焊盘9\_1\_5。因此，可以预防衬底焊盘9\_1\_5的氧化、腐蚀。

[0283] 半导体器件20通过采用上述的构成，在作为底封胶而预涂敷液状热固化性树脂16之后，即使在进行把半导体芯片1按压粘接到衬底8上的倒装片安装时，也不会在阻焊层开口部15中形成跨过多个衬底焊盘那样的大的空孔，可以提高该半导体器件20的可靠性。另外，在半导体芯片1中，通过以安装在上述的衬底8上为前提，确定配置焊盘的位置，可以提供不会在安装后的半导体器件20的阻焊层开口部15中形成跨过多个衬底焊盘那样的大的空孔而可以提高可靠性的半导体芯片1。

[0284] 在内侧衬底焊盘列中，用来把配置在1个阻焊层开口部15内的衬底焊盘9的数目限

制在算出的数目以下的、衬底焊盘9的配置方法有各种实施方式。

[0285] 图20是示出实施方式6的半导体器件20的衬底8中的衬底焊盘9的配置的一例的布置图。与图17、图18和图19的(a)同样地，是衬底8的俯视图。是在内侧衬底焊盘列中，为了把配置在1个阻焊层开口部15内的衬底焊盘9的数目限制在算出的数目以内，把配置在开口部15\_1和15\_2中的衬底焊盘9的数目分别限制在4个的例子。是通过使配置在开口部15\_1和15\_2之间的衬底焊盘9向第3衬底焊盘列9\_5侧移动，使开口部分离，把各开口部15\_1和15\_2中包含的衬底焊盘的数目限制在4个的例子。用来露出被移动了的衬底焊盘9的阻焊层开口与外侧衬底焊盘列的开口部15结合地形成。根据衬底8的设计规则，开口部间的间隔SR可以为例如 $20\mu m$ ，两个内侧衬底焊盘列9\_1和9\_5的间距PL可以为例如 $100\mu m$ 。这些间隔与实施方式1中说明过的同样地，只要是在内侧衬底焊盘列9\_1和外侧衬底焊盘列9\_2之间配置1个以上导通孔11的距离即可，根据为了扩大间隔所必需的半导体芯片1上的布线所增加的阻抗的大小与通过改善衬底的布线性而降低的阻抗的大小的折衷的关系进行优化设计。另外，在几何学上，考虑焊盘间距和导通孔直径的比而进行优化设计。

[0286] 图21是示出实施方式6的半导体器件20的衬底8中的衬底焊盘9的配置的另一例的布置图。与图17、图18和图19的(a)、图20同样地，是衬底8的俯视图。是在内侧衬底焊盘列9\_1中，为了把配置在1个阻焊层开口部15内的衬底焊盘9的数目限制在算出的数目以内，把配置在开口部15\_1和15\_2中的衬底焊盘9的数目分别限制在4个的例子。是通过使配置在开口部15\_1和15\_2之间的衬底焊盘9\_6进一步向内侧移动，使开口部15\_1和15\_2分离，把各开口部中包含的衬底焊盘的数目限制在4个的例子。用来露出被移动了的衬底焊盘9\_6的阻焊层开口部15\_3独立形成。根据衬底8的设计规则，开口部15\_3与15\_1、15\_2间的间隔SR可以为例如 $20\mu m$ ，两个内侧衬底焊盘列9\_1和移动了的衬底焊盘9\_6的间距PL可以为例如 $100\mu m$ 。与图20比较，可以扩大内侧衬底焊盘列9\_1和外侧衬底焊盘列9\_2之间的空间，可以增大在衬底上配置导通孔时的富余量。

[0287] 图22是示出实施方式6的半导体器件20的衬底8中的衬底焊盘9的配置的又一例的布置图。与图17、图18和图19的(a)、图20、图21同样地，是衬底8的俯视图。是在内侧衬底焊盘列中，为了把配置在1个阻焊层开口部15内的衬底焊盘9的数目限制在算出的数目以内，把配置在开口部15\_1和15\_2中的衬底焊盘9\_7的数目分别限制在4个的例子。是通过使配置在开口部15\_1和15\_2之间的一个衬底焊盘9\_1保留在原位置不动，使两侧的衬底焊盘9\_7进一步向内侧移动，使开口部15\_1和15\_2分离，把各开口部中包含的衬底焊盘的数目限制在4个的例子。分别分离地形成阻焊层开口部15\_1、15\_2、15\_3。根据衬底8的设计规则，开口部15\_3与15\_1、15\_2间的间隔SR可以为例如 $20\mu m$ ，移动了的两个内侧衬底焊盘列9\_1、9\_7的间距PL可以为例如 $100\mu m$ 。与图20比较，可以扩大内侧衬底焊盘列9\_7和外侧衬底焊盘列9\_2之间的空间，可以增大在衬底上配置导通孔时的富余量。

[0288] [实施方式7]<阻焊层开口部的形状>

[0289] 说明用来解决上述的新问题的第2解决方案(即，基于提高通过开口部15的液状热固化性树脂16的流速、消除与从开口部15两侧绕进的液状热固化性树脂16的流速的差这样的技术思想的解决方案)中的1个实施方式。

[0290] 图23是示出实施方式7的半导体器件的衬底中的阻焊层开口部的形状的一例的布置图。与图17、图18和图19的(a)、图20、图21、图22同样地，是衬底8的俯视图。是在内侧衬底

焊盘列中,取代限制配置在1个阻焊层开口部15内的衬底焊盘9的数目,而对开口部15的形状下工夫的例子。

[0291] 半导体芯片1虽然在图23中未图示,但与图1、图19同样地,具有第1焊盘列2\_2(外侧焊盘列)、第2焊盘列2\_1(实施方式1的内侧焊盘列)和第3焊盘列2\_5(与现有技术同样的内侧焊盘列)。衬底8具有:阻焊层13、第1衬底焊盘列9\_2、第2衬底焊盘列9\_1和第3衬底焊盘列9\_5。各自的构成与引用图19说明的相同,所以在此省略说明。

[0292] 在图23中,由6个衬底焊盘构成的第2衬底焊盘列9\_1(内侧衬底焊盘列)配置在1个阻焊层开口部15\_4内,由3个衬底焊盘构成的第3衬底焊盘列9\_5和由7个衬底焊盘构成的第1衬底焊盘列9\_2配置在不同的阻焊层开口部15内。阻焊层开口部15\_4在离第1衬底焊盘列9\_2远的边(芯片的内侧方向的边)上,在与多个衬底焊盘9\_1的间隙面对面的位置具有凹部;在离第1衬底焊盘列9\_2近的边(芯片的外侧方向的边)上,在与多个衬底焊盘9\_1的各边面对面的位置具有凸部。图23中示出开口部15\_4以曲线构成的例子,但也可以是以折线构成的多角形。

[0293] 在图23中,用箭头示出液状热固化性树脂16的流动17。预涂敷区域18在安装位置29的中央附近,在图23中是朝上方向。液状热固化性树脂16从内侧向外侧挤压流动。通过阻焊层13的开口部15\_4的液状热固化性树脂16的流动像17\_3所示的那样集中在离阻焊层开口部15\_4的内侧方向近的边的凹部。这是因为,从内侧挤压流动的液状热固化性树脂16在到达凹部之前,先到达凸部,因阻焊层13的台阶而流速下降,所以方向改变到凹部。液状热固化性树脂16的流动集中到凹部,像箭头17\_4所示的那样,通过衬底焊盘9\_1的间隙而流动。此时,由于流动集中,所以与箭头17\_1、17\_2所示的通过开口部15两侧的液状热固化性树脂16相比流速不会变慢,或者变慢的程度比图18所示的例子有所缓和。而且,在离阻焊层开口部15\_4的外侧方向近的边上,液状热固化性树脂16的流动像箭头17\_5所示的那样集中到与多个衬底焊盘9\_1的各边面对面的位置的凸部。这是因为,为了越过阻焊层13的台阶,流速变慢。其结果,通过开口部15\_4的液状热固化性树脂16的流动17\_3、17\_4、17\_5与通过开口部15\_4的两侧而绕进开口部15\_4的外侧的液状热固化性树脂16的流动17\_1、17\_2相比,为同等的速度,或者即使变慢其程度也比图18所示的例子有所缓和。可以减少被挤出到开口部15\_4的端部、无法逸出而被封入的空气的量。另外,封入的空气也被分散到各凸部,所以形成空孔19的位置也被分散到各凸部,可以防止产生空孔跨过多个衬底焊盘9地形成的问题,或者即使产生其概率也大幅度减小。因此,与实施方式6相比,可以增加在1个开口部15\_4内能够包含的衬底焊盘9\_1的数目。

[0294] 由此,在进行了把液状热固化性树脂16作为底封胶而预涂敷了之后,把半导体芯片1挤压在衬底8上进行粘接的倒装片安装时,也不会在阻焊层开口部15形成跨过多个衬底焊盘那样的大的空孔19,可以提高半导体器件20的可靠性。

[0295] (实施方式8)<使阻焊层开口部内的衬底焊盘的间隙变窄>

[0296] 说明用来解决上述的新问题的第2解决方案(即,基于提高通过开口部15的液状热固化性树脂16的流速、消除与从开口部15两侧绕进的液状热固化性树脂16的流速的差这样的技术思想的实施方式)中的其它实施方式。

[0297] 图24是示出实施方式8的半导体器件的衬底中的衬底焊盘的配置的一例的布置图。与图23等同样地,是衬底8的俯视图,未图示的半导体芯片1的焊盘列2\_2、2\_1、2\_5、图示

的衬底焊盘列9\_2、9\_1、9\_5与图23相同。各自的构成与引用图19、图23说明的相同,所以在  
此省略说明。阻焊层开口部15\_5的形状与图18、图19等同样地为方形,但在本实施方式8中,  
衬底焊盘列9\_1的间隙尽可能窄地形成。箭头17\_6所示的流过衬底焊盘列9\_1的间隙的液状  
热固化性树脂16的流速因为毛细管现象而比图19所示的例子中的流过衬底焊盘列9\_1的间  
隙的液状热固化性树脂16的流速快。其结果,通过开口部15\_5的液状热固化性树脂16的流动  
17\_6与通过开口部15\_5两侧绕进开口部15\_5的外侧的液状热固化性树脂16的流动17\_1、  
17\_2相比,为同等的速度,或者即使变慢其程度也比图18所示的例子有所缓和。可以减少挤  
出到开口部15\_5的端部、无法逸出而被封入的空气的量。因此,与实施方式6相比,可以增加  
在1个开口部15\_5内能够包含的衬底焊盘9\_1的数目。

[0298] 由此,在进行了把液状热固化性树脂16作为底封胶预涂敷了之后,把半导体芯片1  
挤压在衬底8上进行粘接的倒装片安装时,也不会在阻焊层开口部15形成跨过多个衬底焊  
盘那样的大的空孔19,可以提高半导体器件20的可靠性。

[0299] (实施方式9)<阻焊层开口部内的衬底焊盘的形状>

[0300] 说明用来解决上述的新问题的第2解决方案(即,基于提高通过开口部15的液状热  
固化性树脂16的流速、消除与从开口部15两侧绕进的液状热固化性树脂16的流速的差这样  
的技术思想的的实施方式)中的其它实施方式。

[0301] 图25是示出实施方式9的半导体器件的衬底中的阻焊层开口部15\_6内配置的衬底  
焊盘9\_1的形状的一例的布置图。与图23、图24等同样地,是衬底8的俯视图,未图示的半导  
体芯片1的焊盘列2\_2、2\_1、2\_5、图示的衬底焊盘列9\_2、9\_1、9\_5与图23、图24相同。各自的  
构成与引用图19、图23等说明的相同,所以在此省略说明。阻焊层开口部15\_6的形状与图  
18、图19、图24等同样地为方形,但在本实施方式9中,对构成内侧衬底焊盘列的衬底焊盘9\_  
1的形状下工夫。构成阻焊层开口部15\_6内的内侧衬底焊盘列的衬底焊盘9\_1分别在离外侧  
衬底焊盘列远的边上具有凸部。通过阻焊层13的开口部15\_6的液状热固化性树脂16的流动  
像17\_7所示的那样集中到多个衬底焊盘9\_1相互间的间隙。液状热固化性树脂16的流动集  
中到衬底焊盘9\_1的间隙,像箭头17\_8所示的那样,通过衬底焊盘9\_1的间隙地流动。此时,  
由于流动集中,所以与箭头17\_1所示的通过开口部15两侧的液状热固化性树脂16相比流速  
不会变慢,或者变慢的程度比图18所示的例子有所缓和。因此,可以减少被挤出到开口部  
15\_6的端部无法逸出而被封入的空气的量。而且,如果分别在离外侧衬底焊盘列近的边上  
也在衬底焊盘9\_1上设置凸部,则液状热固化性树脂16的流动像箭头17\_9所示的那样被引  
导,可以使封入的空气、即空孔19的产生位置分散。

[0302] 像以上那样,可以防止产生空孔19跨过多个衬底焊盘9地形成的问题,或者即使产  
生其概率也大幅度减小。因此,与实施方式6相比,可以增加在1个开口部15\_6内能够包含的  
衬底焊盘9\_1的数目。

[0303] 由此,在进行了把液状热固化性树脂16作为底封胶而预涂敷了之后,把半导  
体芯片1按压在衬底8上进行粘接的倒装片安装时,也不会在阻焊层开口部15\_6中形成跨过多个  
衬底焊盘那样的大的空孔19,可以提高半导体器件20的可靠性。

[0304] (实施方式10)<与阻焊层开口部的两端的衬底焊盘连接的朝外的布线造成的毛细  
管现象>

[0305] 说明用来解决上述的新问题的第3解决方案(即,基于通过使从开口部15两侧绕进

的液状热固化性树脂16延迟到达开口部15的外侧,减少封入的空气的量,抑制产生的空孔19的大小这样的技术思想的实施方式)。

[0306] 图26是示出实施方式10的半导体器件的衬底中的衬底焊盘和布线的配置的一例的布置图。(a)与图17、图18和图19的(a)、图20~图25同样地,是衬底8的俯视图,(b)是(a)的X-Y剖面图。未图示的半导体芯片1的焊盘列2\_2、2\_1、2\_5、图示的衬底焊盘列9\_2、9\_1、9\_5与图18相同,各自的构成与引用图18说明的相同,所以在此省略说明。

[0307] 在本实施方式10中,在衬底8上,布设把内侧衬底焊盘列9\_1的衬底焊盘与衬底焊盘列9\_5或构成外侧衬底焊盘列9\_2的衬底焊盘之间电连接的布线12\_11~12\_15。内侧衬底焊盘列9\_1的衬底焊盘9\_1\_11和9\_1\_15分别经由布线12\_11和12\_15与衬底焊盘列9\_5的衬底焊盘9\_5\_11和9\_5\_15连接。衬底焊盘9\_1\_12和9\_1\_14分别经由布线12\_12和12\_14与外侧衬底焊盘列9\_1的衬底焊盘9\_2\_12和9\_2\_13连接。衬底焊盘9\_1\_13经由布线12\_13与导通孔11连接。

[0308] 像芯片安装状态的X-Y剖面的剖面图(b)所示的那样,布线12\_11~12\_15被阻焊层13覆盖。反过来说,在布线12\_11~12\_15之上,阻焊层13与半导体芯片1的衬底8的间隙变窄。在间隙的狭窄部分,由于毛细管现象而促进液状热固化性树脂16的流动,流速加快。

[0309] 在俯视图(a)中,用箭头17表示在预涂敷了液状热固化性树脂16之后,挤压半导体芯片1时的液状热固化性树脂16的流动。预涂敷区域18在安装位置29的中央附近,所以液状热固化性树脂16从内侧向外侧(图26中从上到下)挤压流动。此时,通过阻焊层13的开口部15\_7的液状热固化性树脂16比通过开口部15\_7两侧的液状热固化性树脂16流速慢。如果通过开口部15\_7的两侧而绕进开口部15\_7的外侧的液状热固化性树脂16的流动比通过开口部15\_7的液状热固化性树脂16更早到达开口部15\_7的外侧,则被挤出的空气无法逸出而被封入开口部15\_7的端部。这就成为气泡即空孔19,在液状热固化性树脂固化之后也残留在底封胶16内。但是,在本实施方式10中,通过开口部15\_7的两侧而绕进开口部15\_7的外侧的液状热固化性树脂16的流动17\_2被引导到布线12\_11和12\_15的方向。像(b)所示的那样,在布线12\_11和12\_15的上部,与其它部分相比在半导体芯片1和衬底8之间的间隙狭窄,所以因毛细管现象而促进液状热固化性树脂16的流动17\_10。因此,绕进开口部15\_7的外侧的液状热固化性树脂16的流动17\_11减少。另一方面,通过开口部15\_7的液状热固化性树脂16由于有布线12\_12~12\_14,所以因毛细管现象而促进液状热固化性树脂16的流动17\_12等。

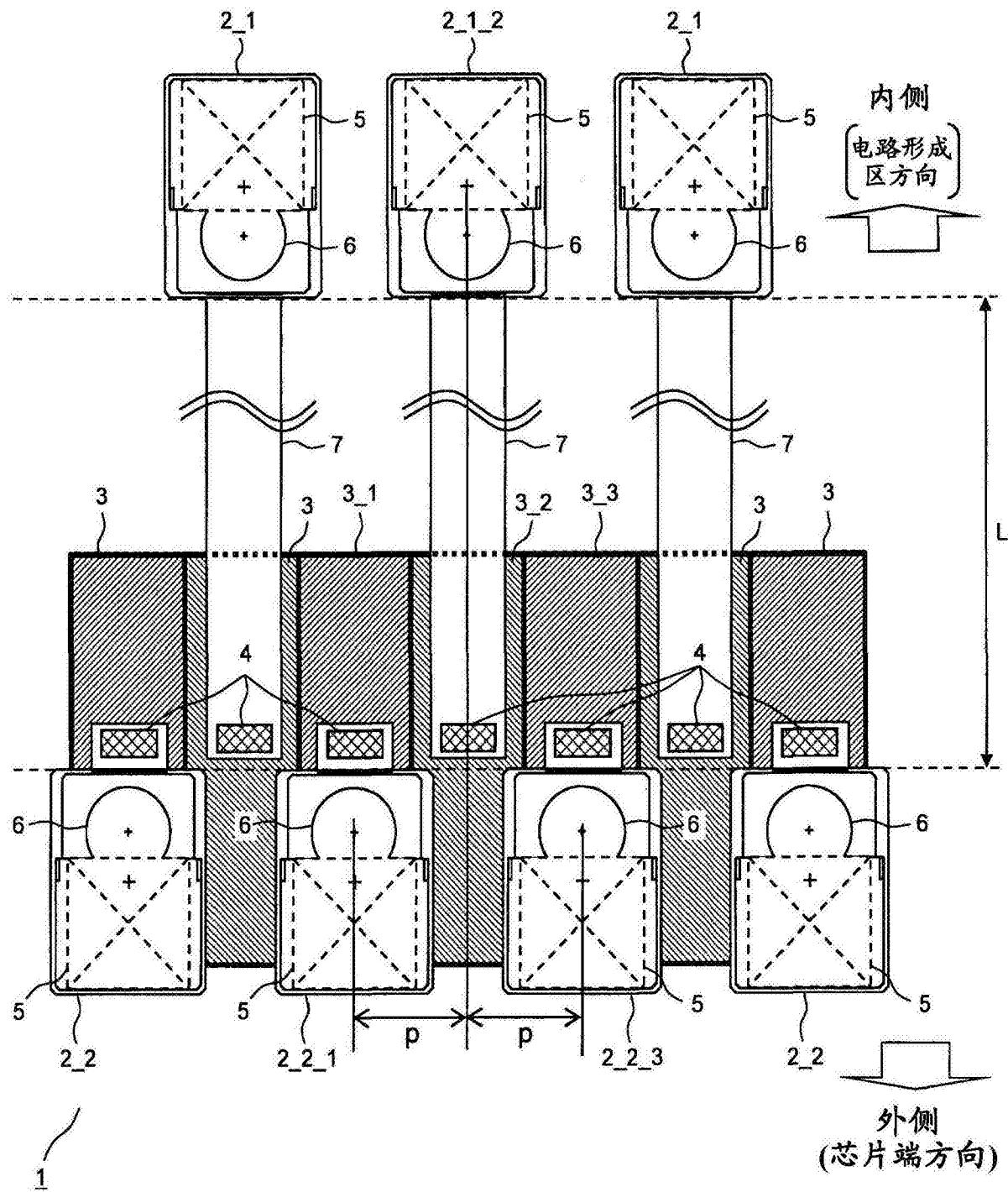
[0310] 像以上那样,通过开口部15\_7的液状热固化性树脂16的流动17\_12因毛细管现象而被促进,另一方面,通过开口部15\_7的两侧而绕进开口部15\_7的外侧的液状热固化性树脂16的流动17\_2被引导到布线12\_11和12\_15的方向而减少,所以从开口部15\_7挤出而无法逸出的空气的量减少或者消失。空孔19的大小取决于无法逸出的空气的量,由于该空气的量减少,所以可以减小产生的空孔的大小或者抑制空孔的产生。

[0311] 在图26的右侧,例示了不是把开口部15\_7的端部的衬底焊盘9\_1\_16与衬底焊盘9\_5\_15连接、而是把在它内侧的衬底焊盘9\_1\_15与衬底焊盘9\_5\_15连接的布线12\_15,但是利用把布线与开口部15\_7的端部的衬底焊盘9\_1\_16连接的方案时更有效。这是因为,不再需要考虑跨过衬底焊盘9\_1\_15和9\_1\_16的空孔19的产生。另外,布线12\_12~12\_14只要能够引导液状热固化性树脂16的流动和空气的流动,使无法逸出的空气的量减少或者消失就够了,所以无须一定要与衬底焊盘9电连接。

[0312] 半导体器件20通过采用上述的构成,即使在作为底封胶而预涂敷液状热固化性树脂16之后,在进行把半导体芯片1按压并粘接到衬底8上的倒装片安装时,也不会在阻焊层开口部15中形成跨过多个衬底焊盘那样的大的空孔,可以提高该半导体器件20的可靠性。另外,在半导体芯片1中,通过以安装在上述的衬底8上为前提确定配置焊盘的位置,可以提供不会在安装后的半导体器件20的阻焊层开口部15中形成跨过多个衬底焊盘那样的大的空孔、可以提高可靠性的半导体芯片1。例如,可以对与衬底焊盘9\_1\_11和9\_5\_11面对面的半导体芯片1的焊盘2\_1\_11和2\_5\_11或与衬底焊盘9\_1\_15和9\_5\_15面对面的半导体芯片1的焊盘2\_1\_15和2\_5\_15分配同电位的信号,以在衬底8之上形成短路的布线。例如,可以使它们为电源焊盘或接地焊盘。

[0313] 以上基于实施方式具体地说明了本发明人完成的发明,但本发明不限于此,在不脱离本发明的主要发明构思的前提下,可以做出各种变更。

[0314] 例如,在输入输出单元列和其两侧隔开预定的间隔配置的内侧焊盘列(in-line pad)和外侧焊盘列(out-line pad),既可以设置在长方形的半导体芯片的四边上,也可以设置在一部分边上。另外,也可以只在边的一部分上实施。而且,也可以在边的每一部分上混合实施方式1~3和以往的焊盘配置地形成。而且,也可以组合实施方式6~10。



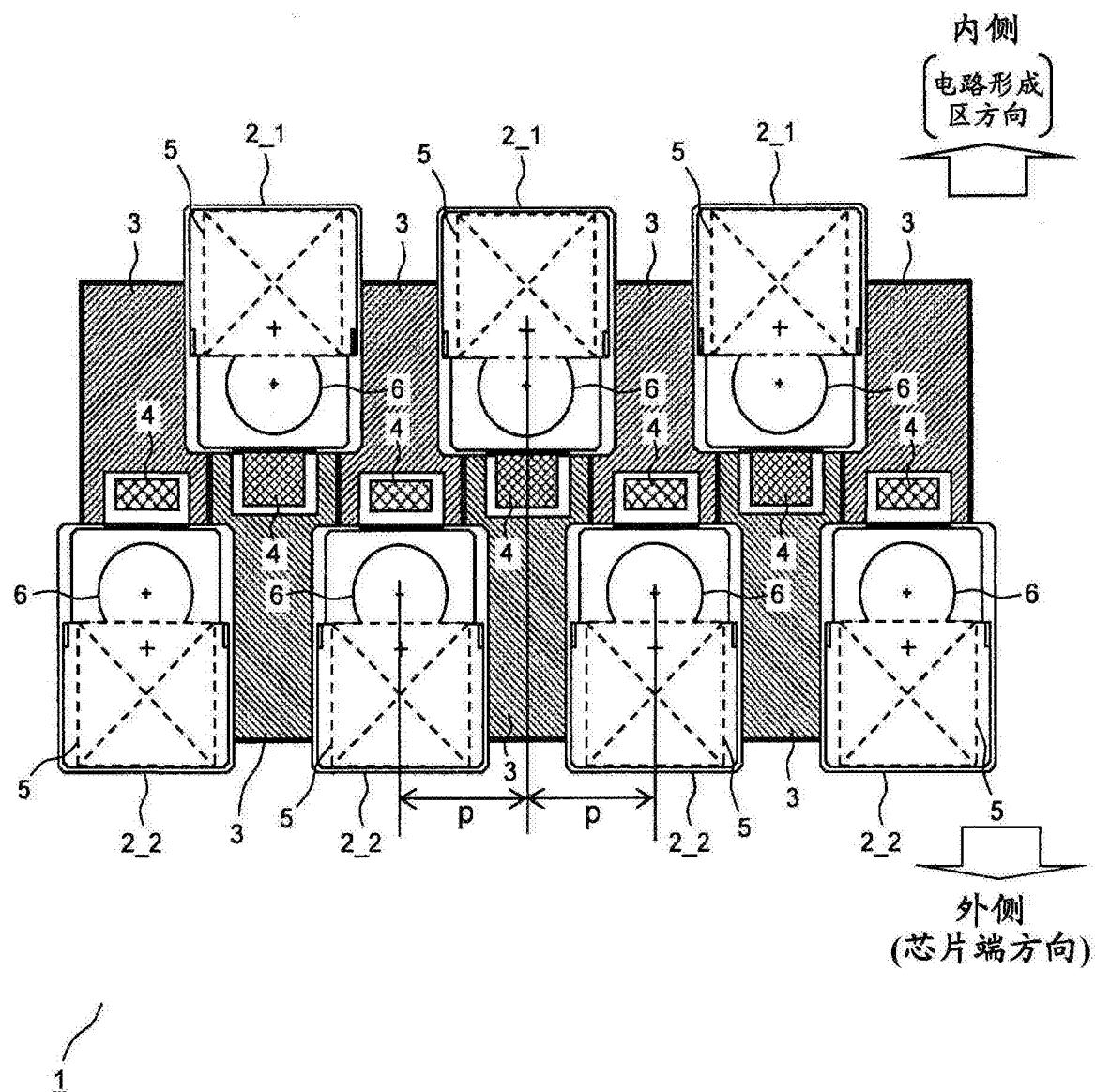


图2

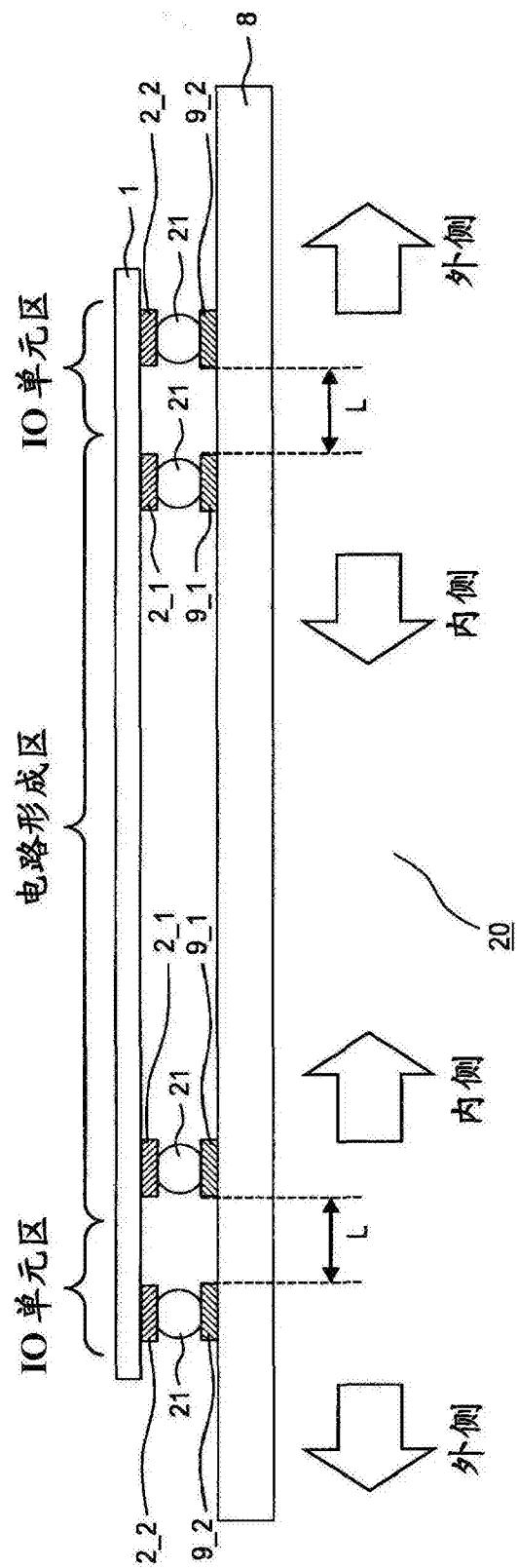


图3

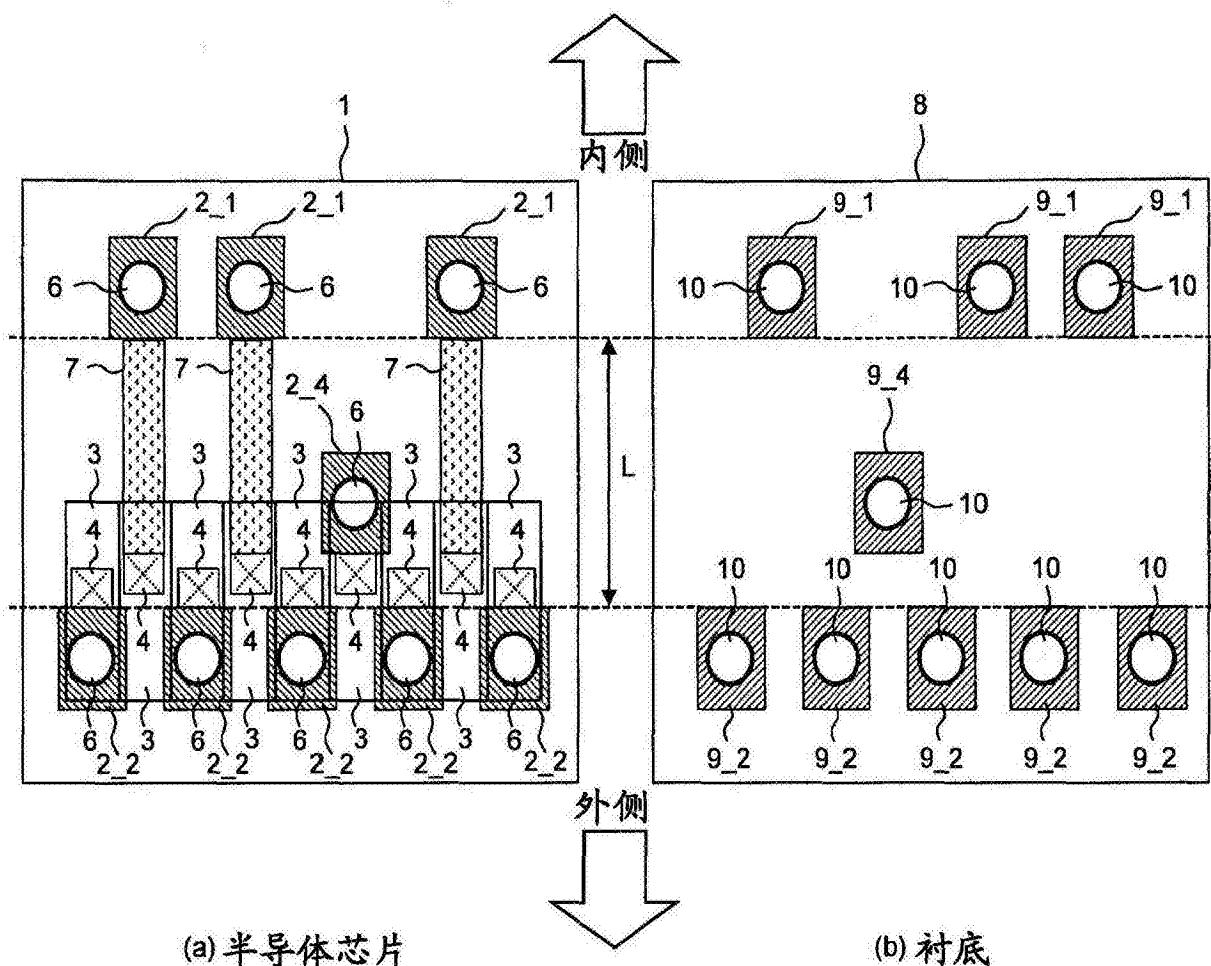


图4

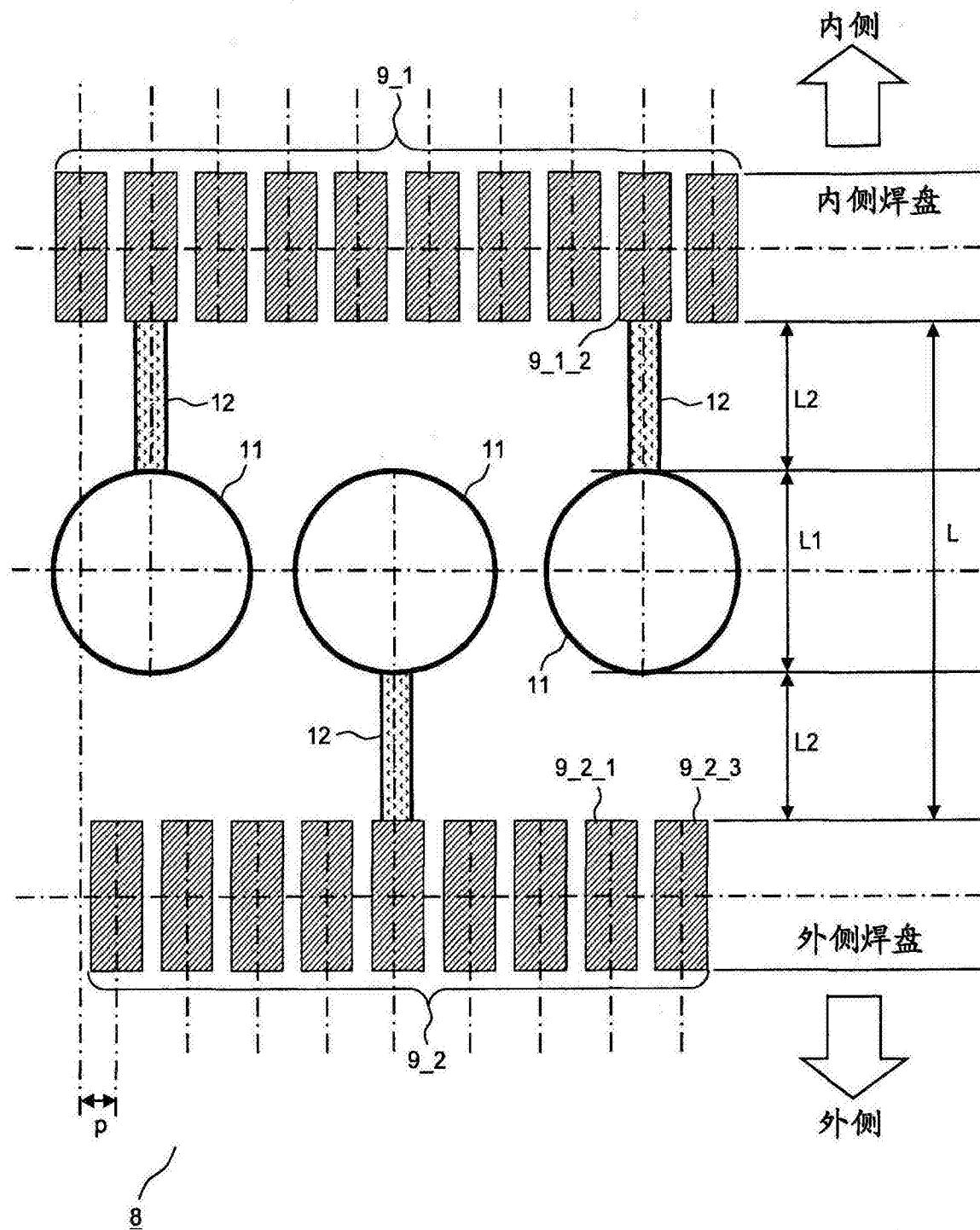


图5

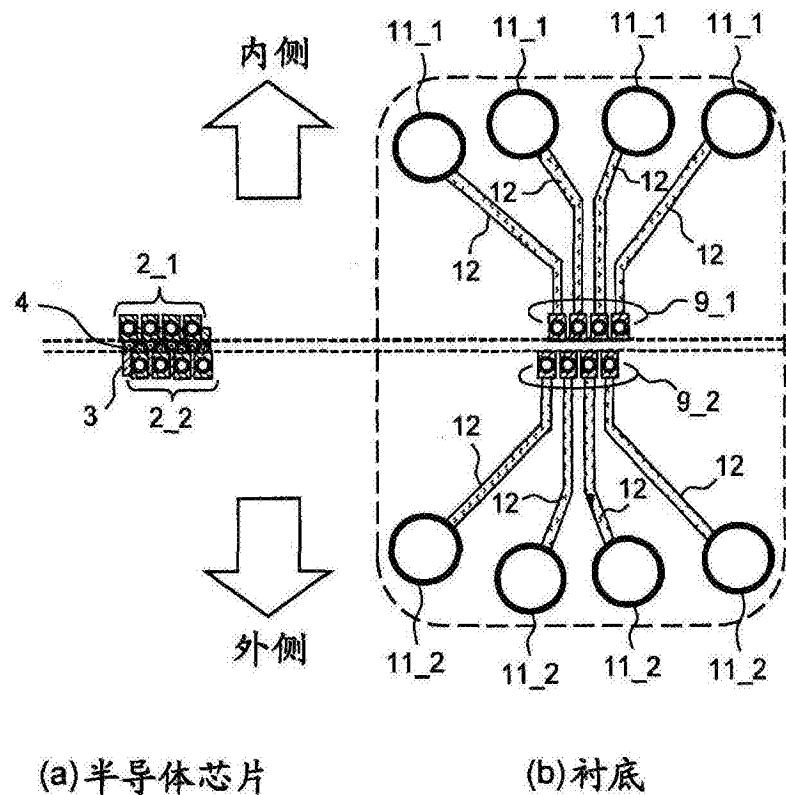


图6

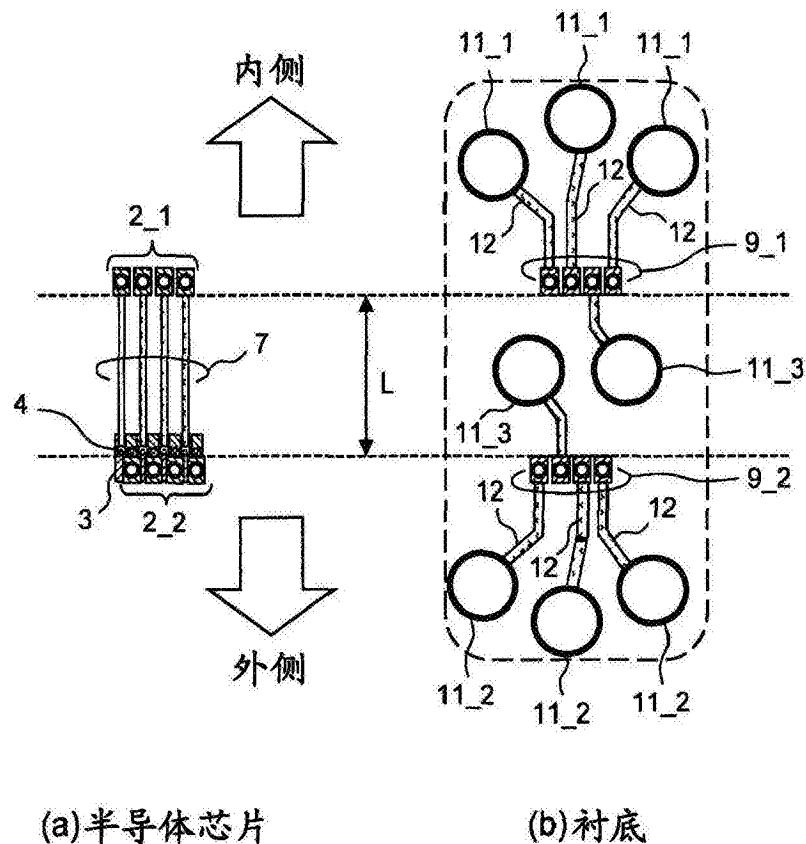


图7

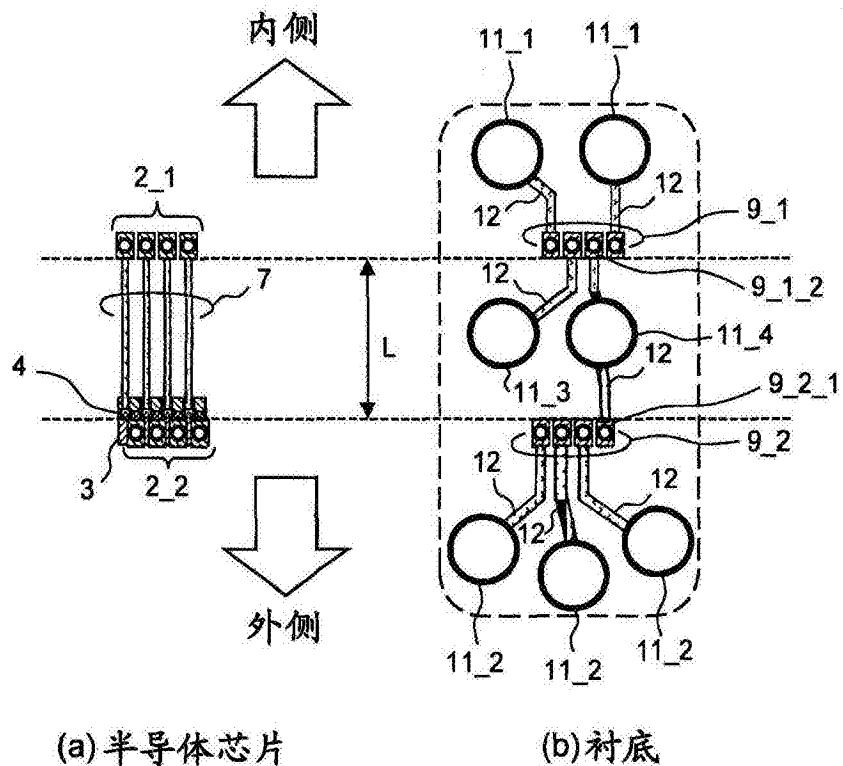


图8

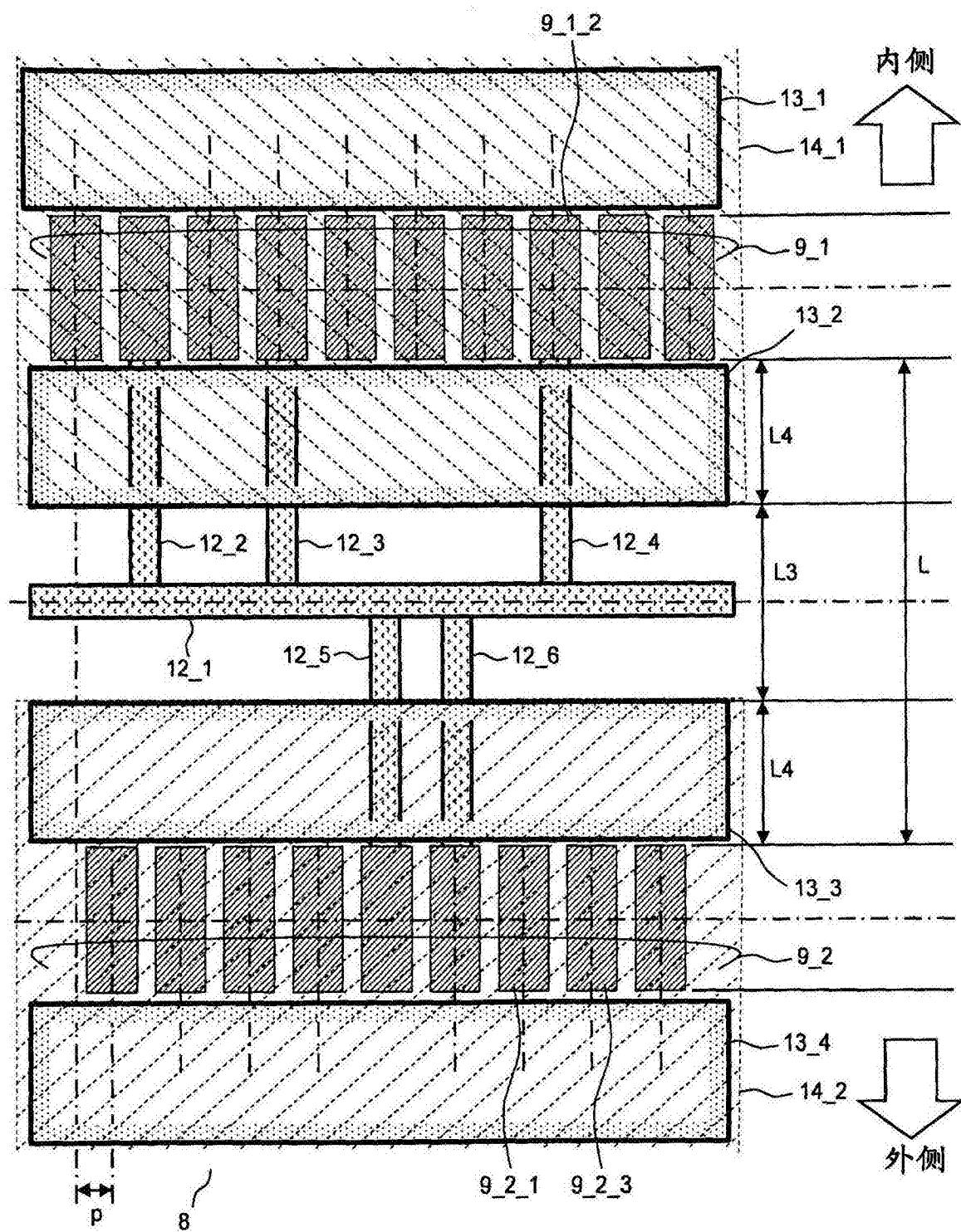


图9

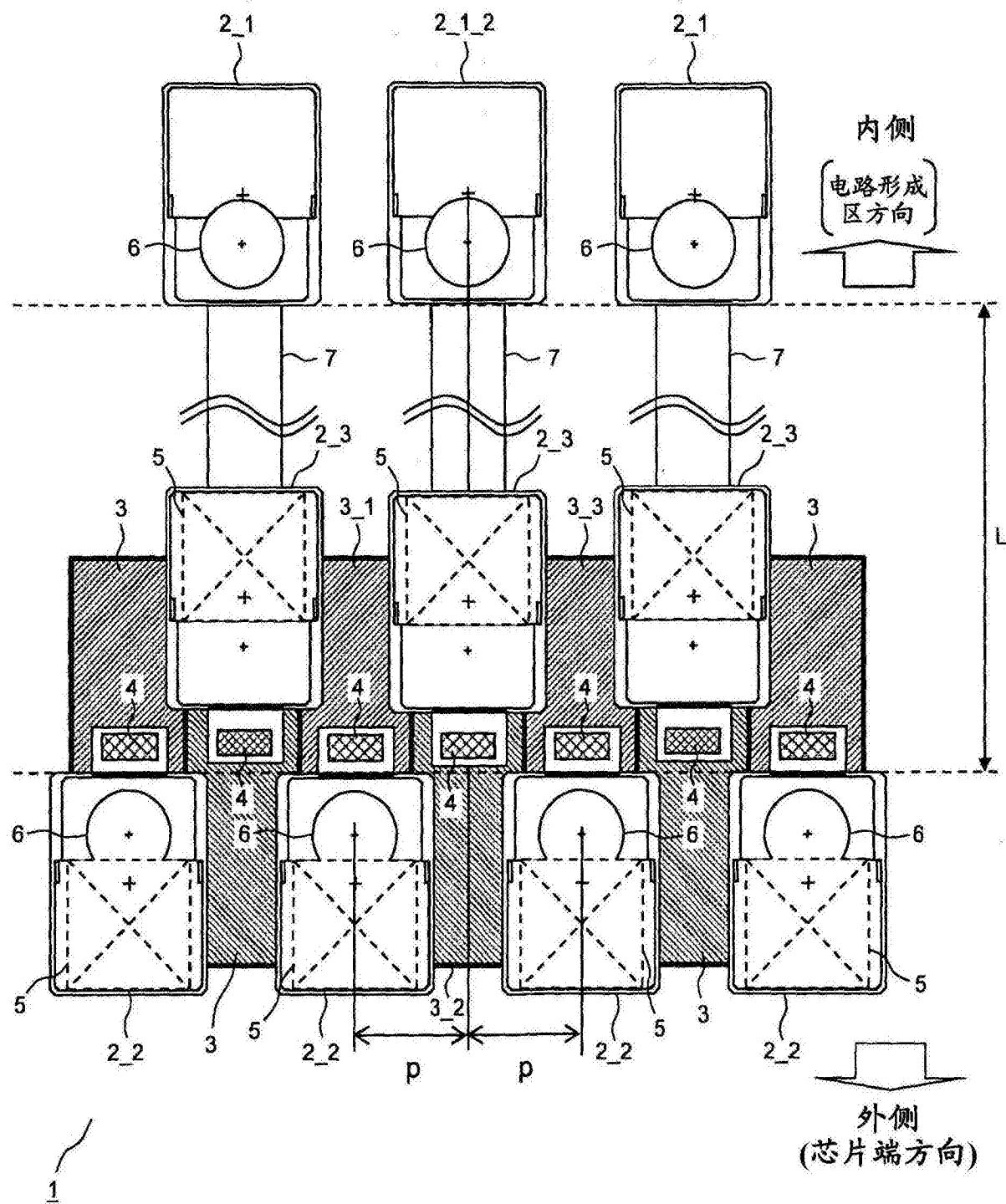


图10

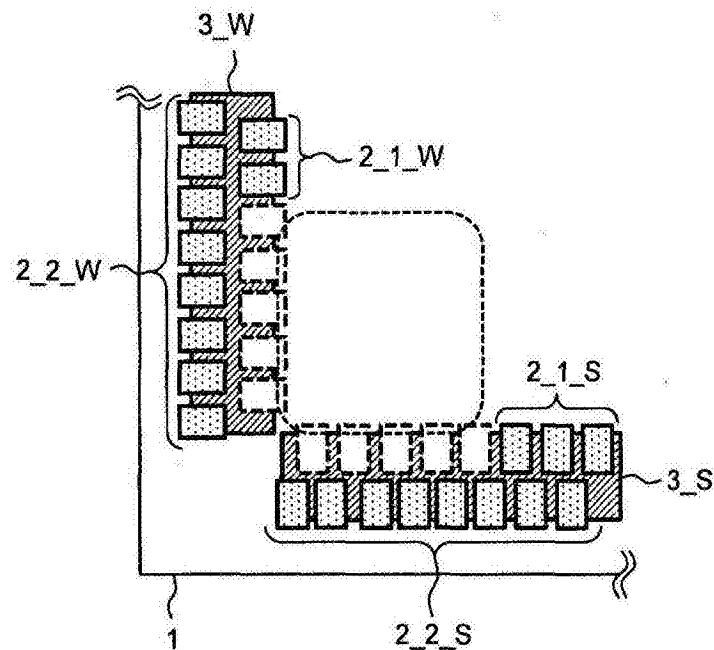


图11

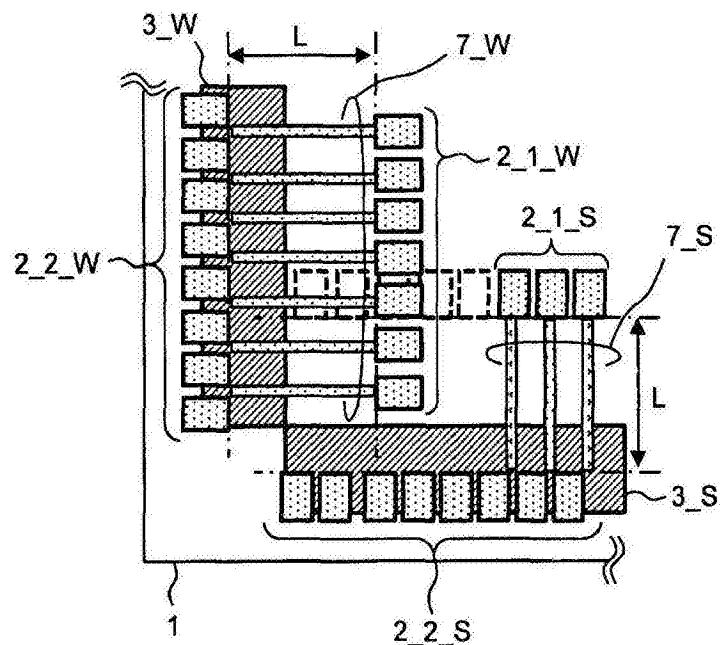


图12

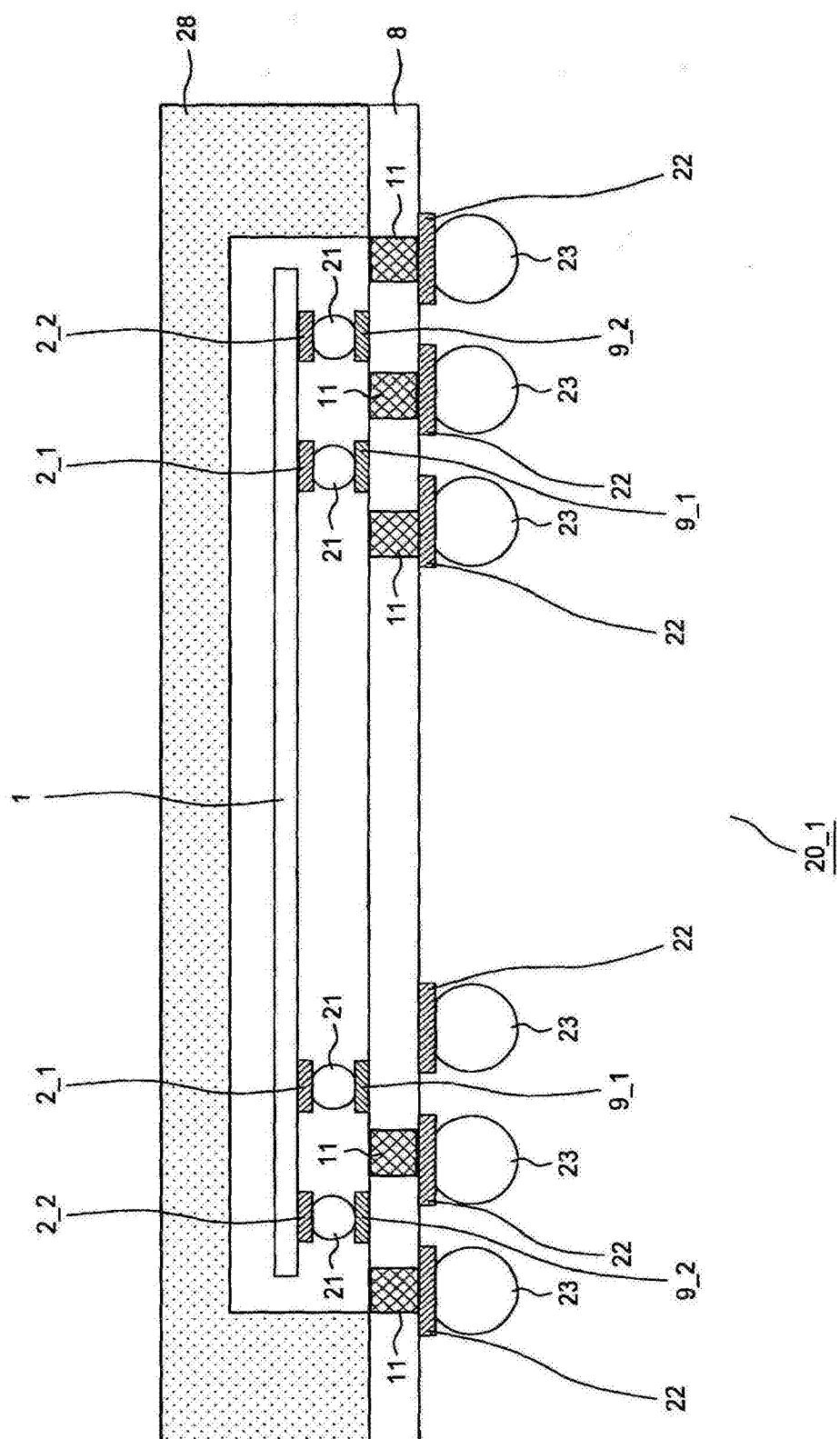


图13

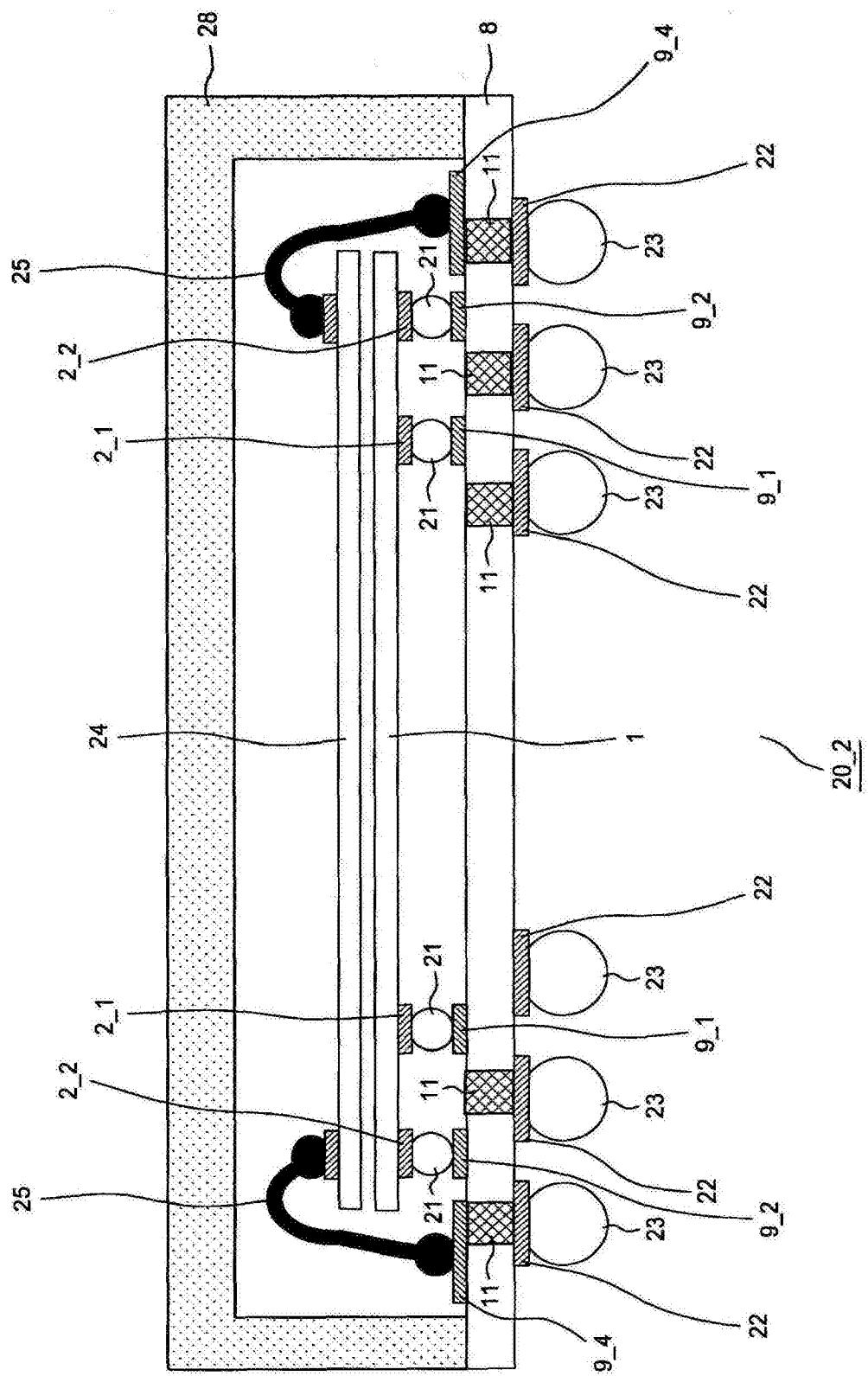


图14

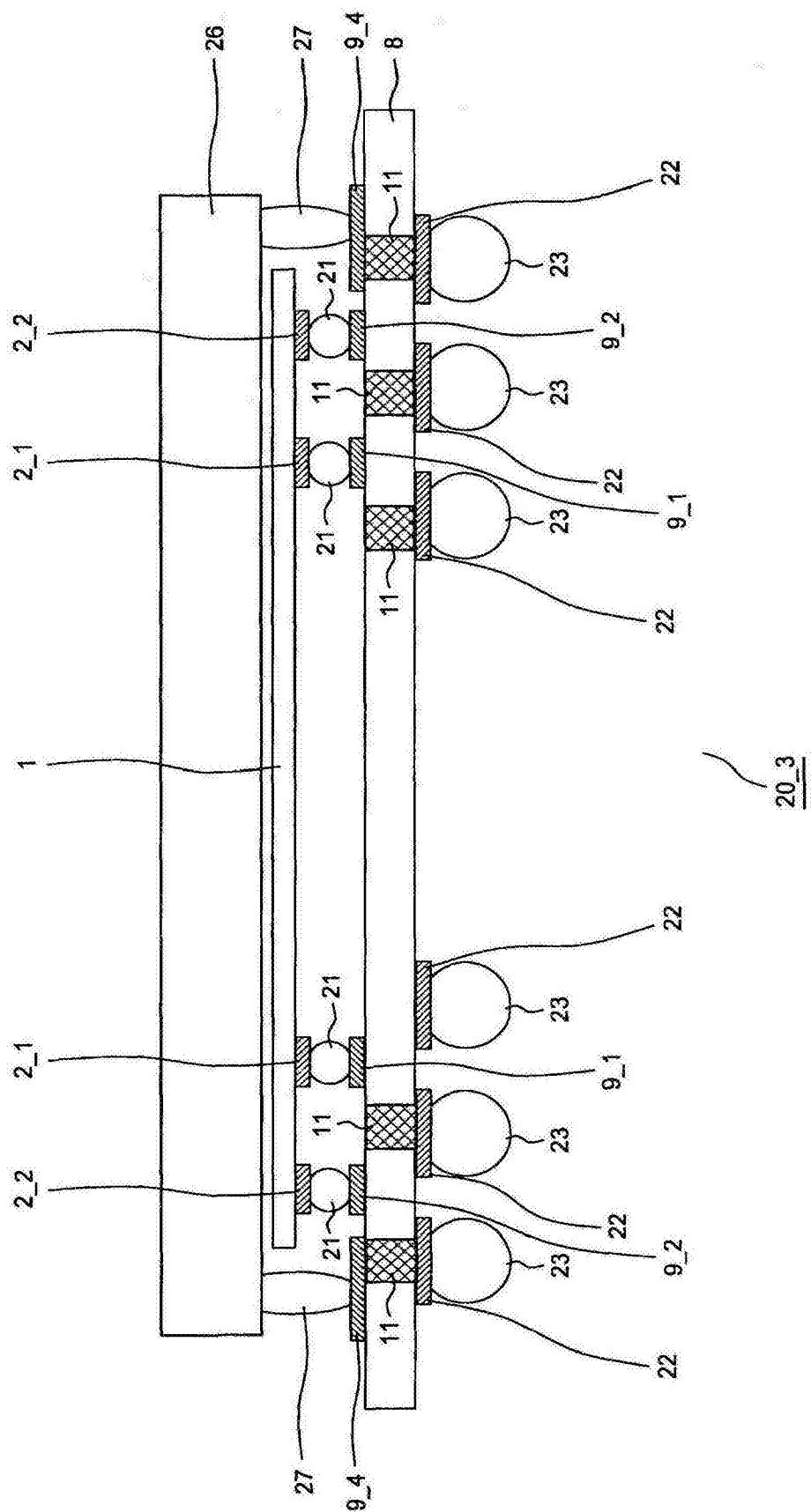


图15

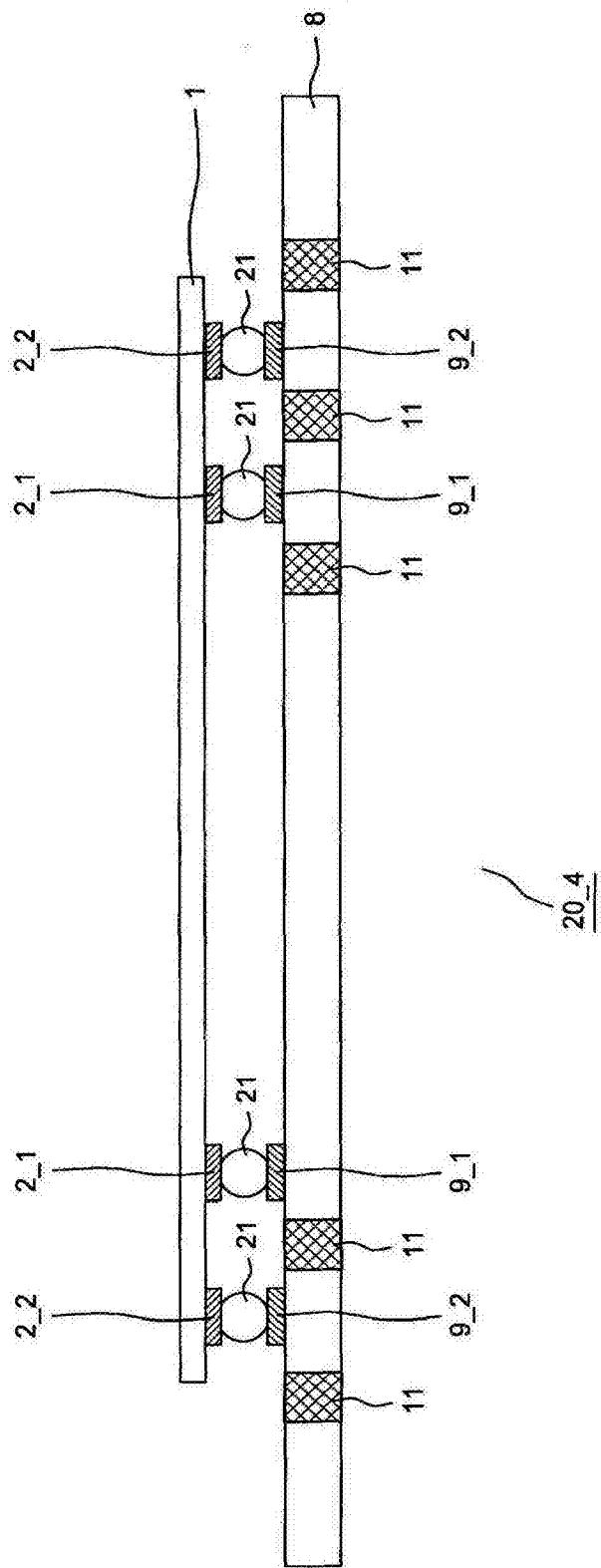


图16

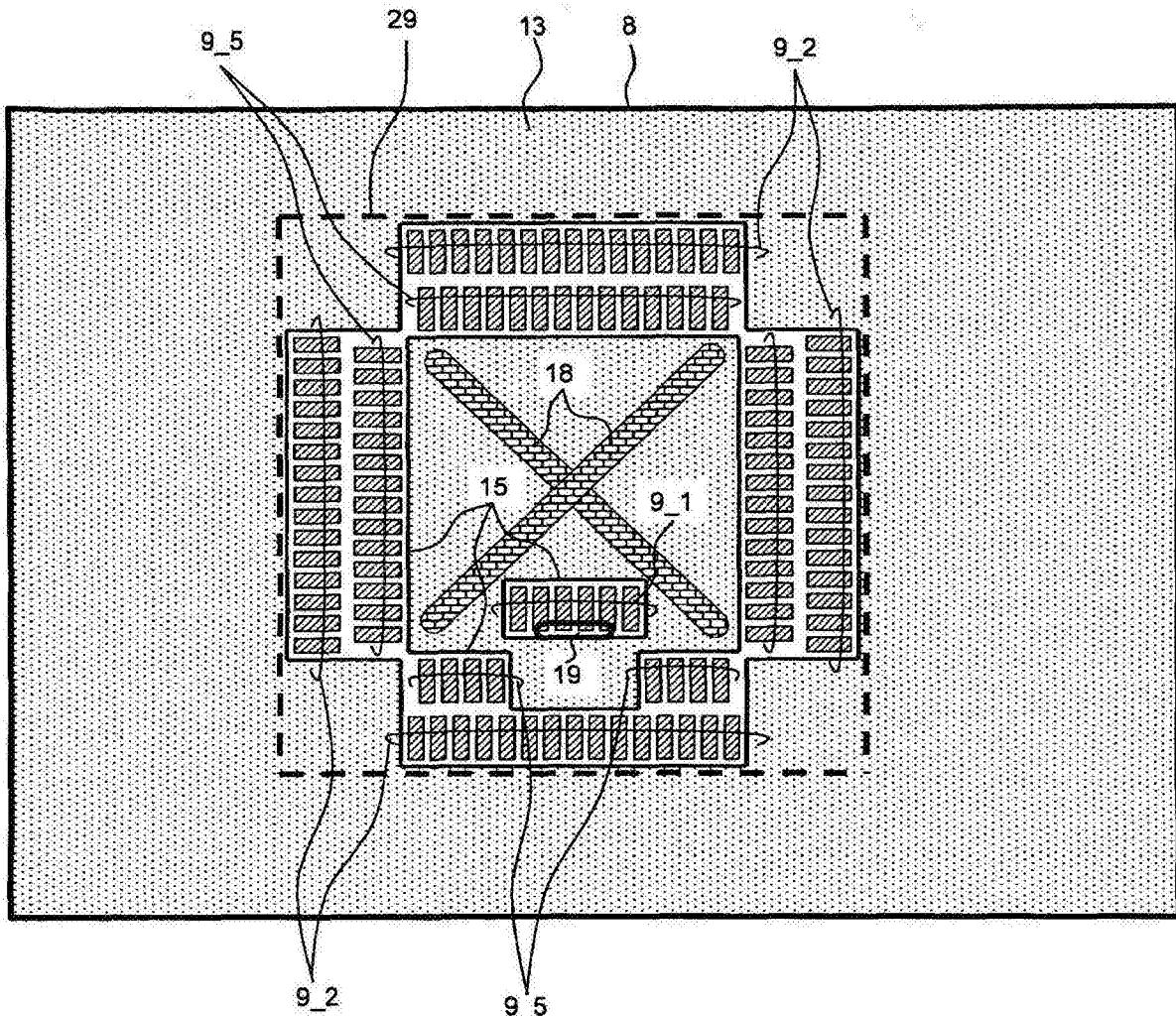


图17

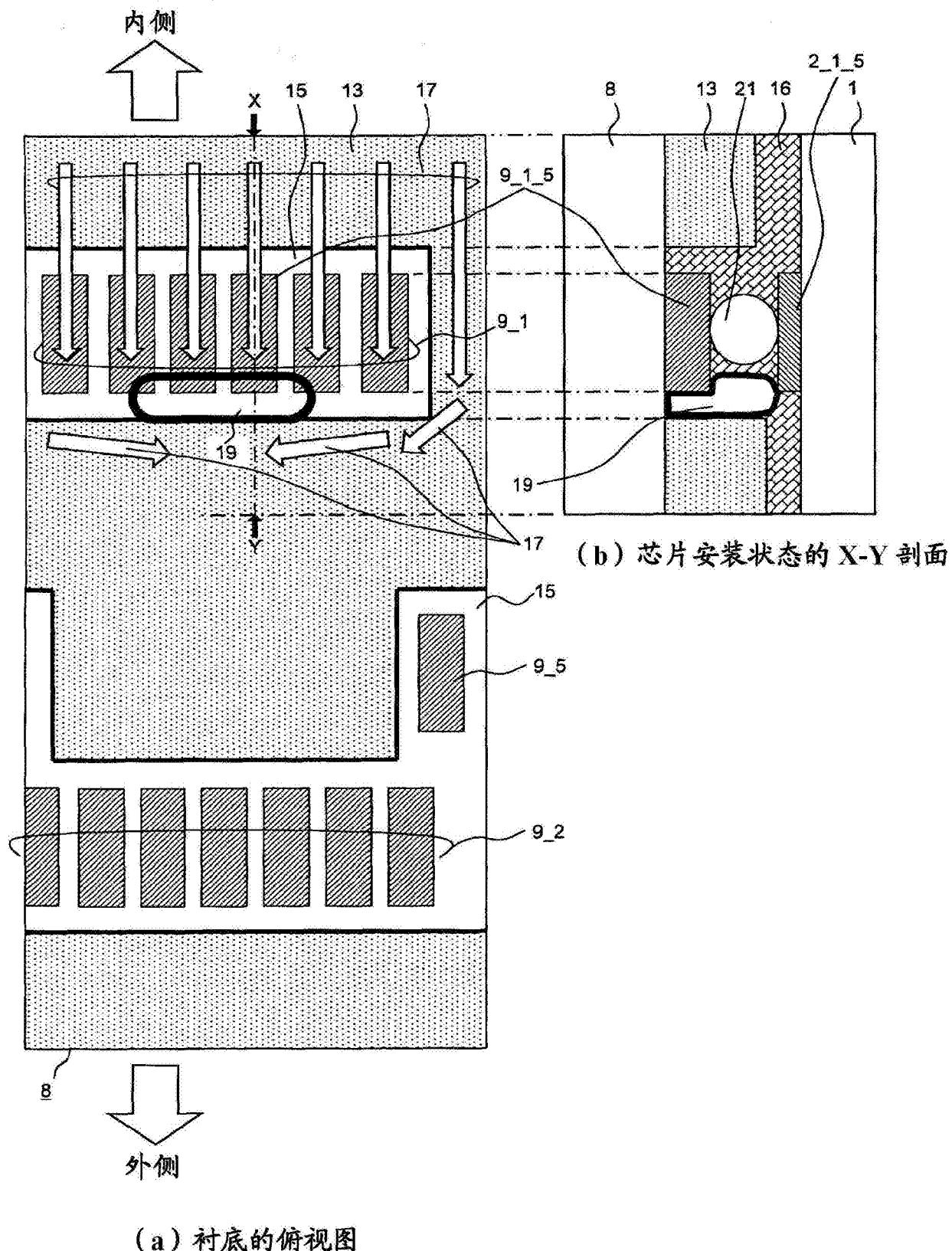


图18

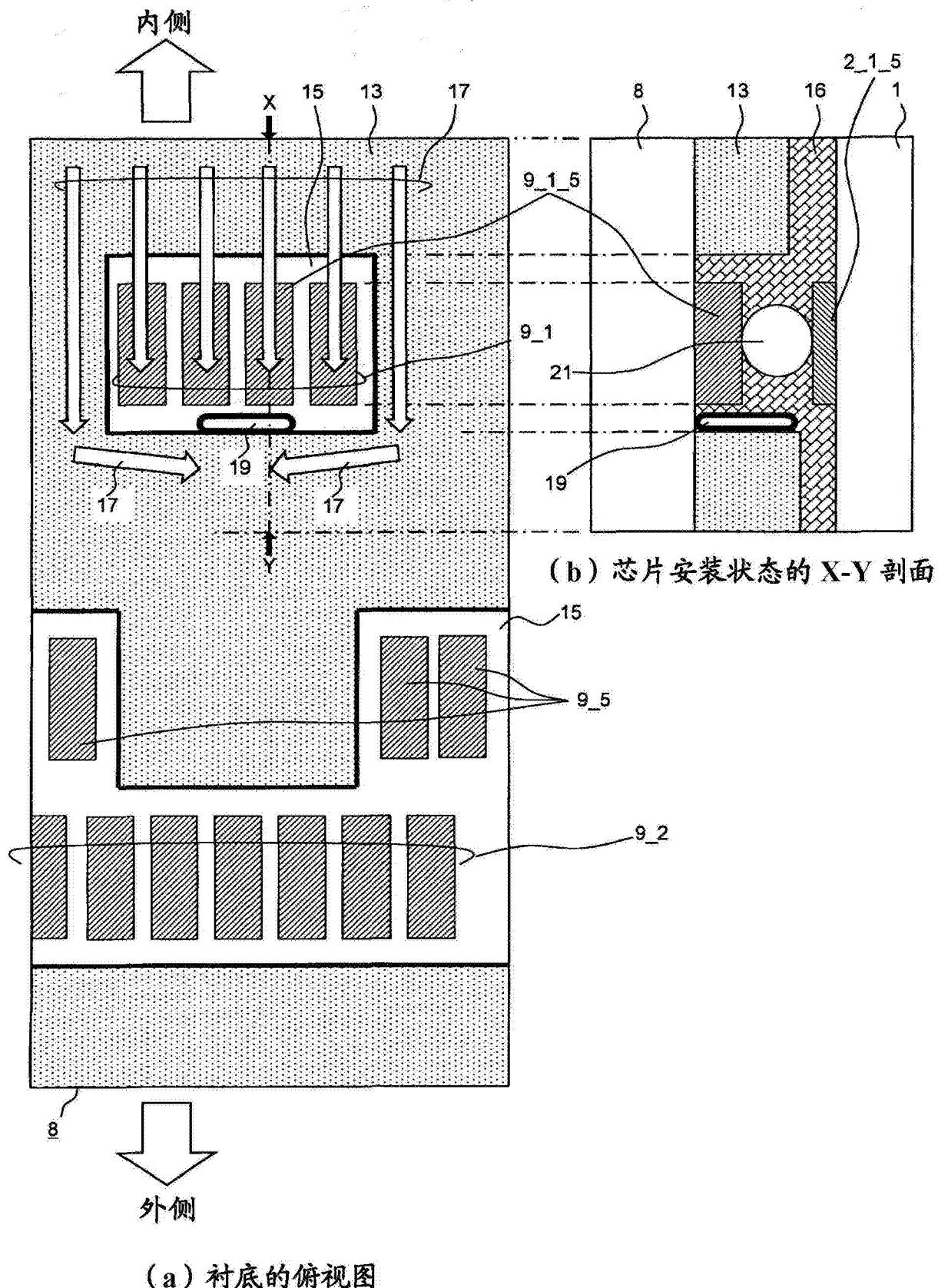


图19

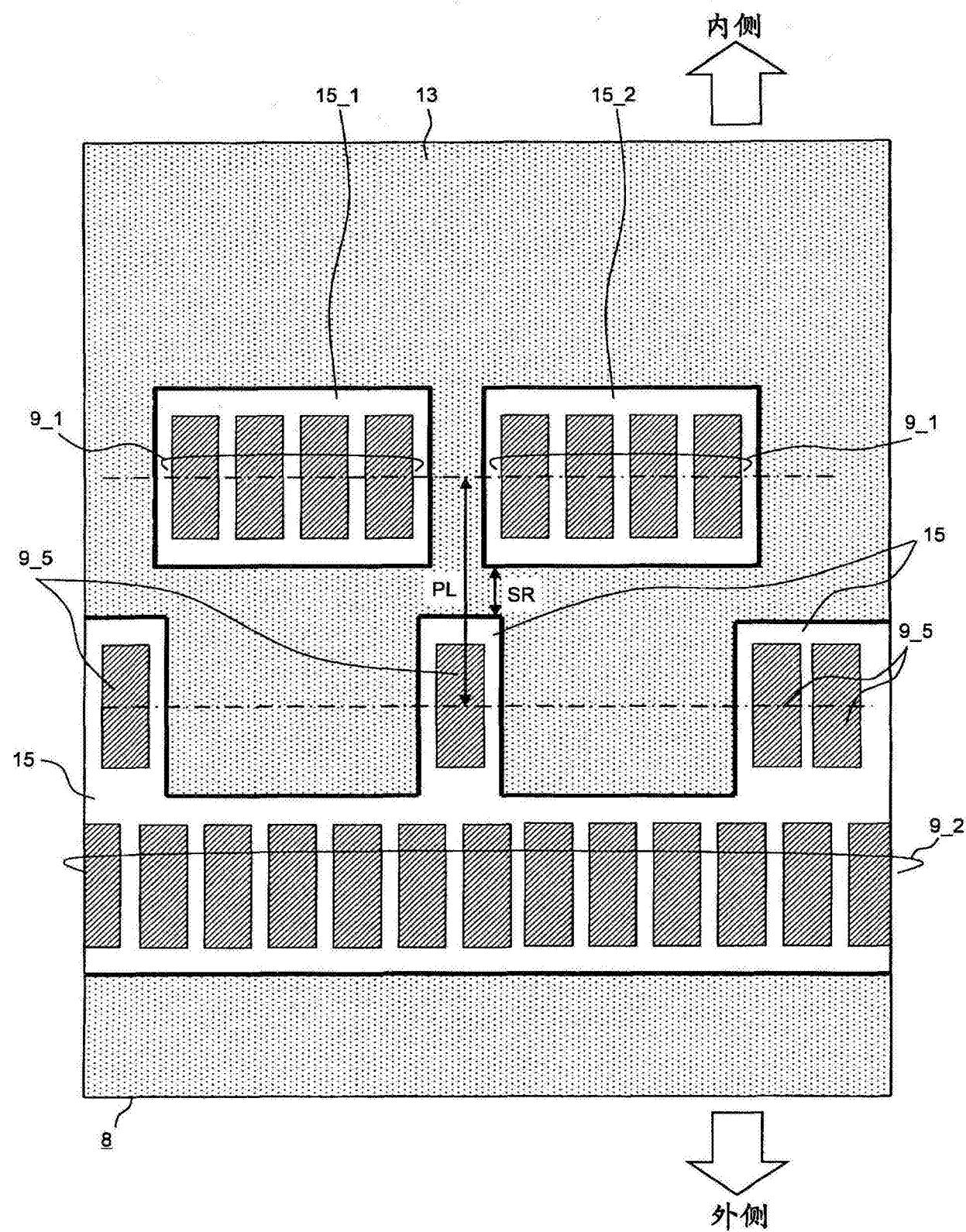


图20

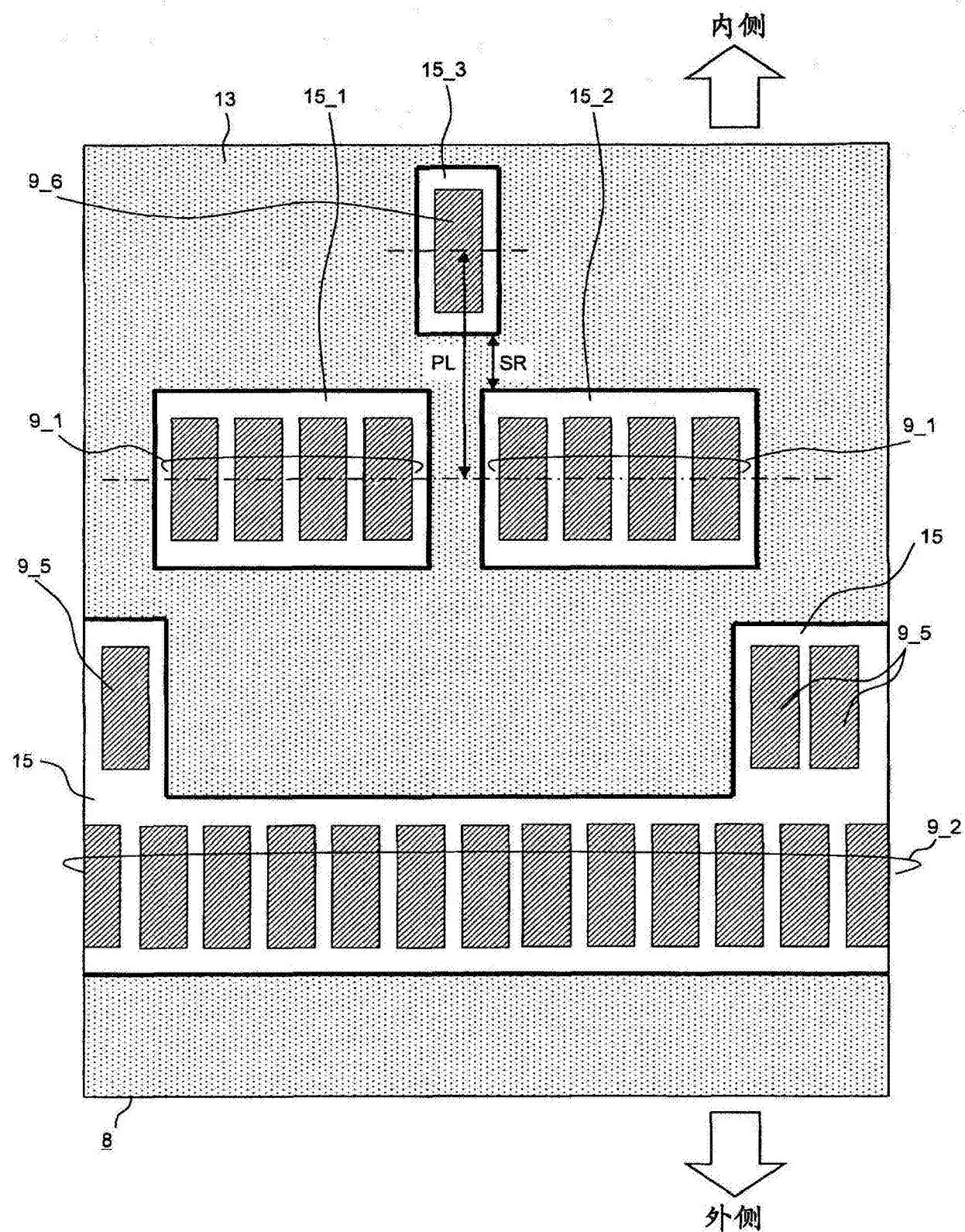


图21

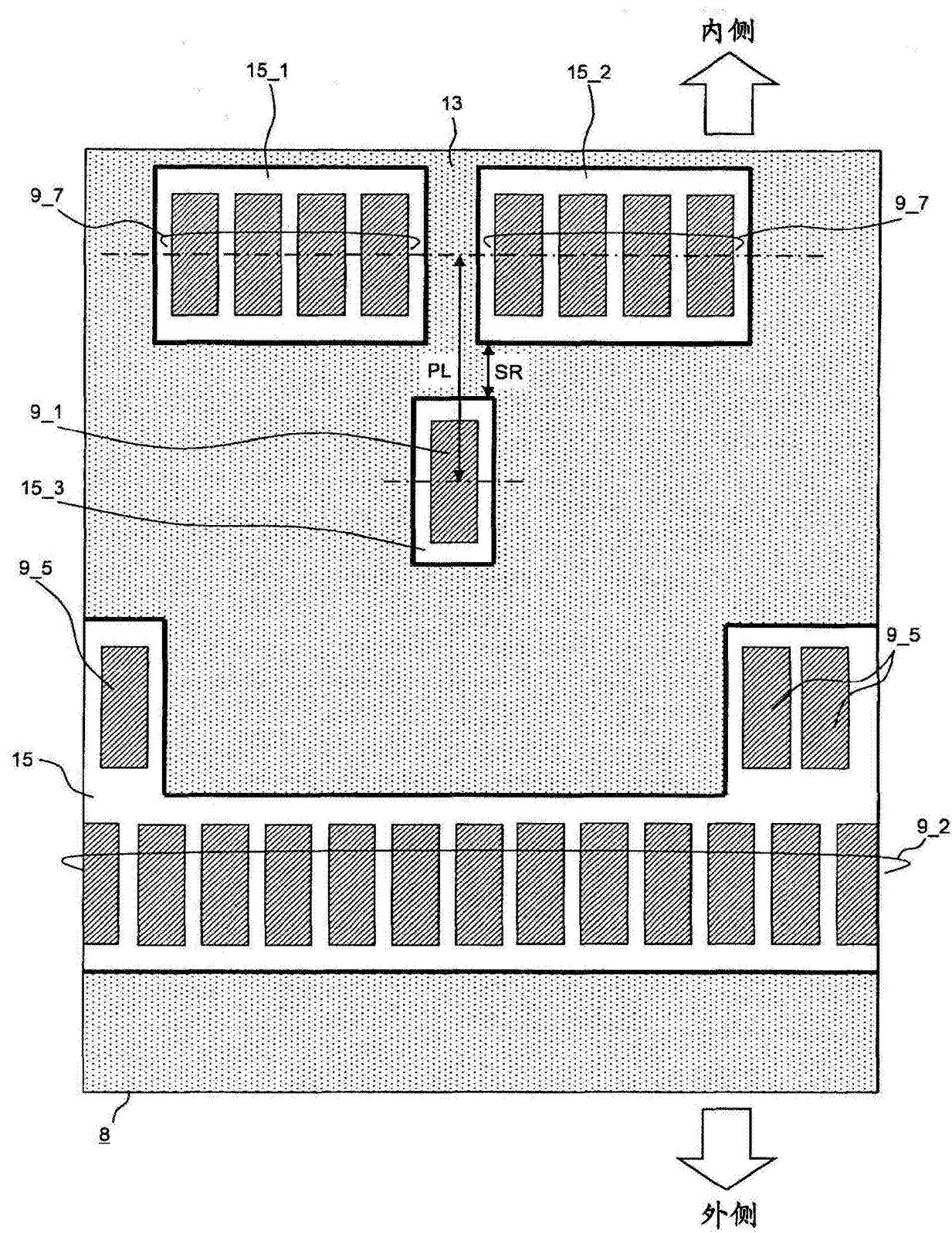
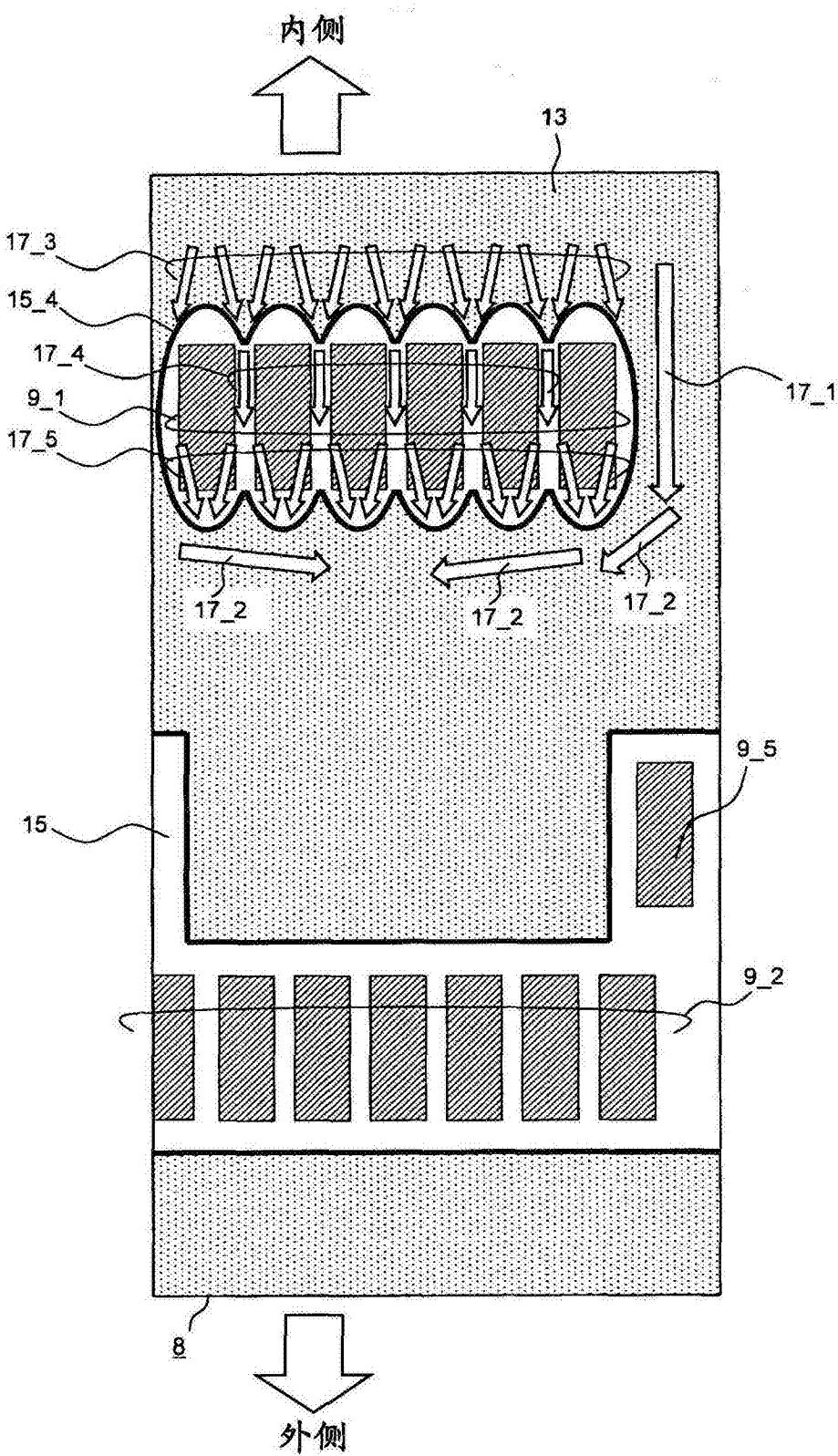
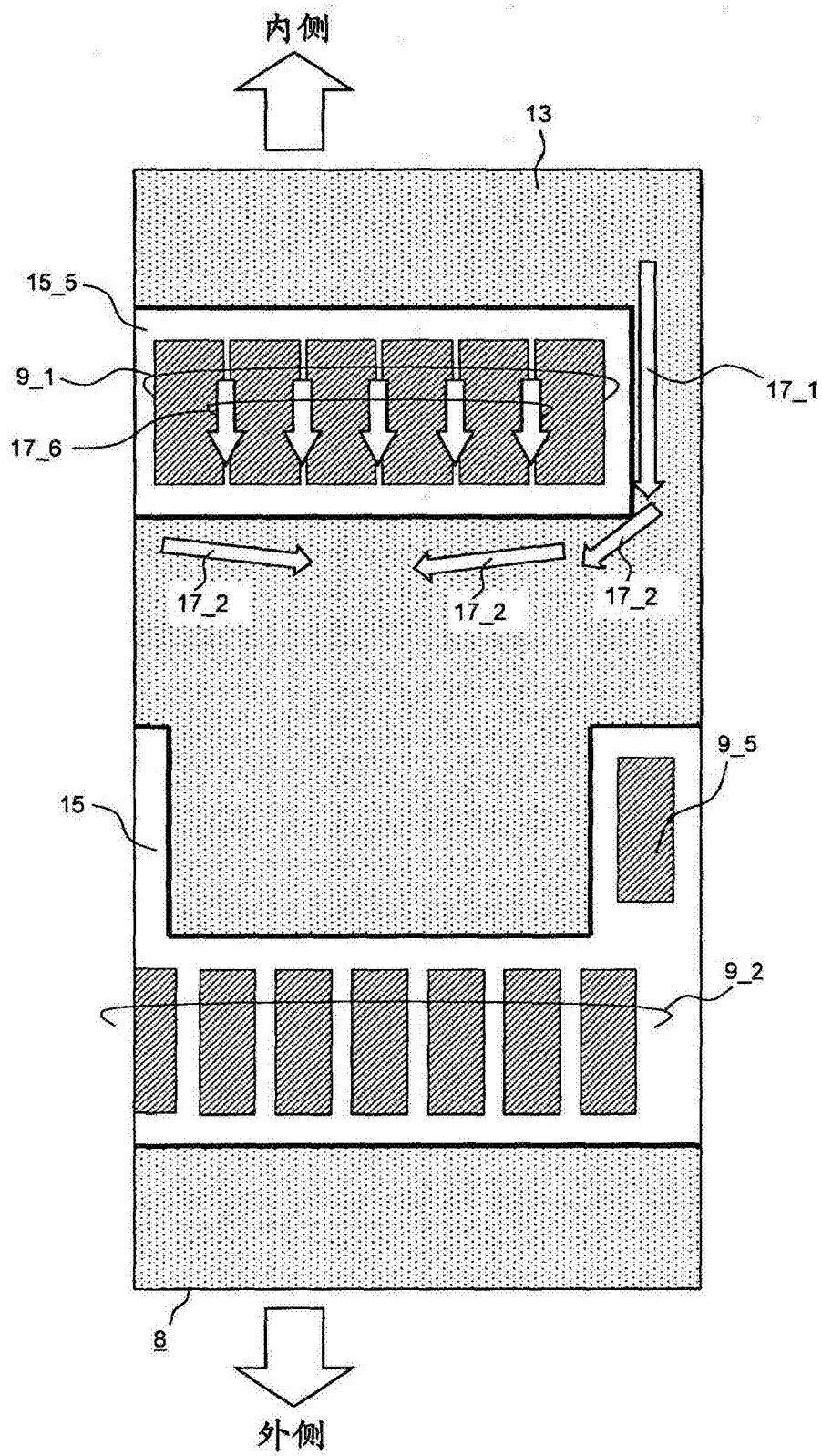


图22



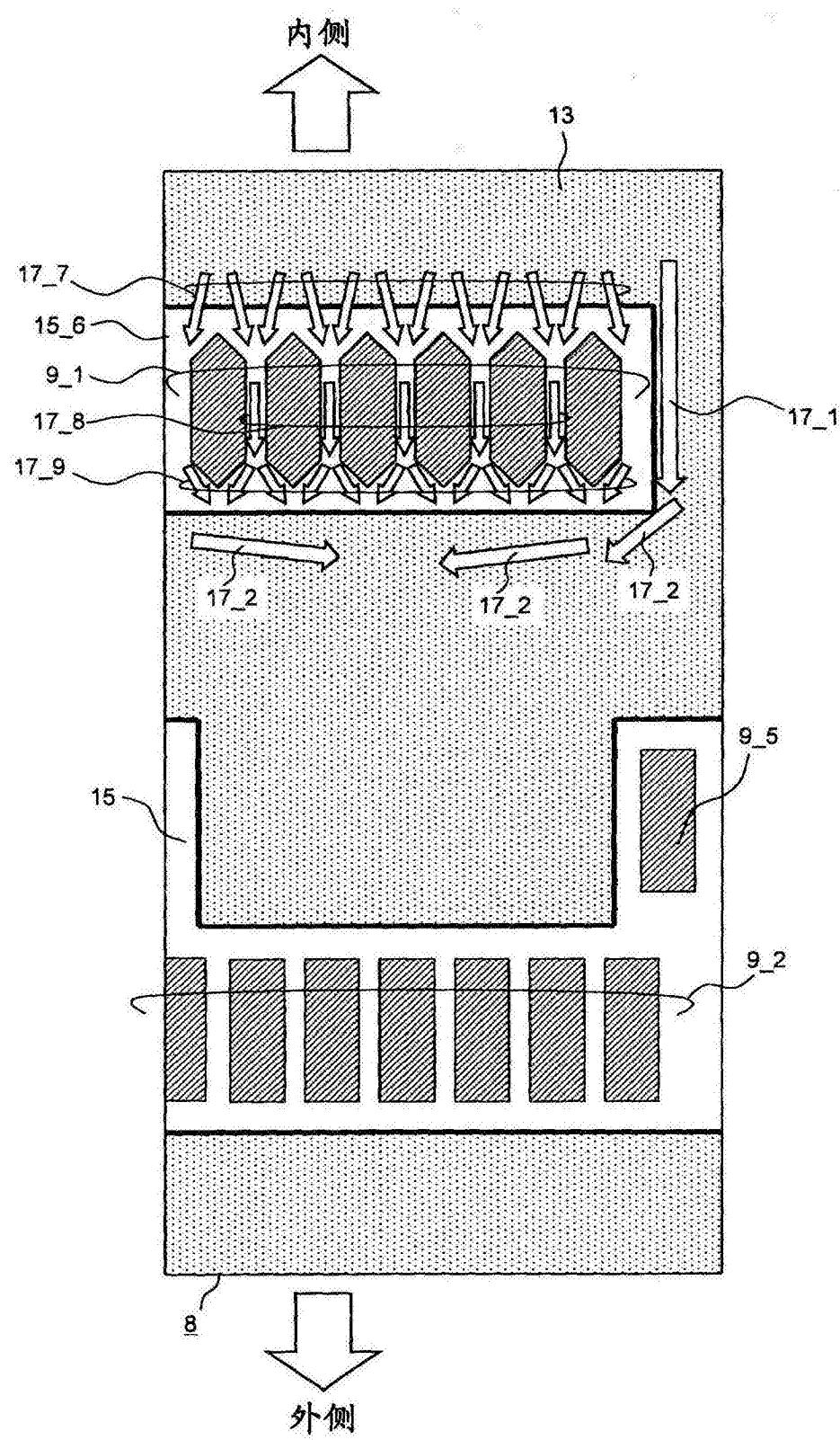
(a) 衬底的俯视图

图23



(a) 衬底的俯视图

图24



(a) 衬底的俯视图

图25

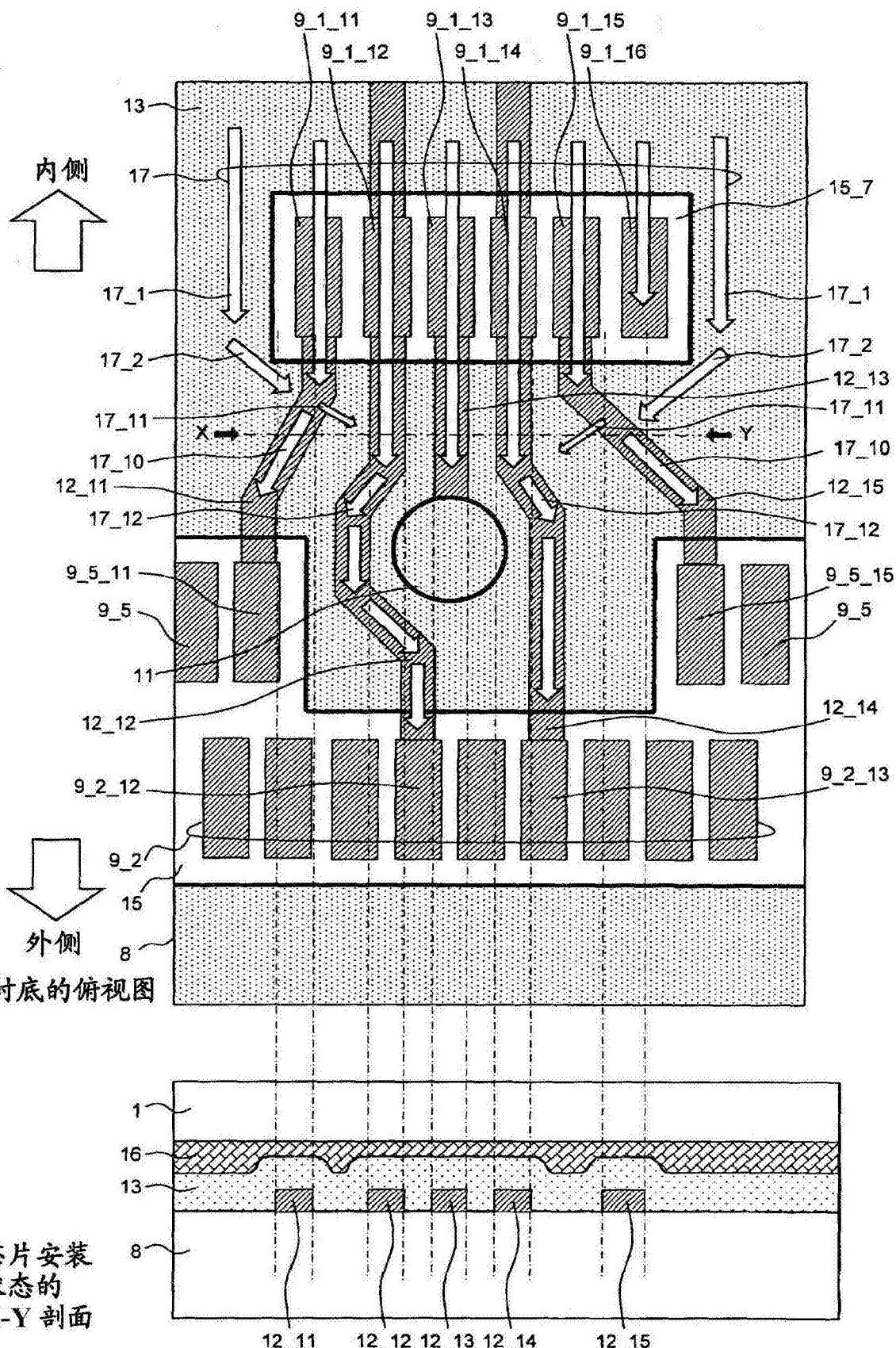


图26